

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 690 842**

51 Int. Cl.:

H03F 3/24 (2006.01)

H03F 3/217 (2006.01)

H03F 1/02 (2006.01)

H03K 5/13 (2014.01)

H04L 27/36 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **17.07.2014** **E 14177406 (7)**

97 Fecha y número de publicación de la concesión europea: **22.08.2018** **EP 2833548**

54 Título: **Interpolador de borde digitalmente controlado (DCEI) para convertidores digital-tiempo (DTC)**

30 Prioridad:

02.08.2013 US 201313958295

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

22.11.2018

73 Titular/es:

**INTEL CORPORATION (100.0%)
2200 Mission College Boulevard
Santa Clara, CA 95052, US**

72 Inventor/es:

**DEGANI, OFIR;
BANIN, ROTEM y
RAVI, ASHOKE**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 690 842 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Interpolador de borde digitalmente controlado (DCEI) para convertidores digital-tiempo (DTC).

Campo técnico

5 Las realizaciones de sistemas y técnicas descritas en la presente memoria se refieren a Transmisores Polares Digitales (DPT, por sus siglas en inglés). Más concretamente, las realizaciones de sistemas y técnicas que se refieren a un Convertidor Digital-Tiempo (DTC, por sus siglas en inglés) para un DPT que generan señales de retardo/fase fina que se autoalinean con un segmento de retardo/fase gruesa del DTC.

Antecedentes

10 Las arquitecturas de Transmisor Polar Digital (DPTX, por sus siglas en inglés) proveen un tamaño reducido y consumo de energía reducido en comparación con arquitecturas de transmisores radioeléctricos analógicos convencionales. Una arquitectura DPTX incluye dos bloques funcionales principales. Un bloque funcional principal es un Convertidor Digital-Tiempo (DTC) que modula una portadora de oscilador local (OL) con información de fase de una señal que se transmitirá. El otro bloque funcional principal es un Amplificador de Potencia Digital (DPA, por sus siglas en inglés) que modula la amplitud de la señal que se transmitirá en la señal OL de fase modulada y, de esta manera, se genera la reconstrucción de la señal original (p.ej., la señal que se transmitirá).

15 Un gran desafío técnico para las arquitecturas DPTX es manejar las señales de banda ancha que se asocian a protocolos de comunicación modernos como, por ejemplo, IEEE 802.11ac (al que, comúnmente, se hace referencia como WiFi, y que tiene un ancho de banda de señal de alrededor de 20 160 MHz), y la Evolución a Largo Plazo (a la que, comúnmente, se hace referencia como LTE 4G y que tiene un ancho de banda de señal de alrededor de 10 40 MHz). Dichas señales de ancho de banda ancho son difíciles de manejar para las arquitecturas DPTX porque los anchos de banda de la señal de fase separada y la señal de amplitud puede ser, respectivamente, de alrededor de diez veces y de alrededor de tres veces mayores que el ancho de banda de la señal de protocolo. Otro desafío para las arquitecturas DPTX proviene de los requisitos de coexistencia asociados a un factor de forma pequeña para dispositivos de comunicaciones multiprotocolo en los cuales se usan los DPTX. Con el fin de evitar la desensibilización del receptor con respecto a dichos dispositivos, los requisitos de piso de ruido pueden presentar estrictas limitaciones en el nivel de ruido de cuantificación del DTC y DPA de los DPTX.

20 El documento US 2005/0140416 A1 describe un bucle bloqueado de retardo (DLL, por sus siglas en inglés) de interpolación directo programable. La arquitectura DLL incluye una disposición tipo gruesa/fina mediante el uso de un bucle para un estrobo continuo que puede adaptarse también para relojes continuos. Dos bordes de estrobo adyacentes generados se seleccionan y aplican a un interpolador de fase para generar retardos más finos dentro de dicho segmento. Multiplexores pares e impares se usan para conectar otros elementos pesados de retardo. DLL adicionales se describen en los documentos US 2010/0060334 A1 y US 2008/0026706 A1.

Compendio de la invención

35 El objeto de la invención provee un convertidor digital de dos tiempos según la reivindicación 1, un método de la reivindicación 6 y un sistema de manejo de información según la reivindicación 9.

Breve descripción de los dibujos

Las realizaciones descritas en la presente memoria se ilustran a modo de ejemplo, y no a modo de restricción, en las figuras de los dibujos anexos en los cuales iguales numerales de referencia se refieren a elementos similares y en los cuales:

40 La Figura 1 ilustra un diagrama de bloques funcional de un Convertidor Digital-Tiempo (DTC) segmentado según el objeto descrito en la presente memoria que puede usarse en conjunto con una arquitectura de Transmisor Polar Digital (DPTX);

la Figura 2 ilustra una realización a modo de ejemplo de un diagrama de bloques funcional de una porción del Convertidor Digital-Tiempo (DTC) según el objeto descrito en la presente memoria;

45 la Figura 3A ilustra un diagrama de bloques funcional de una realización a modo de ejemplo de un DCEI según el objeto descrito en la presente memoria;

la Figura 3B ilustra un diagrama de sincronización que muestra una señal OUT de fase fina interpolada de un DCEI para los casos generales de $M = 0$, $0 < M < 2^N$, y $M = 2^N$, y para una situación ilustrativa a modo de ejemplo en la cual $N = 2$;

50 la Figura 3C ilustra un diagrama de bloques funcional de una realización a modo de ejemplo de un interpolador configurado para diferentes señales según el objeto descrito en la presente memoria;

la Figura 4 ilustra una secuencia de funcionamiento ilustrativa a modo de ejemplo para la realización a modo de ejemplo del DTC ilustrado en las Figuras 1, 2, 3A y 3C;

5 las Figuras 5A y 5B ilustran la señal de fase fina OUT esperada para la cobertura total de una etapa Δ para un borde ascendente de una portadora 2,4 GHz para dos fases separadas por $2\pi/64$ (p.ej., $\Delta = 6,51$ ps) para un DCEI a modo de ejemplo que comprende 512 interpoladores;

la Figura 6 ilustra resultados de simulación para el desplazamiento de fase en el primer armónico para una portadora 2,4 GHz como una función de dos etapas de fase gruesa entre $2\pi/64$ y $2\pi/32$ en la entrada de un DCEI y 512 etapas de bits de control DCEI finos entre las dos etapas de fase gruesa;

10 la Figura 7 ilustra resultados de simulación para la fluctuación de retardo y ruido de fase en 200 MHz de una portadora 2,4 GHz para tres etapas de fase gruesa en la entrada de un DCEI y 512 etapas de bits de control DCEI finos;

la Figura 8 ilustra un diagrama de bloques funcional a modo de ejemplo de un sistema de manejo de información según el objeto descrito en la presente memoria;

15 la Figura 9 ilustra una vista isométrica de una realización a modo de ejemplo del sistema de manejo de información de la Figura 8 que puede incluir, de manera opcional, una pantalla táctil según una o más realizaciones descritas en la presente memoria; y

20 la Figura 10 ilustra una realización a modo de ejemplo de un artículo de fabricación que comprende un medio de almacenamiento legible por ordenador no transitorio que tiene almacenadas allí instrucciones legibles por ordenador que, cuando se ejecutan por un dispositivo tipo ordenador, resultan en cualquiera de las varias técnicas y métodos según el objeto descrito en la presente memoria.

25 Se apreciará que, en aras de la simplicidad y/o claridad de ilustración, los elementos ilustrados en las figuras no se han dibujado necesariamente a escala. Por ejemplo, las dimensiones de algunos de los elementos se pueden exagerar en relación con otros elementos en aras de la claridad. El escalado de las figuras no representa dimensiones y/o relaciones dimensionales precisas de los varios elementos ilustrados en la presente memoria. Además, si se considera apropiado, los numerales de referencia se han repetido entre las figuras para indicar elementos correspondientes y/o análogos.

Descripción de las realizaciones

30 Las realizaciones de las técnicas descritas en la presente memoria se refieren a una arquitectura de Convertidor Digital-Tiempo (DTC) que incluye un interpolador de borde digitalmente controlado (DCEI) para generar señales de retardo/fase fina que se autoalinean con un segmento de retardo/fase gruesa y que no necesita técnicas de calibración. En la siguiente descripción, se establecen numerosos detalles específicos con el fin de proveer una comprensión exhaustiva de las realizaciones descritas en la presente memoria. Una persona con experiencia en la técnica relevante reconocerá, sin embargo, que las realizaciones descritas en la presente memoria pueden practicarse sin uno o más de los detalles específicos, o con otros métodos, componentes, materiales, etc. En otras instancias, estructuras, materiales o funciones conocidas no se muestran o describen en detalle para evitar oscurecer aspectos de la memoria descriptiva.

40 La referencia a lo largo de la presente memoria a "una realización" significa que una característica o estructura particular descrita en conexión con la realización se incluye en al menos una realización. Por consiguiente, las apariciones de la frase "en una realización" en varios lugares a lo largo de la presente memoria no se refieren necesariamente todas a la misma realización. Además, las características o estructuras particulares pueden combinarse en cualquier manera apropiada en una o más realizaciones. Además, la expresión "a modo de ejemplo" se usa en la presente memoria con el significado de "sirve como un ejemplo, instancia o ilustración". Cualquier realización descrita en la presente memoria como "a modo de ejemplo" no se interpretará necesariamente como preferida o ventajosa con respecto a otras realizaciones. El término "segmento" según su uso en la presente memoria se refiere a una lógica como, por ejemplo, pero sin limitación a ello, uno o más dispositivos de circuito y/o software y/o firmware que provee la funcionalidad del segmento particular.

45 Varias funciones se pueden describir como múltiples funciones discretas a su vez y en una manera que es más útil para comprender el objeto reivindicado. Sin embargo, el orden de descripción no se debe interpretar como uno que supone que dichas funciones son necesariamente dependientes del orden. En particular, dichas funciones no necesitan llevarse a cabo en el orden de presentación. Las funciones descritas se pueden llevar a cabo en un orden diferente de la realización descrita. Varias funciones adicionales se pueden llevar a cabo y/o las funciones descritas se pueden omitir en realizaciones adicionales.

Las realizaciones del objeto descrito en la presente memoria proveen una arquitectura de Convertidor Digital-Tiempo (DTC) que incluye un interpolador de borde digitalmente controlado (DCEI) para generar señales de retardo/fase fina

que se autoalinean con un segmento de retardo/fase gruesa y que no necesita técnicas de calibración. Las realizaciones del objeto descrito en la presente memoria proveen un sistema y método para interpolar etapas de retardo/fase fina entre tomas de etapas adyacentes de retardo/fase gruesa de un segmento grueso de un DTC. Además, las realizaciones del objeto descrito en la presente memoria son independientes de la frecuencia y proveen una verdadera interpolación de fase.

Con el fin de que un DTC convencional genere una granularidad fina de retardos, un enfoque ha sido usar una arquitectura DTC segmentada de modo que un rango de fase 2π exacto puede generarse para una señal OL de fase modulada de ancho de banda ancho. Un segmento genera una señal de retardo/fase gruesa y un segundo segmento genera una señal de retardo/fase fina a partir de la señal de retardo/fase gruesa. Un enfoque convencional para el segmento de retardo/fase fina es usar una línea de retardo digitalmente controlada (DCDL, por sus siglas en inglés) en la cual las cargas capacitivas de las células de retardo se controlan de forma digital.

Una desventaja significativa con un enfoque DTC segmentado convencional es, sin embargo, que los respectivos retardos de los segmentos gruesos y finos no se encuentran necesariamente alineados. Es decir, el rango de retardo/fase de una DCDL de un segmento fino no se encuentra, en general, alineado con los retardos individuales del segmento de generación de retardo/fase gruesa. Las discordancias entre los retardos gruesos individuales se provocan por, por ejemplo, variaciones en el proceso de fabricación. Para compensar los retardos gruesos individuales, una DCDL debe proveer un rango de retardo que se superpone (p.ej., es más largo que) al retardo de Bit Menos Significativo (LSB, por sus siglas en inglés) individual más grande del segmento de generación de retardo/fase gruesa. Por consiguiente, la desalineación de retardo entre el segmento de generación de retardo/fase fina y el segmento de generación de retardo/fase gruesa requiere una técnica de calibración inicial elaborada y una Tabla de Consulta (LUT, por sus siglas en inglés) extensa para almacenar los ajustes de calibración de modo que el rango de retardo DCDL es adaptable a cada etapa de retardo grueso. Además, la calibración debe repetirse durante tiempos "silenciosos" (p.ej., tiempos sin TX o RX) para corregir variaciones operativas de temperatura y tensión de modo que la no monotonidad del retardo/fase generada se evita. Además, dado que la DCDL es un elemento de control de retardo y no un elemento de control de fase, la calibración necesita repetirse en cada frecuencia de funcionamiento para coincidir con las modulaciones de fase y retardo para las varias frecuencias de funcionamiento.

La Figura 1 ilustra un diagrama de bloques funcional de un Convertidor Digital-Tiempo (DTC) segmentado según el objeto descrito en la presente memoria que puede usarse como parte de una arquitectura de Transmisor Polar Digital (DPTX). El DTC 100 incluye un segmento de generación de retardo grueso 101 y un segmento de generación de retardo fino 102. El segmento de retardo grueso 101 comprende una Línea de Retardo Acometida (TDL, por sus siglas en inglés) 105 y un Multiplexor de Fase Par/Impar (E/O MUX, por sus siglas en inglés) 107. El segmento de retardo fino 102 comprende un interpolador de borde controlado digitalmente (DCEI) 108. Un oscilador local (OL) 103 produce una señal OL 104 que se ingresa en TDL 105. Un valor de entrada de modulación de fase que se modulará en la señal OL 104 se ingresa en una lógica de control 106. La lógica de control 106 procesa y separa el valor de entrada de modulación de fase en un grupo de bits de control de retardo/fase gruesa y un grupo de bits de control de retardo/fase fina. Los bits de control de retardo/fase gruesa se ingresan en E/O MUX 107 y controlan las señales de fase pares e impares específicas que se producen, respectivamente, desde la Salida de Fase Par y desde la Salida de Fase Impar. Las Salidas de Fase Par e Impar se ingresan, respectivamente, en las entradas IN1 e IN2 de DCEI 108. Los bits de control de retardo/fase fina producidos desde la lógica de control 106 se ingresan en DCEI 108 y controlan la interpolación entre fases pares e impares ingresadas en IN1 e IN2 de la señal de salida de retardo/fase fina OUT.

La Figura 2 ilustra una realización a modo de ejemplo de un diagrama de bloques funcional de una porción del Convertidor Digital-Tiempo (DTC) 100 según el objeto descrito en la presente memoria. En particular, la Figura 2 ilustra un E/O MUX 108 y un DCEI 108 en los cuales la realización específica a modo de ejemplo ilustrada se configura para cinco bits gruesos de control de fase y nueve bits finos de control de fase. Dicha configuración a modo de ejemplo puede usarse para una señal OL de, por ejemplo, 2,5 GHz (p.ej., una portadora 2,5 GHz) en la cual los cinco bits de control gruesos proveen una resolución LSB (gruesa) de 12,5 ps, y los nueve bits de control finos proveen una resolución LSB (fina) de aproximadamente 25 fs.

El E/O MUX 107 se ilustra en la Figura 2 como un multiplexor de fase par (MUX Par) 107E y un multiplexor de fase impar (MUX Impar) 107O. Para la realización a modo de ejemplo ilustrada en la Figura 2, tanto MUX Par 107E como MUX Impar 107O son multiplexores 16:1 y, de esta manera, proveen un total de 32 etapas de retardo/fase gruesa. En otras realizaciones a modo de ejemplo, MUX Par 107E y MUX Impar 107O pueden, en general, ser multiplexores K:1 en los cuales K es un entero igual a o mayor que 2. Juntos, los MUX Par e Impar proveen un total de 2K etapas de retardo/fase gruesa.

MUX Par 107E recibe retardos/fases pares que se producen desde, por ejemplo, una Línea de Retardo Acometida (TDL) de 32 tomas (no se muestra en la Figura 2). De manera similar, MUX Impar 107O recibe retardos/fases impares que se producen desde la TDL de 32 tomas. En particular, MUX Par 107E recibe fases pares $\phi = 0, \phi = 2\pi/16, \dots, \phi = 30\pi/16$, y MUX Impar 107O recibe fases impares $\phi = \pi/16, \phi = 3\pi/16, \dots, \phi = 31\pi/16$. Cada conjunto de fases (pares o impares) difiere por un bit de control grueso LSB, y se escalona por dos bits de control gruesos

LSB. La salida de MUX Par se ingresa en una entrada IN1 de DCEI 202, y la salida de MUX Impar se ingresa en una entrada IN2 de DCEI 108. Los bits de control finos ingresados en DCEI 108 controlan la señal de salida de retardo/fase fina interpolada OUT de DCEI 108.

5 La Figura 3A ilustra un diagrama de bloques funcional de una realización a modo de ejemplo de un DCEI 108 según el objeto descrito en la presente memoria. DCEI 108 comprende 2^N interpoladores 301 en los cuales N es un entero igual a o mayor que 2. En particular, N es el número de bits que se usan para controlar la salida de retardo/fase fina interpolada de DCEI 108. Cada interpolador 301 comprende un primer inversor 302 y un segundo inversor 303. Una entrada IN1 en el primer inversor 302 se acopla a la salida de MUX Par 107E (Figura 2) y una entrada IN2 en el segundo inversor 303 se acopla a la salida de MUX Impar 107O (Figura 2). Las salidas de los inversores 302 y 303 se acoplan juntas y luego se acoplan a la entrada de un inversor de memoria intermedia 304. La salida del inversor de memoria intermedia 304 dirige la señal de salida de retardo/fase fina interpolada OUT (Figura 2) de DCEI 108. El inversor 302 también se acopla a una tensión de suministro de energía +V a través de un conmutador 305. De manera similar, el inversor 303 se acopla a la tensión de suministro de energía +V a través de un conmutador 306.

15 Los conmutadores 305 y 306 reciben señales de control \overline{SW}_i y SW_j y controlan si los inversores 302 y 303 tienen capacidad de respuesta a las señales de entrada IN1 e IN2. Aunque los inversores 302 y 303 se ilustran como unos acoplados a la tensión de suministro de energía +V, debe comprenderse que el objeto descrito en la presente memoria no se encuentra limitado a ello y otros suministros de energía y/o conexiones a tierra pueden controlarse en una manera conocida para proveer la funcionalidad descrita, además de otras configuraciones de circuito conocidas. También debe comprenderse que otras técnicas conocidas pueden usarse, de forma alternativa, para controlar si los inversores 302 y 303 tienen capacidad de respuesta a las señales de entrada IN1 e IN2.

20 Según las realizaciones del objeto descrito en la presente memoria, los 2^N interpoladores 301 de DCEI 108 se acoplan en paralelo entre sí a las señales IN1, IN2 y OUT. Es decir, la entrada IN1 de cada interpolador 301 se acopla a la salida de MUX Par 107E y la entrada IN2 de cada interpolador 301 se acopla a la salida de MUX Impar 107O. Las salidas de todos los inversores 302 y 303 de los interpoladores 301 se acoplan juntas y a la entrada en el inversor de memoria intermedia 304. La salida del inversor de memoria intermedia 304 produce la señal de retardo/fase fina interpolada OUT. En una realización alternativa a modo de ejemplo, los interpoladores 301 pueden configurarse como multiplexores 2:1 que pasan, de forma selectiva, por IN1 o IN2 según los bits de control finos aplicados al interpolador 301.

25 En una realización a modo de ejemplo, los bits de control finos se decodifican y configuran para proveer pares de señales de control complementarias correspondientes a cada valor de los bits de control finos. Es decir, para la configuración a modo de ejemplo ilustrada en la Figura 2 en la cual nueve bits de control finos se usan, habrá 2^9 pares de señales de control complementarias. Cada par respectivo de señales de control complementarias se ingresan respectivamente en las señales \overline{SW}_i y SW_j de un interpolador 301 correspondiente. Mediante el uso de una convención de lógica negativa (p.ej., una condición verdadera es una señal de bit baja), si un bit de salida (o complemento de bit de salida) es bajo, un inversor 302, 303 se acopla al suministro de energía +V y tiene, por lo tanto, capacidad de respuesta a la señal de entrada IN1 o IN2 correspondiente. Si un bit de salida (o complemento de bit de salida) es alto, un inversor 302, 303 no se acopla al suministro de energía +V y no tiene, por lo tanto, capacidad de respuesta a la señal de entrada IN1 o IN2 correspondiente. Debe comprenderse que el objeto descrito en la presente memoria no se encuentra limitado a ello y los interpoladores 301 pueden configurarse para una disposición de lógica positiva.

30 Si el valor M de los bits de control finos ingresados en DCEI 108 es igual a 0, entonces todos los inversores 302 de los interpoladores 301 tienen capacidad de respuesta a la entrada IN1 y ninguno de los inversores 303 tiene capacidad de respuesta a la entrada IN2. Si el valor M de los bits de control finos ingresados en DCEI 108 es $0 < M < 2^N$, entonces un total de M inversores 302 tienen capacidad de respuesta a la entrada IN1 y un total de $2^N - M$ inversores 303 tienen capacidad de respuesta a la entrada IN2. Si el valor M de los bits de control finos ingresados en DCEI 108 es igual a 2^N , entonces ninguno de los inversores 302 tiene capacidad de respuesta a la entrada IN1 y todos los inversores 303 tienen capacidad de respuesta a la entrada IN2. Siempre que Δ , que se define en la presente memoria como un retardo de tiempo entre la señal ingresada en IN1 (p.ej., Fase Par) y la señal ingresada en IN2 (p.ej., Fase Impar), sea mayor que los tiempos de subida y bajada de los respectivos bordes de IN1 e IN2, la ubicación en el tiempo de los bordes (ascendentes o descendentes) de la señal de fase fina interpolada OUT se interpolará aproximadamente con respecto a IN1 e IN2 y con una etapa de resolución de $\Delta/2N$.

35 La Figura 3B ilustra un diagrama de sincronización que muestra la señal de fase fina interpolada OUT de un DCEI 108 para los casos generales de $M = 0$, $0 < M < 2^N$, y $M = 2^N$. La Figura 3B también ilustra un diagrama de sincronización para una situación ilustrativa a modo de ejemplo en la cual $N = 2$. Para $N = 2$, DCEI 108 comprende cuatro interpoladores 301. Además, hay cuatro pares de señales complementarias \overline{SW}_i y SW_j que dirigen a los conmutadores 305 y 306. Para el presente ejemplo de $N = 2$, si $M = 0$, las señales de control \overline{SW}_i aplicadas a los conmutadores 305 serán 0000 y las señales de control SW_j aplicadas a los conmutadores 306 serán 1111. Para $M =$

0, no necesita llevarse a cabo ninguna interpolación, y los inversores 302 de los cuatro interpoladores 301 se conectan, mientras que los inversores 303 se desconectan. Los cuatro inversores 302 (conectados) responden al borde de IN1 y la señal de fase fina interpolada OUT corresponde a $M = 0$ en la Figura 3B.

5 Si $M = 1$, las señales de control \overline{SW}_i aplicadas a los conmutadores 305 serán, por ejemplo, 0001, y tres inversores 302 de los cuatro interpoladores 301 se conectan y responden al borde de IN1, mientras que un inversor 303 se conecta y responde al borde de IN2. La señal de fase fina interpolada OUT corresponde a $M = 1$ en la Figura 3B.

Si $M = 2$, las señales de control \overline{SW}_i aplicadas a los conmutadores 305 serán, por ejemplo, 0011, y dos inversores 302 de los cuatro interpoladores 301 se conectan y responden al borde de IN1, mientras que dos inversores 303 se conectan y responden al borde de IN2. La señal de fase fina interpolada OUT corresponde a $M = 2$ en la Figura 3B.

10 Si $M = 3$, las señales de control \overline{SW}_i aplicadas a los conmutadores 305 serán, por ejemplo, 0111, y un inversor 302 de los cuatro interpoladores 301 se conecta y responde al borde de IN1, mientras que tres inversores 303 se conectan y responden al borde de IN2. La señal de fase fina interpolada OUT corresponde a $M = 3$ en la Figura 3B.

15 Finalmente, si $M = 4$, las señales de control \overline{SW}_i aplicadas a los conmutadores 305 serán, por ejemplo, 1111, y ninguno de los inversores 302 se conecta y ninguno responde al borde de IN1, mientras que cuatro inversores 303 se conectan y responden al borde de IN2. La señal de fase fina interpolada OUT corresponde a $M = 4$ en la Figura 3B.

20 La Figura 3C ilustra un diagrama de bloques funcional de una realización a modo de ejemplo de un interpolador 301' configurado para señales diferenciales según el objeto descrito en la presente memoria. El interpolador diferencial 301' comprende un primer par de inversores 302a y 302b, y un segundo par de inversores 303a y 303b. Las entradas diferenciales IN1 e $\overline{IN1}$ se aplican, respectivamente, a las entradas en los inversores 302a y 302b. De manera similar, las entradas diferenciales IN2 e $\overline{IN2}$ se aplican, respectivamente, a las entradas en los inversores 303a y 303b. Las salidas de inversores 302a, 302b, 303a y 303b se acoplan a inversores 304a y 304b, que se configuran para proveer una señal de fase fina interpolada diferencial OUT y \overline{OUT} . Los inversores 302a, 302b, 303a y 303b se acoplan al suministro de energía +V a través de los conmutadores 305a, 305b, 306a y 306b. Señales de control diferenciales complementarias se aplican a los conmutadores 305a y 305b, y a los conmutadores 306a y 306b. Aunque los inversores 302a, 302b, 303a y 303b se ilustran como unos acoplados a la tensión de suministro de potencia +V, debe comprenderse que el objeto descrito en la presente memoria no se encuentra limitado a ello y otros suministros de energía y/o conexiones a tierra pueden controlarse en una manera conocida para proveer la funcionalidad descrita, además de otras configuraciones de circuito conocidas. También debe comprenderse que otras técnicas conocidas pueden usarse, de forma alternativa, para controlar si los inversores 302a, 302b, 303a y 303b tienen capacidad de respuesta a las señales de entrada IN1, $\overline{IN1}$, IN2 e $\overline{IN2}$. Debe comprenderse que el objeto descrito en la presente memoria no se encuentra limitado a ello y los interpoladores 301' pueden configurarse para una disposición de lógica positiva.

35 La Figura 4 ilustra una secuencia de rampa de código ilustrativa a modo de ejemplo de funcionamiento 400 para las realizaciones a modo de ejemplo de DTC 100 ilustrado en las Figuras 1, 2, 3A y 3C. En 401, la fase par comienza en $\phi = 0$ y la fase impar en $\phi = \pi/32$. Además, los bits de control finos para la presente explicación comienzan todos en 0 de modo que todos los interpoladores 301 tienen capacidad de respuesta a la fase par ingresada en IN1. En 402, los bits finos aumentan de forma secuencial hasta que todos los bits de control finos se encuentran en 1, en cuyo caso los interpoladores 301 tienen todos capacidad de respuesta a la fase impar ingresada en IN2. En 403, los bits de control gruesos ingresados en MUX Par 107E se escalonan en una etapa LSB (p.ej., de $\phi = 0$ a $\phi = 2\pi/32$). En este momento, ningún interpolador 301 tiene capacidad de respuesta a la fase par en la entrada IN1, entonces la salida de DCEI 108 no se ve impactada por la etapa de fase de MUX Par 107E. En 404, los bits de control finos se reducen ahora otra vez de forma secuencial todos a 0, de modo que todos los interpoladores 301 tienen capacidad de respuesta a IN1. En 405, MUX 204 de Fase impar se escalona entonces por una etapa de fase de $\phi = \pi/32$ a $\phi = 3\pi/32$. En este momento, ningún interpolador 301 tiene capacidad de respuesta a la fase impar ingresada en IN2, y la salida de DCEI 108 no se ve impactada por la etapa de fase de MUX Impar 107O. En 406, los bits de control finos aumentan entonces hasta que todos los bits de control finos se encuentran en 1 (p.ej., todos los interpoladores 301 tienen capacidad de respuesta a la fase impar ingresada en IN2). En 407, la secuencia se repite hasta que MUX de Fase Par 107E es $\phi = 0$ y MUX de Fase Impar 107O es $\phi = 31\pi/32$. En 408, cuando todos los bits de control finos se reducen a 0, la fase impar puede escalonarse de $\phi = 31\pi/32$ a $\phi = \pi/32$, y la secuencia se repite en 409. Aunque la secuencia de funcionamiento a modo de ejemplo ilustrada en la Figura 4 comienza en la fase par $\phi = 0$ y fase impar en $\phi = \pi/32$, debe comprenderse que el objeto descrito en la presente memoria no se encuentra limitado a ello y puede comenzar en cualesquiera dos fases gruesas par e impar adyacentes y/o debe comprenderse que la secuencia de funcionamiento puede comenzar con una fase gruesa impar.

- Dos cosas deben notarse sobre el objeto descrito en la presente memoria. En primer lugar, DCEI 108 se configura de modo que la señal de fase fina interpolada OUT cubre totalmente el rango entre IN1 e IN2; como resultado, la señal de fase fina interpolada OUT se autoalinea con cada toma respectiva y no se requiere ninguna técnica de calibración para alinear segmentos DTC gruesos y finos. Además, incluso si alguna discordancia existe entre retardos/fases gruesas individuales, el objeto descrito en la presente memoria asegura la monotonicidad de la fase, y la cobertura total y exacta de 2π . Cualquier no linealidad de fase en la salida de un DCEI provocada por el código de bit de control puede corregirse mediante el uso de técnicas de predistorsión conocidas. En segundo lugar, el escalonamiento de dichos bits gruesos entre impares/pares asegura la inversión continua de las fases gruesas porque cada fase tiene un trayecto MUX y no cambia el trayecto MUX cuando los bits gruesos se invierten.
- 5 Las Figuras 5-7 ilustran resultados de simulación de un DCEI a modo de ejemplo que comprende 512 interpoladores. En particular, la Figura 5A ilustra la señal de fase fina OUT esperada para la cobertura total de una etapa Δ para un borde ascendente de una portadora 2,4 GHz para dos fases separadas por $2\pi/64$ (p.ej., $\Delta = 6,51$ ps). La Figura 5B muestra la cobertura total de la etapa Δ de la Figura 5A en mayor detalle.
- 10 La Figura 6 ilustra resultados de simulación para el desplazamiento de fase en el primer armónico para una portadora 2,4 GHz como una función de dos etapas de fase gruesa entre $2\pi/64$ y $2\pi/32$ en la entrada de un DCEI y 512 etapas de bits de control DCEI finos entre las dos etapas de fase gruesa. En particular, la Figura 6 muestra el funcionamiento contiguo del objeto descrito en la presente memoria y que un amplio rango de etapas de entrada puede manejarse fácilmente y, de esta manera, manejar fácilmente efectos de discordancia en bits gruesos.
- 15 La Figura 7 ilustra resultados de simulación para la fluctuación del retardo y ruido de fase en 200 MHz de una portadora 2,4 GHz para tres etapas de fase gruesa en la entrada de un DCEI y 512 etapas de bits de control DCEI finos. En particular, la Figura 7 muestra que un DCEI según el objeto descrito en la presente memoria provee un piso de ruido que permite buenas capacidades de coexistencia.
- 20 La Figura 8 ilustra un diagrama de bloques funcional a modo de ejemplo de un sistema de manejo de información 800 según el objeto descrito en la presente memoria. El sistema de manejo de información 800 de la Figura 8 puede realizar, de forma tangible, uno o más dispositivos de Transmisor Polar Digital (DPTX) que comprenden un Convertidor Digital-Tiempo (DTC) que incluye un interpolador de borde digitalmente controlado (DCEI) para generar señales de retardo/fase fina que se autoalinean con un segmento de retardo/fase gruesa y que no necesita técnicas de calibración de alineación gruesa/fina según el objeto descrito en la presente memoria. En una realización a modo de ejemplo, el sistema de manejo de información 800 puede comprender un dispositivo tipo móvil o sistema de manejo de información que puede comunicarse de manera inalámbrica mediante una red inalámbrica como, por ejemplo, pero sin limitación a ello, un ordenador portátil, un teléfono móvil, un asistente digital personal, un dispositivo tipo M2M, o similares. Aunque el sistema de manejo de información 800 representa un ejemplo de varios tipos de plataformas informáticas, el sistema de manejo de información 800 puede incluir más o menos elementos y/o disposiciones de elementos diferentes de las que se muestran en la Figura 8, y el alcance del objeto reivindicado no se encuentra limitado en dichos aspectos.
- 25 30 35
- En una o más realizaciones, el sistema de manejo de información 800 puede comprender uno o más procesadores de aplicaciones 810 y un procesador de banda base 812. El procesador de aplicaciones 810 puede utilizarse como un procesador para propósitos generales para ejecutar aplicaciones y los varios subsistemas para el sistema de manejo de información 800, y para controlar un Convertidor Digital-Tiempo (DTC) que comprende un interpolador de borde digitalmente controlado (DCEI) para generar señales de retardo/fase fina que se autoalinean con un segmento de retardo/fase gruesa y que no necesita técnicas de calibración de alineación gruesa/fina según el objeto descrito en la presente memoria. El procesador de aplicaciones 810 puede incluir un solo núcleo o, de manera alternativa, puede incluir múltiples núcleos de procesamiento en donde uno o más de los núcleos pueden comprender un procesador de señales digitales o núcleo de procesamiento de señales digitales. Además, el procesador de aplicaciones 810 puede incluir un procesador o coprocesador de gráficos dispuesto en el mismo chip o, de manera alternativa, un procesador de gráficos acoplado al procesador de aplicaciones 810 puede comprender un chip de gráficos discreto separado. El procesador de aplicaciones 810 puede incluir una memoria a bordo como, por ejemplo, una memoria caché, y además puede acoplarse a dispositivos de memoria externa como, por ejemplo, una memoria de acceso aleatorio síncrona y dinámica (SDRAM, por sus siglas en inglés) 814 para almacenar y/o ejecutar aplicaciones como, por ejemplo, poder controlar un Convertidor Digital-Tiempo (DTC) que comprende un interpolador de borde digitalmente controlado (DCEI) para generar señales de retardo/fase fina que se autoalinean con un segmento de retardo/fase gruesa y que no necesita técnicas de calibración de alineación gruesa/fina según el objeto descrito en la presente memoria. Durante el funcionamiento, una flash NAND 816 para almacenar aplicaciones y/o datos incluso cuando el sistema de manejo de información 800 se encuentra apagado.
- 40 45 50
- 55 En una realización a modo de ejemplo, una lista de nodos candidatos puede almacenarse en SDRAM 814 y/o flash NAND 816. Además, el procesador de aplicaciones 810 puede ejecutar instrucciones legibles por ordenador almacenadas en SDRAM 814 y/o flash NAND 816 que resultan en el control de un Convertidor Digital-Tiempo (DTC) que comprende un interpolador de borde digitalmente controlado (DCEI) para generar señales de retardo/fase fina

que se autoalinean con un segmento de retardo/fase gruesa y que no necesita técnicas de calibración de alineación gruesa/fina según el objeto descrito en la presente memoria.

En una realización a modo de ejemplo, el procesador de banda base 812 puede controlar las funciones radioeléctricas de banda ancha para el sistema de manejo de información 800. El procesador de banda base 812 puede almacenar un código para controlar dichas funciones radioeléctricas de banda ancha en una flash NOR 818. El procesador de banda base 812 controla un transceptor de red de área amplia inalámbrica (WWAN, por sus siglas en inglés) 820 que se usa para modular y/o demodular señales de red de banda ancha, por ejemplo, para comunicarse mediante una red IEEE 802.11ac, una red LTE 3GPP y/o una red LTE 4GPP o similares según se describe en la presente memoria con respecto a la Figura 8. El transceptor WWAN 820 se acopla a uno o más amplificadores de potencia 822 que se acoplan, respectivamente, a una o más antenas 824 para enviar y recibir señales de radiofrecuencia mediante la red de banda ancha WWAN. En una realización a modo de ejemplo, uno o más de los amplificadores de potencia 822 comprenden un transmisor polar digital que comprende un Convertidor Digital-Tiempo (DTC) que incluye un interpolador de borde digitalmente controlado (DCEI) según el objeto descrito en la presente memoria. El procesador de banda base 812 también puede controlar un transceptor de red de área local inalámbrica (WLAN, por sus siglas en inglés) 826 acoplado a una o más antenas 828 apropiadas y que puede comunicarse mediante un estándar basado en Bluetooth, un estándar basado en IEEE 802.11, un estándar basado en IEEE 802.16, un estándar de red inalámbrica basado en IEEE 802.18, una red inalámbrica de protocolo basada en 3GPP, un estándar de red inalámbrica basado en la Evolución a Largo Plazo del Proyecto de Asociación de Tercera Generación (LTE 3GPP), un estándar de red inalámbrica basado en la Evolución de Interfaz Aérea 3GPP2 (AIE 3GPP2), una red inalámbrica basada en LTE-3GPP-Avanzada, una red inalámbrica de protocolo basada en UMTS, una red inalámbrica de protocolo basada en CDMA2000, una red inalámbrica de protocolo basada en GSM, una red inalámbrica de protocolo basada en datos de paquete digital celular (basada en CDPD), una red inalámbrica de protocolo basada en Mobitex, un enlace basado en Comunicaciones de Campo Cercano (basado en NFC, por sus siglas en inglés), una red basada en WiGig, una red basada en ZigBee, o similares. Debe notarse que estas son meramente implementaciones a modo de ejemplo para el procesador de aplicaciones 810 y procesador de banda base 812, y el alcance del objeto reivindicado no se encuentra limitado en dichos aspectos. Por ejemplo, cualquiera de uno o más de SDRAM 814, flash NAND 816 y/o flash NOR 818 pueden comprender otros tipos de tecnología de memoria como, por ejemplo, memoria basada en magnéticos, memoria basada en calcogenuro, memoria basada en cambio de fase, memoria basada en óptica, o memoria basada en ovónica, y el alcance del objeto reivindicado no se encuentra limitado en este aspecto.

En una o más realizaciones, el procesador de aplicaciones 810 puede dirigir una visualización 830 para mostrar varios datos o información, y puede además recibir una entrada táctil de un usuario mediante una pantalla táctil 832, por ejemplo, mediante un dedo o un estilete. En una realización a modo de ejemplo, la pantalla 832 muestra un menú y/u opciones a un usuario que son seleccionables mediante un dedo y/o un estilete para ingresar información en el sistema de manejo de información 800.

Un sensor de luz ambiente 834 puede utilizarse para detectar una cantidad de luz ambiente en la cual el sistema de manejo de información 800 está funcionando, por ejemplo, para controlar un valor de brillo o contraste para la visualización 830 como una función de la intensidad de la luz ambiente detectada por el sensor de luz ambiente 834. Una o más cámaras 836 pueden utilizarse para capturar imágenes que se procesan por el procesador de aplicaciones 810 y/o que se almacenan al menos temporalmente en flash NAND 816. Además, el procesador de aplicaciones puede acoplarse a un giroscopio 838, acelerómetro 840, magnetómetro 842, codificador/decodificador de audio (CÓDEC) 844 y/o controlador de sistema de posicionamiento global (GPS, por sus siglas en inglés) 846 acoplado a una antena GPS 848 apropiada, para la detección de varias propiedades ambientales, incluidos ubicación, movimiento y/u orientación del sistema de manejo de información 800. De manera alternativa, el controlador 846 puede comprender un controlador de Sistema Global de Navegación por Satélite (GNSS, por sus siglas en inglés). Un CÓDEC de audio 844 puede acoplarse a uno o más puertos de audio 850 para proveer una entrada de micrófono y salidas de altavoz mediante dispositivos internos y/o mediante dispositivos externos acoplados al sistema de manejo de información mediante los puertos de audio 850, por ejemplo, mediante un conector de auriculares y micrófono. Además, el procesador de aplicaciones 810 puede acoplarse a uno o más transceptores de entrada/salida (E/S) 852 para acoplarse a uno o más puertos E/S 854 como, por ejemplo, un puerto de bus universal en serie (USB, por sus siglas en inglés), un puerto de interfaz multimedia de alta definición (HDMI, por sus siglas en inglés), un puerto serie, etc. Además, uno o más de los transceptores E/S 852 pueden acoplarse a una o más ranuras de memoria 856 para una memoria extraíble opcional como, por ejemplo, una tarjeta digital segura (SD, por sus siglas en inglés) o tarjeta de módulo de identidad de abonado (SIM, por sus siglas en inglés), aunque el alcance del objeto reivindicado no se encuentra limitado en dichos aspectos.

La Figura 9 ilustra una vista isométrica de una realización a modo de ejemplo del sistema de manejo de información de la Figura 8 que puede incluir, de manera opcional, una pantalla táctil según una o más realizaciones descritas en la presente memoria. La Figura 9 muestra una implementación a modo de ejemplo del sistema de manejo de información 800 de la Figura 8 realizado, de forma tangible, como un teléfono móvil, teléfono inteligente, dispositivo tipo inteligente, o dispositivo tipo tableta o similares, que puede comprender uno o más dispositivos de Transmisor Polar Digital (DPTX) que comprenden un Convertidor Digital-Tiempo (DTC) que incluye un interpolador de borde

digitalmente controlado (DCEI) para generar señales de retardo/fase fina que se autoalinean con un segmento de retardo/fase gruesa y que no necesita técnicas de calibración de alineación gruesa/fina según el objeto descrito en la presente memoria. El sistema de manejo de información 800 puede comprender una carcasa 910 que tiene una visualización 830 que puede incluir una pantalla táctil 832 para recibir un control de entrada táctil y comandos mediante un dedo 916 de un usuario y/o mediante un estilete 918 para controlar uno o más procesadores de aplicaciones 810. La carcasa 910 puede alojar uno o más componentes del sistema de manejo de información 800, por ejemplo, uno o más procesadores de aplicaciones 810, uno o más de SDRAM 814, flash NAND 816, flash NOR 818, procesador de banda base 812 y/o transceptor WWAN 820. El sistema de manejo de información 800 puede además incluir, de manera opcional, una área de accionador físico 920 que puede comprender un teclado o botones para controlar el sistema de manejo de información 800 mediante uno o más botones o conmutadores. El sistema de manejo de información 800 puede también incluir un puerto o ranura de memoria 856 para recibir una memoria permanente como, por ejemplo, memoria flash, por ejemplo, en la forma de una tarjeta digital segura (SD) o una tarjeta de módulo de identidad de abonado (SIM). De manera opcional, el sistema de manejo de información 800 puede además incluir uno o más altavoces y/o micrófonos 924 y un puerto de conexión 854 para conectar el sistema de manejo de información 800 a otro dispositivo electrónico, puerto, visualización, cargador de batería, etc. Además, el sistema de manejo de información 800 puede incluir un conector de auriculares o altavoces 928 y una o más cámaras 836 en uno o más lados de la carcasa 910. Debe notarse que el sistema de manejo de información 800 de las Figuras 8 y 9 puede incluir más o menos elementos que los que se muestran, en varias disposiciones, y el alcance del objeto reivindicado no se encuentra limitado en dicho aspecto.

La Figura 10 ilustra una realización a modo de ejemplo de un artículo de fabricación 1000 que comprende un medio de almacenamiento legible por ordenador no transitorio 1001 que tiene almacenadas allí instrucciones legibles por ordenador que, cuando se ejecutan por un dispositivo tipo ordenador, resultan en cualquiera de las varias técnicas y métodos según el objeto descrito en la presente memoria. Medios de almacenamiento legibles por ordenador a modo de ejemplo que pueden usarse para un medio de almacenamiento legible por ordenador 1001 pueden ser, pero sin limitación a ello, una memoria basada en semiconductor, una memoria basada ópticamente, una memoria basada magnéticamente, o una combinación de ellas.

Dichas modificaciones pueden llevarse a cabo a la luz de la descripción detallada más arriba. Los términos usados en las siguientes reivindicaciones no deben interpretarse como unos que limitan el alcance a las realizaciones específicas descritas en la memoria descriptiva y en las reivindicaciones. Más bien, el alcance de las realizaciones descritas en la presente memoria se determinará por las siguientes reivindicaciones, las cuales se interpretarán según doctrinas establecidas de interpretación de las reivindicaciones.

REIVINDICACIONES

1. Un convertidor digital-tiempo, DTC, (100), que comprende:
- un segmento de retardo/fase gruesa (101) que genera una señal de retardo/fase gruesa, la señal de retardo/fase gruesa comprendiendo una señal de retardo/fase par y una señal de retardo/fase impar; y
- 5 un segmento de retardo/fase fina (102) que comprende una entrada de retardo/fase gruesa par y una entrada de retardo/fase gruesa impar, la entrada de retardo/fase gruesa par recibiendo la señal de fase gruesa par, la entrada de retardo/fase gruesa impar recibiendo la señal de fase gruesa impar, el segmento de retardo/fase fina teniendo capacidad de respuesta a una señal de control de retardo/fase fina para generar una señal de salida de retardo/fase fina que es una interpolación de la señal de retardo/fase par y la señal de retardo/fase impar,
- 10 caracterizado por que la señal de control de retardo/fase fina comprende una señal binaria que tiene 2^N valores en los cuales N comprende un entero igual a o mayor que 2, y
- en donde el segmento de retardo/fase fina además comprende 2^N interpoladores (108), cada interpolador acoplándose a la señal de fase gruesa par y a la señal de fase gruesa impar y controlándose por la señal de control de retardo/fase fina que tendrá capacidad de respuesta a la señal de fase gruesa par o a la señal de fase gruesa
- 15 impar según un valor de la señal de control de retardo/fase fina, una salida de cada interpolador acoplándose juntas para formar la señal de salida de retardo/fase fina.
2. El DTC (100) según la reivindicación 1, en donde si un valor M de la señal de control de retardo/fase fina es igual a 0 ($M = 0$), entonces todos los interpoladores tienen capacidad de respuesta a la señal de fase gruesa par,
- en donde si $0 < M < 2^N$, entonces M interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par y $2^N - M$ interpoladores tienen capacidad de respuesta a la señal de fase gruesa impar; y
- 20 en donde si $M = 2^N$, entonces todos los 2^N interpoladores tienen capacidad de respuesta a la señal de fase gruesa impar.
3. El DTC (100) según la reivindicación 1, en donde si un valor M de la señal de control de retardo/fase fina es igual a 0, entonces todos los interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa impar,
- 25 en donde si $0 < M < 2^N$, entonces M interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa impar y $2^N - M$ interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par; y
- en donde si $M = 2^N$, entonces todos los 2^N interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par.
4. El DTC (100) según la reivindicación 1, en donde la señal de salida de retardo/fase fina es una señal de modulación de fase para una señal de transmisor polar digital.
- 30 5. El DTC (100) según la reivindicación 1, en donde el DTC comprende parte de un transmisor polar digital (DPT),
- en donde el transmisor polar digital comprende parte de un teléfono móvil, teléfono inteligente, dispositivo tipo inteligente, o dispositivo tipo tableta, y
- en donde el teléfono móvil, teléfono inteligente, dispositivo tipo inteligente o dispositivo tipo tableta además
- 35 comprende una visualización de pantalla táctil que puede recibir información de entrada del tacto de un usuario o estilete.
6. Un método para generar una señal de retardo/fase fina para un convertidor digital-tiempo, DTC, (100) de un transmisor polar digital, el método comprendiendo:
- 40 generar una señal de retardo/fase gruesa que comprende una señal de retardo/fase par y una señal de retardo/fase impar; y
- generar una señal de salida de retardo/fase fina que es una interpolación de la señal de retardo/fase par y la señal de retardo/fase impar según una señal de control de retardo/fase fina, caracterizado por que la señal de control de retardo/fase fina comprende una señal binaria que tiene 2^N valores en los cuales N comprende un entero igual a o mayor que 2, la señal de salida de retardo/fase fina comprendiendo una señal de modulación de fase para una señal
- 45 de transmisor polar digital, en donde la generación de la señal de salida de retardo/fase fina comprende controlar 2^N interpoladores con la señal de control de retardo/fase fina, cada interpolador acoplándose a la señal de fase gruesa par y a la señal de fase gruesa impar y controlándose por la señal de control de retardo/fase fina que tendrá capacidad de respuesta a la señal de fase gruesa par o a la señal de fase gruesa impar según un valor de la señal

de control de retardo/fase fina, una salida de cada interpolador acoplándose juntas para formar la señal de salida de retardo/fase fina.

7. El método según la reivindicación 6, en donde si un valor M de la señal de control de retardo/fase fina es igual a 0 ($M = 0$), entonces todos los interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par,
- 5 en donde si $0 < M < 2^N$, entonces M interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par y $2^N - M$ interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa impar; y
- en donde si $M = 2^N$, entonces todos los 2^N interpoladores tienen capacidad de respuesta a la señal de fase gruesa impar.
8. El método según la reivindicación 6, en donde si un valor M de la señal de control de retardo/fase fina es igual a 0,
- 10 entonces todos los interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa impar,
- en donde si $0 < M < 2^N$, entonces M interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa impar y $2^N - M$ interpoladores tienen capacidad de respuesta a la señal de fase gruesa par; y
- en donde si $M = 2^N$, entonces todos los 2^N interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par.
9. Un sistema de manejo de información, que comprende:
- un procesador y una memoria acoplada al procesador; y
- un transceptor de radiofrecuencia acoplado al procesador, el transceptor de radiofrecuencia comprendiendo un transmisor polar digital que comprende un amplificador de potencia digital y el DTC (100) de la reivindicación 1.
10. El sistema de manejo de información (800) según la reivindicación 9, en donde si un valor M de la señal de control de retardo/fase fina es igual a 0 ($M = 0$), entonces todos los interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par,
- 20 en donde si $0 < M < 2^N$, entonces M interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par y $2^N - M$ interpoladores tienen capacidad de respuesta a la señal de fase gruesa impar; y
- 25 en donde si $M = 2^N$, entonces todos los 2^N interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa impar.
11. El sistema de manejo de información (800) según la reivindicación 9, en donde si un valor M de la señal de control de retardo/fase fina es igual a 0, entonces todos los interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa impar,
- 30 en donde si $0 < M < 2^N$, entonces M interpoladores tienen capacidad de respuesta a la señal de fase gruesa impar y $2^N - M$ interpoladores tienen capacidad de respuesta a la señal de fase gruesa par; y
- en donde si $M = 2^N$, entonces todos los 2^N interpoladores (108) tienen capacidad de respuesta a la señal de fase gruesa par.
12. El sistema de manejo de información (800) según la reivindicación 9, en donde el sistema de manejo de información comprende un teléfono móvil, teléfono inteligente, dispositivo tipo inteligente, o dispositivo tipo tableta, y
- 35 en donde el teléfono móvil, teléfono inteligente, dispositivo tipo inteligente o dispositivo tipo tableta además comprende una visualización de pantalla táctil que puede recibir información de entrada del tacto de un usuario o estilete.

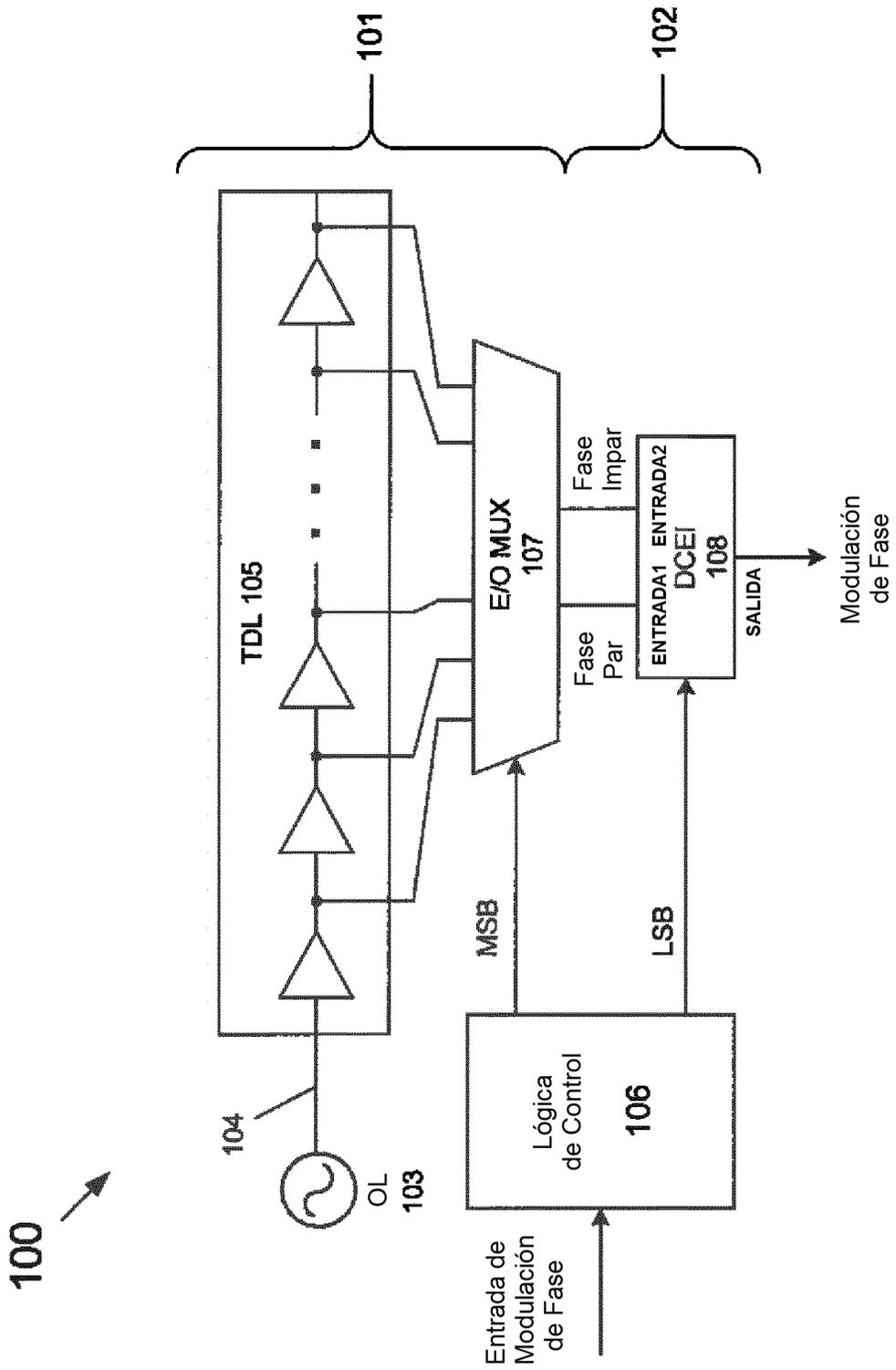


FIG. 1

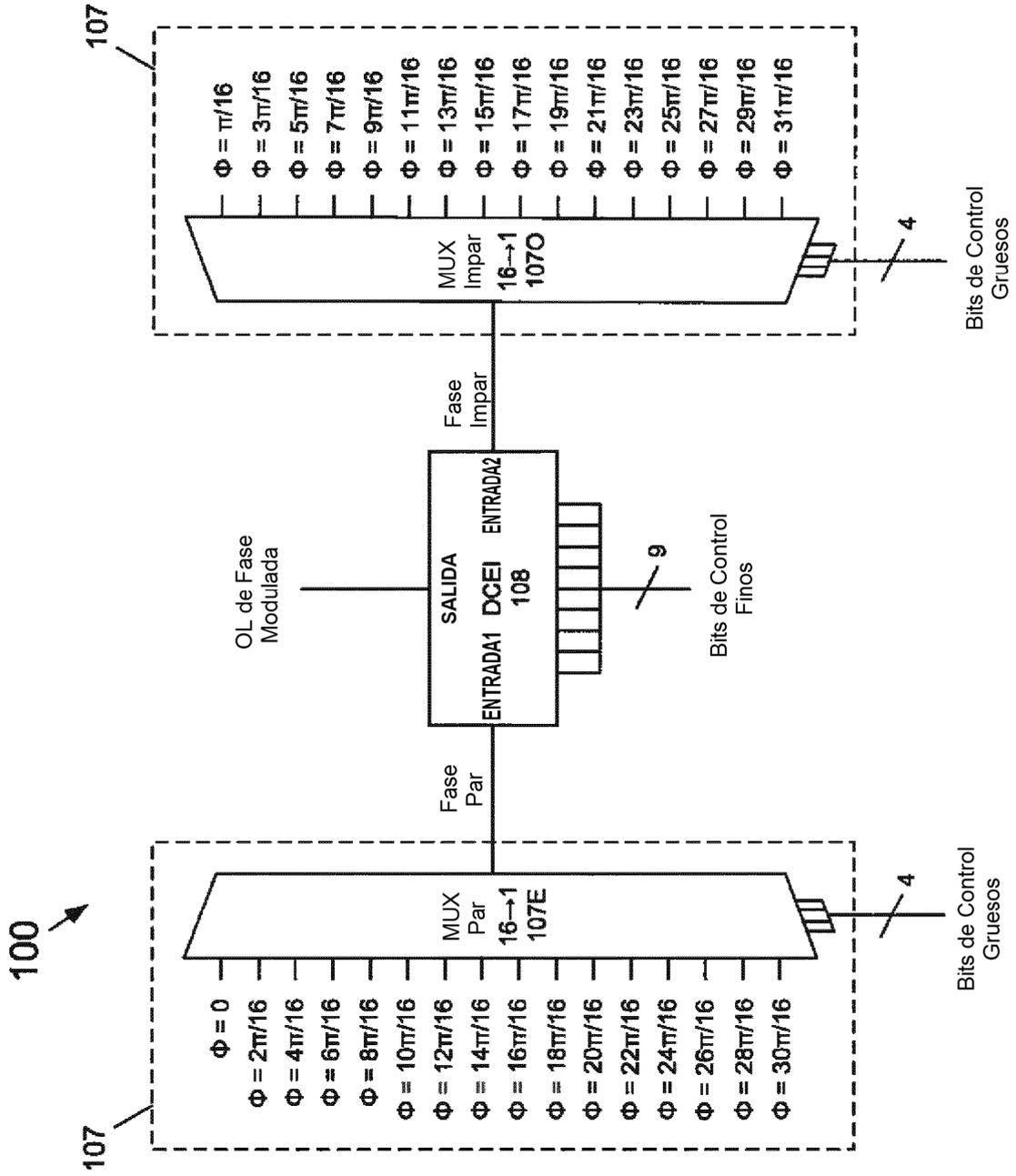


FIG. 2

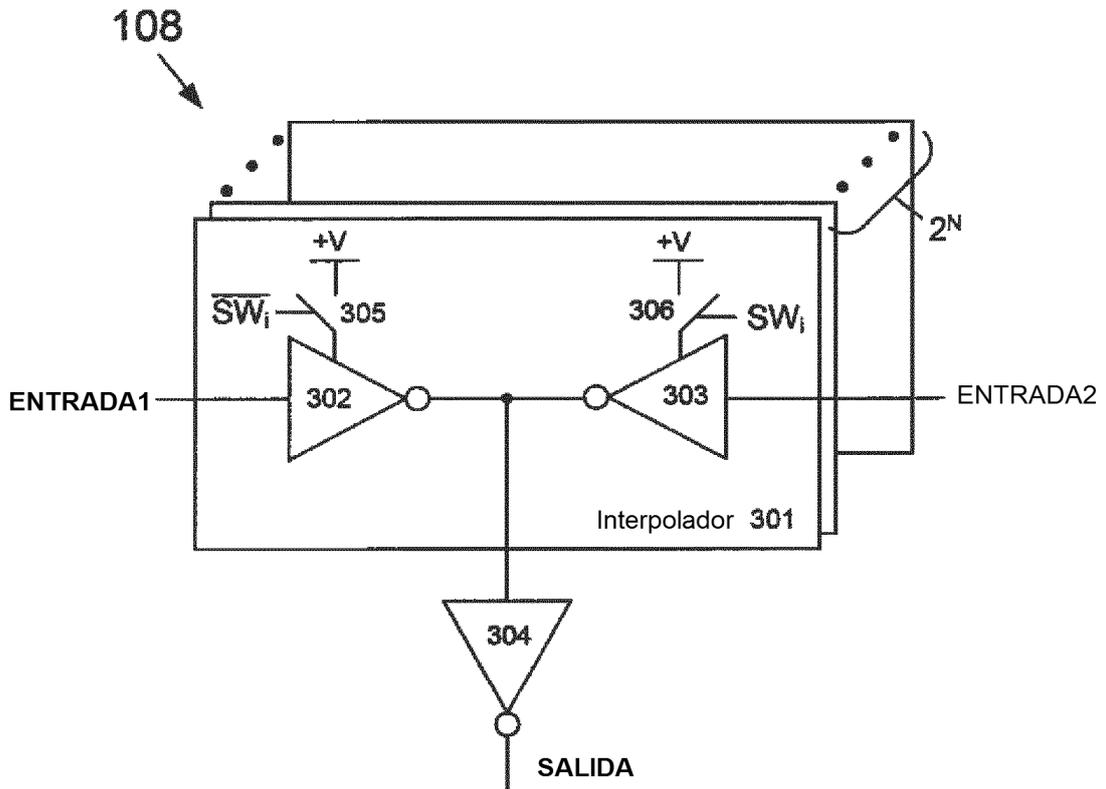


FIG. 3A

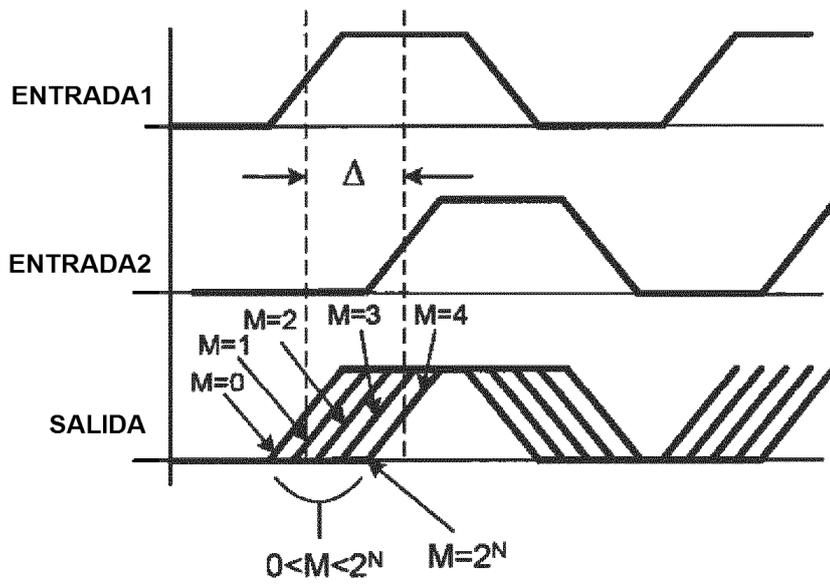


FIG. 3B

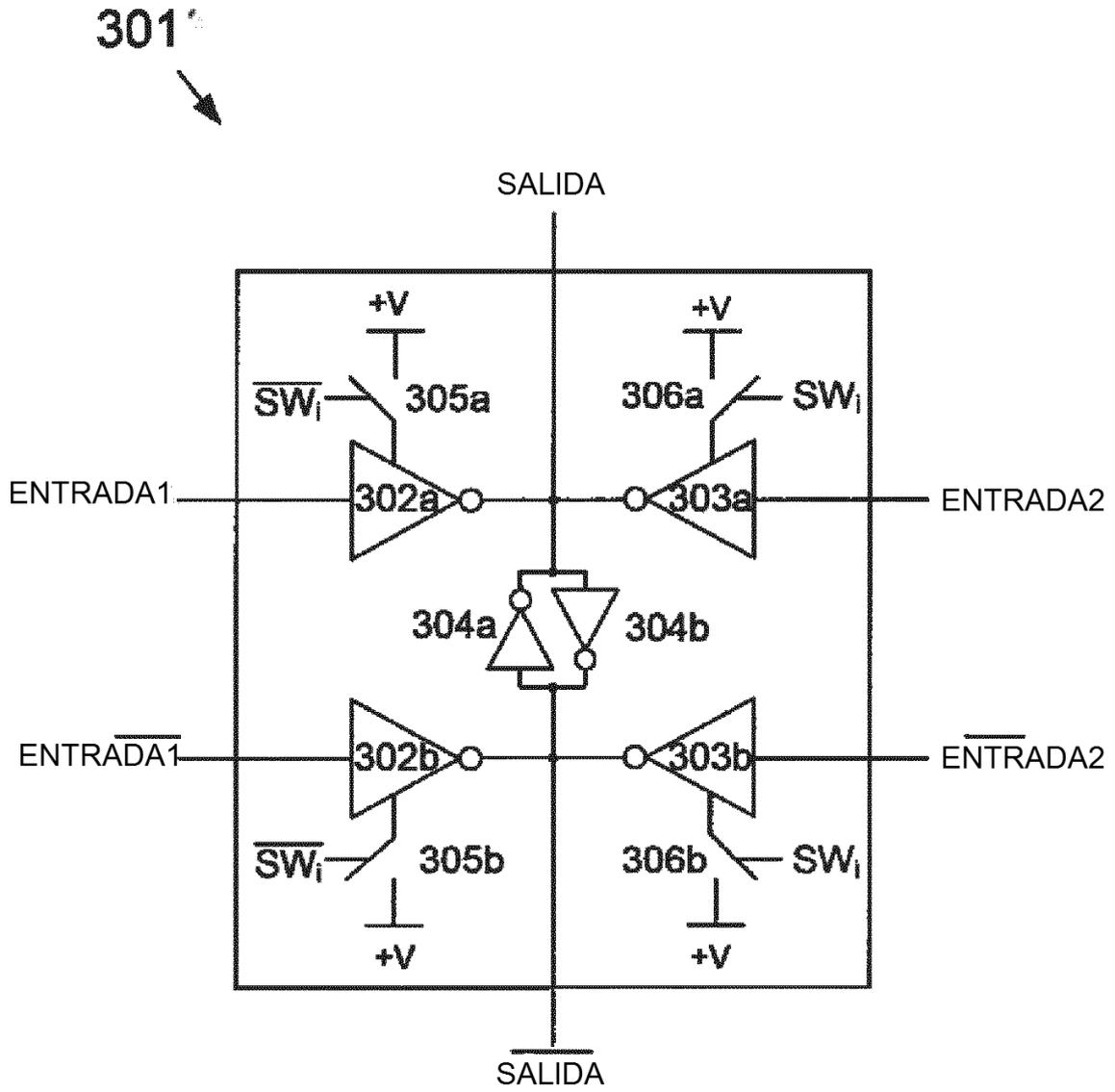


FIG. 3C

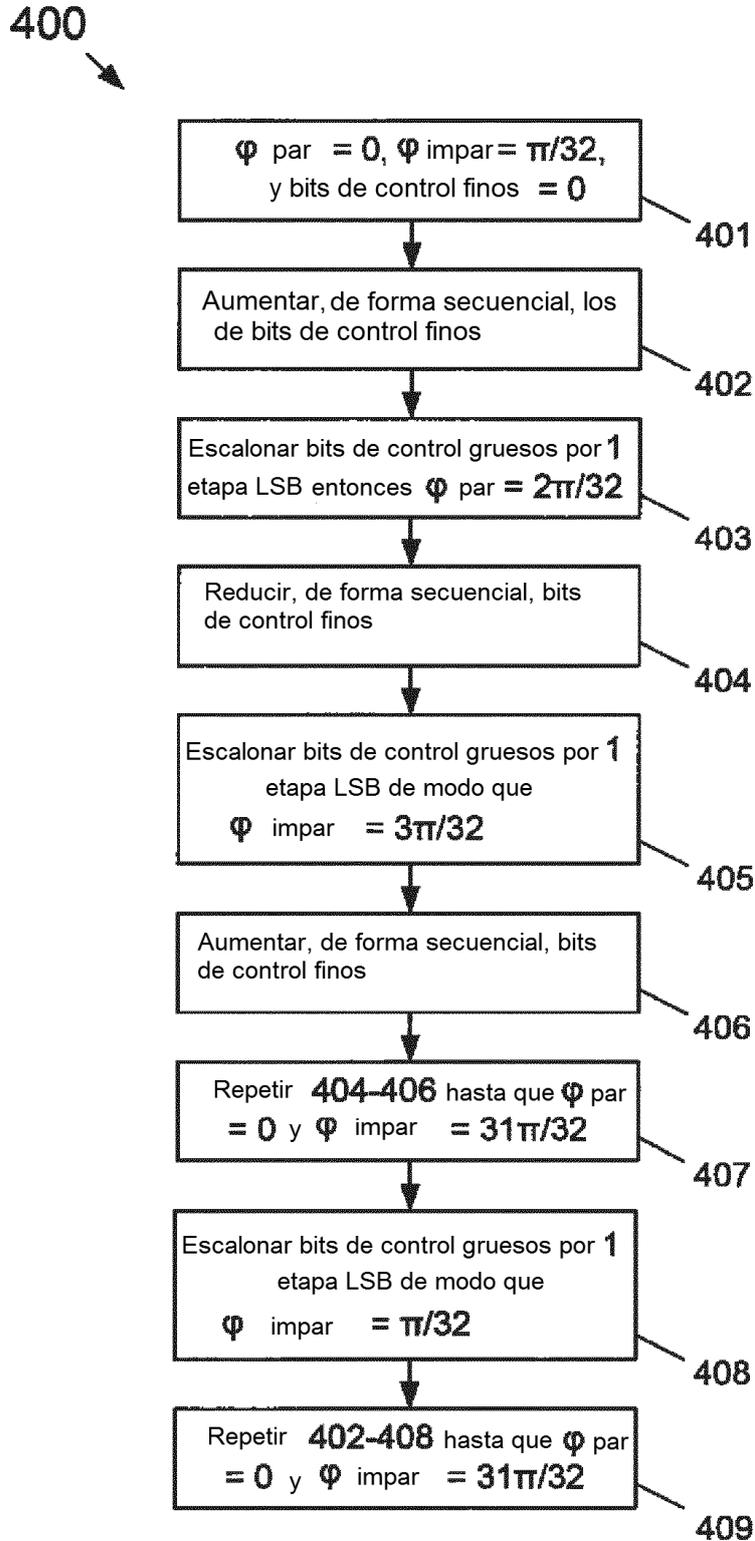
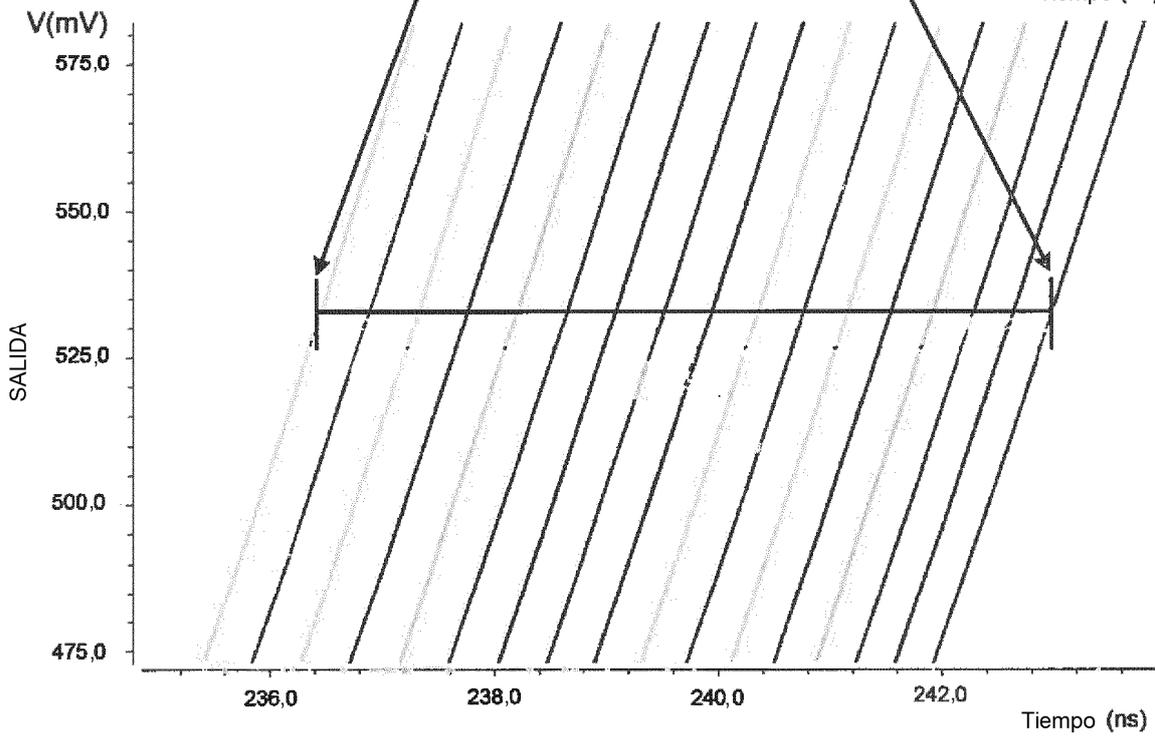
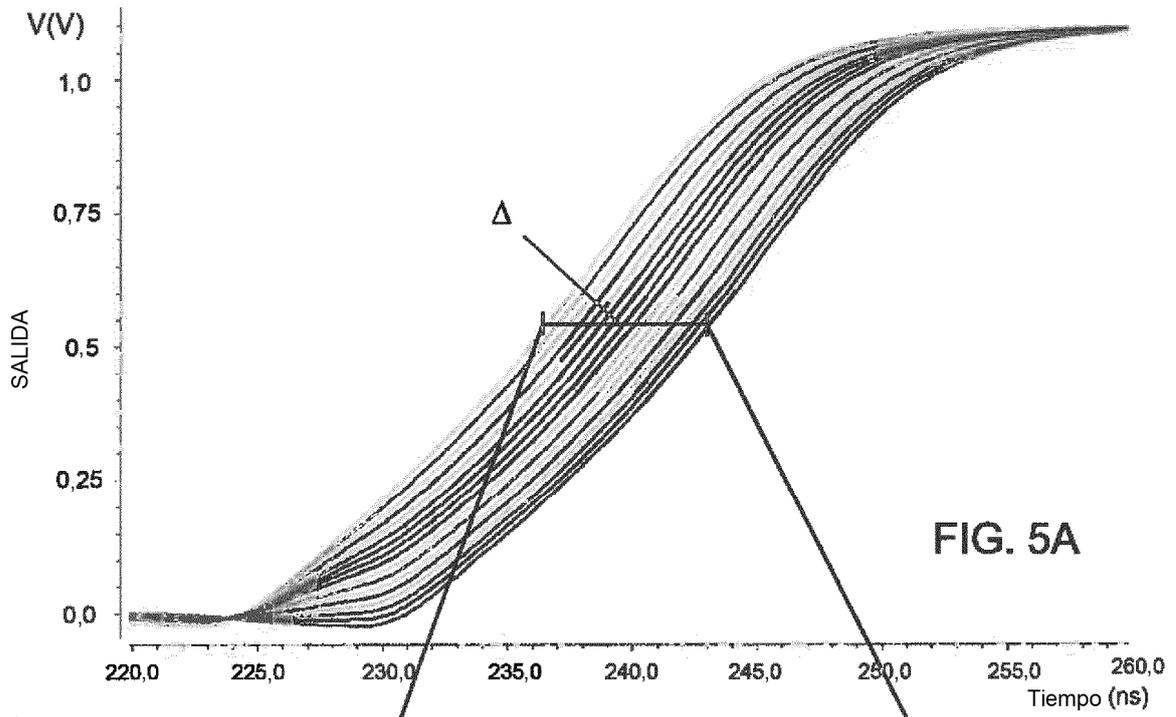


FIG. 4



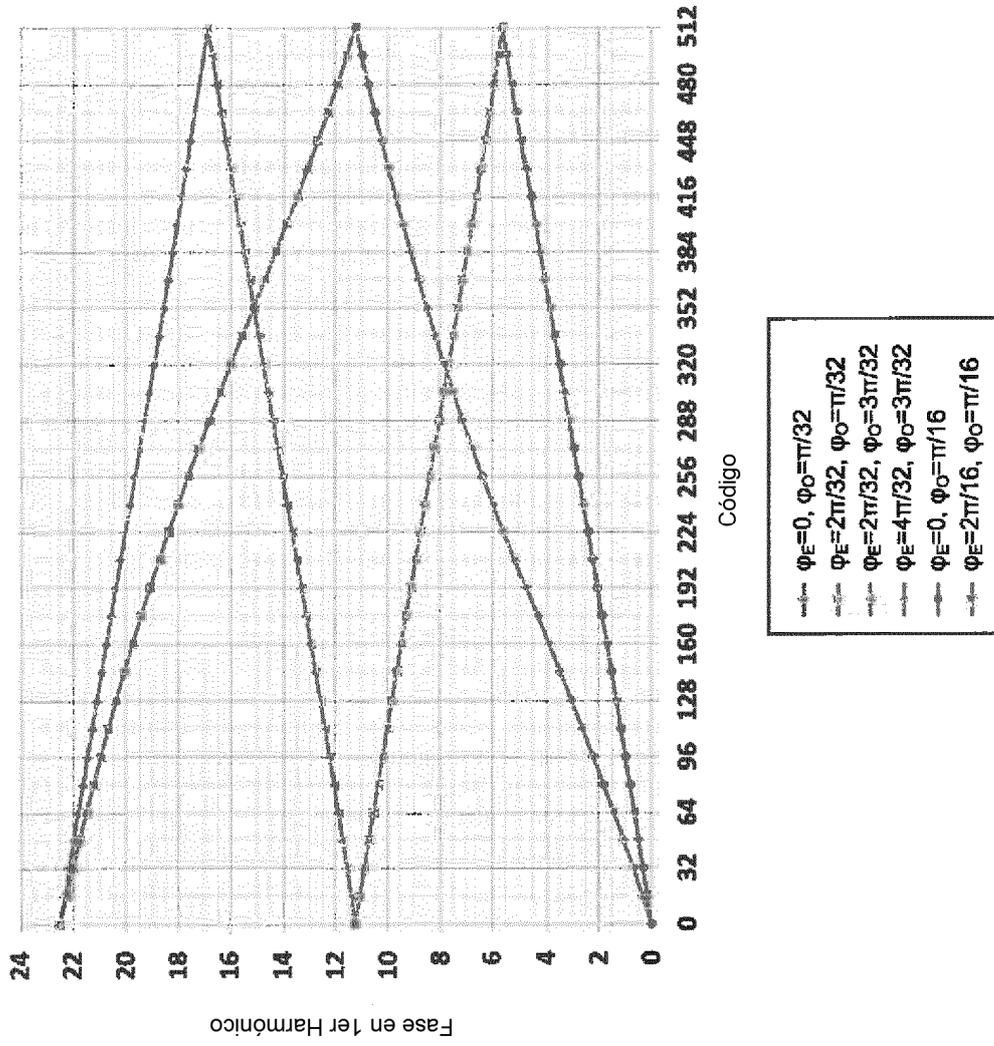


FIG. 6

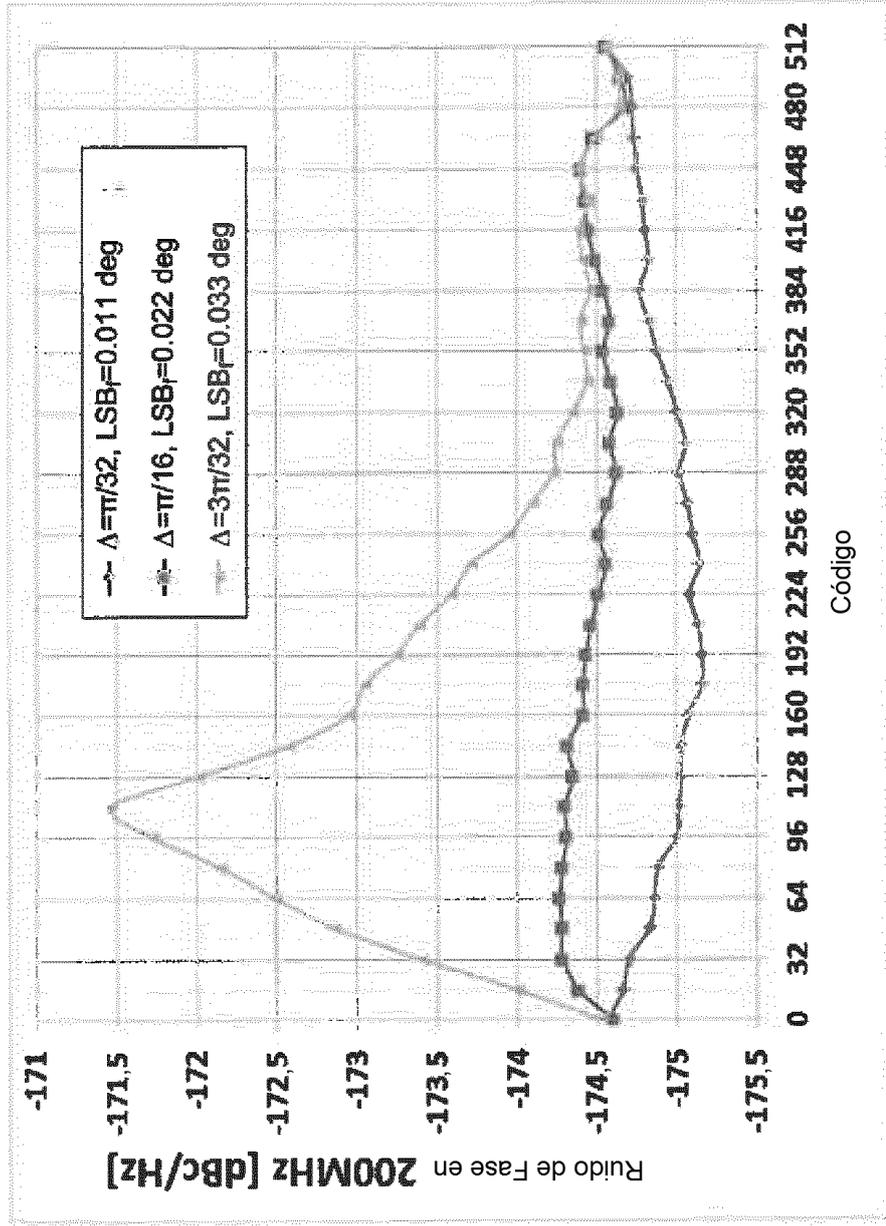


FIG. 7

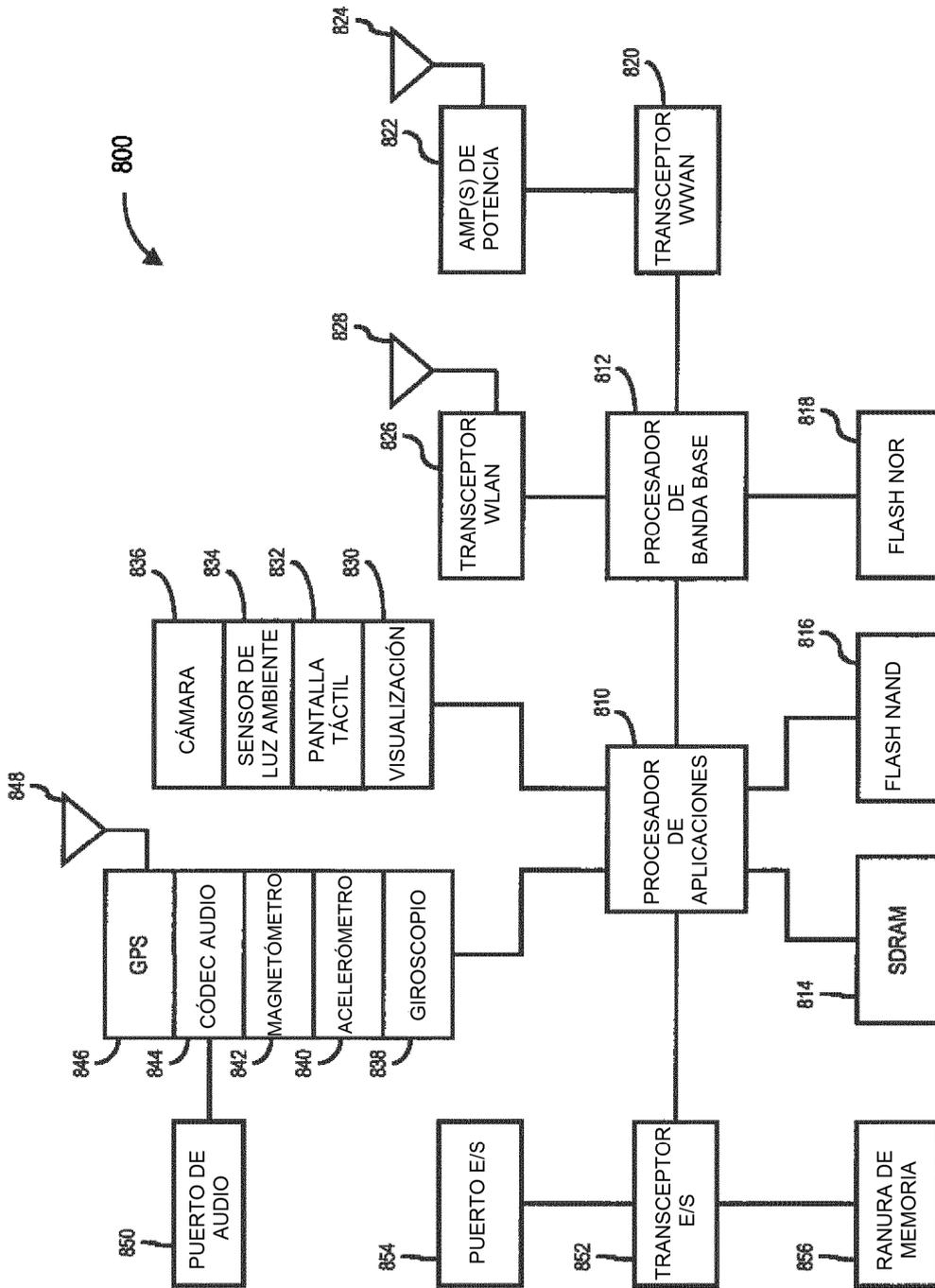


FIG. 8

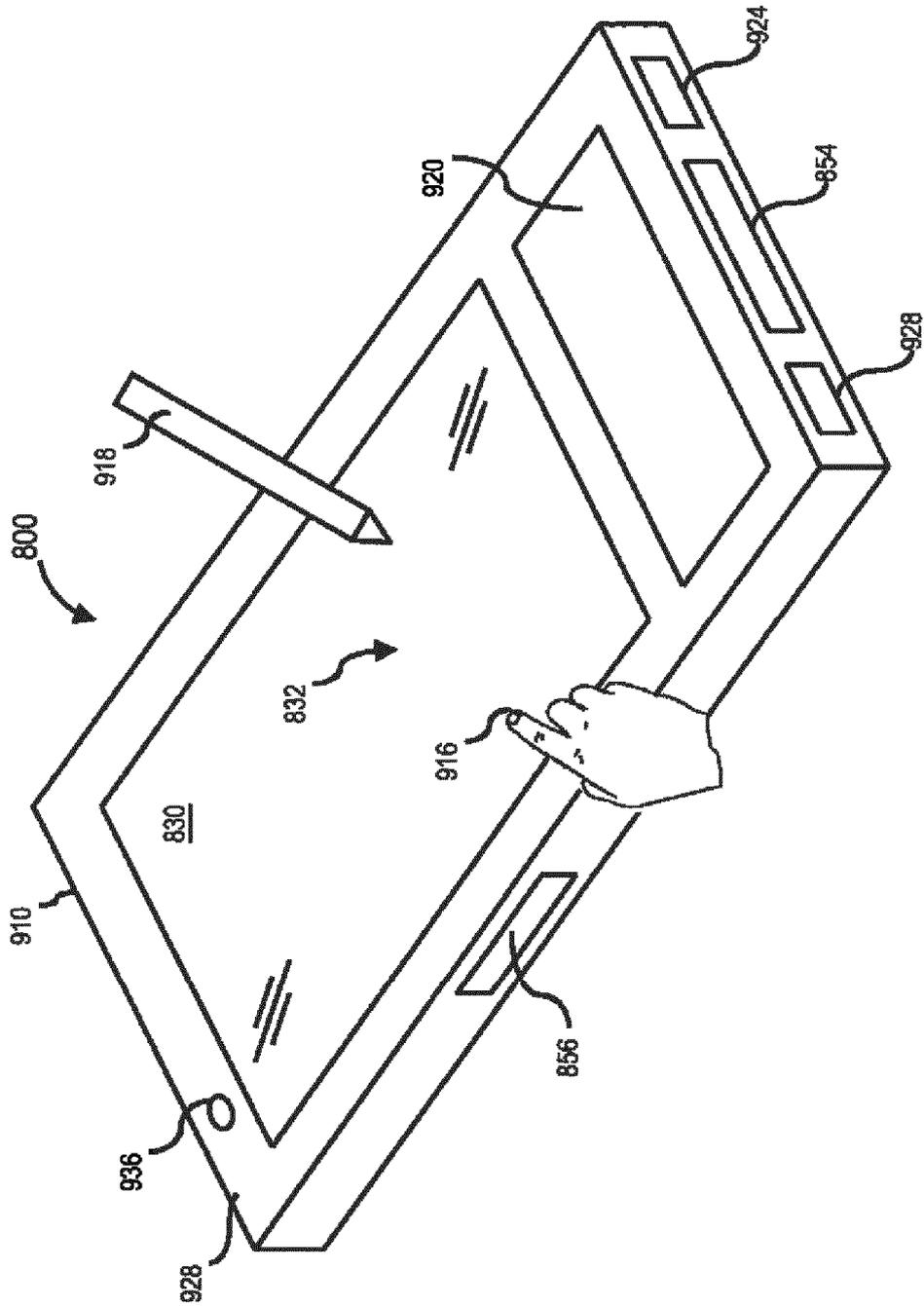


FIG. 9

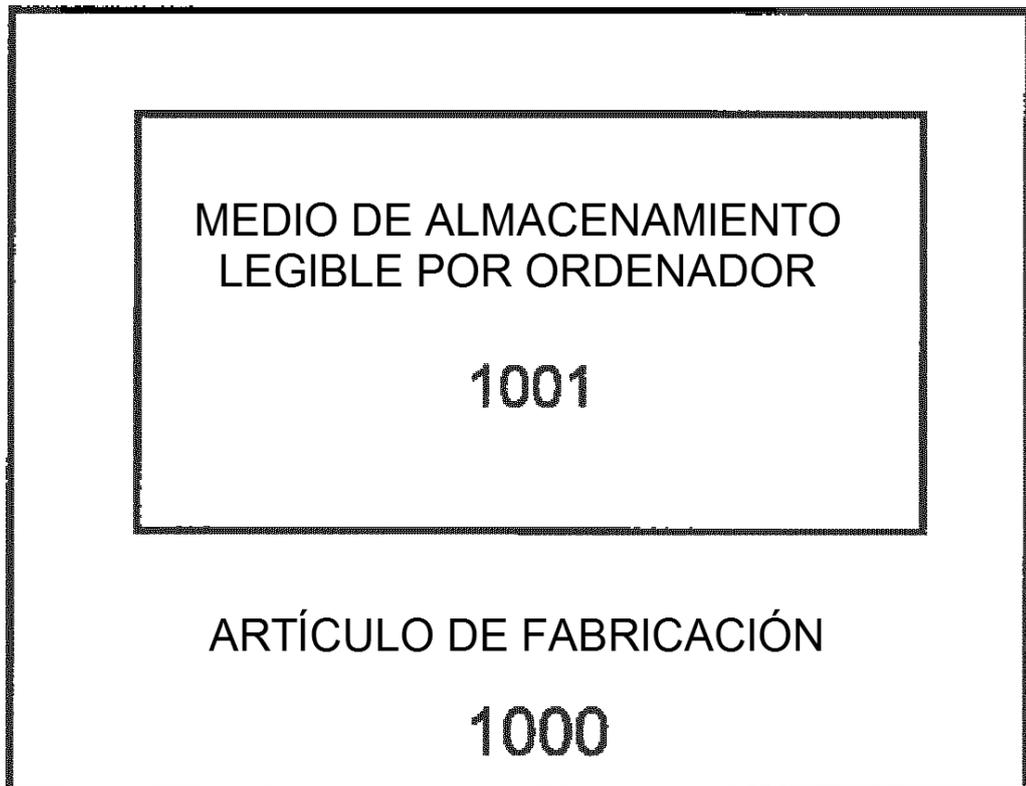


FIG. 10