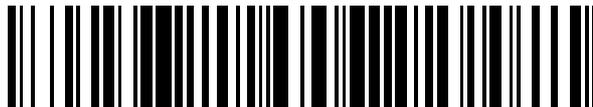


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 692 855**

51 Int. Cl.:

G06F 12/08 (2006.01)

G06F 11/34 (2006.01)

G06F 12/084 (2006.01)

G06F 12/0846 (2006.01)

G06F 12/0864 (2006.01)

G06F 12/0895 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **09.11.2015 PCT/US2015/059685**

87 Fecha y número de publicación internacional: **02.06.2016 WO16085642**

96 Fecha de presentación y número de la solicitud europea: **09.11.2015 E 15797233 (2)**

97 Fecha y número de publicación de la concesión europea: **15.08.2018 EP 3224727**

54 Título: **Generación de mediciones de uso aproximadas para sistemas de memoria caché compartida**

30 Prioridad:

25.11.2014 US 201462084469 P

22.09.2015 US 201514860993

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

05.12.2018

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)

5775 Morehouse Drive

San Diego, CA 92121-1714, US

72 Inventor/es:

HOWER, DEREK, ROBERT y

CAIN, III, HAROLD, WADE

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 692 855 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Generación de mediciones de uso aproximadas para sistemas de memoria caché compartida

5 *I. Campo de la divulgación*

[0001] La tecnología de la divulgación se refiere en general a sistemas de memoria caché compartida, y, en particular, a medir el uso de memorias caché compartidas.

10 *II. Antecedentes*

[0002] Un número creciente de unidades de hardware de ordenador (por ejemplo, unidades centrales de procesamiento (CPU), unidades de procesamiento gráfico (GPU), unidades de procesamiento de señal digital (DSP), y/o motores de acceso directo a memoria (DMA), como ejemplos no limitativos) están configurados para compartir recursos del sistema de memoria como memorias caché, memoria, ancho de banda de interconexión y ancho de banda de memoria caché. La interferencia de los recursos y los conflictos entre unidades de hardware podría tener consecuencias negativas, como la falta de un plazo en tiempo real en un sistema móvil en chip (SoC) o la violación de un acuerdo de nivel de servicio (SLA) en un servidor consolidado, como ejemplos limitativos. Además, los flujos de referencia asociados con algunas unidades de hardware informático pueden tener poca localidad temporal, lo cual ocasiona la contaminación de la memoria caché y un impacto negativo en el rendimiento general si no se controla. En consecuencia, supervisar los efectos del intercambio de recursos se ha vuelto más importante para obtener un rendimiento óptimo del sistema. En este sentido, puede ser deseable que los usuarios tengan la capacidad de supervisar el uso de los recursos compartidos.

[0003] Sin embargo, los sistemas de memoria caché convencionales, tales como los descritos en el documento titulado "CqoS: a framework for enabling QoS in shared caches of CMP platforms [CqoS: un marco para permitir QoS en memorias caché compartidas de plataformas CMP]" de Iyer R Ed - Association for Computing Machinery, DOI: 10.1145/1006209.1006246, ISBN: 978-1-58113-839-9, el documento titulado "Coloris [Coloris]" de Ying Ye *et al.*, DOI: 10.1145/2628071.2628104, ISBN: 978-1-4503-2809-8, el documento titulado "CacheScouts: Fine-Grain Monitoring of Shared Caches in CMP Platforms [CacheScouts: Supervisión fina de memorias caché compartidas en plataformas CMP]" por Li Zhao *et al.*, ISBN: 978-0-7695-2944-8, US 2009/0164730 A1 y US 2013/0138889 A1, no proporcionan un mecanismo que ahorre espacio para supervisar el uso de la memoria caché. Como resultado, tales sistemas de memoria caché convencionales pueden permanecer infrutilizados para proteger contra el peor rendimiento en presencia de interferencia de memoria caché. Además, la falta de retroalimentación con respecto a la ocupación de la memoria caché puede hacer que los sistemas de procesamiento informático no puedan proporcionar una programación óptima de las tareas del sistema.

SUMARIO DE LA DIVULGACIÓN

[0004] La presente divulgación se refiere a sistemas y procedimientos de memoria caché compartida, las características de los cuales se exponen en las reivindicaciones adjuntas. Los aspectos ilustrativos divulgados en la descripción detallada incluyen generar mediciones de uso aproximadas para sistemas de memoria caché compartida. A este respecto, en un aspecto, se proporciona un sistema de memoria caché compartida. El sistema de memoria caché compartida está configurado para aproximar el uso de la memoria caché para cada una de una pluralidad de clases de Calidad de Servicio (QoS), teniendo cada clase de QoS un identificador QoS asociado (QoSID). El sistema de memoria caché compartida incluye una pluralidad de líneas de memoria caché que están subdivididas en una pluralidad de subdivisiones de memoria caché. De acuerdo con algunos aspectos descritos en el presente documento, la pluralidad de subdivisiones de memoria caché puede comprender líneas de memoria caché individuales, conjuntos de líneas de memoria caché y/o bancos de líneas de memoria caché, como ejemplos no limitativos. Cada una de la pluralidad de subdivisiones de memoria caché está asociada con una de la pluralidad de clases de QoS para las que se debe aproximar el uso de la memoria caché. El sistema de memoria caché compartida también proporciona una pluralidad de etiquetas de seguimiento de QoSID correspondientes a la pluralidad de subdivisiones de memoria caché. Tras recibir una solicitud de acceso a memoria que comprende un QoSID, un monitor de uso de memoria caché del sistema de memoria caché compartida se configura además para acceder a una subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria. El monitor de uso de memoria caché está configurado para determinar si el QoSID de la solicitud de acceso a memoria corresponde a una clase de QoS asociada a la subdivisión de memoria caché. Basándose en esta determinación, el monitor de uso de memoria caché actualiza una etiqueta de seguimiento de QoSID asociada a la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria. De esta manera, la pluralidad de etiquetas de seguimiento de QoSID puede mantenerse para indicar si una clase de QoS asociada con cada subdivisión de memoria caché está realmente usando esa subdivisión de memoria caché en un momento dado.

[0005] El monitor de uso de la memoria caché está configurado además para generar una medición aproximada de utilización para una clase de QoS de la pluralidad de clases de QoS basándose en la pluralidad de etiquetas de seguimiento de QoSID. Al intercambiar la precisión de la medición de uso de memoria caché para reducir la sobrecarga de almacenamiento para la pluralidad de etiquetas de seguimiento de QoSID, el sistema de memoria caché compartida

puede proporcionar datos de medición de uso suficientes para gestionar la asignación de memoria caché, minimizando al mismo tiempo los impactos sobre el rendimiento del procesador y el consumo de energía.

[0006] En otro aspecto, se proporciona un sistema de memoria caché compartida. El sistema de memoria caché compartida comprende una pluralidad de subdivisiones de memoria caché. El sistema de memoria caché compartida comprende además una pluralidad de etiquetas de seguimiento de QoSID, cada una asociada con una subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché. El sistema de memoria caché compartida también comprende un monitor de uso de memoria caché. El monitor de uso de memoria caché está configurado para asociar cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché con una clase de QoS de una pluralidad de clases de QoS. El monitor de uso de memoria caché está configurado además para recibir una solicitud de acceso a memoria que comprende un QoSID. El monitor de uso de memoria caché también está configurado para acceder a una subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria entre la pluralidad de subdivisiones de memoria caché. El monitor de uso de memoria caché está configurado adicionalmente para determinar si el QoSID de la solicitud de acceso a memoria corresponde a la clase de QoS asociada con la subdivisión de memoria caché. El monitor de uso de memoria caché está configurado además para actualizar una pluralidad de etiquetas de seguimiento de QoSID de etiquetas de seguimiento de QoSID asociadas con la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria basándose en la determinación. El monitor de uso de memoria caché también está configurado para generar una medición de uso aproximada para la clase de QoS de la pluralidad de clases de QoS basándose en la pluralidad de etiquetas de seguimiento de QoSID.

[0007] En otro aspecto, se proporciona un sistema de memoria caché compartida. El sistema de memoria caché compartida comprende un medio para asociar cada subdivisión de memoria caché de una pluralidad de subdivisiones de memoria caché del sistema de memoria caché compartida con una clase de QoS de una pluralidad de clases de QoS. El sistema de memoria caché compartida comprende además un medio para recibir una solicitud de acceso a memoria que comprende un QoSID. El sistema de memoria caché compartida también comprende un medio para acceder a una subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria entre la pluralidad de subdivisiones de memoria caché. El sistema de memoria caché compartida comprende adicionalmente un medio para determinar si el QoSID de la solicitud de acceso a memoria corresponde a la pluralidad de clases de QoS de las clases de QoS asociadas con la subdivisión de memoria caché. El sistema de memoria caché compartida comprende además un medio para actualizar una etiqueta de seguimiento de QoSID de una pluralidad de etiquetas de seguimiento de QoSID asociadas con la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria basándose en los medios para determinar. El sistema de memoria caché compartida también comprende un medio para generar una medición de uso aproximada para la clase de QoS de la pluralidad de clases de QoS basándose en la pluralidad de etiquetas de seguimiento de QoSID.

[0008] En otro aspecto, se proporciona un procedimiento para el uso de memoria caché compartida de aproximación. El procedimiento comprende asociar cada subdivisión de memoria caché de una pluralidad de subdivisiones de memoria caché de un sistema de memoria caché compartida con una clase de QoS de una pluralidad de clases de QoS. El procedimiento comprende además recibir una solicitud de acceso a memoria que comprende un QoSID. El procedimiento también comprende acceder a una subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria entre la pluralidad de subdivisiones de memoria caché. El procedimiento comprende adicionalmente determinar si el QoSID de la solicitud de acceso a memoria corresponde a la pluralidad de clases de QoS de las clases de QoS asociadas con la subdivisión de memoria caché. El procedimiento comprende además la actualización de una etiqueta de seguimiento de QoSID de una pluralidad de etiquetas de seguimiento de QoSID asociadas con la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria basándose en la determinación. El procedimiento también comprende generar una medición de uso aproximada para la clase de QoS de la pluralidad de clases de QoS basándose en la pluralidad de etiquetas de seguimiento de QoSID.

BREVE DESCRIPCIÓN DE LAS FIGURAS

[0009]

La Figura 1 ilustra un sistema de memoria caché compartida a modo de ejemplo que incluye un controlador de memoria caché que comprende un monitor de uso de memoria caché para generar mediciones de uso aproximadas para el sistema de memoria caché compartida;

Las Figuras 2A-2D ilustran implementaciones de sistemas de memoria caché compartida en las que las clases de Calidad de Servicio (QoS) y las etiquetas de seguimiento de identificador de QoS (QoSID) están asociadas con subdivisiones de memoria caché que comprenden líneas de memoria caché, conjuntos de líneas de memoria caché y bancos de líneas de memoria caché, respectivamente;

Las Figuras 3A y 3B ilustran operaciones a modo de ejemplo del sistema de memoria caché compartida de la figura 1 para generar mediciones de uso aproximadas para el sistema de memoria caché compartida; y

La Figura 4 es un diagrama de bloques de un sistema basado en procesador a modo de ejemplo que puede incluir el sistema de memoria caché compartida de la figura 1 para proporcionar mediciones de uso aproximadas.

DESCRIPCIÓN DETALLADA

5 **[0010]** Con referencia ahora a las figuras de los dibujos, se describen varios aspectos a modo de ejemplo de la presente divulgación. El término "a modo de ejemplo" se usa en el presente documento para indicar que "sirve de ejemplo, caso o ilustración". Cualquier aspecto descrito en el presente documento como "a modo de ejemplo" no debe interpretarse necesariamente que es preferente o ventajoso con respecto a otros aspectos.

10 **[0011]** A este respecto, se proporciona la Figura 1 para ilustrar una estructura de un sistema de memoria caché compartida 100. El sistema de memoria de caché compartida 100 puede proporcionarse en una matriz de semiconductor, como un ejemplo no limitativo. En algunos aspectos, el sistema de memoria caché compartida 100 puede ser una memoria caché de nivel 1 (L1), una memoria caché de nivel 2 (L2), o una memoria caché de nivel 3 (L3), entre otros, en una jerarquía de memorias (no mostradas). En el ejemplo de la Figura 1, el sistema de memoria caché compartida 100 es una matriz de memorias organizadas en los bancos 102(0)-102(X). Cada uno de los bancos 15 102(0)-102(X) comprende uno o más conjuntos 104(0)-104(Y), con cada uno de los conjuntos 104(0)-104(Y) compuesto por un subconjunto de líneas de memoria caché 106(0)-106(L). El número Z de líneas de memoria caché 106(0)-106(L) en cada uno de los conjuntos 104(0)-104(Y) se denomina "asociatividad" del sistema de memoria caché compartida 100, y el grupo de líneas de memoria caché 106(0)-106(L) situadas en una posición particular de 0-Z dentro de cada uno de los conjuntos 104(0)-104(Y) se denomina "vía" 108(0)-108(Z) correspondiente. Cada vía 108(0)-108(Z) se puede visualizar así como un "fragmento" vertical de las líneas de memoria caché 106(0)-106(L) a través de todos los conjuntos 104(0)-104(Y).

25 **[0012]** Ha de entenderse que los aspectos descritos en el presente documento no se limitan a cualquier disposición particular de los elementos, y las técnicas divulgadas pueden extenderse fácilmente a diversas estructuras y diseños del sistema de memoria caché compartida 100. La configuración ilustrada en la figura 1 es solo para fines ilustrativos. En algunos aspectos, el sistema de memoria caché compartida 100 puede comprender menos o más bancos 102(0)-102(X), menos o más conjuntos 104(0)-104(Y), menos o más líneas de memoria caché 106(0)-106(L), y/o menos o más vías 108(0)-108(Z) que las aquí ilustradas.

30 **[0013]** Con referencia continuada a la figura 1, un controlador de memoria caché 110 está acoplado a cada banco 102(0)-102(X). En el funcionamiento convencional, un agente solicitante (no mostrado), tal como una aplicación de software de ejecución, puede solicitar una instrucción o valor (no mostrado) almacenado en una dirección de memoria (no mostrada). Si la instrucción o el valor solicitado no se encuentra en el sistema de memoria caché compartida 100, se produce un error de memoria caché. En respuesta, el controlador de memoria caché 110 puede iniciar una 35 operación de llenado de memoria caché, que provoca que una parte de la memoria del sistema (no mostrada) sea igual al tamaño de una o más de las líneas de memoria caché 106(0)-106(L) y que contiene el valor o instrucción solicitado, para ser recuperado y almacenado en una de las líneas de memoria caché 106(0)-106(L).

40 **[0014]** El sistema de memoria caché compartida 100 proporciona soporte para las clases múltiples de QoS 112(0)-112(N) para la implementación de soporte de QoS para el uso de memoria compartida. Cada una de las clases de QoS 112(0)-112(N) está asociado con un único QoSID 114(0)-114(N). Para asignar más eficientemente las líneas de memoria caché 106(0)-106(L) entre múltiples agentes solicitantes, el controlador de memoria caché 110 en algunos aspectos puede proporcionar un circuito de asignación de memoria caché 116. El circuito de asignación de memoria caché 116 puede habilitar el control del usuario de los recursos de memoria caché del sistema de memoria caché 45 compartida 100 asociando cada uno de los QoSID 114(0)-114(N) con un agente solicitante en particular, y especificando una asignación de las líneas de memoria caché 106(0)-106(L) a ese QoSID 114(0)-114(N).

50 **[0015]** Con la asignación de las líneas de memoria caché 106(0)-106(L) entre los QoSID 114(0)-114(N) (asignando por lo tanto de manera efectiva las líneas de memoria caché 106(0)-106(L) entre las clases de QoS correspondientes 112(0)-112(N)), el sistema de memoria caché compartida 100 puede mejorar el rendimiento de la memoria caché en una serie de escenarios de casos de uso. Por ejemplo, en algunos aspectos, el sistema de memoria caché compartida 100 puede habilitar restricciones en tiempo real para asegurar que las operaciones críticas de latencia llevadas a cabo por los agentes solicitantes tengan suficiente memoria caché para satisfacer los requisitos en tiempo real. Para proporcionar un servicio receptivo a las restricciones en tiempo real, el circuito de asignación de memoria caché 116 55 puede configurarse para garantizar que se preservará un conjunto de trabajo mínimo de las líneas de memoria caché 106(0)-106(L) para un agente solicitante de tiempo crítico en el sistema de memoria caché compartida 100. La asignación de las líneas de memoria caché 106(0)-106(L) mediante el circuito de asignación de memoria caché 116 también puede ser útil para aplicar Acuerdos de Nivel de Servicio (SLA) de informática de nube, y/o para restringir la asignación de memoria caché de las líneas de memoria caché 106(0)-106(L) para ciertos agentes solicitantes para mejorar el rendimiento general de un sistema de procesamiento informático.

60 **[0016]** La asignación eficiente de las líneas de memoria caché 106(0)-106(L) entre los múltiples agentes solicitantes implica el seguimiento de la utilización del sistema de memoria caché compartida 100 mediante diferentes clases de QoS 112(0)-112(N) con el fin de determinar los efectos de la asignación de recursos en el rendimiento general del sistema. Sin embargo, los sistemas de memoria caché convencionales no proporcionan un mecanismo de espacio eficiente para supervisar el uso de la memoria caché. Para supervisar cuántas de las líneas de memoria caché 106(0)-

106(L) son utilizadas por una clase de QoS dada 112(0)-112(N), el sistema de memoria caché compartida 100 tiene la capacidad de identificar esas líneas de memoria caché 106(0)-106(L) a los que accedió cada clase de QoS 112(0)-112(N).

5 **[0017]** Un enfoque implica el etiquetado de cada una de las líneas de memoria caché 106(0)-106(L) con el QoSID 114(0)-114(N) de la clase de QoS 112(0)-112(N) a la que la memoria caché las líneas 106(0)-106(L) están actualmente asignadas. Sin embargo, este enfoque puede ser prohibitivamente costoso en términos de espacio de almacenamiento dentro del sistema de memoria caché compartida 100. Por ejemplo, en un sistema que soporta un número N de clases de QoS 112(0)-112(N), cada QoSID 114(0)-114(N) tiene nominalmente $\log_2(N)$ bits de ancho. Por ejemplo, si el sistema de memoria caché compartida 100 tuviera 32 megabytes de tamaño, comprendiendo líneas de 128 bytes etiquetadas con QoSID de 8 bits 114(0)-114(N), los QoSID 114(0)-114(N) representarían 256 kilobytes, que puede ser aproximadamente el tamaño de una memoria caché L2 convencional en algunos núcleos de procesador de ordenador.

15 **[0018]** A este respecto, el sistema de memoria caché compartida 100 reduce la sobrecarga de almacenamiento mediante la generación de mediciones de uso aproximadas que son suficientemente precisas para uso en la determinación y supervisión de la asignación de las líneas de memoria caché 106(0)-106(L). El sistema de memoria caché compartida 100 proporciona así un monitor de uso de memoria caché 118 para proporcionar mediciones de uso aproximadas, tales como las mediciones de uso aproximadas 120 proporcionadas al circuito de asignación de memoria caché 116 del controlador de memoria caché 110. En algunos aspectos, los usuarios (no mostrados) pueden consultar el monitor de uso de memoria caché 118 utilizando los QoSID 114(0)-114(N) para descubrir una aproximación del uso de memoria caché actual de la clase de QoS correspondiente 112(0)-112(N). En tales aspectos, las mediciones de uso aproximadas 120 pueden proporcionarse a través de una interfaz asignada en memoria (no mostrada), como un ejemplo no limitativo.

25 **[0019]** Para proporcionar una supervisión eficiente con el espacio de uso de la de memoria caché, el monitor de uso de la de memoria caché 118 en algunos aspectos puede asociar cada una de una pluralidad de subdivisiones de memoria caché de las líneas de memoria caché 106(0)-106(L) con una de las clases de QoS 112(0)-112(N). De acuerdo con algunos aspectos, la pluralidad de subdivisiones de memoria caché puede comprender una o más de las líneas de memoria caché 106(0)-106(L), los conjuntos 104(0)-104(Y) de las líneas de memoria caché 106(0)-106(L), las vías 108(0)-108(Z) de las líneas de memoria caché 106(0)-106(L), o los bancos 102(0)-102(X) de las líneas de memoria caché 106(0)-106(L), como ejemplos no limitativos. Estas implementaciones a modo de ejemplo se analizan con mayor detalle a continuación con respecto a las Figuras 2A-2D. Cada subdivisión de memoria caché también está asociada con una de una pluralidad de etiquetas de seguimiento de QoSID (no mostradas), cada una de las cuales puede ser utilizada por el monitor de uso de memoria caché 118 para realizar un seguimiento de si la clase de QoS 112(0)-112(N) está actualmente utilizando la subdivisión de memoria caché con la que está asociada. De acuerdo con algunos aspectos, cada una de la pluralidad de etiquetas de seguimiento de QoSID puede comprender un solo bit. En algunos aspectos, la etiqueta de seguimiento de QoS puede comprender múltiples bits, permitiendo que cada subdivisión de memoria caché esté asociada a múltiples clases de QoS 112(0)-112(N). En algunos aspectos, la pluralidad de etiquetas de seguimiento de QoSID puede almacenarse en línea con las líneas de memoria caché 106(0)-106(L), mientras que algunos aspectos pueden hacer que la pluralidad de etiquetas de seguimiento de QoSID se almacenen en una estructura de datos de etiqueta de seguimiento de QoSID 122. Debe entenderse que, aunque la figura 1 ilustra la estructura de datos de etiqueta de seguimiento de QoSID 122 localizada dentro del controlador de memoria caché 110, la estructura de datos de etiqueta de seguimiento de QoSID 122 en algunos aspectos puede estar ubicada en otra parte dentro del sistema de memoria caché compartida 100 (por ejemplo, dentro del monitor de uso de memoria caché 118, como ejemplo no limitativo).

50 **[0020]** Al recibir una solicitud de acceso a memoria 124 que comprende un QoSID 126, el monitor de uso de la de memoria caché 118 accede a la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria 124, y determina si el QoSID 126 de la solicitud de acceso a memoria 124 corresponde a la clase de QoS 112(0)-112(N) asociada a la subdivisión de memoria caché. Basándose en esta determinación, el monitor de uso de memoria caché 118 puede actualizar la etiqueta de seguimiento de QoSID de la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria 124. Por ejemplo, en algunos aspectos que proporcionan etiquetas de seguimiento de QoSID de un bit, si el QoSID 126 de la solicitud de acceso a memoria 124 corresponde a la clase de QoS 112(0)-112(N) asociada a la subdivisión de memoria caché, el monitor de uso de memoria caché 118 puede establecer la etiqueta de seguimiento de QoSID de la subdivisión de memoria caché en un valor de uno (1). Si el QoSID 126 de la solicitud de acceso a memoria 124 no corresponde a la clase de QoS 112(0)-112(N) asociada a la subdivisión de memoria caché, el monitor de uso de memoria caché 118 puede establecer la etiqueta de seguimiento de QoSID de la subdivisión de memoria caché en un valor de cero (0). De esta manera, las etiquetas de seguimiento de QoSID pueden mantenerse para indicar si la clase de QoS 112(0)-112(N) asociada a cada subdivisión de memoria caché está realmente usando esa subdivisión de memoria caché en un momento dado.

65 **[0021]** Basándose en las etiquetas de seguimiento de QoSID, el monitor de uso de la de memoria caché 118 puede generar las mediciones de uso aproximadas 120 de las líneas de memoria caché 106(0)-106(L) para cada una de las clases de QoS 112(0)-112(N). En algunos aspectos, el monitor de uso de memoria caché 118 puede generar las mediciones de uso aproximadas 120 determinando una fracción de la pluralidad de subdivisiones de memoria caché asociadas con la clase de QoS 112(0)-112(N), y determinando además un recuento de las subdivisiones de memoria

caché asociadas con la clase de QoS 112(0)-112(N) para la cual se establece una etiqueta de seguimiento de QoSID asociada. El monitor de uso de memoria caché 118 puede entonces dividir el recuento de las subdivisiones de memoria caché por la fracción para generar las mediciones de uso aproximadas 120.

5 **[0022]** Como un ejemplo no limitativo, se supone que el sistema de memoria caché compartida 100 proporciona dieciséis (16) conjuntos 104(0)-104(15) que representan las subdivisiones de memoria caché. Los conjuntos 104(0)-104(7), o la mitad del número total de conjuntos 104(0)-104(15), están asociados con la clase de QoS 112(0) para fines de medición, mientras que los conjuntos 104(8)-104(15) están asociados con la clase de QoS 112(N) para fines de medición. Por lo tanto, la fracción de la pluralidad de subdivisiones de memoria caché asociadas con cada una de las clases de QoS 112(0) y 112(1), por ejemplo, es $\frac{1}{2}$ o 0,5. Supongamos además que seis (6) de los conjuntos 104(0)-104(5) que están asociados con la clase de QoS 112(0) tienen una etiqueta de seguimiento de QoSID asociada que se establece. Por consiguiente, el monitor de uso de memoria caché 118 puede generar una medición de uso aproximada 120 que estima que doce (12) (es decir, seis (6) divididos por 0,5) de los conjuntos 104(0)-104(15) están actualmente siendo usados por la clase de QoS 112(0).

15 **[0023]** En algunos aspectos, el monitor de uso de la memoria caché 118 puede mejorar su precisión mediante la asociación de las subdivisiones de memoria caché solamente con clases de QoS activas 112(0)-112(N), en lugar de asociar las subdivisiones de memoria caché con un número máximo fijo de clases de QoS 112(0)-112(N). Por ejemplo, si solo está activa una clase de QoS 112(0), la clase de QoS activa 112(0) puede asociarse con cada línea de memoria caché 106(0)-106(L) en el sistema de memoria caché compartida 100, lo cual da como resultado mediciones de uso aproximadas 120 que tienen cero error. Algunos aspectos pueden hacer que, además de reducir el número de bits necesarios para identificar una clase de QoS 112(0)-112(N), el monitor de uso de memoria caché 118 también pueda emplear procedimientos de muestreo convencionales. Como ejemplo no limitativo, las etiquetas de seguimiento de QoSID pueden asociarse solo con un subconjunto distribuido de las subdivisiones de memoria caché.

20 **[0024]** Las técnicas de aproximación se pueden combinar en algunos aspectos para proporcionar una configuración del sistema de memoria caché compartida 100 que tiene un equilibrio aceptable entre sobrecarga y precisión para una aplicación dada. Los requisitos de almacenamiento para las combinaciones proporcionadas en algunos aspectos se ilustran en la Tabla 1 a continuación. En la Tabla 1, se indica el almacenamiento total, en bytes, requerido por varias configuraciones. Cada entrada se calcula basándose en una memoria caché de 8 megabytes, 16 vías, línea de 128 bytes, 4 bancos y un sistema que soporta un máximo de 32 QoSID. El número entre paréntesis es el porcentaje de la sobrecarga relativa necesaria para realizar un seguimiento completo y preciso de la línea de memoria caché que se adjunta con un QoSID de 5 bits.

35

Tabla 1

Seguimiento completo	40960 bytes (100%)
Muestra 256 conjuntos por banco	10240 bytes (25%)
Muestra 4 vías por conjunto	10240 bytes (25%)
1 bit QoSID por línea	8192 bytes (20%)
Muestra 128 conjuntos por banco	5120 bytes (12,5%)
Muestra 2 vías por conjunto	5120 bytes (12,5%)
Muestra 512 conjuntos por banco, 8 vías por conjunto muestreado y 1 bit QoSID por línea muestreada	2048 bytes (5%)
Muestra 256 conjuntos por banco, 8 vías por conjunto muestreado y 1 bit QoSID por línea muestreada	2048 bytes (2,5%)
Muestra 128 conjuntos por banco, 8 vías por conjunto muestreado y 1 bit QoSID por línea muestreada	2048 bytes (1,25%)

40 **[0025]** Como se ha señalado anteriormente, en algunos aspectos, las subdivisiones de memoria caché puede comprender una o más de las líneas de memoria caché 106(0)-106(L), los conjuntos 104(0)-104(Y) de las líneas de memoria caché 106(0)-106(L), las vías 108(0)-108(Z) de las líneas de memoria caché 106(0)-106(L), o los bancos 102(0)-102(X) de las líneas de memoria caché 106(0)-106(L). A este respecto, las figuras 2A-2D se permiten ilustrar aspectos a modo de ejemplo que proporcionan subdivisiones de memoria caché 200(0)-200(L), 200(0)-200(Y), 200(0)-200(Z), 200(0)-200(X) que comprenden las líneas de memoria caché 106(0)-106(L), los conjuntos 104(0)-104(Y) de las líneas de memoria caché 106(0)-106(L), las vías 108(0)-108(Z) de las líneas de memoria caché 106(0)-106(L), y los bancos 102(0)-102(X) de las líneas de memoria caché 106(0)-106(L), respectivamente. En la figura 2A, las subdivisiones de memoria caché 200(0)-200(L) corresponden a una de las líneas de memoria caché 106(0)-106(L), con las líneas de memoria caché 106(0), 106(2) y 106(L) asociadas con la clase de QoS 112(0) y las líneas de memoria caché 106(1), 106(3) asociadas con la clase de QoS 112(1). Cada una de las subdivisiones de memoria caché 200(0)-

45

200(L) también está asociada con una etiqueta de seguimiento de QoSID correspondiente 202(0)-202(L), que comprende un solo bit. Las etiquetas de seguimiento de QoSID 202(0)-202(L) indican que la línea de memoria caché 106(1) está actualmente siendo usada por la clase de QoS 112(1) asociada, mientras que las líneas de memoria caché 106(2) y 106(L) actualmente están siendo usadas por la clase de QoS 112(0) asociada. Asimismo, la etiqueta de seguimiento de QoSID 202(0) indica que la línea de memoria caché 106(0) no está siendo utilizada actualmente por la clase de QoS 112(0) asociada, y la etiqueta de seguimiento de QoSID 202(3) indica que la línea de memoria caché 106(3) no está actualmente siendo usada por la clase de QoS 112(1) asociada.

[0026] En el ejemplo de la figura 2B, cada una de las subdivisiones de memoria caché 200(0)-200(Y) corresponde a uno de los conjuntos 104(0)-104(Y) de las líneas de memoria caché 106(0)-106(L). Los conjuntos 104(0), 104(2) y 104(Y) están asociados con la clase de QoS 112(0), mientras que los conjuntos 104(1), 104(3) están asociados con la clase de QoS 112(1). Las etiquetas de seguimiento de QoSID 202(0)-202(Y) asociadas con las subdivisiones de memoria caché 200(0)-200(Y) indican que el conjunto 104(1) está actualmente siendo usado por la clase de QoS 112(1) asociada, mientras que los conjuntos 104(2) y 104(Y) están actualmente siendo usados por la clase de QoS 112(0) asociada. De forma similar, la etiqueta de seguimiento de QoSID 202(0) indica que el conjunto 104(0) no está actualmente siendo usado por la clase de QoS 112(0) asociada, y la etiqueta de seguimiento de QoSID 202(3) indica que el conjunto 104(3) no está actualmente siendo usado por la clase de QoS 112(1) asociada.

[0027] En la figura 2C, cada una de las subdivisiones de memoria caché 200(0)-200(Z) corresponde a una de las vías 108(0)-108(Z) de las líneas de memoria caché 106(0)-106(L). Las vías 108(0), 108(2) y 108(Z) están asociadas con la clase de QoS 112(0), mientras que las vías 108(1), 108(3) están asociadas con la clase de QoS 112(1). Las etiquetas de seguimiento de QoSID 202(0)-202(Z) asociadas a las subdivisiones de memoria caché 200(0)-200(Z) indican que la vía 108(1) está actualmente siendo usada por la clase de QoS 112(1) asociada, mientras que las vías 108(2) y 108(Z) están actualmente siendo usadas por la clase de QoS 112(0) asociada. Asimismo, la etiqueta de seguimiento de QoSID 202(0) indica que la vía asociada 108(0) no está actualmente siendo usada por la clase de QoS 112(0) asociada, y la etiqueta de seguimiento de QoSID 202(3) indica que la vía 108(3) no está actualmente siendo usada por la clase de QoS 112(1) asociada.

[0028] En referencia ahora a la figura 2D, cada una de las subdivisiones de memoria caché 200(0)-200(X) en este ejemplo corresponde a uno de los bancos 102(0)-102(X) de las líneas de memoria caché 106(0)-106(L). Los bancos 102(0), 102(2) y 102(X) están asociados con la clase de QoS 112(0), mientras que los bancos 102(1), 102(3) están asociados con la clase de QoS 112(1). En este ejemplo, las etiquetas de seguimiento de QoSID 202(0)-202(X) asociadas con las subdivisiones de memoria caché 200(0)-200(X) indican que el banco 102(1) está actualmente siendo usado por la clase de QoS 112(1) asociada, mientras que los bancos 102(2) y 102(X) están actualmente siendo usados por la clase de QoS 112(0) asociada. De forma similar, la etiqueta de seguimiento de QoSID 202(0) indica que el banco 102(0) no está actualmente siendo usado por la clase de QoS 112(0) asociada, y la etiqueta de seguimiento de QoSID 202(3) indica que el banco 102(3) no está actualmente siendo usado por la clase de QoS 112(1) asociada.

[0029] Para ilustrar operaciones a modo de ejemplo del sistema de memoria caché compartida 100 de la Figura 1 para generar las mediciones de uso aproximadas 120, se proporciona las figuras 3A-3B. Al describir las Figuras 3A-3B, se hace referencia a los elementos de las Figuras 1 y 2A-2D en aras de la claridad. En la figura 3A, las operaciones comienzan con el monitor de uso de memoria caché 118 de la figura 1 asociando cada subdivisión de memoria caché 200(0) de la pluralidad de subdivisiones de memoria caché (por ejemplo, subdivisiones de memoria caché 200(0)-200(L), 200(0)-200(Y), 200(0)-200(Z), 200(0)-200(X)) del sistema de memoria caché compartida 100 con una clase de QoS 112(0) de una pluralidad de clases de QoS 112(0)-112(N) (bloque 300). A este respecto, el monitor de uso de memoria caché 118 puede denominarse en el presente documento "un medio para asociar cada subdivisión de memoria caché de una pluralidad de subdivisiones de memoria caché del sistema de memoria caché compartida con una clase de QoS de una pluralidad de clases de QoS".

[0030] El monitor de uso de la memoria caché 118 recibe a continuación una solicitud de acceso a memoria 124 que comprende un QoSID 126 (bloque 302). En consecuencia, el monitor de uso de memoria caché 118 se puede denominar en el presente documento "un medio para recibir una solicitud de acceso a memoria que comprende un QoSID". El monitor de uso de memoria caché 118 accede a una subdivisión de memoria caché 200(0) correspondiente a la solicitud de acceso a memoria 124 entre la pluralidad de subdivisiones de memoria caché 200(0)-200(L), 200(0)-200(Y), 200(0)-200(Z), 200(0)-200(X) (bloque 304). El monitor de uso de memoria caché 118 se puede denominar en el presente documento "un medio para acceder a una subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria entre la pluralidad de subdivisiones de memoria caché".

[0031] Con referencia continuada a la Figura 3A, el monitor de uso de la memoria caché 118 determina si el QoSID 126 de la solicitud de acceso a memoria 124 corresponde a la clase de QoS 112(0) asociada con la subdivisión de memoria caché 200(0) (bloque 306). A este respecto, el monitor de uso de memoria caché 118 se puede denominar en el presente documento "un medio para determinar si el QoSID de la solicitud de acceso a memoria corresponde a la pluralidad de clases de QoS de las clases de QoS asociadas con la subdivisión de memoria caché". Basándose en la determinación, el monitor de uso de memoria caché 118 actualiza la etiqueta de seguimiento de QoSID 202(0) asociada con la subdivisión de memoria caché 200(0) correspondiente a la solicitud de acceso a memoria 124 basándose en la determinación (bloque 308). Por consiguiente, el monitor de uso de memoria caché 118 puede

denominarse en el presente documento "un medio para actualizar una etiqueta de seguimiento de QoSID de una pluralidad de etiquetas de seguimiento de QoSID asociadas con la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria basada en los medios para determinar". El procesamiento se reanuda luego en el bloque 310 de la figura 3B.

5
 [0032] Volviendo ahora a la figura 3B, el monitor de uso de la memoria caché 118 genera una medición de uso aproximada 120 para una clase de QoS 112(0) de la pluralidad de clases de QoS 112(0)-112(Z), basándose en la pluralidad de etiquetas de seguimiento de QoSID 202(0)-202(N) (bloque 310). El monitor de uso de memoria caché 118 se puede denominar de este modo "un medio para generar una medición de uso aproximada para la clase de QoS de la pluralidad de clases de QoS basándose en la pluralidad de etiquetas de seguimiento de QoSID". En algunos aspectos, las operaciones del bloque 310 para generar la medición de uso aproximada 120 pueden incluir el monitor de uso de memoria caché 118 primero determinando una fracción de la pluralidad de subdivisiones de memoria caché 200(0)-200(X) asociadas con la clase de QoS 112(0) (bloque 312). A este respecto, el monitor de uso de memoria caché 118 se puede denominar en el presente documento "un medio para determinar una fracción de la pluralidad de subdivisiones de memoria caché asociadas con la clase de QoS". El monitor de uso de memoria caché 118 puede determinar a continuación un recuento de la pluralidad de subdivisiones de memoria caché 200(0)-200(X) asociadas con la clase de QoS 112(0) para la cual se establece una etiqueta de localización de QoSID asociada 202(0) (bloque 314). Por consiguiente, el monitor de uso de memoria caché 118 se puede denominar en el presente documento "un medio para determinar un recuento de la pluralidad de subdivisiones de memoria caché asociadas con la clase de QoS para la que se establece la etiqueta de seguimiento de QoSID asociada". El monitor de uso de memoria caché 118 puede entonces dividir el recuento de las subdivisiones de memoria caché 200(0)-200(X) por la fracción para generar la medición de uso aproximada 120 (bloque 316). El monitor de uso de memoria caché 118 puede de este modo denominarse en el presente documento "un medio para dividir el recuento de la pluralidad de subdivisiones de memoria caché por la fracción para generar la medición de uso aproximada".

25
 [0033] La generación de mediciones de uso aproximadas para sistemas de memoria caché compartida puede proporcionarse o integrarse en cualquier dispositivo basado en procesador. Los ejemplos, sin limitación, incluyen un módulo de conexión, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de ubicación fija, una unidad de datos de ubicación móvil, un teléfono móvil, un teléfono celular, un ordenador, un ordenador portátil, un ordenador de sobremesa, un asistente digital personal (PDA), un monitor, un monitor de ordenador, un televisor, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de discos de vídeo digital (DVD) y un reproductor de vídeo digital portátil.

35
 [0034] A este respecto, la Figura 4 es un diagrama de bloques de un sistema basado en un procesador a modo de ejemplo 400 que puede incluir el sistema de memoria caché compartida (SCMS) 100 que tiene el controlador de memoria caché 110 de la figura 1. En este ejemplo, el sistema basado en procesador 400 incluye una o más CPU 402, cada una de las cuales incluye uno o más procesadores 404. La o las CPU 402 pueden ser un dispositivo principal. La o las CPU 402 puede(n) tener una memoria caché 406 acoplada al/a los procesador(es) 404 para un rápido acceso a datos almacenados temporalmente. En algunos aspectos, la memoria caché 406 puede comprender el sistema de memoria caché compartida 100 y/o el controlador de memoria caché 110 de la Figura 1. La(s) CPU 402 está(n) acoplada(s) a un bus de sistema 408 y pueden inter-acoplar dispositivos principales y dispositivos secundarios incluidos en el sistema basado en procesador 400. Como es bien sabido, la o las CPU 402 se comunica(n) con estos otros dispositivos intercambiando información de dirección, control y datos por el bus del sistema 408. Por ejemplo, la(s) CPU 402 puede(n) comunicar solicitudes de transacciones de bus a un controlador de memoria 410 como un ejemplo de un dispositivo secundario.

50
 [0035] Al bus del sistema 408 pueden conectarse otros dispositivos principales y secundarios. Según se ilustra en la Figura 4, estos dispositivos pueden incluir un sistema de memoria 412, uno o más dispositivos de entrada 414, uno o más dispositivos de salida 416, uno o más dispositivos de interfaz de red 418 y uno o más controladores de visualización 420, como ejemplos. El/los dispositivo(s) 414 puede(n) incluir cualquier tipo de dispositivo de entrada, incluyendo, pero sin limitarse a, teclas de entrada, conmutadores, procesadores de voz, etc. El/los dispositivo(s) de salida 416 puede(n) incluir cualquier tipo de dispositivo de salida, incluyendo, pero sin limitarse a audio, vídeo, otros indicadores visuales, etc. El/los dispositivo(s) de interfaz de red 418 puede(n) ser cualquier dispositivo configurado para permitir el intercambio de datos a y desde una red 422. La red 422 puede ser cualquier tipo de red, incluyendo, pero sin limitarse a, una red cableada o inalámbrica, una red privada o pública, una red de área local (LAN), una red de área local amplia (WLAN), una red de área amplia (WAN), una red BLUETOOTH™ e Internet. El/los dispositivo(s) de interfaz de red 418 puede(n) configurarse para soportar cualquier tipo de protocolo de comunicaciones deseado. El sistema de memoria 412 puede incluir una o más unidades de memoria 424(0)-424(N).

60
 [0036] La o las CPU 402 también pueden estar configuradas para acceder al controlador o a los controladores de visualización 420 a través del bus del sistema 408, para controlar la información enviada a una o más pantallas 426. El/los controlador(es) de visualización 420 envía(n) información a la(s) pantalla(s) 426, para que se visualice(n) a través de uno o más procesadores de vídeo 428, que procesan la información que vaya de visualizarse a un formato adecuado para la(s) pantalla(s) 426. La o las pantallas 426 pueden incluir cualquier tipo de pantalla, incluyendo, pero

sin limitarse a, una pantalla de tubo de rayos catódicos (CRT), una pantalla de cristal líquido (LCD), una pantalla de plasma, etc.

5 **[0037]** Los expertos en la materia apreciarán, además, que los diversos bloques lógicos, módulos, circuitos y algoritmos ilustrativos descritos en relación con los aspectos divulgados en el presente documento pueden implementarse como hardware electrónico. Los dispositivos descritos en el presente documento pueden emplearse en cualquier circuito, componente de hardware, circuito integrado (IC) o chip de IC, como ejemplos. La memoria divulgada en el presente documento puede ser una memoria de cualquier tipo y tamaño y puede configurarse para almacenar cualquier tipo de información deseada. Para ilustrar claramente esta intercambiabilidad, anteriormente se han descrito diversos componentes, bloques, módulos, circuitos y pasos ilustrativos, en general en términos de su funcionalidad. Cómo se implementa dicha funcionalidad depende de la aplicación en particular, de las elecciones de diseño y/o de las restricciones de diseño que se imponen en el sistema general. Los expertos en la técnica pueden implementar la funcionalidad descrita de varias maneras para cada aplicación particular, pero no se debería interpretar que dichas decisiones de implementación suponen apartarse del alcance de las reivindicaciones adjuntas.

15 **[0038]** Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos en relación con los aspectos divulgados en el presente documento pueden implementarse o realizarse con un procesador, con un procesador de señales digitales (DSP), con un circuito integrado de aplicación específica (ASIC), con una matriz de puertas programable in situ (FPGA) o con otro dispositivo lógico programable, lógica de transistor o de puertas discretas, componentes de hardware discretos, o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador puede ser un microprocesador pero, como alternativa, el procesador puede ser cualquier procesador, controlador, micro-controlador o máquina de estado convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

20 **[0039]** También se señala que los pasos operativos descritos en cualquiera de los aspectos a modo de ejemplo en el presente documento se describen para proporcionar ejemplos y análisis. Las operaciones descritas pueden realizarse en numerosas secuencias diferentes distintas de las secuencias ilustradas. Además, las operaciones descritas en un único paso operativo pueden realizarse realmente en varios pasos diferentes. Adicionalmente, pueden combinarse uno o más pasos operativos analizados en los aspectos a modo de ejemplo. Se entenderá que los pasos operativos ilustrados en los diagramas de flujo pueden someterse a numerosas modificaciones diferentes, como resultará inmediatamente evidente para un experto en la técnica. Los expertos en la técnica también entenderán que la información y las señales pueden representarse usando cualquiera entre una amplia variedad de distintas tecnologías y técnicas. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan haberse mencionado a lo largo de la descripción anterior pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos o partículas ópticos o cualquier combinación de los mismos.

35 **[0040]** La anterior descripción de la invención se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Varias modificaciones de la divulgación serán fácilmente evidentes para los expertos en la técnica, estando dichas modificaciones dentro del alcance de las reivindicaciones adjuntas. Por lo tanto, la divulgación no está concebida para limitarse a los ejemplos y diseños ilustrativos descritos en el presente documento, sino que se le concede el alcance de las reivindicaciones adjuntas.

45

REIVINDICACIONES

1. Un sistema de memoria caché compartida (100), que comprende:
 - 5 un medio para asociar cada subdivisión de memoria caché de una pluralidad de subdivisiones de memoria caché (200(0)-200(Y)) del sistema de memoria caché compartida con una clase de calidad de servicio, QoS, de una pluralidad de clases de QoS (112);
 - 10 un medio para recibir una solicitud de acceso a memoria que comprende un identificador de QoS, QoSID;
 - 15 un medio para acceder a una subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria entre la pluralidad de subdivisiones de memoria caché;
 - 20 un medio para determinar si el QoSID de la solicitud de acceso a memoria corresponde a la clase de QoS de la pluralidad de clases de QoS asociadas con la subdivisión de memoria caché;
 - 25 un medio para actualizar una etiqueta de seguimiento de QoSID de una pluralidad de etiquetas de seguimiento de QoSID (202) asociadas con la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria basándose en los medios para determinar; y
 - 30 un medio para generar una medición de uso aproximada para la clase de QoS de la pluralidad de clases de QoS basándose en la pluralidad de etiquetas de seguimiento de QoSID, **caracterizado por que** dicho medio para generar la medición de uso aproximada para la clase de QoS de la pluralidad de clases de QoS, basándose en la pluralidad de etiquetas de seguimiento de QoSID, comprende:
 - 35 un medio para determinar una fracción de la pluralidad de subdivisiones de memoria caché asociadas con la clase de QoS;
 - 40 un medio para determinar un recuento de la pluralidad de subdivisiones de memoria caché asociadas con la clase de QoS para la cual se establece la etiqueta de seguimiento de QoSID asociada; y un medio para dividir el recuento de la pluralidad de subdivisiones de memoria caché por la fracción para generar la medición de uso aproximada.
- 35 2. El sistema de memoria caché compartida de la reivindicación 1, en el que cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché comprende una línea de memoria caché (106).
- 40 3. El sistema de memoria caché compartida de la reivindicación 1, en el que cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché comprende un conjunto (104) de líneas de memoria caché.
- 45 4. El sistema de memoria caché compartida de la reivindicación 1, en el que cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché comprende una vía (108) de líneas de memoria caché.
- 50 5. El sistema de memoria caché compartida de la reivindicación 1, en el que cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché comprende un banco (102) de líneas de memoria caché.
- 55 6. El sistema de memoria caché compartida de la reivindicación 1, en el que la pluralidad de etiquetas de seguimiento de QoSID (202) están asociadas a un subconjunto distribuido de la pluralidad de subdivisiones de memoria caché.
- 60 7. El sistema de memoria caché compartida (100) de cualquier reivindicación anterior, que comprende:
 - 65 un monitor de uso de memoria caché (118) configurado para:
 - proporcionar dichos medios para asociar dicha subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché;
 - proporcionar dichos medios para recibir dicha solicitud de acceso a memoria que comprende dicho QoSID;
 - proporcionar dichos medios para acceder a dicha subdivisión de memoria caché;
 - proporcionar dichos medios para determinar si el QoSID de la solicitud de acceso a memoria corresponde a la clase de QoS asociada con la subdivisión de memoria caché;
 - proporcionar dichos medios para actualizar dicha etiqueta de seguimiento de QoSID de la pluralidad de etiquetas de seguimiento de QoSID; y

proporcionar dichos medios para generar dicha medición de uso aproximada

8. El sistema de memoria caché compartida de la reivindicación 7 integrado en un circuito integrado, IC.
- 5 9. El sistema de memoria caché compartida de la reivindicación 7, integrado en un dispositivo seleccionado del grupo que consta de: un descodificador, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de ubicación fija, una unidad de datos de ubicación móvil, un teléfono móvil, un teléfono celular, un ordenador, un ordenador portátil, un ordenador de sobremesa, un asistente digital personal, PDA, un monitor, un monitor de ordenador, un televisor, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de disco de vídeo digital, DVD, y un reproductor de vídeo digital portátil.
- 10 10. Un procedimiento para aproximar el uso de la memoria caché compartida, que comprende:
- 15 asociar (300) cada subdivisión de memoria caché de una pluralidad de subdivisiones de memoria caché de un sistema de memoria caché compartida con una clase de calidad de servicio, QoS, de una pluralidad de clases de QoS;
- 20 recibir (302) una solicitud de acceso a memoria que comprende un identificador de QoS, QoSID;
- acceder a (304) una subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria entre la pluralidad de subdivisiones de memoria caché;
- 25 determinar (306) si el QoSID de la solicitud de acceso a memoria corresponde a la clase de QoS de la pluralidad de clases de QoS asociadas con la subdivisión de memoria caché;
- 30 actualizar (308) una etiqueta de seguimiento de QoSID de una pluralidad de etiquetas de seguimiento de QoSID asociadas con la subdivisión de memoria caché correspondiente a la solicitud de acceso a memoria basándose en la determinación; y
- 35 generar (310) una medición de uso aproximada para la clase de QoS de la pluralidad de clases de QoS basándose en la pluralidad de etiquetas de seguimiento de QoSID **caracterizada por que** dicho paso de generar la medición de uso aproximada para la clase de QoS de la pluralidad de clases de QoS, basándose en la pluralidad de etiquetas de seguimiento de QoSID, comprende:
- determinar (312) una fracción de la pluralidad de subdivisiones de memoria caché asociadas con la clase de QoS;
- 40 determinar (314) un recuento de la pluralidad de subdivisiones de memoria caché asociadas con la clase de QoS para la cual se establece la etiqueta de seguimiento de QoSID asociada; y
- 45 dividir (316) el recuento de la pluralidad de subdivisiones de memoria caché por la fracción para generar la medición de uso aproximada.
11. El procedimiento según la reivindicación 10, en el que cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché comprende una línea de memoria caché.
- 50 12. El procedimiento según la reivindicación 10, en el que cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché comprende un conjunto de líneas de memoria caché.
13. El procedimiento según la reivindicación 10, en el que cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché comprende una vía de líneas de memoria caché.
- 55 14. El procedimiento según la reivindicación 10, en el que cada subdivisión de memoria caché de la pluralidad de subdivisiones de memoria caché comprende un banco de líneas de memoria caché.
15. El procedimiento según la reivindicación 10, en el que la pluralidad de etiquetas de seguimiento de QoSID están asociadas a un subconjunto distribuido de la pluralidad de subdivisiones de memoria caché.

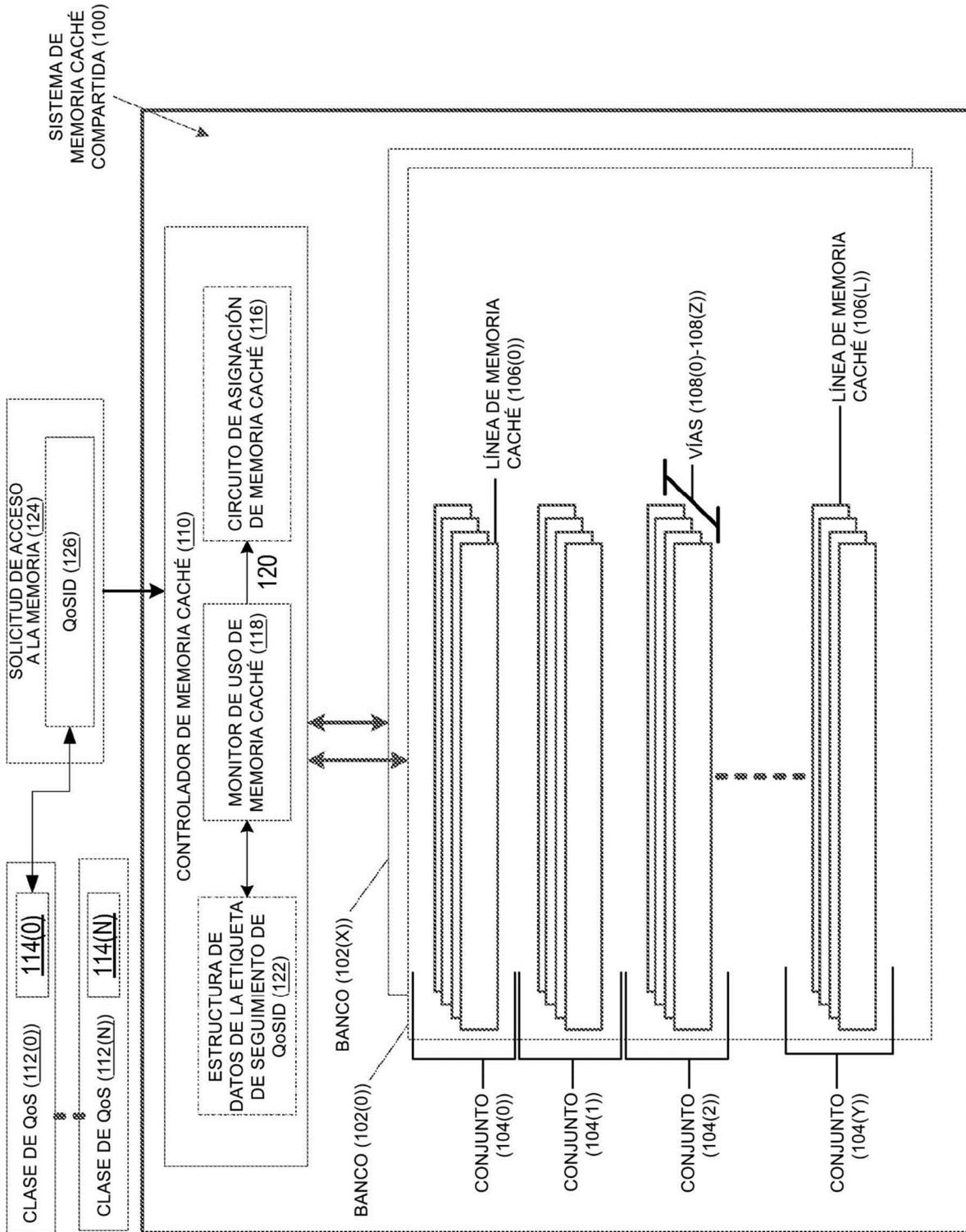


FIG. 1

SUBDIVISIONES DE
MEMORIA CACHÉ
(200(0)-200(L))

LÍNEA DE MEMORIA CACHÉ (106(0))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(0)): 0
LÍNEA DE MEMORIA CACHÉ (106(1))	CLASE DE QoS (112(1))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(1)): 1
LÍNEA DE MEMORIA CACHÉ (106(2))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(2)): 1
LÍNEA DE MEMORIA CACHÉ (106(3))	CLASE DE QoS (112(1))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(3)): 0
⋮	⋮	⋮
⋮	⋮	⋮
⋮	⋮	⋮
LÍNEA DE MEMORIA CACHÉ (106(L))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(L)): 1

FIG. 2A

SUBDIVISIONES DE
MEMORIA CACHÉ
(200(0)-200(Y))

CONJUNTO (104(0))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(0)): 0
CONJUNTO (104(1))	CLASE DE QoS (112(1))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(1)): 1
CONJUNTO (104(2))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(2)): 1
CONJUNTO (104(3))	CLASE DE QoS (112(1))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(3)): 0
⋮	⋮	⋮
CONJUNTO (104(Y))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(Y)): 1

FIG. 2B

SUBDIVISIONES DE
MEMORIA CACHE
(200(0)-200(Z))

VÍA (108(0))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(0)): 0
VÍA (108(1))	CLASE DE QoS (112(1))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(1)): 1
VÍA (108(2))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(2)): 1
VÍA (108(3))	CLASE DE QoS (112(1))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(3)): 0
⋮	⋮	⋮
⋮	⋮	⋮
⋮	⋮	⋮
VÍA (108(Z))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(Z)): 1

FIG. 2C

SUBDIVISIONES DE MEMORIA CACHÉ (200(0)-200(X))

BANCO (102(0))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(0)): 0
BANCO (102(1))	CLASE DE QoS (112(1))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(1)): 1
BANCO (102(2))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(2)): 1
BANCO (102(3))	CLASE DE QoS (112(1))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(3)): 0
⋮		
⋮		
⋮		
⋮		
BANCO (102(X))	CLASE DE QoS (112(0))	ETIQUETA DE SEGUIMIENTO DE QoSID (202(X)): 1

FIG. 2D

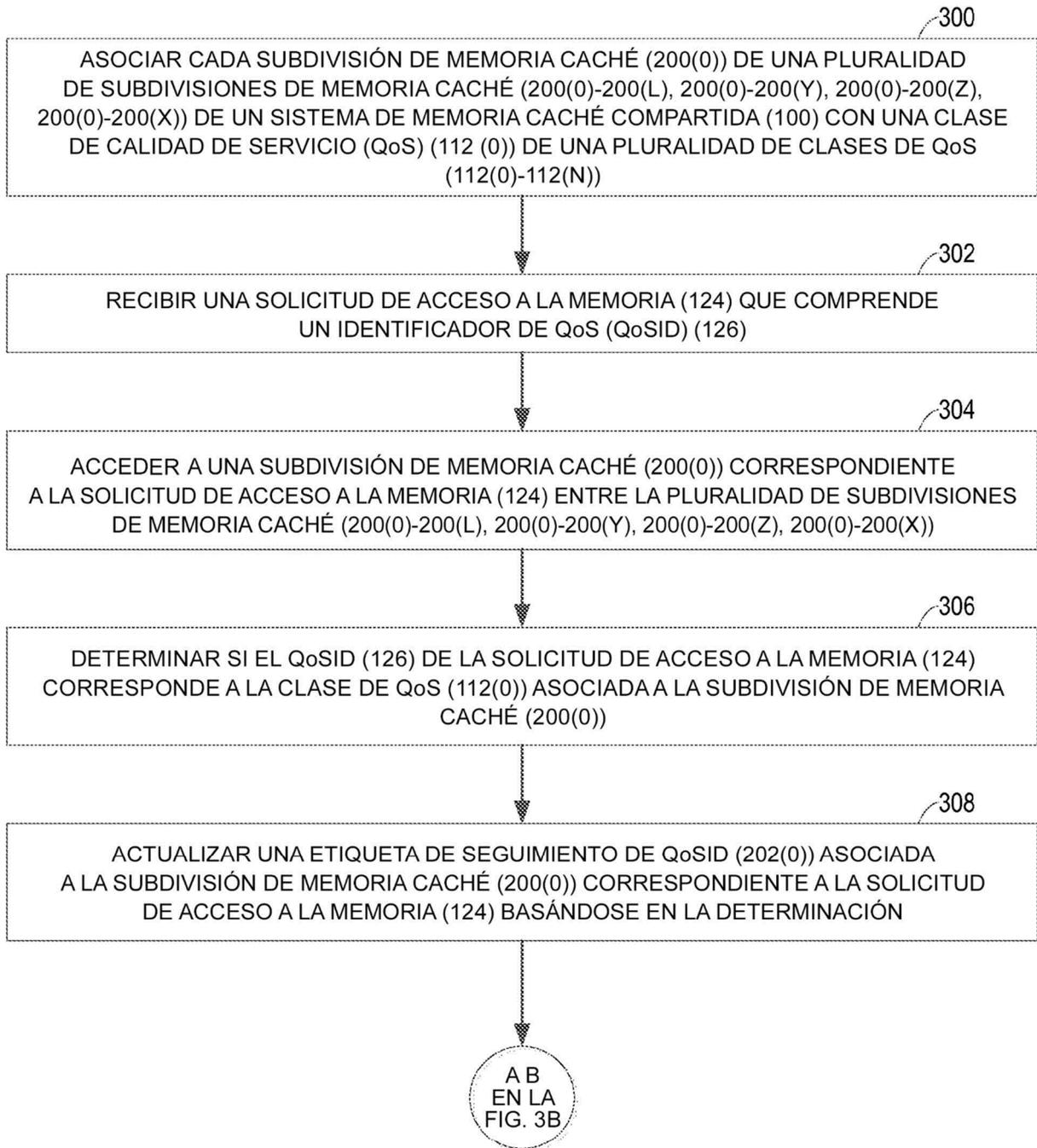


FIG. 3A

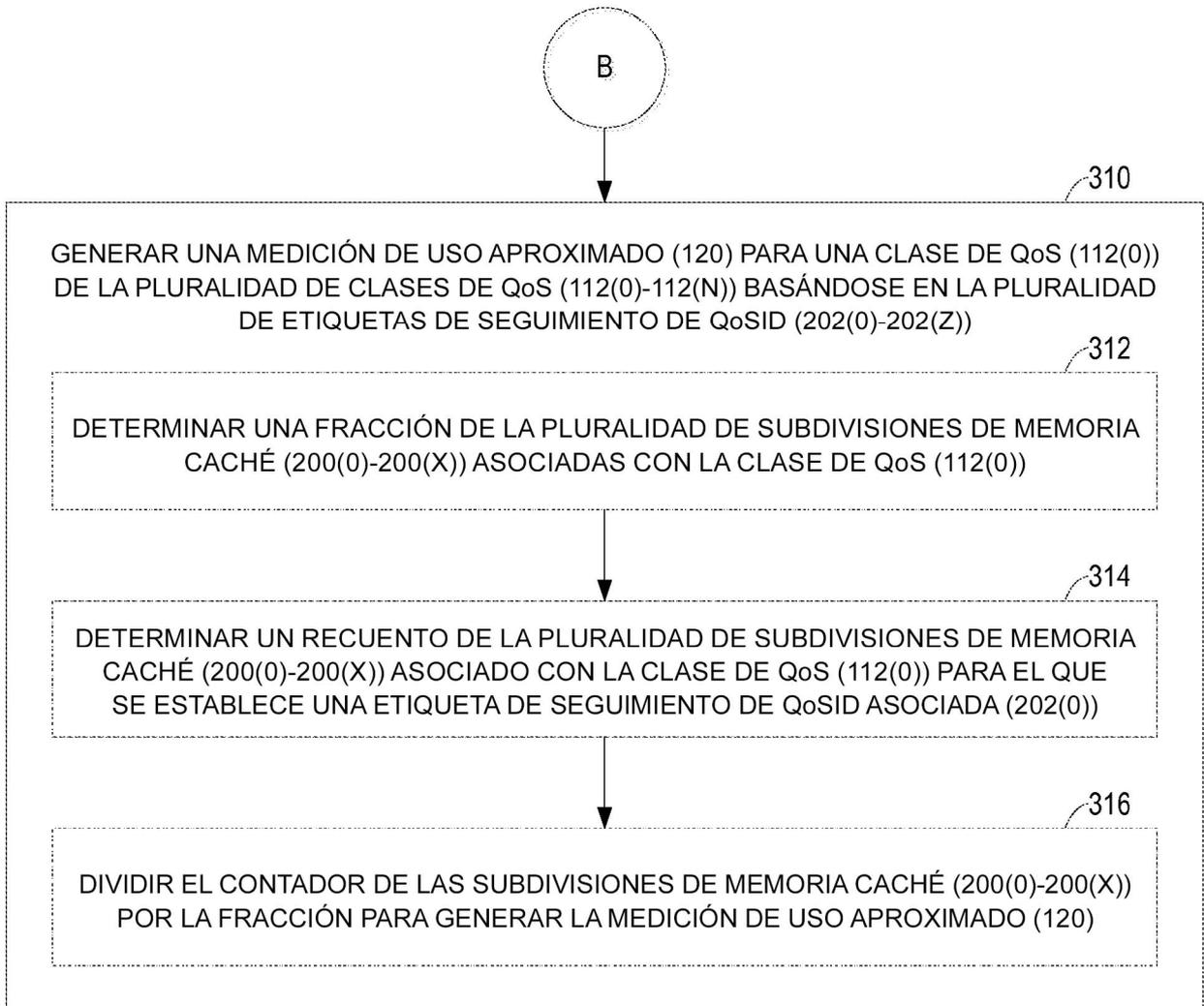


FIG. 3B

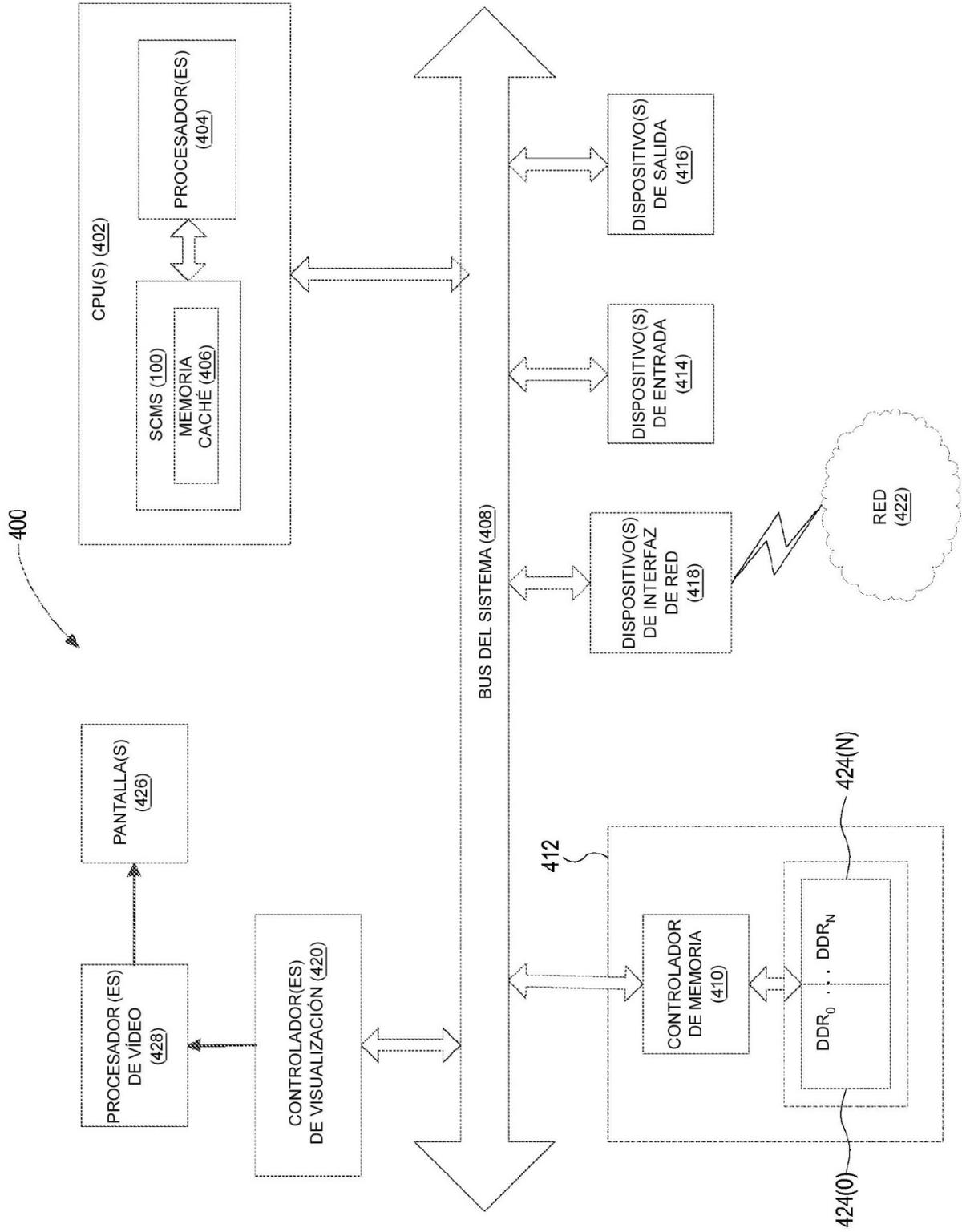


FIG. 4