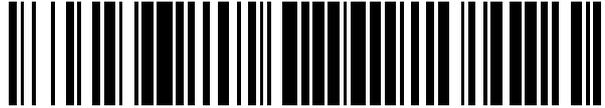


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 693 538**

51 Int. Cl.:

G06F 13/40 (2006.01)

G06F 13/42 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **15.04.2015 PCT/US2015/026033**
- 87 Fecha y número de publicación internacional: **29.10.2015 WO15164152**
- 96 Fecha de presentación y número de la solicitud europea: **15.04.2015 E 15720511 (3)**
- 97 Fecha y número de publicación de la concesión europea: **15.08.2018 EP 3134819**

54 Título: **GPIO virtual híbrida**

30 Prioridad:

21.04.2014 US 201461982286 P
05.11.2014 US 201414533431

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
12.12.2018

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US

72 Inventor/es:

MISHRA, LALAN JEE;
WIETFELDT, RICHARD DOMINIC;
PRASAD, MOHIT KISHORE y
PANIAN, JAMES LIONEL

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 693 538 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

GPIO virtual híbrida

5 CAMPO TÉCNICO

[0001] Esta solicitud se refiere a la entrada / salida de propósito general (GPIO) y, más en particular, a un circuito integrado configurado para usar un par de clavijas como clavijas de GPIO virtual.

10 ANTECEDENTES

[0002] La entrada / salida de propósito general (GPIO) permite a un diseñador de circuitos integrados proporcionar clavijas genéricas que pueden personalizarse para aplicaciones particulares. Por ejemplo, una clavija de GPIO es programable para que sea una clavija de salida o de entrada, según las necesidades de un usuario. Un módulo o periférico de GPIO generalmente controlará grupos de clavijas que pueden variar en función del requisito de interfaz. Debido a la programabilidad de las clavijas de GPIO, usualmente se incluyen en aplicaciones de microprocesadores y micro-controladores. Por ejemplo, un procesador de aplicaciones en dispositivos móviles puede usar una serie de clavijas de GPIO para llevar a cabo la señalización de coloquios, tal como la comunicación entre procesadores (IPC) con un procesador de módem.

[0003] Con respecto a tal señalización de coloquio, una señal de banda lateral se considera como "simétrica" si debe ser tanto transmitida como recibida por un procesador. Si hay n señales simétricas de banda lateral que deben intercambiarse, cada procesador requiere $n*2$ GPIO (una GPIO para transmitir una señal dada y una GPIO para recibir esa señal). Por ejemplo, una interfaz simétrica de IPC entre un procesador de módem y un procesador de aplicaciones puede comprender cinco señales, lo que se traduce en que 10 clavijas de GPIO sean necesarias para la señalización de la IPC resultante. La necesidad de tantas clavijas de GPIO para la comunicación IPC aumenta el coste de fabricación. Además, dedicar demasiadas GPIO para la IPC limita la disponibilidad de la GPIO para otras interfaces periféricas al nivel del sistema. El problema no se puede resolver desplazando la comunicación IPC al bus de datos principal entre los procesadores, en cuanto a que se infringen ciertas condiciones furtivas.

[0004] Además de las señales de GPIO, es convencional que un procesador envíe mensajes con dispositivos externos, tal como a través de un bus de SPI que tiene una clavija de transmisión dedicada y una clavija de recepción. A diferencia de una señal de GPIO, una señal de mensajería de este tipo no está dedicada a una clavija en particular. En otras palabras, pueden transmitirse mensajes mixtos por la clavija de transmisión de mensajería dedicada. El dispositivo receptor, a priori, no sabe a qué se refiere la mensajería, a diferencia de una señal de GPIO - la señal GPIO está dedicada a una clavija de GPIO particular, por lo que el hecho de que la señal de GPIO se reciba en la clavija de GPIO correspondiente la identifica al procesador. Pero ese no es el caso para una señal de mensajería. Tales señales tienen bits de dirección que el procesador utiliza para encaminar la señal de mensajería recibida al registro adecuado. Tras el registro, el procesador debe interpretar entonces el mensaje registrado. La necesidad resultante de una clavija de transmisión de mensajería dedicada y una clavija de recepción de mensajería dedicada aumenta significativamente el coste de fabricación.

[0005] En consecuencia, existe la necesidad en la técnica de una arquitectura híbrida de GPIO y de mensajería que pueda asimilar numerosas señales de entrada / salida sin requerir un número excesivo de clavijas. El documento US 2014/0108679 divulga dos chips integrados que se comunican mediante clavijas de GPIO y clavijas de TX / RX unidireccionales. Gracias a una interfaz de máquina de estados finita, las clavijas de TX / RX se ven como clavijas de GPIO virtual. La máquina de estados finitos comprende registros de configuración con información de estado.

SUMARIO

[0006] La invención se expone en el conjunto adjunto de reivindicaciones. Se proporciona una arquitectura de GPIO virtual híbrida para la comunicación entre dos circuitos integrados que tienen, cada uno, un procesador. Esta arquitectura se considera "híbrida" ya que admite tanto las señales de GPIO como las señales de mensajes. Como se ha expuesto anteriormente, una señal de GPIO en un sistema de GPIO convencional está dedicada a una clavija específica. La recepción de la señal de GPIO en la correspondiente clavija de GPIO identifica la señal al procesador receptor. Pero se recibe una señal de mensaje en una clavija de recepción dedicado, tal como en la interfaz periférica en serie (SPI) o una interfaz de comunicación entre procesos (IPC). Por lo tanto, se pueden recibir señales de mensajes surtidos en la misma clavija de recepción dedicada. Para distinguir entre las señales de mensajes, es convencional que las señales de mensajes incluyan un encabezado de dirección que contenga una dirección. El procesador receptor encamina el mensaje recibido a un registro adecuado basándose en la dirección. Por ejemplo, un tipo de mensaje puede estar relacionado con la identidad de una tarjeta instalada, tal como una tarjeta inalámbrica o una tarjeta de GPS. Tal mensaje tendría entonces una dirección que se correlaciona con un registro adecuado de modo que el contenido del mensaje correspondiente se pueda registrar en consecuencia. Al interpretar los contenidos resultantes del registro, el procesador puede luego interpretar la identidad de las tarjetas instaladas. Otros tipos de mensajes se encaminarían a los registros adecuados de forma análoga.

[0007] En la interfaz híbrida de GPIO divulgada aquí, las señales de mensajería se transmiten por la misma clavija de transmisión dedicada que transporta las señales de GPIO virtual. El número de señales de GPIO virtual y el número de señales de mensajes se pueden personalizar para un par de procesadores de transmisión y recepción dados. Se divulga un protocolo de protocolo de coloquio de modo que los procesadores, en sus respectivos circuitos integrados, puedan ser informados del número de señales de GPIO virtual y de mensajes. Cada circuito integrado también incluye una interfaz híbrida de GPIO para comunicarse con el procesador remoto utilizando un conjunto de señales. Este conjunto de señales comprende un conjunto de señales de GPIO, un conjunto de señales de GPIO virtual y una o más señales de mensajes. Cada circuito integrado incluye así un conjunto de clavijas de GPIO correspondientes al conjunto de señales de GPIO. Estas clavijas de GPIO se utilizan para transmitir el conjunto de señales de GPIO de manera convencional, como se conoce en la técnica de GPIO.

[0008] A diferencia del conjunto de señales de GPIO, el conjunto de señales de GPIO virtual y las señales de mensajes no se transmiten por clavijas de GPIO. En cambio, cada circuito integrado transmite y recibe el conjunto de señales de GPIO virtual y las señales de mensajería utilizando una clavija de transmisión dedicada y una clavija de recepción dedicada. En ese sentido, el conjunto de señales de GPIO virtual comprende un conjunto de transmisión y un conjunto de recepción. Una máquina de estados finitos (FSM) en cada circuito integrado está configurada para transmitir en serie el conjunto de transmisión al procesador remoto a través de la clavija de transmisión dedicada. La máquina de estados finitos está configurada además para recibir en serie el conjunto de recepción de señales de GPIO virtual desde el procesador remoto a través de la clavija de recepción dedicada.

[0009] Las señales de mensajes pueden comprender cualquier tipo de señal que se transmite comúnmente por un bus dedicado que es compartido por las diversas señales de mensajes. Por ejemplo, una señal de mensaje puede comprender una señal de circuito inter-integrado (I2C) utilizada para la configuración inicial de un procesador. Al igual que las señales de GPIO virtual, las señales de mensajes se pueden dividir en un conjunto de transmisión y un conjunto de recepción. La FSM transmite en serie el conjunto de transmisión de señales de mensajería utilizando la clavija de transmisión dedicada y recibe en serie el conjunto de recepción de señales de mensajería utilizando la clavija de recepción dedicada.

[0010] El procesador proporciona un primer conjunto de señales a la interfaz híbrida de GPIO. Desde la interfaz híbrida de GPIO, una parte del primer conjunto de señales se transmite al procesador remoto como un primer conjunto de señales de GPIO por un primer conjunto de clavijas de GPIO correspondientes. Una parte restante del primer conjunto de señales del procesador es proporcionada por la interfaz híbrida de GPIO en paralelo a la FSM. Según el contenido de la parte restante (GPIO ante la señal de mensajería), la FSM puede entonces transmitir en serie la parte restante como el conjunto de transmisión de las señales de GPIO virtual por la clavija de transmisión dedicada.

[0011] La interfaz híbrida de GPIO también recibe un segundo conjunto de señales de GPIO desde el procesador remoto por un segundo conjunto de clavijas de GPIO correspondientes. Según la modalidad de funcionamiento, la FSM recibe en serie el conjunto de recepción de señales de GPIO virtual o el conjunto de recepción de señales de mensajes desde el procesador remoto y proporciona el conjunto de recepción en paralelo a la interfaz híbrida de GPIO.

[0012] Hay dos realizaciones principales para la arquitectura de GPIO virtual híbrida divulgada. En una primera realización, cada trama transmitida por la clavija de transmisión dedicada incluye un encabezado que identifica si la trama comprende un conjunto de transmisión de señales de GPIO virtual o un conjunto de transmisión de señales de mensajes. La cabecera también puede indicar que la trama correspondiente identificará la longitud del flujo de vGPIO a fijar en el lado del receptor o indicará un acuse de recibo de la longitud deseada del flujo de vGPIO. El tamaño de la trama es, por lo tanto, variable y está determinado por la trama resultante, determinante de la longitud del flujo. En una segunda realización, el encabezado se extiende para una trama que incluye tanto señales de GPIO virtual como señales de mensajes, de manera tal que el encabezado extendido identifique las posiciones de bit de las señales de GPIO virtual y las señales de mensajes. La interfaz híbrida de GPIO puede proporcionar entonces un segundo conjunto de señales al procesador receptor que comprende el segundo conjunto de señales de GPIO y señales de mensajes desde el procesador remoto.

[0013] La FSM transita el conjunto de transmisión de las señales de GPIO virtual y las señales de mensajes en tramas, cada una demarcada por un bit de inicio y un bit de finalización. La FSM en un procesador remoto recibe así las tramas transmitidas como su conjunto de recepción de señales de GPIO virtual y señales de mensajes. Al monitorizar si recibe una trama completa que incluye tanto el bit de inicio como el de finalización, una FSM para un procesador puede detectar si el procesador remoto ha fallado.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0014]

La Figura 1 es un diagrama de bloques de una arquitectura ejemplar de GPIO híbrida virtual.

La Figura 2A es un diagrama de bloques de alto nivel para una arquitectura de GPIO híbrida virtual en la que un procesador se comunica con un solo procesador remoto.

La Figura 2B es un diagrama de alto nivel para una arquitectura de GPIO híbrida virtual en la que un procesador se comunica con dos procesadores remotos.

5 La Figura 3 es un diagrama de bloques para una máquina de estados finitos de GPIO híbrida virtual que responde a un reloj externo

La Figura 4 ilustra el formato para una trama de señal de GPIO virtual / mensajería.

10 La Figura 5 es un diagrama de flujo para un procedimiento puesto en práctica por la arquitectura de GPIO de la Figura 1.

La Figura 6 ilustra las tramas de programación de longitud utilizadas para programar las longitudes de tramas de GPIO virtual y de mensajería.

15 La figura 7 ilustra las tramas de acuse de recibo transmitidas para confirmar las longitudes de trama programadas en respuesta a las tramas de la figura 6.

La figura 8 ilustra un ejemplo de trama virtual de GPIO y una trama ejemplar de señal de mensajería.

20 La Figura 9 ilustra un ejemplo de trama combinada de GPIO virtual y mensajería.

La Figura 10 ilustra una máquina de estados finitos de GPIO híbrida virtual que no utiliza un reloj externo. La Figura 11 es un diagrama de temporización para la transmisión de una trama de datos a través de la máquina de estados finitos de la Figura 10.

25 **[0015]** Las realizaciones de la presente invención y sus ventajas se comprenden mejor haciendo referencia a la descripción detallada a continuación. Debería apreciarse que los mismos números de referencia se usan para identificar elementos iguales ilustrados en una o más de las figuras.

30 DESCRIPCIÓN DETALLADA

[0016] Se proporciona una arquitectura de entrada / salida de propósito general (GPIO) híbrida virtual, que permite que un sistema use un par de clavijas como si constituyesen una pluralidad mayor de clavijas de GPIO y una clavija de transmisión dedicada y una clavija de recepción dedicada para las señales de mensajería. Como se usa en el presente documento, "señales de mensajes" se refiere a señales que se transmitirán convencionalmente por una clavija de transmisión dedicada, tal como se practica en los protocolos de IPC o SPI. Las señales de mensajería incluyen, por lo tanto, una dirección para que el procesador receptor pueda encaminar la señal de mensajería recibida al registro adecuado. La arquitectura de GPIO híbrida virtual se considera como "virtual" en cuanto a que, para las aplicaciones al nivel de sistema que crean las señales de GPIO virtual, es como si esas señales de GPIO virtual estuvieran siendo asimiladas para su entrada / salida en clavijas convencionales de GPIO. En otras palabras, un sistema en un chip (SoC) o un procesador que tenga la arquitectura de GPIO virtual divulgada en este documento no experimenta ninguna diferencia funcional entre las señales de GPIO y las señales de GPIO virtual. Sin embargo, solo se usan dos clavijas para transmitir y recibir las señales de GPIO virtual que de otro modo necesitarían, cada una, de su propio par dedicado de clavijas de GPIO (si la señal de GPIO es simétrica). La arquitectura híbrida de GPIO virtual se considera "híbrida" en cuanto a que la clavija de transmisión dedicada que se usa para transmitir las señales de GPIO virtual también se usa para transmitir las señales de mensajes a un procesador remoto. De manera similar, la clavija de recepción dedicada que se usa para recibir las señales de GPIO virtual también se usa para recibir las señales de mensajes desde el procesador remoto.

50 **[0017]** Las señales de GPIO virtual divulgadas en este documento se expondrán con respecto a la asimilación de la IPC entre un procesador de aplicaciones y un procesador de módem en un teléfono móvil u otro dispositivo de comunicación. Sin embargo, se apreciará que los circuitos y las técnicas de GPIO virtual, divulgados en la presente memoria son ampliamente aplicables a un sistema en un chip (SoC) o a circuitos integrados específicos de la aplicación (ASIC) que requieren capacidades de GPIO.

[0018] La arquitectura híbrida de GPIO virtual divulgada hace que la salud del nodo transmisor sea transparente para el nodo receptor. Esta es una ventaja importante, en particular, durante la etapa de depuración para la implementación del software, ya que indica al procesador receptor el momento en que un procesador transmisor dejó de funcionar. Para habilitar tal capacidad robusta de GPIO virtual, cada circuito integrado incluye una clavija de transmisión dedicada acoplada a la línea de transmisión en la placa de circuitos y una clavija de recepción dedicada acoplada a una línea de recepción de la placa de circuitos. En ese sentido, las señales de GPIO virtual pueden dividirse en un conjunto de transmisión para su transmisión por la línea de transmisión y un conjunto de recepción para la recepción por la línea de recepción. Si la señalización es simétrica, el número de señales en el conjunto de transmisión para cada procesador es el mismo. Sin embargo, la arquitectura de GPIO virtual híbrida divulgada en este documento puede asimilar señalización asimétrica en la que el conjunto de transmisión de las señales de GPIO virtual para un

procesador no es del mismo tamaño que el conjunto de transmisión para un procesador remoto. Análogamente a las señales de GPIO virtual, las señales de mensajes también se transmiten por la clavija de transmisión dedicada y se reciben por la clavija de recepción dedicada.

5 **[0019]** Volviendo ahora a los dibujos, la **Figura 1** ilustra una arquitectura de GPIO híbrida virtual 101 que incluye un circuito integrado procesador de aplicaciones 100 y un circuito integrado procesador de módem 105 dentro de un teléfono móvil u otro dispositivo de comunicación. Dado que cada circuito integrado se acopla a una línea de transmisión dedicada y a una línea de recepción dedicada, una línea de transmisión 110a para el circuito integrado procesador de aplicaciones 100 es por lo tanto la línea de recepción para el circuito integrado procesador de módem 105. De forma similar, una línea de transmisión 110b para el circuito integrado procesador de módem 105 es la línea de recepción para el circuito integrado procesador de aplicaciones 100. Estas líneas o cables se transportan en una placa de circuitos u otra interconexión física entre los circuitos integrados 100 y 105. Cada circuito integrado incluye una clavija de transmisión dedicada 112 para acoplarse a la línea de transmisión correspondiente (por ejemplo, la línea 110b para el circuito integrado procesador de módem 105). De forma similar, cada circuito integrado incluye una clavija de recepción dedicada 111 para acoplarse a la línea de recepción correspondiente (por ejemplo, la línea 110a para el circuito integrado procesador de módem 105). Una máquina de estados finitos (FSM) 115 en cada circuito integrado controla la transmisión y la recepción usando estas líneas y clavijas dedicadas con respecto a una señal de reloj externa 120 desde un origen de reloj externo tal como un reloj de reposo de 32 KHz.

20 **[0020]** El circuito integrado procesador de aplicaciones 100 incluye un procesador 101. De forma similar, el circuito integrado procesador de módem 105 incluye un procesador 102. Cada procesador se acopla a través de una interfaz de GPIO 103 con la que interactúa con las clavijas de GPIO 125 de una manera convencional. Una cierta parte de las señales procesadas a través de cada interfaz híbrida de GPIO 103 puede transmitirse y recibirse en las clavijas de GPIO convencionales 125 como señales de GPIO convencionales 130. Pero una parte restante de las señales procesadas a través de la interfaz de GPIO 103 no se transmiten ni reciben a través de las clavijas de GPIO convencionales 125. En cambio, algo de esta parte de señal restante comprende una pluralidad de señales de GPIO virtual 135 que se transmiten y reciben a través de la FSM 115 correspondiente, utilizando una clavija de transmisión dedicada y una clavija de recepción dedicada. Cada FSM 115 también interactúa directamente con el procesador correspondiente con respecto a la recepción y transmisión de señales de mensajería 136. Dado que las señales de mensajería 136 no son señales de GPIO, no se acoplan a través de las interfaces de GPIO 103. Cada FSM 115 transmite y recibe señales de mensajería 136 a través de su clavija de transmisión dedicada 112 y su clavija de recepción 111. Estas clavijas son por lo tanto clavijas "híbridas" en el sentido de que se usan tanto para señales de GPIO virtual 135 como para señales de mensajería 136.

35 **[0021]** Las señales de GPIO virtual 135 no tienen, cada una, sus propias clavijas dedicadas, como es el caso de las señales de GPIO convencionales 130. Esto es bastante ventajoso en cuanto a que la arquitectura híbrida de GPIO virtual 101 logra una reducción significativa de clavijas en comparación con una realización de GPIO convencional en la que las señales de GPIO virtual 135 requerirían, cada una, su propia clavija. Las señales de mensajería 136 requerirían, convencionalmente, otra clavija de transmisión dedicada y asimismo otra clavija de recepción dedicada. Pero estas clavijas adicionales también se eliminan en la ventajosa arquitectura híbrida de GPIO virtual del presente asunto.

45 **[0022]** Un circuito integrado puede incluir solo una FSM 115 o puede incluir una pluralidad de estos elementos para interactuar con múltiples sistemas externos. La **Figura 2A** ilustra una arquitectura híbrida de GPIO virtual en la que un circuito integrado 200 incluye una única FSM 115 para comunicarse con un procesador remoto en un circuito integrado 205, que incluye su propia FSM 115. Por el contrario, un circuito integrado 220 que se muestra en la **Figura 2B** incluye una FSM 115A y una FSM 115B para comunicarse con procesadores remotos en los circuitos integrados 225 y 230, respectivamente. A ese respecto, un sistema en un chip (SoC), tal como los procesadores expuestos en este documento, se puede configurar con tantas FSM como sea necesario para asimilar la señalización híbrida de GPIO virtual con otros SoC. Independientemente de la cantidad de FSM que pueda tener un procesador, cada FSM se comunica utilizando su propia clavija de transmisión dedicada 240 y una clavija de recepción 245, como se indica en la Figura 2A.

55 **[0023]** Haciendo referencia nuevamente a la Figura 1, debido a que las señales de GPIO virtual 135 se asimilan utilizando una máquina de estados finitos tal como la FSM 115, los procesadores 101 y 102 pueden estar dormidos o en otro tipo de estado inactivo, pero ser capaces, sin embargo, de recibir señales de GPIO virtual 135 y señales de mensajería 136. De esta manera, la arquitectura de GPIO virtual 101 no solo economiza ventajosamente el número de clavijas para cada interfaz de GPIO 103, sino que también es de baja potencia.

60 **[0024]** Como se usa en este documento, "clavija" es un término genérico para abarcar la estructura, tal como un bloque o una clavija real, que un circuito integrado utiliza para acoplarse a conductores en la placa de circuitos u otra interconexión física (por ejemplo, interconexión de paquete o interconexión mediante orificio pasante). Por ejemplo, si cada circuito integrado tiene dieciséis clavijas o bloques de GPIO 125, como se muestra en la figura 1, entonces estas clavijas podrían configurarse para asimilar ocho señales simétricas de GPIO 130 (para mayor claridad de ilustración, solo se muestran cuatro señales de GPIO convencionales #1 a #4) en la Figura 1) o dieciséis señales asimétricas de GPIO 130. Además, cada circuito integrado puede asimilar las interfaces de entrada / salida de una pluralidad de n

señales de GPIO virtual 135 usando las líneas 110a y 110b, en donde n es un número entero plural arbitrario. De manera similar, cada circuito integrado puede asimilar las interfaces de entrada / salida de una pluralidad de m señales de mensajería 136, usando las líneas 110a y 110b, siendo m un entero plural positivo. Con respecto a cada núcleo procesador, no hay ninguna diferencia entre las señales de GPIO 130 y las señales de GPIO virtual 135: ambas son simplemente señales que se transmiten y se reciben según sea necesario a través de la interfaz de GPIO 103. Sin embargo, dado que las señales de GPIO virtual 135 y las señales de mensajería 136 no tienen clavijas dedicadas, a diferencia de las señales de GPIO convencionales 130, las señales de GPIO virtual 135 y las señales de mensajería 136 se serializan en las FSM 115 para su transmisión en las líneas 110a y 110b. Tras la recepción, cada FSM 115 deserializa las señales serializadas de GPIO virtual recibidas y las señales de mensajes serializadas recibidas. Por lo tanto, cada FSM 115 funciona como un serializador / deserializador con respecto a las señales de GPIO virtual 135 y las señales de mensajería 136.

[0025] Un procesador puede necesitar recibir una señal de interrupción en respuesta a cambios en las señales de GPIO o en las señales de mensajes seleccionadas. Con respecto a las señales de GPIO virtual 135 y las señales de mensajería 136, un administrador de potencia de módem (MPM) 140 monitoriza las señales de GPIO o las señales de mensajes seleccionadas según lo programado mediante registros de configuración de interrupción (no ilustrados). Cada señal de GPIO virtual 135 tiene un correspondiente registro de configuración de interrupción. Si se requiriese una señal de GPIO virtual 135 para generar una interrupción en respuesta a ese estado de cambio de señal, el correspondiente registro de configuración se programaría en consecuencia. De manera similar, si una señal de GPIO virtual 135 o una señal de mensajería 136 es una que no genera una interrupción, independientemente de si esa señal ha cambiado de estado, el correspondiente registro de configuración de interrupción también se programaría en consecuencia. El MPM 140 también puede comprender una máquina de estados finitos. Por lo tanto, al igual que la FSM 115, el MPM 140 es de baja potencia y está activo independientemente de si su procesador está en una modalidad de reposo o en algún otro estado inactivo.

[0026] Las señales de GPIO virtual 135 pueden subdividirse en un conjunto de transmisión y un conjunto de recepción. En un sistema simétrico, cada conjunto de transmisión tendría el mismo número. De manera similar, cada conjunto de recepción tendría el mismo número de señales. Sin embargo, se apreciará que la arquitectura de GPIO virtual 101 es ventajosa en cuanto a que puede asimilar inmediatamente una realización de señalización asimétrica en la que los conjuntos de transmisión de las señales de GPIO virtual 135 y las señales de mensajería 136 tienen diferentes tamaños y en la que los conjuntos receptores de señales de GPIO 135 y señales de mensajería 136 también tienen diferentes tamaños. Independientemente de si la arquitectura 101 es simétrica o asimétrica, cada FSM 115 recibe el conjunto de transmisión de señales de GPIO virtual 135 en paralelo desde la interfaz de GPIO 103, en el sentido de que cada señal en estos conjuntos de transmisión se transporta en su propio cable entre la interfaz de GPIO 103 y la FSM 115. Las señales de mensajes no son señales de GPIO y, por lo tanto, no se acoplan a través de la interfaz de GPIO 103. A ese respecto, a la interfaz híbrida representada por cada FSM 115 se le puede dar alguna dirección periférica mediante el procesador correspondiente 101 o 102. Cada FSM 115 está configurada para decodificar un campo de dirección 137 en las señales de mensajería 136, de modo que una señal de mensajería dada 136 pueda almacenarse en un registro de mensajería correspondiente 138. Estos registros de mensajería 138 se correlacionan, cada uno, con algún desplazamiento de la dirección general para la FSM 115 dentro del espacio de direcciones para el procesador correspondiente 101 o 102. En respuesta a una interrupción desde el MPM 140, el procesador 101 o 102 puede entonces acceder a los registros de mensajería 138 para obtener las señales de mensajería 136 adecuadas. Al igual que las señales de GPIO virtual 135, las señales de mensajería 136 pueden subdividirse en un conjunto de transmisión y un conjunto de recepción. Independientemente de si la arquitectura es simétrica o asimétrica, la transmisión resultante de estos conjuntos de transmisión por la FSM 115 tiene lugar por una única clavija de transmisión 112. El conjunto de transmisión de señales de GPIO virtual 135 desde un procesador se convierte en el conjunto de recepción de señales de GPIO virtual 135 para el procesador remoto. De forma similar, el conjunto de transmisión de las señales de mensajería 136 se convierte en el conjunto de recepción de las señales de mensajería 136 para el procesador remoto. La FSM 115 del procesador remoto deserializa entonces el conjunto de recepción de las señales de GPIO virtual 135, de modo que se puedan presentar en paralelo a la interfaz de GPIO 103.

[0027] Cada FSM 115 incluye registros de configuración (no ilustrados) que almacenan el estado previo para el conjunto de transmisión de las señales de GPIO virtual 135 y para las señales de mensajería 136. De esta manera, cada FSM 115 puede monitorizar el estado presente del conjunto de transmisión de señales de GPIO virtual 135, según lo recibido desde la interfaz de GPIO 103, y solo activar una transmisión en serie del conjunto de transmisión correspondiente si el estado actual ha cambiado con respecto al estado anterior. En otras palabras, la FSM 115 desencadenará una transmisión en serie de un conjunto de transmisión solo si una o más de las señales dentro del conjunto de transmisión ha cambiado de estado, según lo detectado mediante el almacenamiento del estado anterior en los registros de configuración 107. Cada procesador conoce las direcciones para los registros de señales de mensajería 138 y, por lo tanto, puede escribir en ellos el conjunto de transmisión deseado y también leer cualquier cambio en el conjunto de recepción. La FSM 115 monitoriza si el conjunto de transmisión de las señales de mensajería 136 ha cambiado con respecto a su transmisión anterior y activará una transmisión del conjunto de transmisión al procesador remoto en consecuencia. El MSM 140 monitoriza si los conjuntos de recepción han cambiado, como se ha expuesto anteriormente, e interrumpe el procesador correspondiente para que el conjunto de recepción modificado pueda procesarse.

[0028] Como se ha expuesto anteriormente, cada FSM 115 actúa como un serializador / deserializador para serializar cada conjunto de transmisión y para deserializar cada conjunto de recepción. La **Figura 3** es un diagrama de bloques de una FSM 115 para ilustrar mejor estas operaciones. La FSM 115 intercambia señales de GPIO virtual 135 y señales de mensajería 136 con el procesador correspondiente a través de un módulo de multiplexado 300. El módulo de multiplexado interactúa con el procesador correspondiente a través de la interfaz de GPIO virtual 103 con respecto a las señales de GPIO virtual 135 e interactúa directamente con el procesador correspondiente con respecto a las señales de mensajería 136. En una realización, cada FSM 115 incluye un circuito lógico 301 que autorizará la transmisión del conjunto de transmisión de señales de GPIO virtual 135 o del conjunto de transmisión de señales de mensajería 136 por la línea de transmisión 110a, solo si ha habido un cambio en cualquiera de los conjuntos de transmisión. El circuito lógico 301 compara así el estado actual para el conjunto de transmisión de las señales de GPIO virtual 135 (o las señales de mensajería 136) con el estado anterior para este conjunto de señales de transmisión almacenadas en los correspondientes registros de configuración 107. Por ejemplo, el circuito lógico 301 puede incluir una compuerta XOR 310 para realizar esta comparación. El módulo de multiplexado 300 carga el conjunto de transmisión en paralelo en un registro de desplazamiento de entrada en paralelo y salida en serie (PISO) 315. Si una señal de habilitación 320 desde la compuerta XOR 310 asciende (indicando un cambio entre el estado actual y el estado anterior para el conjunto de transmisión), el registro de desplazamiento de PISO 315 se habilita para desplazar en serie sus contenidos hacia la línea de transmisión 110a en respuesta a ciclos del reloj externo 120.

[0029] La FSM 115 también deserializa un conjunto de recepción de señales de GPIO virtual 135 o señales de mensajería 136 de manera análoga, usando un registro de desplazamiento de entrada en serie y salida en paralelo (SIPO) 325. El conjunto de recepción de señales de GPIO virtual 135 y señales de mensajería 136 es generado por el procesador remoto y transmitido por el procesador remoto a la línea de recepción 110b. Este conjunto de recepción de señales de GPIO virtual 135 (o señales de mensajería 136) se desplaza sucesivamente al registro de desplazamiento de SIPO 325 en respuesta a los ciclos del reloj externo 120. La FSM 115 está configurada para transmitir el conjunto de transmisión y para recibir el conjunto de recepción de las señales de GPIO virtual 135 y las señales de mensajería 136 en tramas que tienen un bit de inicio independiente y un bit de terminación, como se expone adicionalmente en este documento.

[0030] En una realización, puede considerarse que la FSM 115 comprende un medio para recibir un conjunto de transmisión de señales de GPIO virtual desde la interfaz de GPIO y para transmitir en serie el conjunto de transmisión de señales de GPIO virtual al procesador remoto por la clavija de transmisión dedicada, y para recuperar un conjunto de transmisión de señales de mensajería desde registros de señales de mensajería y para transmitir en serie el conjunto de transmisión de señales de mensajería al procesador remoto a través de la clavija de transmisión dedicada.

[0031] Las tramas tienen un tamaño predefinido. En una realización, el tamaño de trama está determinado por un encabezado para que tenga un cierto número de bits de longitud. Una trama ejemplar 400 se muestra en la **Figura 4**. Un encabezado 405 puede comprender dos bits de función, fn_0 y fn_1. En una realización, si ambos bits de función son cero, los siguientes bits son señales de GPIO virtual 135. Si fn_0 es cero y fn_1 es igual a 1, entonces los siguientes bits son señales de mensajería 136. Si fn_0 es uno y fn_1 es igual a 0, entonces los siguientes bits representan la longitud de trama de GPIO virtual esperada por el procesador remoto. De forma similar, si ambos bits de función son uno, los siguientes bits representan un acuse de recibo, por parte del procesador remoto, de la longitud de trama deseada. Si el tamaño del conjunto de transmisión de las señales de GPIO virtual 135 (o el conjunto de transmisión de las señales de mensajería 136) es menor que este tamaño de trama fijo, los bits no utilizados dentro de cada trama pueden tener valores irrelevantes. Alternativamente, cada FSM 115 puede configurarse para alterar el tamaño de las tramas transmitidas, según el número de bits necesarios para una aplicación dada. Se apreciará que la exposición precedente de la codificación usando dos bits de función es simplemente un ejemplo y que otros encabezados y protocolos de codificación pueden usarse para identificar si una trama está llevando señales de GPIO virtual 135, señales de mensajería 136, una identificación de la longitud de trama de GPIO virtual, un acuse de recibo de la longitud de trama de GPIO virtual, una identificación de la longitud de trama de la señal de mensajería o un acuse de recibo de la longitud de trama de la señal de mensajería. En una realización, la trama 400 también puede incluir un bit de tipo (bit_de_tipo) que está asociado a las tramas de programación y acuse de recibo, tal como se expondrá más adelante. Por ejemplo, en una realización, el bit de tipo puede estar activado para identificar una trama de GPIO virtual y estar desactivado para identificar una trama de señal de mensajería.

[0032] El número de tramas requerido para enviar un conjunto de transmisión de la señal de GPIO virtual 135 o las señales de mensajería 136 depende del número de señales en el conjunto de transmisión particular y del tamaño de la trama. Por ejemplo, supongamos que el tamaño de la trama es de ocho bits y que hay diez señales de GPIO virtual 135 en un conjunto de transmisión. Enviar ese conjunto de transmisión usando las tramas de ocho bits requeriría dos tramas.

[0033] Para detectar la recepción de una trama completa para el conjunto de recepción de señales de GPIO virtual 135 o señales de mensajería 136, la FSM 115 puede incluir un circuito lógico 350, como se muestra en la **Figura 3**, que cuenta el número necesario de ciclos para el reloj externo 120 después de una recepción del bit de inicio para la trama. Por ejemplo, supongamos que el conjunto de recepción comprende diez señales de GPIO virtual 135 que se reciben en respuesta a diez ciclos del reloj externo 120. Después de la detección del bit de inicio y de esperar otros

diez ciclos del reloj externo 120, el circuito lógico 350 esperaría recibir un bit final. Si el bit final se detectara en consecuencia, el circuito lógico 350 puede entonces muestrear un pestillo de salida 351 para recibir en paralelo el conjunto de recepción de señales de GPIO virtual 135 que se habían desplazado al registro de desplazamiento de SIPO 325 como una trama completa. El conjunto de recepción asegurado de señales de GPIO virtual puede entonces presentarse a la interfaz de GPIO 103 a través del módulo de multiplexado 300. El aseguramiento de un conjunto recibido de señales de mensajería 136 ocurre análogamente, aunque el conjunto recibido de señales de mensajería se cargan en los registros de señales de mensajería 138, en lugar de ser encaminadas a través de la interfaz de GPIO 103.

[0034] Haciendo referencia nuevamente al registro de desplazamiento de PISO 315, se apreciará que este registro está configurado para entramar el conjunto de transmisión de señales de GPIO virtual y señales de mensajería con los bits de inicio y fin. El conjunto de transmisión de las señales de GPIO virtual se transmite así en la trama 400 que está delimitada por los bits de inicio y fin. Como el conjunto de transmisión para un procesador de transmisión se convierte en el conjunto de recepción para el procesador remoto, el conjunto de recepción también se entrama en consecuencia. Este entramado es ventajoso en cuanto a que cada procesador puede entonces monitorizar la salud del procesador remoto sin necesidad de ninguna clavija dedicada adicional. Por ejemplo, cada FSM 115 puede configurarse para tirar débilmente de su clavija de transmisión dedicado 112 (y por lo tanto tirar débilmente de la línea de transmisión 110a) a un voltaje de suministro durante un estado predeterminado (sin cambio en el estado actual frente al estado anterior para el conjunto de transmisión de señales de GPIO virtual). El bit de inicio sería un cero lógico para tal realización, de tal manera que la FSM 115 descargue a tierra la línea de transmisión 110a para la transmisión del bit de inicio. De esta forma, cada FSM 115 puede detectar inmediatamente la recepción del bit de inicio detectando que la línea de recepción 110b ha sido tirada hacia tierra. En una realización, los bits de inicio y parada son complementos lógicos entre sí. El bit de parada sería entonces un valor lógico alto si el bit de inicio es un cero lógico. La carga útil de la trama puede extenderse entonces desde el bit de tipo hasta un bit de parada 410 que demarca el final de la trama.

[0035] Existe la posibilidad de que un procesador haya fallado de manera que tire de manera inadecuada de su línea de transmisión 110a a tierra. El procesador remoto detectaría así esto como un bit de inicio y el circuito lógico 350 comenzaría a contar hacia el final de la trama en consecuencia. Pero si el bit de fin es un uno lógico, entonces cada FSM 115 carga la línea de transmisión 110a hasta la tensión de suministro para señalar el final de una transmisión de trama. Si un procesador ha fallado de tal manera que la FSM remota 115 haya detectado lo que se considera como un bit de inicio, el circuito lógico 350 no detectará el bit de fin y notificará a su procesador el fallo del procesador remoto en consecuencia.

[0036] Para conceder un tiempo de configuración suficiente para la recepción, la transmisión de la trama 400 debería tener lugar con respecto a un primer borde de reloj, y la recepción con respecto a un borde de reloj restante. Por ejemplo, los bits en el registro de desplazamiento de PISO 315 pueden desplazarse hacia afuera para su transmisión en la línea de transmisión 110a en respuesta a los bordes descendentes o bordes negativos para el reloj externo 120. Por el contrario, los bits recibidos en la línea de recepción 110b pueden desplazarse hacia el registro de desplazamiento de SIPO 325 en respuesta a los bordes ascendentes o bordes positivos del reloj 120.

[0037] Para que un procesador detecte un estado inactivo en el procesador remoto, cada FSM 115 puede configurarse para tirar débilmente de su línea de transmisión en un estado predeterminado (en el que no hay tramas para transmitir). Como se ha expuesto anteriormente, los bits de inicio y detención tienen estados lógicos opuestos. Un bit de inicio 406 para la trama 400 de la figura 4 puede ser por tanto un cero lógico (tierra) tal que la línea de transmisión 110a se tire hacia abajo para su transmisión, mientras que un bit de detención 410 puede ser un valor uno binario tal que la línea de transmisión 110a se tire hacia arriba hasta un voltaje de suministro de energía para su transmisión. Haciendo referencia nuevamente a la figura 3, el circuito lógico 350 está configurado para monitorizar la línea de recepción 110b con respecto a los bordes ascendentes en el reloj externo 120. Un estado lógico por omisión de una transmisión sin ninguna trama se indica mediante la línea de recepción 110b que simplemente permanece alta debido a su débil tiro hacia arriba, como se ha expuesto anteriormente. Si el circuito lógico 350 detectara en uno de los bordes ascendentes para el reloj externo 120 que la línea de recepción 110b ha sido tirada hacia abajo (indicando el valor cero del bit de inicio 405), el circuito lógico 350 espera un número suficiente de ciclos de reloj, según el tamaño predefinido de la trama 400, para detectar luego el valor lógico alto del bit de detención 410. La recepción del bit de detención 410 indica al circuito lógico 350 que una trama completa 400 se ha desplazado completamente hacia el registro de desplazamiento de SIPO 325. En ese punto, el circuito lógico 350 muestrea el registro de desplazamiento de SIPO 325 de modo que la trama recibida se proporcione en paralelo al módulo de multiplexado 300 a través del pestillo 351. El conjunto de recepción de señales de GPIO virtual (o señales de mensajería 136) puede proporcionarse entonces al núcleo procesador en consecuencia, a través de la interfaz de GPIO 103.

[0038] Un reloj externo relativamente lento 120, tal como un reloj de reposo de 32 KHz, es suficiente para los requisitos de señalización de la IPC. Por ejemplo, supongamos que los requisitos mínimos de establecimiento y retención para la transmisión de señales de GPIO virtual 135 y las señales de mensajería 136 son de dos nanosegundos para cada uno y que la máxima delantera o el máximo rezago esperados para la recepción del reloj externo 120 en una FSM 115 es de seis nanosegundos. Se puede mostrar inmediatamente que la frecuencia máxima resultante para el reloj externo 120 sería de 62 MHz. Una frecuencia de 32 KHz, tal como la procedente de un reloj de

reposo, proporcionaría así márgenes de seguridad muy grandes para una realización de este tipo. Se resumirá ahora un procedimiento ejemplar de funcionamiento para la arquitectura 101.

[0039] Un procedimiento de funcionamiento para la arquitectura 101 se resume en el diagrama de flujo de la **figura 5**. El procedimiento comienza con la recepción de un conjunto de señales de GPIO en una interfaz de GPIO desde un primer procesador en una etapa 500. Una etapa 505 comprende transmitir, desde la interfaz de GPIO, una parte del conjunto de señales de GPIO a través de clavijas de GPIO a un procesador remoto. Una etapa 510 comprende la transmisión en serie de una parte restante del conjunto de señales de GPIO desde la interfaz de GPIO, mediante señales de una clavija de transmisión dedicada, al procesador remoto, como señales de GPIO virtual. Finalmente, el procedimiento incluye una acción 515 de recuperar señales desde registros de señales de mensajes, escritos por el primer procesador, y transmitir en serie las señales de mensajes recuperadas, a través de la clavija de transmisión dedicada, al procesador remoto.

[0040] Considérense las ventajas de la arquitectura híbrida de GPIO virtual divulgada: solo son necesarias dos clavijas, sin embargo, cualquier número de señales de GPIO virtual 135 y señales de mensajería 136 pueden ser serializadas y deserializadas a través de las máquinas de estados finitos. El único límite son los requisitos de temporización para las señales de GPIO virtual con respecto al reloj externo 120 y cualquier magnitud esperada de rezago o delantera del reloj. Además, no se necesita ninguna otra clavija para hacer que la salud de un procesador sea transparente para el procesador opuesto.

[0041] La trama 400 también es bastante ventajosa porque con solo la sobrecarga de tan poco como dos bits de función, se pueden transmitir varias señales de mensajería 136 y señales de GPIO virtual 135 por la clavija de transmisión dedicada 112. Las tramas de programación ejemplares para establecer la longitud de trama de GPIO virtual (y para establecer la longitud de trama de la señal de mensajería) se muestran en la **Figura 6**. Una trama de programación 600 establece la longitud de trama de GPIO virtual. De forma similar, una trama de programación 605 establece la longitud de la trama de la señal de mensajería. El número de bits utilizados para definir la longitud de la trama (y por lo tanto la longitud de cada trama de programación) está predefinido. Por lo tanto, una vez que una FSM 115 ve un encabezado que indica que se está estableciendo una longitud de programación (tal como fn_0 igual a 1 y fn_1 igual a 0, como se ha expuesto anteriormente), entonces leerá la longitud de la trama desde el cuerpo de la trama. En ese sentido, una FSM 115 necesita saber si se está programando la longitud de una trama de GPIO o de una trama de mensajería. Por lo tanto, cada encabezamiento 405 para las tramas de programación 600 y 605 va seguido de un bit de tipo de trama 610. Por ejemplo, un bit de tipo de trama 610 igual a uno puede significar que se está programando una longitud de trama de GPIO virtual, mientras que un bit de tipo de trama 610 igual a cero puede significar que se está programando una longitud de trama de señal de mensajería. En una realización, cada trama de programación 600 y 605 tiene cinco bits de programación, que van desde un bit-0 hasta un bit-4. Cada bit es el coeficiente para una potencia de 2, según lo identificado por su nombre. En otras palabras, bit-0 es el coeficiente para multiplicar 2^0 , bit-1 es el coeficiente para multiplicar 2^1 , bit-2 es el coeficiente para multiplicar 2^2 , bit-3 es el coeficiente para multiplicar 2^3 y bit-4 es el coeficiente para multiplicar 2^4 . Los cinco bits de programación pueden, por tanto, programar una longitud de trama de cero a 31. Un bit de programación adicional permitiría la programación de una longitud de trama de hasta 63, y así sucesivamente.

[0042] Cuando una FSM remota 115 recibe una trama de programación tal como la trama 600 o 605, puede proceder a confirmar la longitud de trama definida utilizando una trama de acuse de recibo. Las tramas ejemplares de acuse de recibo se muestran en la **Figura 7**. Una trama 700 es una trama de acuse de recibo de GPIO virtual, mientras que una trama 705 es una trama de acuse de recibo de señales de mensajería. Cada trama 700 y 705 incluye un encabezamiento 405 en el que los bits de función identifican la trama como una trama de acuse de recibo. En una realización, un encabezamiento 405 en el que ambos bits de función son unos lógicos identifica una trama de acuse de recibo. Un bit de tipo de trama 710 después del encabezamiento 405 identifica el tipo de trama de acuse de recibo. En una realización, una trama de reconocimiento de GPIO virtual 700 se identifica por el bit de tipo de trama 710 que es igual a un uno lógico. Por el contrario, un marco de acuse de recibo de señal de mensajería 705 puede identificarse por un bit de tipo de trama 710 que es igual al cero lógico. Los bits de programación que siguen al bit de tipo de trama 710 son iguales a los bits de programación en las tramas correspondientes 600 o 605.

[0043] Una vez que se han programado así las longitudes de trama, se puede transmitir una trama 800 de señales de GPIO virtual 136 o una trama 805 de señales de mensajes, como se muestra en la **figura 8**. Con referencia de nuevo a la figura 1, téngase en cuenta que hay n señales de GPIO virtual 135 y m señales de mensajería 136. Cada trama 800 podría, por tanto, estar dedicada a un solo puerto de GPIO (una de las n señales de GPIO 135) o podría incluir un bit, cada una, de las n señales de GPIO 135. En otras palabras, uno podría transmitir palabras de GPIO en serie de acuerdo a los diversos puertos, o podrían transmitirse en paralelo. La misma consideración de serie / paralelo se aplica a las señales de mensajes. Independientemente de si cada trama 800 y 805 lleva múltiples puertos o solo uno, el encabezado 405 identifica si la trama es una trama de GPIO virtual o una trama de señal de mensajería.

[0044] En lugar de utilizar tramas independientes para transmitir las señales de GPIO virtual 135 y las señales de mensajería 136, estas señales se pueden combinar en una realización alternativa para una arquitectura de GPIO virtual híbrida en la que cada trama incluye tanto señales de GPIO virtual 135 como señales de mensajería 136. Por ejemplo, la **Figura 9** muestra un ejemplo de trama híbrida 900 que incluye el encabezado 405 así como un encabezado

extendido 905. El encabezado extendido 905 indica la posición de bits de los bits de señales de mensajería y los bits de GPIO virtual a continuación del encabezado extendido 905 y antes del bit de detención 410. Según los requisitos de latencia, los bits de mensajería 910 o los bits de GPIO virtual 915 pueden estar primero en el cuerpo de la trama. En algunas realizaciones, el encabezado extendido 905 puede incluir bits de corrección de errores, tales como bits de CRC. Obsérvese que el encabezado extendido 912 necesita simplemente identificar la posición y la longitud de solo los bits de GPIO virtual 915 o solo los bits de mensajería 910, ya que los bits restantes son por tanto conocidos, por omisión, como pertenecientes a la categoría de bits restantes.

[0045] El uso de un reloj externo común 120, como se ha expuesto anteriormente, es convenientemente sencillo para implementar, pero requiere que cada FSM 115 se asocie a una clavija de reloj para recibir el reloj común 120. Para evitar esta demanda adicional de clavijas, el reloj externo 120 puede eliminarse, como se expone en la Provisional Estadounidense N° 61 / 907.974. Haciendo referencia de nuevo a la figura 1, la arquitectura 101 se modificaría de ese modo eliminando el reloj externo 120 y sus clavijas correspondientes. Para eliminar cualquier necesidad de reservar una clavija en cada circuito integrado para recibir el reloj común 120, la transmisión de un conjunto de transmisión de señales es asíncrona con respecto al circuito integrado de transmisión y al circuito integrado receptor. Para habilitar esta transmisión y recepción asíncrona ventajosa, cada FSM 115 puede incluir, o asociarse a, un oscilador tal como un oscilador de anillo. El ancho de pulso de la FSM transmisora modula la señal transmitida por la clavija de transmisión dedicada, en respuesta a cada bit en el conjunto de transmisión, contando las oscilaciones del oscilador. Los bits en el conjunto de transmisión se transmiten luego en tramas de datos, siendo cada bit en la trama una versión modulada por ancho de pulso del bit correspondiente en el conjunto de transmisión. Cada bit en la trama de datos transmitida tiene un cierto período de bit que se usa con respecto a la modulación de ancho de pulso. Por ejemplo, si un bit de transmisión tiene un estado binario tal como un cero binario, la FSM puede contar un primer número de oscilaciones de modo que se haya agotado una fracción mayoritaria del período de bit. Al contar el primer número de oscilaciones, la FSM pulsa la clavija de transmisión dedicada con una primera tensión binaria, tal como con un voltaje de fuente de alimentación VDD. Al comienzo del recuento, la clavija de transmisión dedicada se pulsa en un segundo estado de voltaje binario opuesto, tal como tierra.

[0046] Por el contrario, si un bit de transmisión tiene un estado binario opuesto, tal como un uno binario, la FSM comienza el bit de transmisión con una segunda tensión binaria, tal como tierra, y procede a contar un segundo número de oscilaciones, de modo que se haya agotado una fracción minoritaria del período de bit. Al contar el segundo número de oscilaciones, la FSM pulsa la clavija de transmisión dedicada con la primera tensión binaria. De esta manera, el voltaje de la línea de transmisión acoplada a la clavija de transmisión dedicada se pulsa con la primera tensión binaria de acuerdo a un ancho de pulso variable. Si el bit de transmisión actual tiene un primer valor binario, la línea de transmisión se pulsa con la primera tensión binaria de acuerdo a un primer ancho de pulso. Por el contrario, si el bit de transmisión actual tiene un segundo valor binario opuesto, la línea de transmisión se pulsa con la primera tensión binaria de acuerdo con un segundo ancho de pulso.

[0047] La recepción en una FSM, por su clavija de recepción dedicada, de una trama de datos transmitida desde un procesador remoto se demodula de manera análoga. Es conveniente que el estado predeterminado (o modalidad inactiva) de cada línea de transmisión (que es la línea de recepción para un procesador receptor) se cargue hasta un voltaje de fuente de alimentación VDD. Esto hace que la salud del procesador remoto sea transparente para el procesador receptor, como se expone más adelante. El segundo voltaje binario en tales realizaciones sería entonces tierra. La FSM receptora reconocería entonces el inicio de un bit recibido detectando cuándo se descarga la clavija de recepción dedicada. La FSM receptora puede comenzar entonces a contar las oscilaciones de su oscilador. Se generarían entonces dos recuentos: un primer recuento de recepción de cuántas oscilaciones ocurren durante la fracción de bit en la que la clavija de recepción dedicada se carga hasta el primer voltaje binario, y un segundo recuento de recepción de cuántas oscilaciones ocurren durante la fracción de bit en la que la clavija de recepción dedicada se carga hasta el segundo voltaje binario. Al comparar los dos recuentos de recepción, la FSM receptora puede determinar si se aplicó el primer ancho de pulso o el segundo ancho de pulso al bit recibido. La trama de datos recibida se demodula de manera correspondiente de modo que no se requiera ningún reloj común para coordinar la transmisión de las tramas de datos por las líneas de transmisión. Para distinguir dicha FSM de la FSM 115 que usa un reloj externo, la FSM siguiente se indicará como una FSM de reloj interno.

[0048] La **Figura 10** es un diagrama de bloques de una FSM de reloj interno 1015, para ilustrar mejor sus operaciones de transmisión y recepción. La FSM 1015 recibe un conjunto de transmisión de señales de GPIO virtual 135 desde su interfaz de GPIO 103 (mostrada en la figura 1) a través de un módulo de multiplexado 300. Alternativamente, el módulo de multiplexado 300 puede recibir un conjunto de transmisión de señales de mensajería 136, como se ha expuesto anteriormente con respecto a la FSM 115. La FSM 1015 incluye el circuito lógico 301 que autorizará la transmisión en serie del conjunto de transmisión de señales como señales moduladas por ancho de pulso, por la línea de transmisión 110a, si ha habido un cambio en el conjunto de transmisión en comparación con un estado previo del conjunto de transmisión. De esta manera, no hay ninguna retransmisión innecesaria de un conjunto de transmisión que no ha cambiado de estado en comparación con una transmisión anterior. El circuito lógico 301 compara así el conjunto de transmisión actual de señales de GPIO virtual con el conjunto de transmisión anterior, almacenado en un pestillo o registro de configuración 107. Para realizar la comparación, el circuito lógico 301 puede incluir una compuerta XOR 310 que aplica la operación XOR al conjunto de transmisión actual con el conjunto de transmisión anterior, almacenado en los registros de configuración 107 (este conjunto de transmisión anterior puede

designarse como el " ULTIMO Estado de GPIO", como se muestra en la Figura 2). El módulo de multiplexado 300 carga el conjunto de transmisión actual en paralelo en el registro de desplazamiento de entrada en paralelo y salida en serie (PISO) 315. Si una señal de habilitación 320 de la compuerta XOR 310 pasa a elevarse (indicando un cambio entre el conjunto de transmisión actual y el almacenado en los registros 107), el registro de desplazamiento de PISO 315 se habilita entonces para desplazar en serie su contenido hacia la línea de transmisión 110a en respuesta a una señal de desplazamiento 120.

[0049] Cada conjunto de transmisión de señales comprende una trama de datos que se almacenan en el registro de desplazamiento de PISO 315. La FSM 1015 incluye un modulador de ancho de pulso 355 que modula por ancho de pulso el conjunto de transmisión de bits desplazados desde el registro de desplazamiento de PISO 315 hacia una señal de salida modulada por ancho de pulso que es accionada hasta el procesador remoto en la línea de transmisión 110a. Esta modulación es sensible a los recuentos de los ciclos de oscilación de un oscilador, tal como los recuentos de una señal de salida del oscilador de anillo de transmisión 360 desde un oscilador de anillo (RO) de transmisión 361. El modulador 355 y el oscilador de anillo de transmisión 361 pueden activarse mediante la afirmación de la señal de habilitación 320 desde la compuerta XOR 310. En respuesta a esta activación, el modulador 355 muestrea la señal de desplazamiento 120 de modo que el registro de desplazamiento de PISO 315 desplace un bit inicial del conjunto de transmisión de señales al modulador 355.

[0050] El modulador 355 incluye al menos un contador (por ejemplo, los contadores 1105 y 1110 mostrados en la figura 11, descritos más adelante) que cuenta los ciclos en la señal de salida del oscilador en anillo 360. Según el ancho de pulso deseado de la modulación de ancho de pulso, el contador cuenta hasta un primer recuento o hasta un segundo recuento que es mayor que el primer recuento. Después de contar un número suficiente de ciclos para satisfacer el adecuado entre los recuentos primero y segundo, el contador vuelve a muestrear la señal de desplazamiento 120, de modo que un bit posterior de la trama de datos almacenada en el registro de desplazamiento de PISO 315 se desplace al modulador 355. De esta manera, el conjunto de transmisión de señales para una trama de datos almacenada en el registro de desplazamiento de PISO 315 se desplaza un bit a la vez hacia el modulador 355. Según el valor binario de cada bit que se desplace fuera del registro de desplazamiento de PISO 315, el modulador de ancho de pulso 355 modula por ancho de pulso un correspondiente pulso transmitido por la línea de transmisión 110a. A ese respecto, cada procesador puede estar configurado para cargar débilmente su línea de transmisión 110a hasta una tensión de fuente de alimentación VDD durante un estado predeterminado (sin transmisión de datos). En tal realización, la transmisión de pulsos para un período de tiempo de bit comienza con la descarga de la línea de transmisión 110a a tierra (VSS) como se muestra en el diagrama de temporización de la **Figura 11** para una trama de datos. Cada transmisión de bit modulada por ancho de pulso comienza con la descarga de la línea de transmisión 110a a tierra por alguna fracción de descarga inicial del período de bit, tal como el 25% del período de tiempo de bit. Según el valor del bit, el modulador 355 mantiene la descarga de la línea de transmisión 110a durante la mayoría del período de bit (por ejemplo, el 75%) o carga la línea de transmisión 110a hasta el valor VDD inmediatamente después del agotamiento de la fracción de descarga inicial del período de bit. En otras palabras, un valor binario puede modularse en un pulso relativamente estrecho de alta tensión (VDD) en un período de bit, mientras que un complemento del valor binario puede modularse en un pulso relativamente amplio de alta tensión (VDD) en un período de bit.

[0051] El bit inicial de la trama de datos ejemplar que se muestra en la Figura 11 es un cero binario. En una realización, un cero binario puede modularse en un primer ancho de pulso en el que la línea de transmisión 110a se mantiene en tierra durante el 75% del período de bit. Dicha fracción mayoritaria del período de bit corresponde a un contador de fracción mayoritaria 1110 que cuenta hasta el segundo recuento. Si el bit a transmitir es un cero binario, el modulador de ancho de pulso 355 mantendría así la línea de transmisión 110a descargada hasta que se satisfaga el segundo recuento. Cuando se alcanza el segundo recuento, el modulador por ancho de pulso 355 pulsaría entonces la línea de transmisión 110a hasta la tensión de fuente de alimentación VDD durante el resto del período de bit. Esta duración de pulso correspondería entonces a un contador de fracción minoritaria 1105 que cuenta hasta el primer recuento, que es solo el 25% del período de bit. El pulso de voltaje resultante, transmitido por la línea de transmisión 110a para tal bit, tendría entonces un ancho de pulso de solo el 25% del período de bit.

[0052] Por el contrario, un uno binario puede modularse hasta un segundo ancho de pulso en el que la línea de transmisión 110a está conectada a tierra solamente durante una fracción de descarga minoritaria, tal como el primer 25% del período de bit. La línea de transmisión 110a se descargaría entonces hasta que se satisfaga el primer recuento. Una vez que se satisface el primer recuento, el modulador de ancho de pulso 355 pulsaría entonces la línea de transmisión 110a hasta la tensión de fuente de alimentación VDD durante el resto del período de bit, según lo determinado, reiniciando el contador de fracción mayoritaria 410 en cero y contando hasta que se satisfaga el segundo recuento. El segundo ancho de pulso durante el cual el voltaje para la línea de transmisión 110a se carga hasta el voltaje de fuente de alimentación VDD comprendería entonces el 75% del período de bit. Se apreciará, sin embargo, que se pueden usar diferentes anchos de pulso en una realización alternativa para indicar los valores binarios deseados.

[0053] En una realización, el modulador 355 puede comprender un circuito lógico 1100. Según el valor del bit, el circuito lógico 1100 activa el contador de fracción minoritaria 1105 o el contador de fracción mayoritaria 1110 para comenzar a contar. Sin embargo, se apreciará que se puede usar un único contador que cuente tanto hasta el primer

como el segundo recuento, según la modulación de ancho de pulso deseada. Tras la activación por el circuito lógico 1100, el contador de fracción minoritaria 1105 o el contador de fracción mayoritaria 1110 cuenta los ciclos desde el oscilador de anillo (RO) de transmisión 361. Por ejemplo, el contador de fracción minoritaria 1105 puede configurarse para contar un número suficiente de ciclos correspondientes al 25% del período de tiempo del bit, tras lo cual afirma una señal de salida para indicar que se satisface el primer recuento. De forma similar, el contador de fracción mayoritaria 1110 puede configurarse para contar un número suficiente de ciclos correspondientes al 75% del período de tiempo de bit, tras lo cual afirma su señal de salida. En esta realización, el modulador 355 está configurado para descargar la línea de transmisión 110a a tierra al comienzo de cada período de tiempo de bit. Según el valor del bit, el modulador 355 cargará la línea de transmisión 110a de vuelta hasta la tensión de fuente de alimentación VDD tras la afirmación de la señal de salida desde el contador adecuado. Por ejemplo, el primer bit en la trama de datos es un cero binario, por lo que el modulador 355 afirma la línea de transmisión 110a en un valor alto hasta VDD tras afirmar el contador 1105 su señal de salida. De forma similar, el segundo bit en la trama de datos es un uno binario, por lo que el modulador 355 afirma la línea de transmisión 110a en un valor alto hasta VDD tras afirmar el contador 1110 su señal de salida. Se apreciará que el período bajo del 25% inicial es solo un ejemplo y que pueden implementarse otras fracciones del período de tiempo de bit.

[0054] En una realización, la combinación del circuito lógico 41100, los contadores 1105 y 1110, el modulador 355 y el registro de desplazamiento de SIPO 315 puede considerarse que comprende un medio para procesar en serie cada señal en el conjunto de transmisión, en una serie de correspondientes señales moduladas por ancho de pulso, en donde el medio está configurado para determinar un ancho de pulso para cada señal procesada en serie, contando oscilaciones de un oscilador en uno entre un primer recuento y un segundo recuento, sensible a un valor binario de la señal procesada en serie, y en donde el medio está además configurado para transmitir la serie de las correspondientes señales moduladas por ancho de pulso, a través de una clavija de transmisión dedicada, a un procesador remoto, por la clavija de transmisión dedicada.

[0055] Con referencia nuevamente a la figura 9, la FSM 1015 también deserializa un conjunto de recepción de señales (GPIO virtual y / o señales de mensajería) de forma análoga utilizando el registro de desplazamiento de entrada en serie y salida en paralelo (SIPO) 325. Un demodulador 370 demodula una señal modulada por ancho de pulsos, recibida desde un procesador remoto, tal como se recibe en la línea de recepción 110b. El demodulador 370 está configurado para detectar el inicio de una trama de datos recibida desde la señal modulada por ancho de pulso recibida, tal como detectando la descarga de la línea de recepción 110b para activar un oscilador de anillo receptor 375 para comenzar a oscilar una señal de salida del oscilador de anillo receptor 380. Obsérvese que, en realizaciones alternativas, los osciladores 375 y 361 pueden comprender el mismo oscilador. Análogamente al modulador 355, el demodulador 370 puede incluir un contador tal como un contador bajo 415 y un contador alto 420. En cada período de bit, el contador bajo 415 se activa para contar mientras se descarga la línea de recepción 110b. Por el contrario, el contador alto 420 se activa para contar mientras la línea de recepción 110b se carga hasta el voltaje de la fuente de alimentación VDD. En realizaciones alternativas, los contadores 415 y 420 pueden implementarse usando un solo contador común que cuenta el número de oscilaciones en cada estado de voltaje binario para la línea de recepción 110b. Comparando los recuentos de los contadores 415 y 420, el demodulador 370 puede formar una señal de datos demodulada 382 en consecuencia. En particular, si el recuento del contador alto 420 es mayor que el recuento del contador bajo 415 en un período de bit determinado, el demodulador 370 puede elevar la señal de datos demodulados 382 hasta el voltaje de fuente de alimentación VDD para indicar que se recibió un pulso relativamente amplio. A la inversa, si el recuento desde el contador bajo 415 es mayor, el demodulador 370 puede descargar la señal de datos demodulados 382 hasta el valor VSS para indicar que se recibió un pulso relativamente estrecho.

[0056] El demodulador 370 también puede afirmar una señal de desplazamiento 381 hacia el registro de desplazamiento de SIPO 325 tras la detección a partir de los recuentos de los límites del período de tiempo de bit. El registro de desplazamiento de SIPO 325 se desplazará luego en la señal de datos demodulados 382 desde el demodulador 370. El módulo de FSM 1015 se puede configurar para procesar un tamaño de trama de datos predefinido para los conjuntos de señales de transmisión y recepción, tal como se determina mediante las tramas de programación expuestas anteriormente. Ambos contadores 415 y 420 se inicializan al comienzo de un período de tiempo de bit. El contador bajo 415 cuenta los ciclos desde el oscilador de anillo receptor 375 mientras el voltaje de la línea de recepción 110b es bajo, mientras que el contador alto 420 cuenta los ciclos desde el oscilador de anillo receptor 375 mientras el voltaje de línea de recepción es alto (VDD). El comparador 425 realiza así la decisión del bit de demodulación al final de cada período de tiempo de bit, comparando un recuento bajo (C_L) del contador bajo 415 con un recuento alto (C_H) del contador alto 420. Los periodos de bit pueden determinarse siempre que el contador alto 420 deje de contar y emita C_H , según lo activado por la línea de recepción 110b que se está descargando. El contador 420 puede inicializarse en consecuencia en cada límite de tiempo de bit. Al final de cada período de bits, si C_L es mayor que C_H , el comparador 425 acciona a la baja la señal de datos demodulados 382, lo que corresponde a la demodulación de un cero binario en una realización. Por el contrario, si C_H es mayor que C_L al final de un período de bit, el comparador acciona la señal de datos demodulados 382, lo que corresponde a la demodulación de un uno binario en dicha realización. El registro de desplazamiento de SIPO 325 registra cada decisión de bit demodulado en respuesta a un muestreo de la señal de desplazamiento 381.

REIVINDICACIONES

1. Un circuito integrado (100) que comprende:
 - 5 un primer procesador (101); una pluralidad de registros de señales de mensajería (138), en donde el primer procesador está configurado para escribir un conjunto de transmisión de señales de mensajería (136) en los registros de señales de mensajería;
 - 10 una pluralidad de clavijas de GPIO (125); una interfaz de GPIO (103) configurada para recibir un primer conjunto de señales (130) desde el primer procesador y para transmitir una parte del primer conjunto de señales como señales de GPIO a un procesador remoto (102) por la pluralidad de clavijas de GPIO;
 - una clavija de transmisión dedicada (112); y
 - 15 una máquina de estados finitos, FSM (115), configurada para recibir una parte restante del primer conjunto de señales desde la interfaz GPIO y para transmitir en serie la parte restante, como un conjunto de transmisión de señales de GPIO virtual (135), al procesador remoto por la clavija de transmisión dedicada, en una primera trama que incluye un encabezado configurado para identificar la primera trama como contenedora de señales de GPIO virtual, y en donde la FSM está configurada adicionalmente para recuperar el conjunto de transmisión de señales de mensajería en una segunda trama que incluye un encabezado configurado para identificar la segunda trama como contenedora de señales de mensajes al procesador remoto por la clavija de transmisión dedicada, y en donde el FSM está configurada además para transmitir, por la clavija de transmisión dedicada, al procesador remoto un tercer trama que tiene un encabezado que programa una longitud para la primera trama y para la segunda trama.
 - 20 2. El circuito integrado de la reivindicación 1, que comprende además: una clavija de recepción dedicada (111), en donde la FSM está configurada además para recibir en serie un conjunto de recepción de señales de GPIO virtual desde el procesador remoto por la clavija de recepción dedicada y para proporcionar el conjunto de recepción de señales de GPIO virtual a la interfaz de GPIO.
 - 30 3. El circuito integrado de la reivindicación 2, en el que la interfaz de GPIO está configurada además para recibir un conjunto de recepción de señales de GPIO desde las clavijas de GPIO y para transmitir el conjunto de recepción de señales de GPIO al primer procesador.
 - 35 4. El circuito integrado de la reivindicación 1, en el que el primer procesador comprende un procesador de aplicación o un procesador de módem.
 5. El circuito integrado de la reivindicación 2, en el que la FSM comprende un registro de desplazamiento de entrada en paralelo y salida en serie (PISO) y un registro de desplazamiento de entrada en serie y salida en paralelo (SIPO).
 - 40 6. El circuito integrado de la reivindicación 2, en el que la FSM está configurada además para transmitir en serie la primera trama y la segunda trama, de modo que la primera trama y la segunda trama están demarcadas, cada una, por un bit de inicio y un bit de fin.
 - 45 7. El circuito integrado de la reivindicación 6, en el que la FSM está configurada además para detectar un fallo del procesador remoto mediante la detección de un fallo en la recepción de un bit de fin en una trama recibida desde el procesador remoto.
 - 50 8. El circuito integrado de la reivindicación 3, en el que la FSM está configurada además para transmitir en serie el conjunto de transmisión de señales de GPIO virtual y el conjunto de transmisión de señales de mensajes que responden a ciclos de un reloj externo.
 9. El circuito integrado de la reivindicación 8, en el que la FSM está configurada además para transmitir en serie los conjuntos de transmisión de señales que responden a los primeros bordes de reloj del reloj externo y para recibir en serie el conjunto de recepción que responde a segundos bordes de reloj del reloj externo.
 - 55 10. El circuito integrado de la reivindicación 3, en el que la FSM está configurada además para transmitir en serie los conjuntos de transmisión de señales como señales moduladas por ancho de pulso.
 - 60 11. El circuito integrado de la reivindicación 10, en el que la FSM incluye un oscilador y al menos un contador para contar oscilaciones de un oscilador, y en el que la FSM está configurada adicionalmente para determinar un ancho de pulso para cada señal modulada, en respuesta a un recuento desde el al menos un contador.
 - 65 12. El circuito integrado de la reivindicación 11, en el que el oscilador es un oscilador de anillo.
 13. El circuito integrado de la reivindicación 10, en el que la FSM está configurada adicionalmente para generar cada

señal modulada por ancho de pulso, para tener un primer ancho de pulso o un segundo ancho de pulso, en donde el segundo ancho de pulso es mayor que el primer ancho de pulso.

14. Un procedimiento, que comprende:

- 5 recibir un conjunto de señales de GPIO en una interfaz de GPIO desde un primer procesador;
- 10 transmitir una parte del conjunto de señales de GPIO, a través de clavijas de GPIO dedicadas, a un procesador remoto; 510:
- 15 transmitir en serie, por una clavija de transmisión dedicada, una parte restante del conjunto de señales de GPIO al procesador remoto como señales de GPIO virtual, en una primera trama que incluye un encabezado configurado para identificar la primera trama como incluyente de señales de GPIO virtual; y recuperar señales de mensajes desde registros de señales de mensajes escritos por el primer procesador y transmitir en serie las señales de mensajes recuperadas, por la clavija de transmisión dedicada, al procesador remoto en un segundo trama que incluye un encabezado configurado para identificar la segunda trama como incluyente de señales de mensajes; y
- 20 transmitir en serie, por la clavija de transmisión dedicada, al procesador remoto una tercera trama que incluye un encabezado que identifica la tercera trama como programación de una longitud para la primera trama y para la segunda trama.

15. El procedimiento de la reivindicación 14, que comprende además:

- 25 recibir en serie un conjunto de recepción de señales de GPIO virtual desde el procesador remoto, por una clavija de recepción dedicada;
- 30 recibir en serie un conjunto de recepción de señales de GPIO desde el procesador remoto, por las clavijas de GPIO dedicadas; y
- proporcionar el conjunto de recepción de señales de GPIO virtual y el conjunto de recepción de señales de GPIO al primer procesador, a través de la interfaz de GPIO.

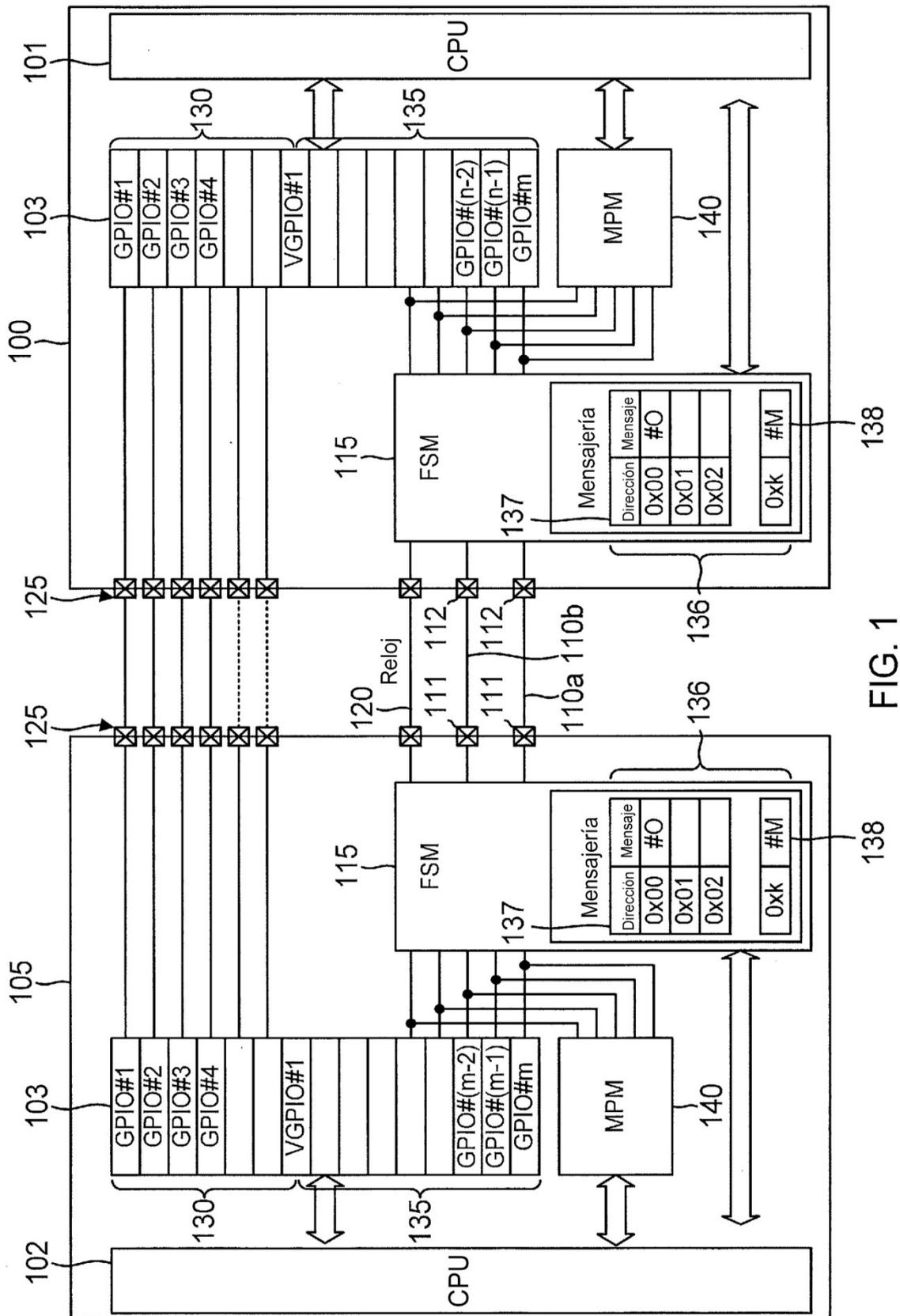


FIG. 1

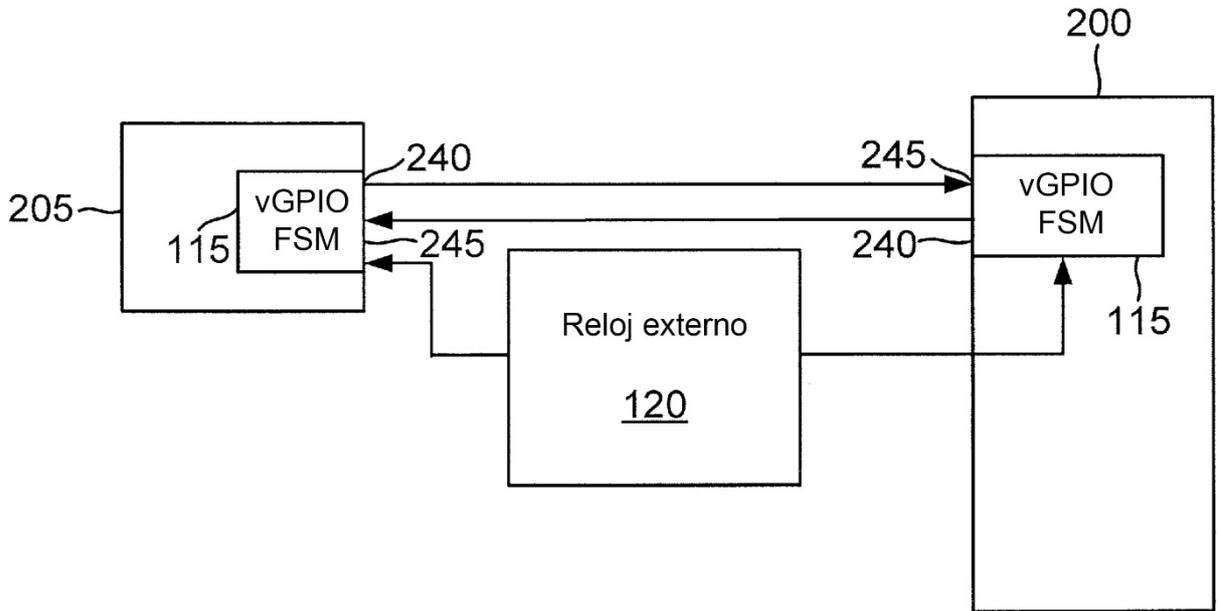


FIG. 2A

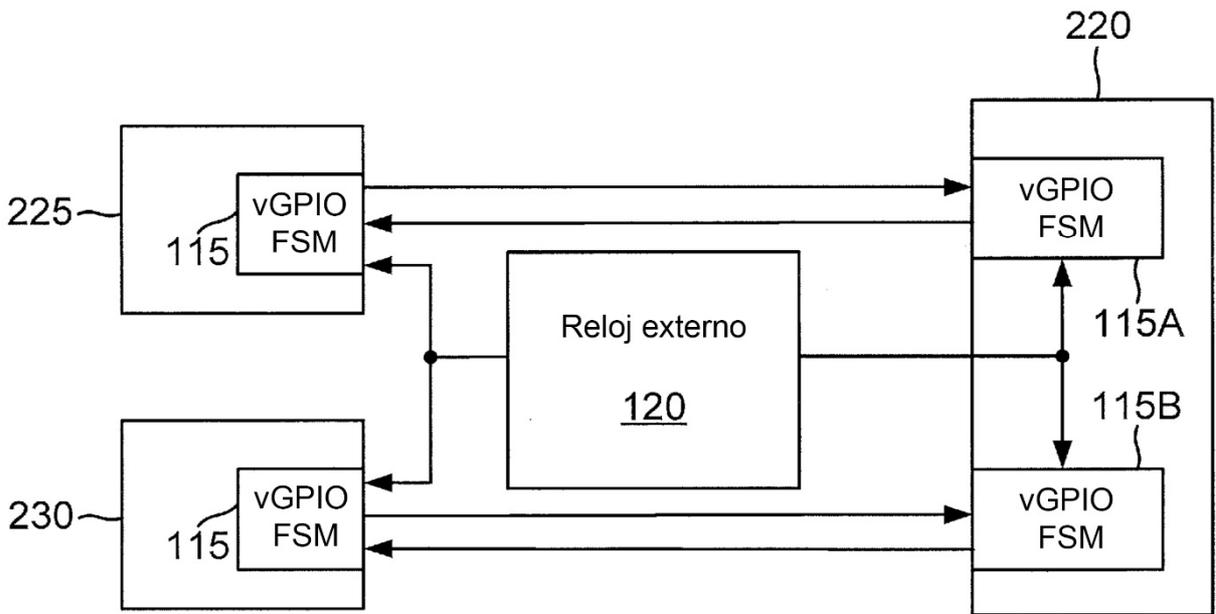


FIG. 2B

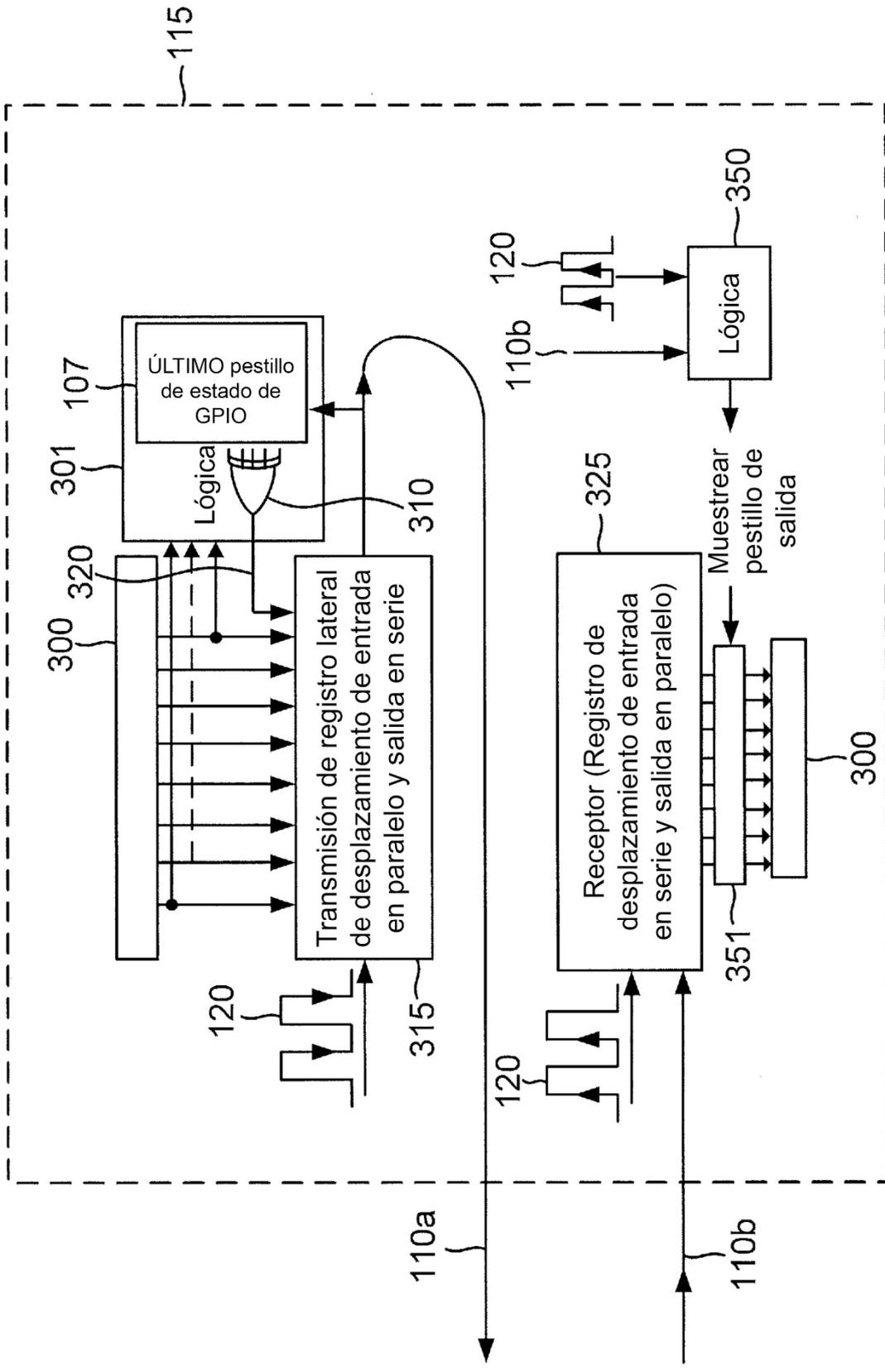


FIG. 3

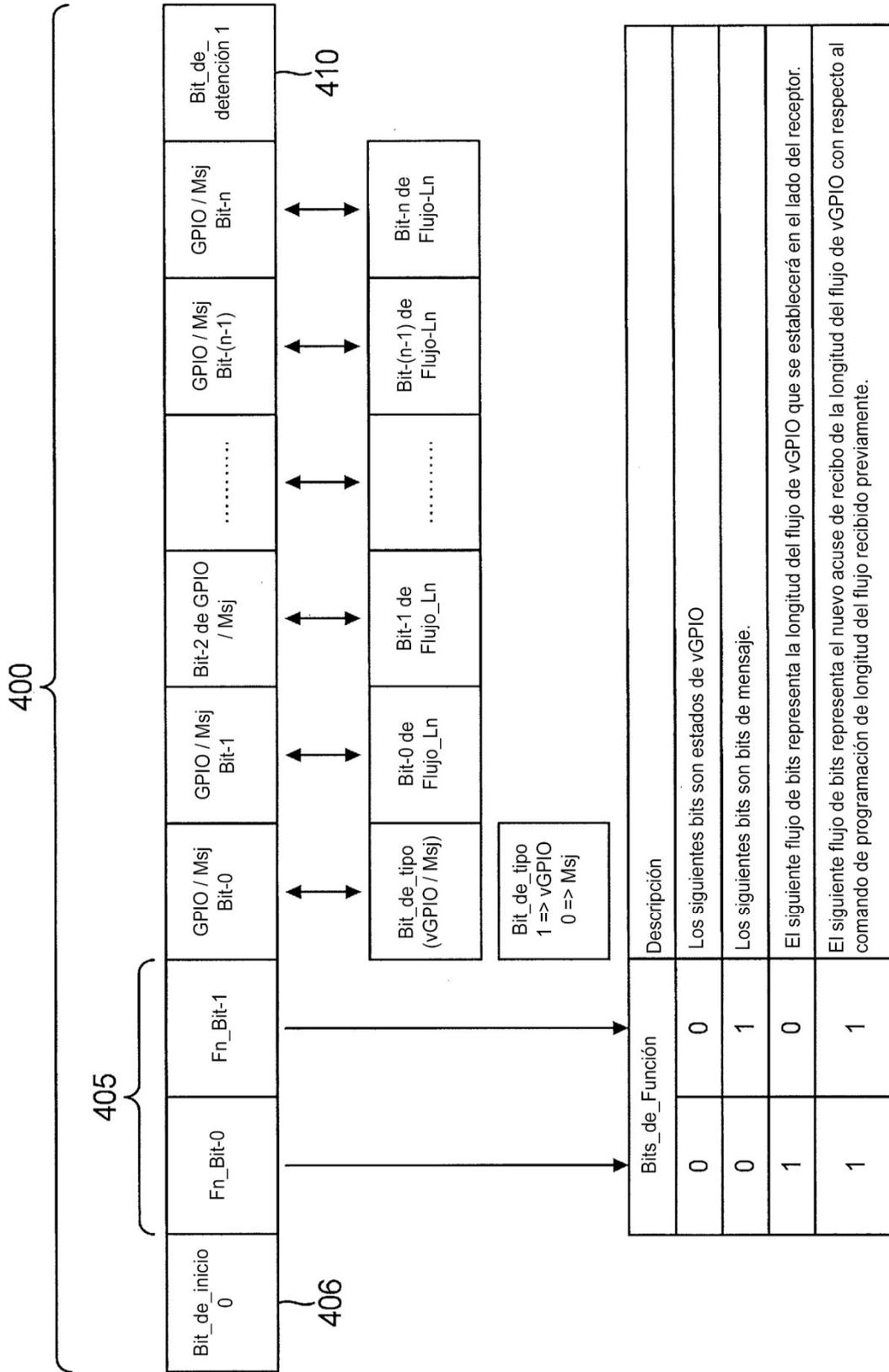


FIG. 4

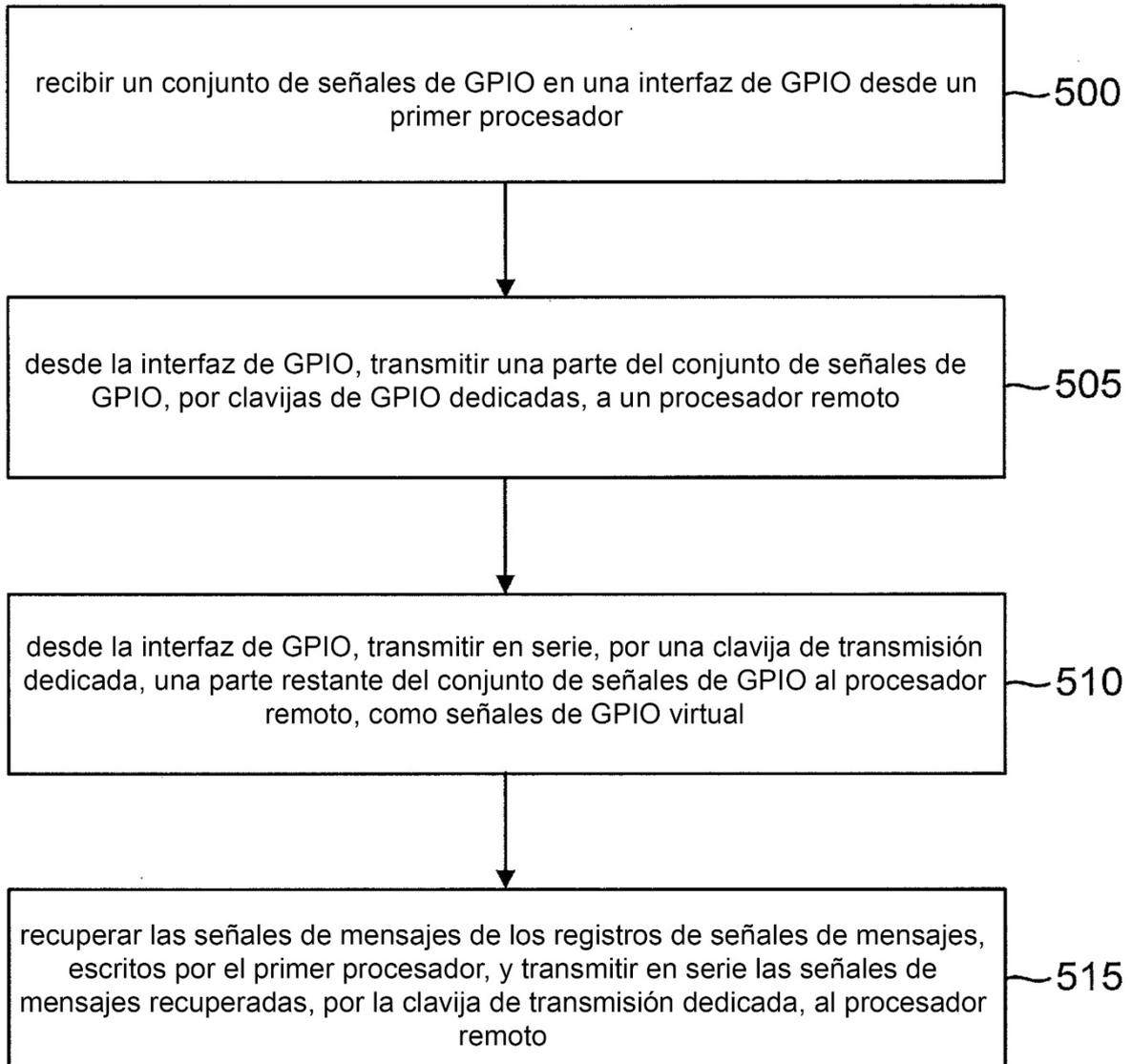


FIG. 5

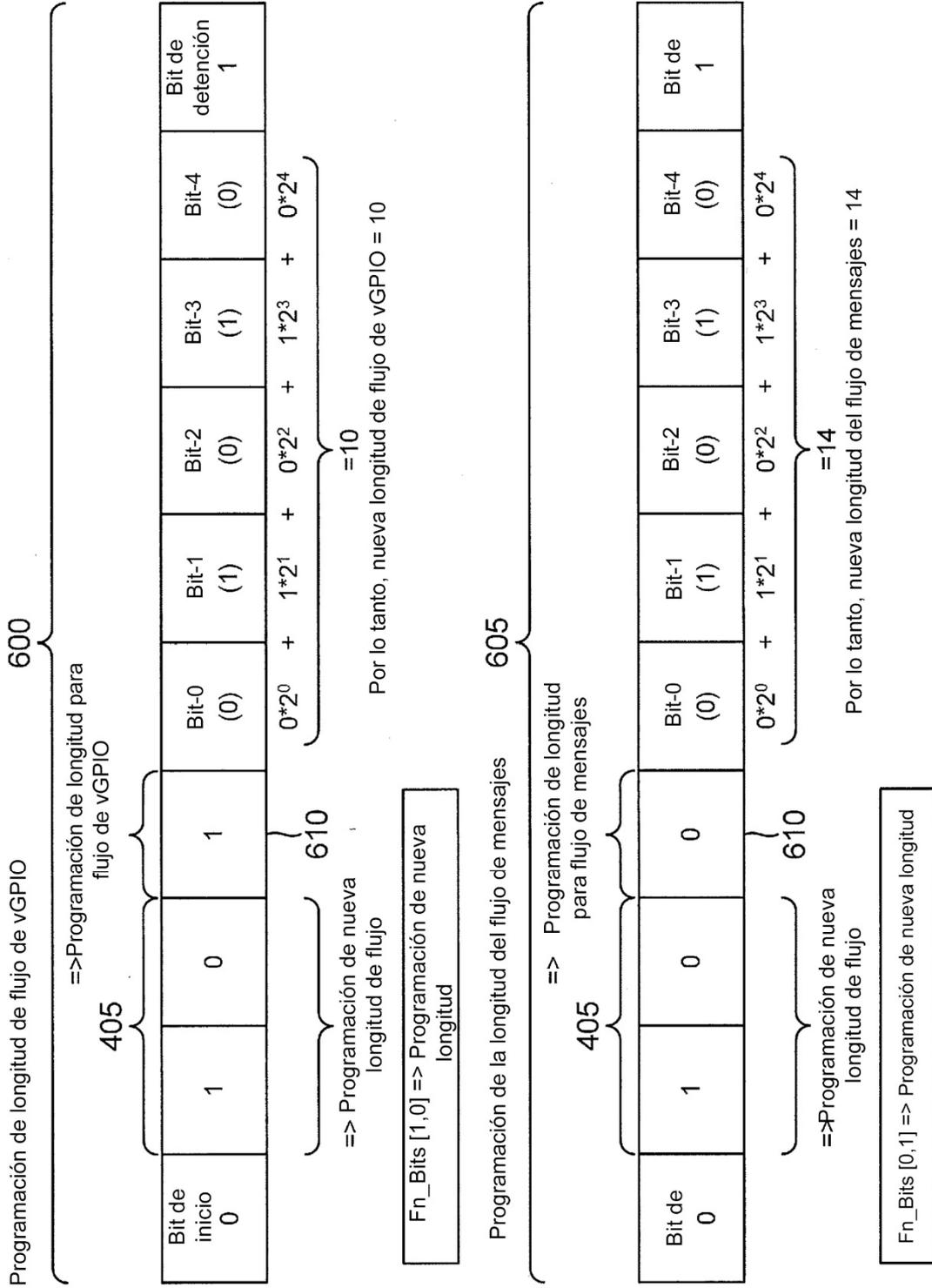


FIG. 6

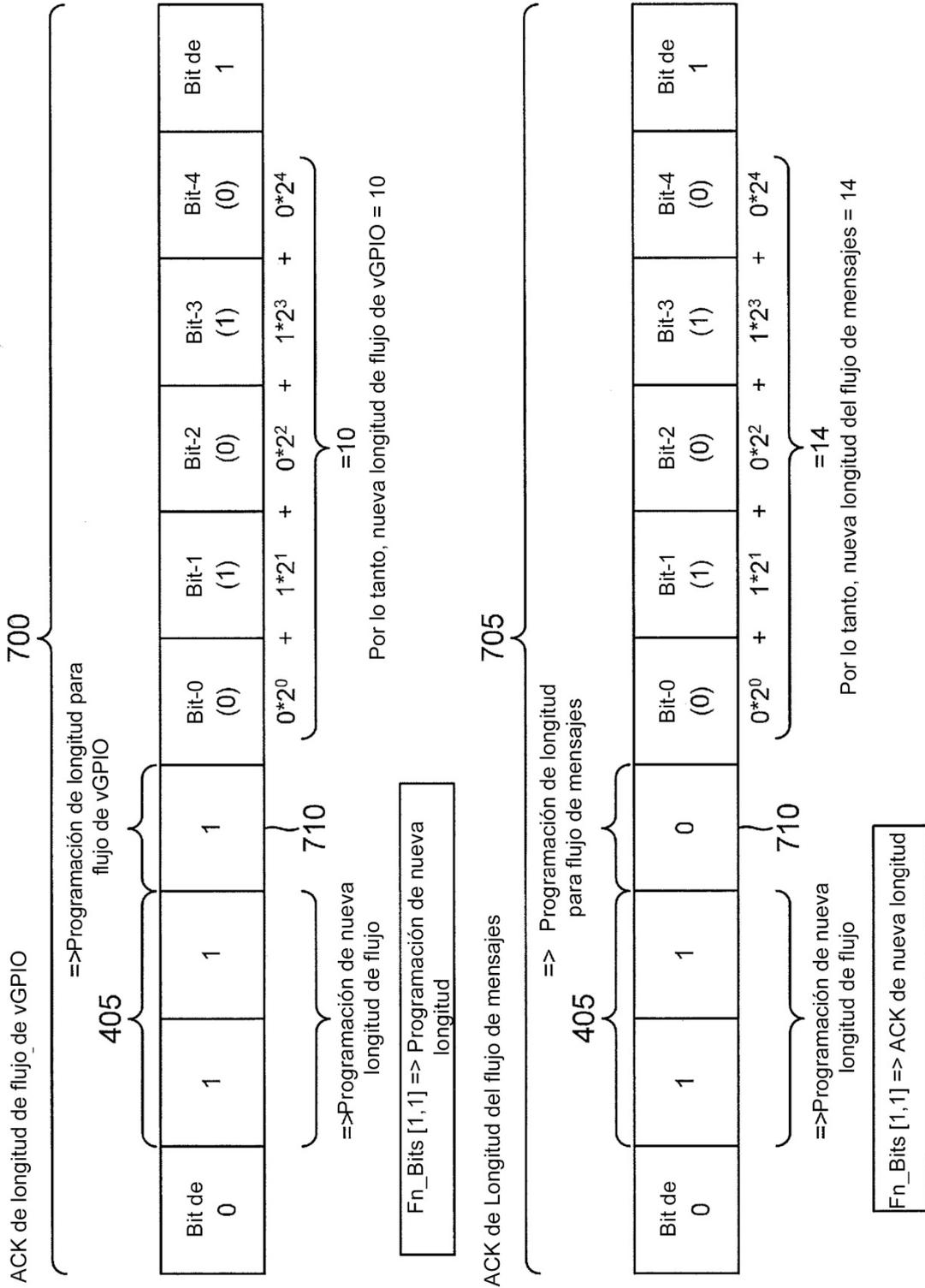


FIG. 7

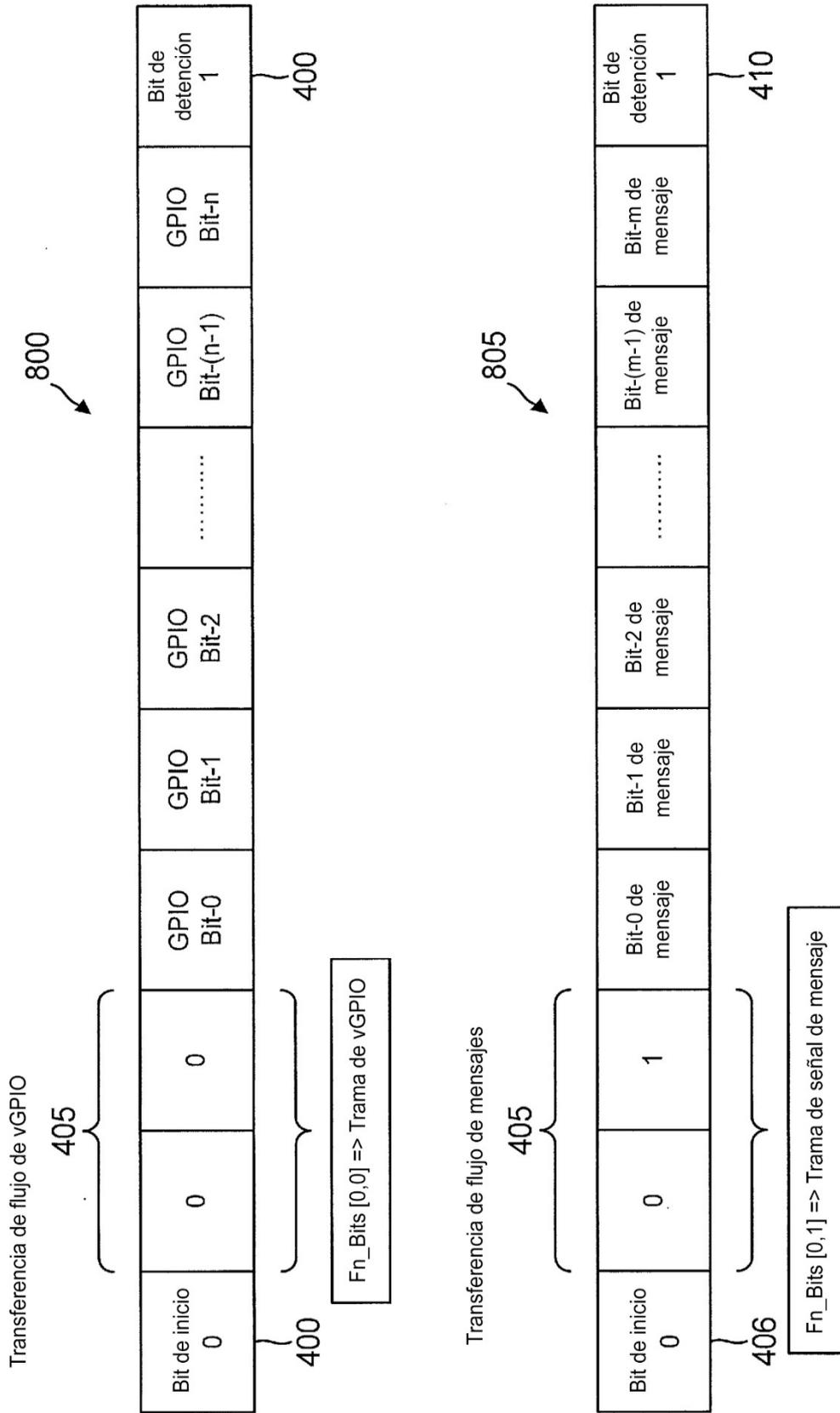


FIG. 8

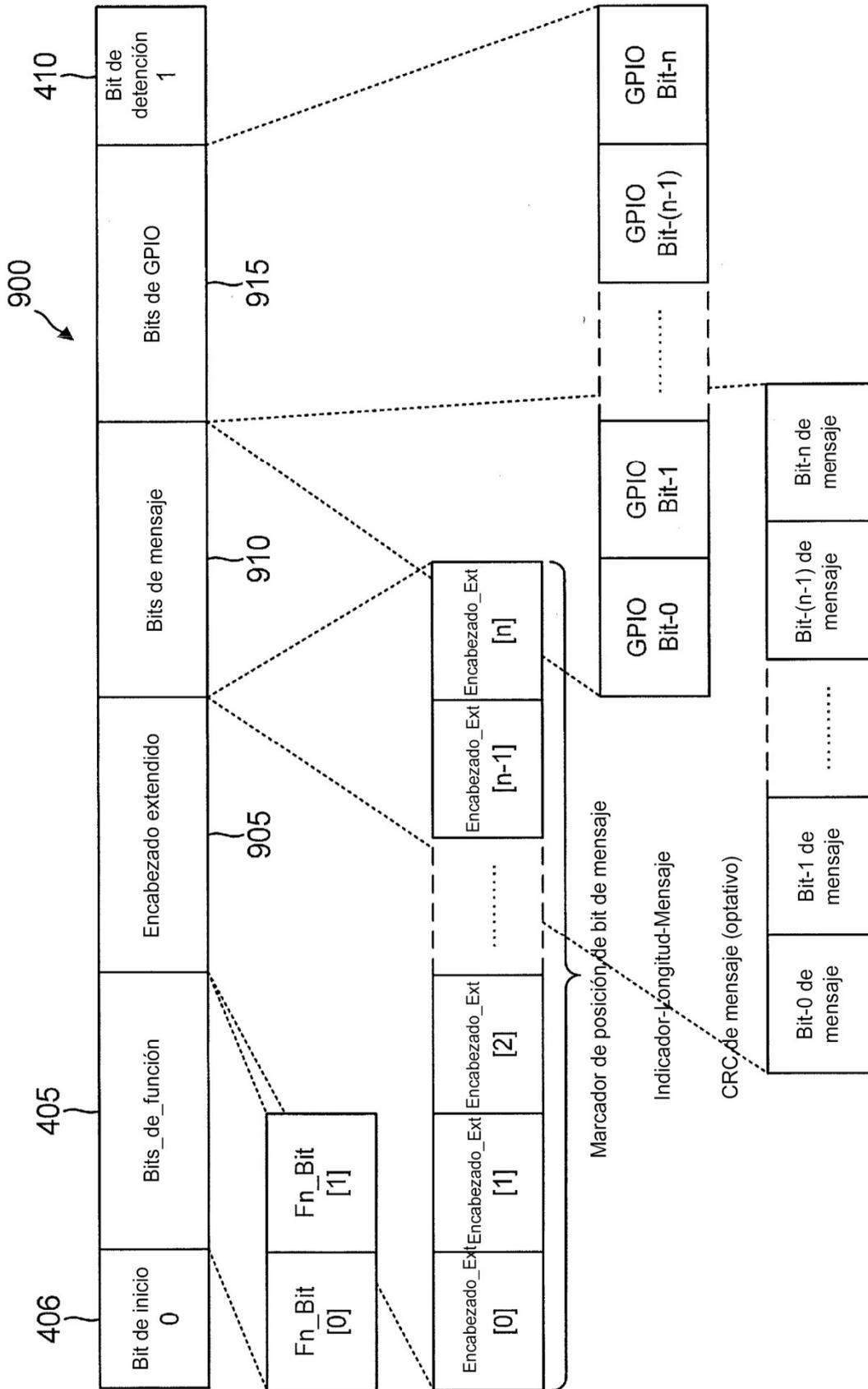


FIG. 9

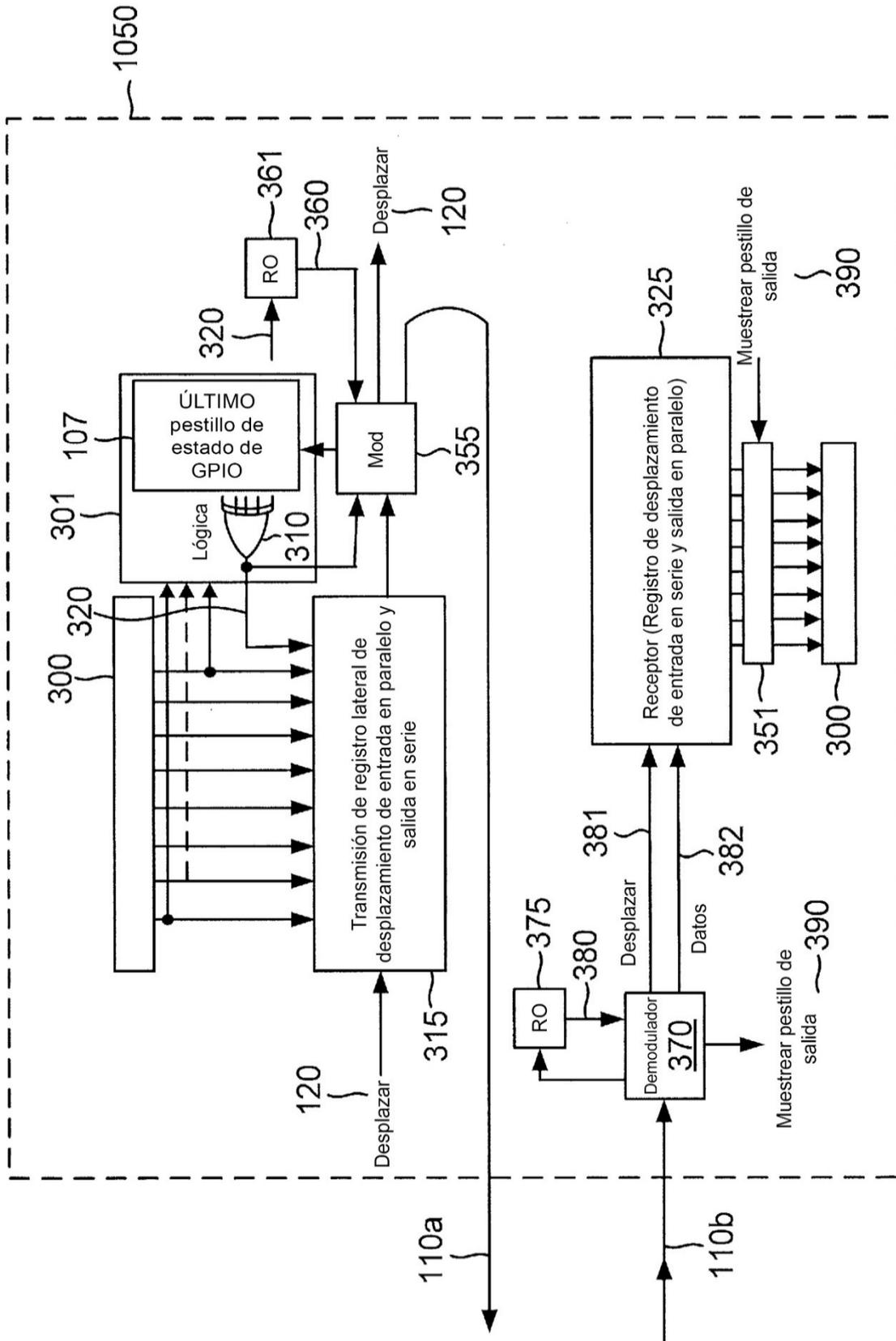


FIG. 10

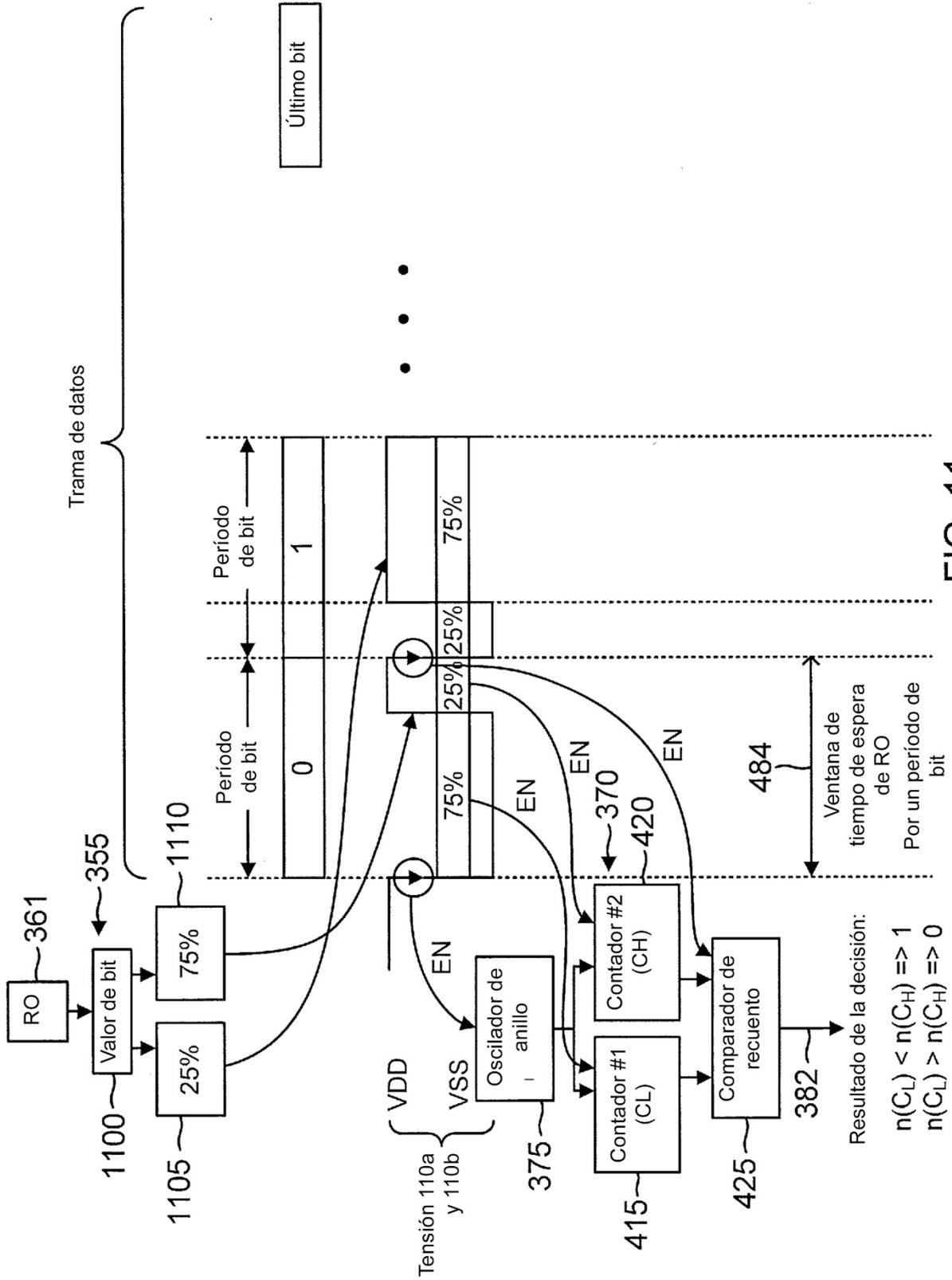


FIG. 11