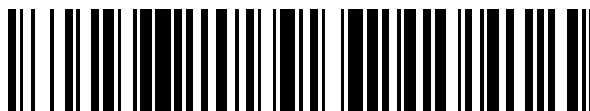


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 694 713**

51 Int. Cl.:

H04N 19/149 (2014.01)

H04N 19/146 (2014.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **03.06.2009 PCT/JP2009/060139**

87 Fecha y número de publicación internacional: **10.12.2009 WO09148076**

96 Fecha de presentación y número de la solicitud europea: **03.06.2009 E 09758343 (9)**

97 Fecha y número de publicación de la concesión europea: **29.08.2018 EP 2265025**

54 Título: **Método de control de la cantidad de codificación de vídeo, aparato de control de la cantidad de codificación de vídeo, programa de control de la cantidad de codificación de vídeo y medio de grabación legible por ordenador que tiene el programa grabado en el mismo**

30 Prioridad:

05.06.2008 JP 2008147534

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

26.12.2018

73 Titular/es:

**NIPPON TELEGRAPH AND TELEPHONE CORPORATION (100.0%)
3-1, Otemachi 2-chome Chiyoda-ku
Tokyo 100-8116, JP**

72 Inventor/es:

**TANIDA RYUICHI y
SHIMIZU ATSUSHI**

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 694 713 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

5 Método de control de la cantidad de codificación de vídeo, aparato de control de la cantidad de codificación de vídeo, programa de control de la cantidad de codificación de vídeo y medio de grabación legible por ordenador que tiene el programa grabado en el mismo

Campo técnico

10 La presente invención se refiere a un método y un aparato de control de tasa de bits de vídeo usados en un esquema de codificación de vídeo que realiza un proceso para determinar un ancho de cuantificación o un parámetro similar de una fotografía a codificar basándose en una tasa de bits de asignación anteriormente dada, un programa de control de tasa de bits de vídeo usado para la realización del método de control de tasa de bits de vídeo, y un medio de grabación legible por ordenador que tiene el programa grabado en el mismo.

15 Se reivindica la prioridad de la solicitud de patente japonesa n.º 2008-147534, presentada el 5 de junio de 2008.

Antecedentes de la invención

20 Como uno de los métodos para codificar información de vídeo a una tasa de bits objetivo, hay un esquema de codificación de dos pasadas para ejecutar la codificación una vez para calcular una característica de vídeo, obtener una tasa de bits de asignación de cada fotografía basada en el mismo y, a continuación, realizar la codificación de nuevo, o un esquema de codificación de múltiples pasadas para realizarlo repetidamente una pluralidad de veces. Puesto que estos esquemas son capaces de distribuir adecuadamente las tasas de bits a las fotografías respectivas en función del resultado de la codificación ejecutada una vez, puede lograrse una codificación eficiente.

25 Incluso si la tasa de bits de asignación completa de cada fotografía se asigna en función del resultado de la primera codificación, hay un error entre una tasa de bits realmente generada y la tasa de bits de asignación. En consecuencia, con el fin de que una secuencia adquiera un tamaño objetivo, es necesario incorporar una tasa de bits de error en una tasa de bits de asignación de una próxima fotografía para corregir los errores de uno en uno.

30 Un método para asignar una tasa de bits constante R a una pluralidad de fotografías e incorporar una tasa de bits de error en la tasa de bits constante R, como se menciona a continuación en el documento no de patente 1, se usa ampliamente cuando la codificación de la CBR (tasa de bits constante) se realiza de una sola pasada.

35 Por otro lado, cuando este método de codificación de CBR se aplica a la codificación de múltiples pasadas en la que se determina anteriormente una tasa de bits de asignación de cada fotografía, puesto que la tasa de bits de asignación de cada fotografía se determina anteriormente, es innecesario un proceso para asignar una tasa de bits constante a una pluralidad de fotografías. En consecuencia, cuando este método de codificación de CBR se aplica a la codificación de múltiples pasadas, la corrección se realiza sumando una tasa de bits de error generada tras la codificación de cada fotografía a una tasa de bits de asignación de la próxima fotografía.

45 La figura 12 muestra un ejemplo de un diagrama de flujo de acuerdo con una técnica anterior en la que después de haber calculado una tasa de bits de asignación y una característica de cada fotografía en función del resultado de la primera codificación, se usa el método anterior (un método para realizar la corrección sumando una tasa de bits de error generada tras la codificación de cada fotografía a una tasa de bits de asignación de una próxima fotografía).

En la técnica anterior, en primer lugar, en la etapa S501, una tasa de bits de error y un número de fotografía n se inicializan en 0 como un proceso de inicialización, como se muestra en este diagrama de flujo.

50 En la etapa S502, la n^{ésima} fotografía se codifica a continuación a una tasa de bits de asignación anteriormente dada.

55 Es decir, se ejecuta un proceso de codificación mostrado en un diagrama de flujo de la figura 13. Se calcula un ancho de cuantificación a partir de una tasa de bits de asignación de la n^{ésima} fotografía y una característica de la n^{ésima} fotografía (etapa S601), se calcula un residual de predicción (etapa S602), se aplica una transformada de coseno discreta (DCT) (etapa S603) y se cuantifica un coeficiente DCT (etapa S604). A continuación, se genera una secuencia codificada por codificación de longitud variable (etapa S605). Por otro lado, el coeficiente DCT cuantificado se somete a una descuantificación (etapa S606) y a una transformada de coseno discreta inversa (IDCT) (etapa S607) para producir una imagen descodificada del residual de predicción, que se suma a una imagen prevista para generar una imagen descodificada (etapa S608).

60 A continuación, en la etapa S503, se determina si se han codificado o no todos los fotogramas (todas las fotografías), y cuando se han codificado todos los fotogramas, finaliza el proceso, y cuando no se han codificado todos los fotogramas, se ejecutan los siguientes procesos.

65 Es decir, en la etapa subsiguiente S504, se calcula una tasa de bits de error a partir de una diferencia entre la tasa de bits de asignación y una tasa de bits real generada tras la codificación. En la etapa subsiguiente S505, la tasa de

bits de error se suma a la tasa de bits de asignación de una próxima fotografía para actualizar la tasa de bits de asignación de la próxima fotografía. En la etapa subsiguiente S506, un objeto a procesar se desplaza a la próxima fotografía, el flujo regresa al proceso de la etapa S502 y el procedimiento anterior se realiza repetidamente.

5 A través del proceso anterior, los errores entre las tasas de bits de asignación y las tasas de bits generadas se corrigen de uno en uno, por lo que puede obtenerse una secuencia codificada cercana a un tamaño de archivo objetivo.

10 La figura 14 ilustra una configuración de aparato de un aparato de codificación de vídeo convencional para ejecutar los procesos de los diagramas de flujo mostrados en las figuras 12 y 13.

15 Como se muestra en la figura 14, el aparato de codificación de vídeo convencional para ejecutar los procesos de los diagramas de flujo mostrados en las figuras 12 y 13 está provisto de una unidad de almacenamiento de tasa de bits de asignación 101, dos sumadores 102 y 111, dos restadores 103 y 106, una unidad de almacenamiento de características 104, una unidad de cálculo de ancho de cuantificación 105, una unidad DCT 107, una unidad de cuantificación 108, una unidad de descuantificación 109, una unidad IDCT 110, una memoria intermedia de almacenamiento de imágenes descodificadas 112, una unidad de generación de imágenes previstas 113 y una unidad de codificación de longitud variable 114.

20 La unidad de almacenamiento de tasa de bits de asignación 101 almacena los valores iniciales de las tasas de bits de asignación de las fotografías respectivas y los emite al sumador 102 de uno en uno. El sumador 102 suma un valor inicial de una tasa de bits de asignación emitida por la unidad de almacenamiento de tasa de bits de asignación 101 a una tasa de bits de error emitida por el restador 103 para calcular y emitir una tasa de bits de asignación de la fotografía a codificar. El restador 103 calcula una diferencia entre la tasa de bits de asignación emitida por el sumador 102 y una tasa de bits generada emitida por la unidad de codificación de longitud variable 114 para calcular y emitir una tasa de bits de error de una fotografía que se ha codificado. La unidad de almacenamiento de características 104 almacena las características de las fotografías respectivas obtenidas tras la codificación de primera pasada, y las emite a la unidad de cálculo de ancho de cuantificación 105 de una en una. La unidad de cálculo de ancho de cuantificación 105 calcula y emite un ancho de cuantificación de la fotografía a codificar a partir de una característica emitida por la unidad de almacenamiento de características 104 y la tasa de bits de asignación emitida por el sumador 102.

35 El restador 106 calcula una diferencia entre una imagen de entrada y una imagen prevista emitida por la unidad de generación de imágenes previstas 113 para generar y emitir un residual de predicción. La unidad DCT 107 aplica DCT al residual de predicción emitido por el restador 106. La unidad de cuantificación 108 aplica la cuantificación a cada coeficiente DCT emitido por la unidad DCT 107 usando el ancho de cuantificación emitido por la unidad de cálculo de ancho de cuantificación 105. La unidad de descuantificación 109 aplica una descuantificación a un valor de cuantificación emitido por la unidad de cuantificación 108 usando el ancho de cuantificación emitido por la unidad de cálculo de ancho de cuantificación 105. La unidad IDCT 110 aplica IDCT a un coeficiente descuantificado emitido por la unidad de descuantificación 109. El sumador 111 suma una señal descodificada de residual de predicción emitida por la unidad IDCT 110 a la imagen prevista emitida por la unidad de generación de imágenes previstas 113 para generar una imagen descodificada, y la emite a la memoria intermedia de almacenamiento de imágenes descodificadas 112. La memoria intermedia de almacenamiento de imágenes descodificadas 112 almacena la imagen descodificada emitida por el sumador 111. La unidad de generación de imágenes previstas 113 genera y emite la imagen prevista basándose en la imagen descodificada almacenada en la memoria intermedia de almacenamiento de imágenes descodificadas 112. La unidad de codificación de longitud variable 114 aplica la codificación de longitud variable al coeficiente DCT cuantificado emitido por la unidad de cuantificación 108, y emite una secuencia codificada.

50 El aparato de codificación de vídeo convencional ejecuta los procesos de los diagramas de flujo mostrados en las figuras 12 y 13 usando la configuración que se muestra en la figura 14.

55 Se observa que una técnica de tasa de CBR que es la base de un método descrito en el documento no de patente 1 se explica en el documento de patente 1 siguiente en el que se menciona el nombre del documento (ISO/IEC JTC/SC29/WG11: "Test model 5", 1993). Sin embargo, la invención descrita en este documento es simplemente una técnica dentro del marco de la CBR, aunque la respuesta a la variación de la tasa de bits es más alta en comparación con el método descrito en el documento no de patente 1. En consecuencia, cuando la invención descrita en este documento se aplica a la codificación de múltiples pasadas, la corrección se realiza sumando una tasa de bits de error generada tras codificar cada fotografía a una tasa de bits de asignación de la próxima fotografía, como en el caso de que se aplique el método descrito en el documento no de patente 1.

Documentos de la técnica anterior

65 Documento de patente

Documento de patente 1: solicitud de patente no examinada japonesa, primera publicación n.º 2000-358247

Documento no de patente

5 Documento no de patente 1: Hiroshi Yasuda y Hiroshi Watanabe, "Basis of Digital Image Compression" NIKKEI BP Publishing Center, páginas 189-193, 1999

Sumario de la invención

10 Problemas a resolver por la invención

10 De esta manera, cuando el método de codificación de CBR se aplica a la codificación de múltiples pasadas en la que anteriormente se ha determinado una tasa de bits de asignación de cada fotografía, la corrección se realiza sumando una tasa de bits de error generada tras codificar cada fotografía a una tasa de bits de asignación de una próxima fotografía, como se explica en los diagramas de flujo mostrados en las figuras 12 y 13.

15 Sin embargo, de acuerdo con un método de este tipo, una tasa de bits de error de una fotografía anterior se establece en la próxima fotografía, y por lo tanto hay un problema ya que aumenta la variación de una tasa de bits de asignación obtenida anteriormente.

20 En particular, cuando se supone una operación en una tasa de bits variable (VBR) en la que una tasa de bits de asignación varía mucho dentro de una secuencia, las tasas de bits de asignación, originalmente, son muy diferentes de una fotografía a otra. En consecuencia, cuando se suma una tasa de bits de error generada en una fotografía anterior a una tasa de bits de asignación de una próxima fotografía, aumenta la variación de la tasa de bits de asignación original y hay un alto riesgo de que la calidad de imagen entre las fotografías fluctúe mucho.

25 La presente invención se ha logrado en vista de las circunstancias anteriores, y un objeto de la presente invención es proporcionar una nueva técnica de control de tasa de bits de vídeo para realizar una mejora en la calidad de imagen subjetiva reduciendo la variación de la calidad de imagen entre las fotografías cuando se realiza la codificación de vídeo a una tasa de bits objetivo.

30 **Medios para resolver los problemas**

Con el fin de lograr este objetivo, la presente invención se define por las reivindicaciones adjuntas.

35 **Efectos ventajosos de la invención**

40 De acuerdo con la presente invención, las tasas de bits de variación permisible de una pluralidad de fotografías predeterminadas se obtienen basándose en los intervalos de corrección permisible de las tasas de bits de asignación determinados a partir de los tamaños de los valores iniciales de las tasas de bits de asignación de las fotografías respectivas, la tasa de actualización se obtiene a partir de la relación de la tasa de bits de error con la suma de las tasas de bits de variación permisible, las tasas de bits de variación asignadas a las fotografías respectivas se obtienen basándose en las tasas de bits de variación permisible de las fotografías respectivas y la tasa de actualización, y la tasa de bits de error se asigna a las tasas de bits de asignación de una pluralidad de fotografías subsiguientes de acuerdo con las tasas de bits de variación.

45 En consecuencia, la tasa de bits de error generada en la fotografía codificada se distribuye a la próxima fotografía, así como una pluralidad de fotografías, suprimiendo de este modo la variación de la tasa de bits de asignación de la próxima fotografía y reduciendo de este modo la variación de calidad de imagen entre fotografías.

50 Además, puesto que los valores máximos y los valores mínimos de las tasas de bits de asignación no son fijos, sino que se determinan a partir de los valores iniciales anteriormente dados de las tasas de bits de asignación, y las cantidades de distribución (tasas de bits de variación) se determinan en función de los mismos, la fluctuación del ancho de cuantificación debida a la corrección de la tasa de bits de error está en un intervalo constante, incluso cuando la variación de la tasa de bits de asignación entre las fotografías es tan grande como la VBR.

55 Además, puesto que las cantidades de distribución (tasas de bits de variación) se obtienen en función de la tasa de actualización común a las tasas de bits de variación permisible de las fotografías respectivas, los anchos de cuantificación de las fotografías respectivas se cambian equitativamente, y la fluctuación de calidad de imagen entre las fotografías debida al presente proceso se mantiene pequeña.

60 Además, puesto que hay un mecanismo para transferir una tasa de bits de error que podría no distribuirse, es posible realizar continuamente un control sin fallos, incluso cuando es probable que el control falle con el método convencional. Además, puesto que el proceso de recorte para realizar este mecanismo se realiza solo sobre una tasa de actualización, el procesamiento puede realizarse solo con una rama condicional.

65

Breve descripción de los dibujos

La figura 1A es un diagrama explicativo que muestra un proceso en un aparato de control de tasa de bits de vídeo al que se aplica la presente invención;

la figura 1B es un diagrama explicativo que muestra un proceso en un aparato de control de tasa de bits de vídeo al que se aplica la presente invención;

la figura 2 es un diagrama explicativo que muestra un proceso en un aparato de control de tasa de bits de vídeo al que se aplica la presente invención;

la figura 3 es un diagrama explicativo que muestra un proceso en un aparato de control de tasa de bits de vídeo al que se aplica la presente invención;

la figura 4 es un diagrama que muestra un ejemplo de una configuración de aparato de un aparato de codificación de vídeo que incluye un aparato de control de tasa de bits de vídeo al que se aplica la presente invención;

la figura 5 es un diagrama de flujo ejecutado por una unidad de cálculo de tasa de bits de asignación;

la figura 6 es un diagrama que muestra un ejemplo de una configuración de aparato de la unidad de cálculo de tasa de bits de asignación;

la figura 7 es un diagrama de flujo ejecutado por la unidad de cálculo de tasa de bits de asignación;

la figura 8 es un diagrama de flujo ejecutado por la unidad de cálculo de tasa de bits de asignación;

la figura 9 es un diagrama de flujo ejecutado por la unidad de cálculo de tasa de bits de asignación;

la figura 10 es un diagrama que muestra un ejemplo de una configuración de aparato de la unidad de cálculo de tasa de bits de asignación;

la figura 11A es un diagrama explicativo que muestra el resultado de un experimento basado en un método convencional realizado para verificar la eficacia de la presente invención;

la figura 11B es un diagrama explicativo que muestra el resultado de un experimento basado en la presente invención realizado para verificar la eficacia de la presente invención;

la figura 12 es un diagrama de flujo de acuerdo con una técnica anterior;

la figura 13 es un diagrama de flujo de un proceso de codificación de fotografías; y

la figura 14 es un diagrama de una configuración de un aparato de acuerdo con una técnica anterior.

Modo para realizar la invención

En lo sucesivo en el presente documento, la presente invención se describirá en detalle de acuerdo con las realizaciones.

En primer lugar, un principio básico de un aparato de control de tasa de bits de vídeo al que se aplica la presente invención se describirá antes de describir las realizaciones de la presente invención.

[1] Configuración del aparato de control de tasa de bits de vídeo

Cuando este aparato de control de tasa de bits de vídeo adopta una configuración para controlar una tasa de bits generada de una fotografía a codificar, en función de un valor inicial de una tasa de bits de asignación dada a cada fotografía por adelantado, el aparato de control de tasa de bits de vídeo está provisto de (1) un primer medio de cálculo para obtener una diferencia entre una tasa de bits de asignación y una tasa de bits realmente generada de una fotografía que se ha codificado, como una tasa de bits de error, (2) un medio de selección para seleccionar, para una pluralidad de fotografías subsiguientes, uno de entre un valor máximo y un valor mínimo de la tasa de bits de asignación que se calculan a partir del valor inicial de la tasa de bits de asignación y una constante anteriormente dada, como un intervalo de corrección permisible, en función del signo de la tasa de bits de error obtenida por el primer medio de cálculo, (3) un segundo medio de cálculo para obtener, para la pluralidad de fotografías subsiguientes, una diferencia entre el intervalo de corrección permisible seleccionado por el medio de selección y la tasa de bits de asignación, como las tasas de bits de variación permisible, (4) un tercer medio de cálculo para calcular la suma de las tasas de bits de variación permisible obtenidas por el segundo medio de cálculo y obtener la relación de tasa de bits de error obtenida por el primer medio de cálculo con la suma calculada de las tasas de bits de variación permisible, como la tasa de actualización, y (5) un medio de actualización para calcular, para la pluralidad de fotografías subsiguientes, las tasas de bits de variación correspondientes a las tasas de bits de asignación basadas en las tasas de bits de variación permisible obtenidas por el segundo medio de cálculo y la tasa de actualización obtenida por el tercer medio de cálculo, y actualizar las tasas de bits de asignación de la pluralidad de fotografías basadas en las tasas de bits de variación calculadas.

En este caso, el valor máximo y el valor mínimo de la tasa de bits de asignación que pueden seleccionarse por el medio de selección pueden no obtenerse cada vez que la tasa de bits de error se obtiene por el primer medio de cálculo, pero puede proporcionarse "un cuarto medio de cálculo para obtener, para cada fotografía, el valor máximo y el valor mínimo de la tasa de bits de asignación en función del valor inicial de la tasa de bits de asignación y la constante anteriormente dada por adelantado", y el medio de selección puede leer uno correspondiente entre los obtenidos por el cuarto medio de cálculo.

Por ejemplo, este cuarto medio de cálculo puede obtener el valor máximo de la tasa de bits de asignación

5 multiplicando el valor inicial de la tasa de bits de asignación por una constante y el valor mínimo de la tasa de bits de asignación dividiendo el valor inicial de la tasa de bits de asignación por una constante, o puede obtener el valor máximo de la tasa de bits de asignación sumando una constante al valor inicial de la tasa de bits de asignación y el valor mínimo de la tasa de bits de asignación restando una constante del valor inicial de la tasa de bits de asignación.

10 Cuando se adopta esta configuración, puede proporcionarse adicionalmente (6) un medio de recorte para recortar la tasa de actualización obtenida por el tercer medio de cálculo para estar en un intervalo dado, (7) un quinto medio de cálculo para calcular la suma de las tasas de bits de variación calculadas por el medio de actualización y obtener una diferencia entre la tasa de bits de error obtenida por el primer medio de cálculo y la suma, como una tasa de bits de transferencia, y (8) un medio de adición para sumar la tasa de bits de transferencia (que puede indicar un valor negativo) obtenida por el quinto medio de cálculo a la tasa de bits de error obtenida tras codificar la próxima fotografía.

15 Además, el medio de selección selecciona el valor máximo de la tasa de bits de asignación como el intervalo de corrección permisible cuando la tasa de bits de error indica un valor positivo (cuando la tasa de bits de asignación es mayor que la tasa de bits realmente generada), y selecciona el valor mínimo de la tasa de bits de asignación como el intervalo de corrección permisible cuando la tasa de bits de error indica un valor negativo (cuando la tasa de bits de asignación es menor que la tasa de bits realmente generada). Cabe señalar que el caso donde la tasa de bits de error es 0 puede manejarse como en el caso donde la tasa de bits de error indica el valor positivo, o puede manejarse como en el caso donde la tasa de bits de error indica el valor negativo.

20 El método de control de tasa de bits de vídeo realizado por las operaciones en los medios de procesamiento respectivos anteriores también puede realizarse por un programa informático. Este programa informático se graba en un medio de grabación legible por ordenador adecuado y se proporciona a través de una red, se instala cuando se realiza este método de control de tasa de bits de vídeo y se opera en un medio de control tal como una unidad central de procesamiento (CPU), realizando de este modo este método de control de tasa de bits de vídeo.

25 [2] Ejemplo del proceso en el aparato de control de tasa de bits de vídeo

30 En lo sucesivo en el presente documento, un ejemplo del proceso en este aparato de control de tasa de bits de vídeo se describirá usando un ejemplo específico de un proceso ejecutado cuando se proporciona el cuarto medio de cálculo.

35 En el aparato de control de tasa de bits de vídeo configurado de este modo, se determina un valor inicial de una tasa de bits de asignación para cada fotografía a codificar, como se muestra en la figura 1A, basándose en un cierto pre-análisis, tal como la primera codificación. Por ejemplo, el valor inicial de la tasa de bits de asignación multiplicado por una constante se establece como un valor máximo de la tasa de bits de asignación, y el valor inicial de la tasa de bits de asignación dividido por una constante se establece como un valor mínimo de la tasa de bits de asignación. En consecuencia, se determina un intervalo de variación de la tasa de bits de asignación (desde el valor máximo hasta el valor mínimo) para cada fotografía a codificar, como se muestra en la figura 1B.

40 Puesto que el intervalo de variación determinado de la tasa de bits de asignación se determina a partir del valor inicial de la tasa de bits de asignación, el intervalo de variación es invariante en un proceso de codificación.

45 A partir de entonces, se inicia el proceso de codificación, y una diferencia entre una tasa de bits de asignación y una tasa de bits realmente generada de una fotografía que se ha codificado se obtiene como una tasa de bits de error.

50 En la técnica anterior, la tasa de bits de error obtenida en este momento se establece sumándola a una tasa de bits de asignación de una próxima fotografía, pero este método hace que aumente la variación de la tasa de bits de asignación obtenida anteriormente.

55 Por lo tanto, este aparato de control de tasa de bits de vídeo adopta una configuración para distribuir la tasa de bits de error obtenida en este momento a N fotografías a codificar posteriormente, como se muestra en la figura 2.

60 En este caso, no es preferible usar un método para dividir equitativamente la tasa de bits de error por N para una distribución uniforme. Puesto que una fotografía con una alta tasa de bits de asignación requiere esencialmente una alta tasa de bits y una fotografía con una baja tasa de bits de asignación no requiere esencialmente dicha tasa de bits, no es preferible usar el método para dividir equitativamente la tasa de bits de error por N para una distribución uniforme.

65 Por lo tanto, en este aparato de control de tasa de bits de vídeo, se obtiene un margen de un límite de asignación para cada una de las N fotografías subsiguientes, se obtiene una tasa de bits multiplicando el margen por una tasa de actualización constante, y la tasa de bits obtenida de este modo se distribuye a las N fotografías respectivas. En este caso, la tasa de actualización se determina en función del hecho de que la suma de las tasas de bits distribuidas a las N fotografías subsiguientes es igual a la tasa de bits de error.

Es decir, este aparato de control de tasa de bits de vídeo obtiene una diferencia entre la tasa de bits de asignación y la tasa de bits realmente generada de una fotografía que se ha codificado, como una tasa de bits de error. En función del signo de la tasa de bits de error, cuando la tasa de bits de error indica un valor positivo, este aparato de control de tasa de bits de vídeo selecciona un valor máximo de la tasa de bits de asignación obtenida antes de comenzar la codificación, como un intervalo de corrección permisible, con el fin de asignar la tasa de bits de error de manera que la tasa de bits de error se sume a las tasas de bits de asignación de una pluralidad de fotografías subsiguientes. Por otro lado, cuando la tasa de bits de error indica un valor negativo, este aparato de control de tasa de bits de vídeo selecciona un valor mínimo de la tasa de bits de asignación obtenida antes de comenzar la codificación, como el intervalo de corrección permisible, con el fin de asignar la tasa de bits de error de manera que la tasa de bits de error se reste de las tasas de bits de asignación de la pluralidad de fotografías subsiguientes.

Cabe señalar que cuando no se proporciona el cuarto medio de cálculo, si la tasa de bits de error indica un valor positivo en un momento cuando se selecciona este intervalo de corrección permisible, los valores máximos de las tasas de bits de asignación se obtienen para la pluralidad de fotografías subsiguientes, por ejemplo, multiplicando los valores iniciales de las tasas de bits de asignación por una constante y los valores máximos se seleccionan como intervalos de corrección permisible. Por otro lado, si la tasa de bits de error indica un valor negativo, los valores mínimos de las tasas de bits de asignación se obtienen para la pluralidad de fotografías subsiguientes, por ejemplo, dividiendo los valores iniciales de las tasas de bits de asignación por una constante, y los valores mínimos se seleccionan como intervalos de corrección permisible.

Las diferencias entre los intervalos de corrección permisible y las tasas de bits de asignación se obtienen a continuación para la pluralidad de fotografías subsiguientes como tasas de bits de variación permisible, y se obtiene la relación de la tasa de bits de error de la suma de las tasas de bits de variación permisible obtenidas de este modo como una tasa de actualización.

Las tasas de bits de variación para la tasa de bits de asignación de la pluralidad de fotografías subsiguientes se calculan a continuación basándose en las tasas de bits de variación permisible y la tasa de actualización, y las tasas de bits de asignación de las fotografías respectivas se actualizan en función de las mismas.

Por ejemplo, cuando un valor inicial de una tasa de bits de asignación de una fotografía subsiguiente es 50, suponiendo que el valor inicial de la tasa de bits de asignación multiplicado por 2 se establece como el valor máximo de la tasa de bits de asignación y el valor inicial de la tasa de bits de asignación dividida por 2 se establece como el valor mínimo de la tasa de bits de asignación, el valor máximo de la tasa de bits de asignación es 100 y el valor mínimo de la tasa de bits de asignación es 25.

En este caso, cuando la tasa de bits de asignación actual de la fotografía es 70 y la tasa de actualización es del 20 %, si la tasa de bits de error es positiva, la tasa de bits de variación permisible es 30 (= 100-70) hacia arriba, y si la tasa de bits de error es negativa, la tasa de bits de variación permisible es 45 (= 70-25) hacia abajo. Por lo tanto, si la tasa de bits de error es positiva, la tasa de bits de asignación de la fotografía se actualiza a "76 (= 70+30×0,2)", y si la tasa de bits de error es negativa, la tasa de bits de asignación de la fotografía se actualiza a "61 (= 70-45×0,2)".

En este caso, cuando la tasa de bits de variación permisible de la fotografía j se indica por $T_m[j]$, la tasa de bits de error se indica por D, y la tasa de actualización se indica por K, la tasa de actualización K se obtiene como la relación de la tasa de bits de error D con la suma $\sum T_m[j]$ de las tasas de bits de variación permisible de las N fotografías subsiguientes:

$$K = D / \sum T_m [j] .$$

De acuerdo con esta tasa de actualización K, la tasa de bits de variación $T_d[j]$ de la fotografía j se obtiene mediante:

$$T_d [j] = K \times T_m [j]$$

En consecuencia, la suma de las tasas de bits de variación $T_d[j]$ de las N fotografías subsiguientes se expresa mediante:

$$\sum T_d [j] = \sum K \times T_m [j] = K \times \sum T_m [j] = (D / \sum T_m [j]) \times \sum T_m [j] = D .$$

Como se ve a partir de esto, este aparato de control de tasa de bits de vídeo determina la tasa de actualización de K basándose en el hecho de que la suma de las tasas de bits de variación $T_d[j]$ distribuidas a las N fotografías subsiguientes es igual a la tasa de bits de error D.

De esta manera, este aparato de control de tasa de bits de vídeo obtiene la tasa de bits de error basándose en la diferencia entre la tasa de bits de asignación y la tasa de bits realmente generada de la fotografía que se ha codificado, y, en lugar de establecer esta tasa de bits de error sumándola a la tasa de bits de asignación de la

próxima fotografía, la establece distribuyendo la tasa de bits de error a una pluralidad de fotografías para codificarlas posteriormente, de acuerdo con la necesidad de las fotografías.

5 De acuerdo con esta configuración, cuando se realiza la codificación de vídeo a una tasa de bits objetivo, este aparato de control de tasa de bits de vídeo puede reducir la variación de calidad de imagen entre las fotografías y puede realizarse una mejora en la calidad de imagen subjetiva.

10 Cuando se adopta esta configuración, si las tasas de bits de asignación se acumulan (atraen) en un límite de asignación, las tasas de bits de asignación ya no se acumulan (atraen) y, por lo tanto, no puede distribuirse la tasa de bits de error.

15 Por lo tanto, en este aparato de control de tasa de bits de vídeo, se genera una diferencia entre la tasa de bits de error y la suma de las tasas de bits de variación recortando la tasa de actualización para estar en un intervalo dado, y la diferencia generada de este modo se suma como una tasa de bits de transferencia a la tasa de bits de error obtenida tras codificar la próxima fotografía.

Es decir, tal como se muestra en la figura 3, la parte no acumulada (la parte no atraída) se distribuye cuando se procesa la próxima fotografía.

20 A continuación, se describirá una realización de la presente invención basada en el principio básico descrito anteriormente.

La figura 4 ilustra un ejemplo de una configuración de aparato de un aparato de codificación de vídeo que está provisto de un aparato de control de tasa de bits de vídeo al que se aplica la presente invención.

25 Como se muestra en la figura 4, este aparato de codificación de vídeo está provisto de una unidad de almacenamiento de tasa de bits de asignación 101, un restador 103, una unidad de almacenamiento de características 104, una unidad de cálculo de ancho de cuantificación 105, un restador 106, una unidad DCT 107, una unidad de cuantificación 108, una unidad de descuantificación 109, una unidad IDCT 110, un sumador 111, una memoria intermedia de almacenamiento de imágenes descodificadas 112, una unidad de generación de imágenes previstas 113 y una unidad de codificación de longitud variable 114 que tienen las mismas funciones que las mostradas en la figura 14. Además de estos, este aparato de codificación de vídeo está provisto de una unidad de cálculo de tasa de bits de asignación 200 que ejecuta un proceso que es característico de la presente realización. El aparato de control de tasa de bits de vídeo se configura incluyendo la unidad de cálculo de tasa de bits de asignación 200 y el restador 103.

40 La figura 5 muestra un ejemplo de un diagrama de flujo del proceso ejecutado por la unidad de cálculo de tasa de bits de asignación 200 que es característico de la presente realización. En este caso, la presente invención se aplica a una parte rodeada por una línea de puntos, en comparación con el diagrama de flujo del método convencional mostrado en la figura 12.

Cuando se inicia un proceso, en la etapa S101, el aparato de codificación de vídeo inicializa en primer lugar una tasa de bits de error y un número n de fotografías a 0 como un proceso de inicialización.

45 En la etapa S102, una $n^{\text{ésima}}$ fotografía se codifica a continuación a una tasa de bits de asignación anteriormente dada. En este caso, se supone que un valor inicial de la tasa de bits de asignación de cada fotografía se preestablece en función del resultado de la primera codificación.

50 En la etapa S103, se determina a continuación si se han codificado o no todos los fotogramas (todas las fotografías), y cuando se han codificado todos los fotogramas, finaliza el proceso, y cuando no se han codificado todos los fotogramas, se ejecutan los procesos siguientes.

55 Es decir, en la etapa S104, se calcula una tasa de bits de error a partir de una diferencia entre una tasa de bits de asignación y una tasa de bits generada para una $n^{\text{ésima}}$ fotografía, y, en la etapa subsiguiente S105, se determina si el signo de la tasa de bits de error calculada es positivo o negativo.

60 Si se determina que la tasa de bits de error calculada en la etapa S104 es positiva de acuerdo con el proceso de determinación de la etapa S105, el flujo avanza a la etapa S106, y las tasas de bits máximas (el valor máximo anteriormente descrito de la tasa de bits de asignación) de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ (N es una constante predeterminada mayor que 1) se calculan a partir de los valores iniciales de las tasas de bits de las fotografías respectivas y una constante.

65 En la etapa S107, las tasas de bits de variación permisible de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ se calculan a continuación a partir de las diferencias entre las tasas de bits máximas y las tasas de bits de asignación de estas fotografías respectivas.

Por otro lado, si se determina que la tasa de bits de error calculada en la etapa S104 es negativa, de acuerdo con el

proceso de determinación de la etapa S105, el flujo avanza a la etapa S108, y las tasas de bits mínimas (el valor mínimo anteriormente descrito de la tasa de bits de asignación) de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ (N es una constante predeterminada mayor que 1) se calculan a partir de los valores iniciales de las tasas de bits de asignación de las fotografías respectivas y una constante.

5 En la etapa S109, las tasas de bits de variación permisible de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ se calculan a continuación a partir de las diferencias entre las tasas de bits mínimas y las tasas de bits de asignación de estas fotografías respectivas.

10 De esta manera, después de que las tasas de bits de variación permisible de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ se hayan calculado en las etapas S107 y 109, en la etapa S110, se obtiene a continuación la suma de las tasas de bits de variación permisible calculadas y se obtiene una tasa de actualización a partir de la relación de la tasa de bits de error con la suma de las tasas de bits de variación permisible.

15 En la etapa S111, las tasas de bits de variación de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ se obtienen a continuación multiplicando la tasa de bits de variación permisible de estas fotografías respectivas por la tasa de actualización obtenida.

20 En la etapa S112, las tasas de bits de asignación de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ se actualizan a continuación sumando las tasas de bits de variación obtenidas a las tasas de bits de asignación de las fotografías respectivas. Cabe señalar que los valores iniciales de las tasas de bits de asignación de las fotografías respectivas se preestablecen en función del resultado de la primera codificación, pero no se actualizan.

25 En la etapa S113, un objeto a procesar se desplaza a continuación a la próxima fotografía, el flujo vuelve al proceso de la etapa S102, y los procesos descritos anteriormente se realizan repetidamente.

De acuerdo con la presente realización, a través de los procesos anteriores, la tasa de bits de error generada en la fotografía codificada se distribuye a la próxima fotografía, así como una pluralidad de fotografías, suprimiendo de este modo la variación de la tasa de bits de asignación de la próxima fotografía.

30 Puesto que los valores máximos y los valores mínimos de las tasas de bits de asignación no son fijos, sino que se determinan a partir de los valores iniciales dados anteriormente de las tasas de bits de asignación, y la cantidad de distribución se determina en función de los mismos, la fluctuación del ancho de cuantificación debida a la corrección de la tasa de bits de error puede estar en un cierto intervalo, incluso cuando la variación de la tasa de bits de asignación entre las fotografías es grande, como la VBR.

35 Puesto que la cantidad de distribución se obtiene multiplicando la tasa de actualización común por la tasa de bits de variación permisible de cada fotografía, los anchos de cuantificación de las fotografías respectivas se cambian equitativamente, manteniendo de este modo pequeña la fluctuación de la calidad de imagen entre las fotografías debida al presente proceso.

40 En este caso, en el diagrama de flujo de la figura 5, las tasas de bits máximas se calculan en la etapa S106 y las tasas de bits mínimas se calculan en la etapa S108. Sin embargo, puesto que las tasas de bits máximas y las tasas de bits mínimas se calculan a partir de los valores iniciales de las tasas de bits de asignación de las fotografías respectivas y la constante, las tasas de bits máximas y las tasas de bits mínimas pueden calcularse antes de comenzar el proceso en la etapa S101. En consecuencia, las tasas de bits máximas y las tasas de bits mínimas pueden calcularse antes de comenzar el proceso en la etapa S101, y puede seleccionarse una correspondiente entre las tasas de bits calculadas en las etapas S106 y S108. Al hacerlo, se hace innecesario calcular las tasas de bits máximas y las tasas de bits mínimas que tienen los mismos valores varias veces.

50 La figura 6 ilustra un ejemplo de una configuración de aparato de la unidad de cálculo de tasa de bits de asignación 200 que ejecuta el diagrama de flujo de la figura 5.

55 Como se muestra en la figura 6, la unidad de cálculo de tasa de bits de asignación 200 que ejecuta el proceso que es característico de la presente realización está provista de una unidad de control de asignación 2001, una unidad de cálculo de intervalo de corrección permisible 2002, una memoria de retención de tasa de bits máxima 2003, una memoria de retención de tasa de bits mínima 2004, una memoria de retención de tasa de bits de asignación 2005, una unidad de determinación de signo 2006, un restador 2007, una unidad de cálculo de suma 2008, una unidad de cálculo de relación 2009, un multiplicador 2010, un sumador 2011, un conmutador A 2012, un conmutador B 2013 y un conmutador C 2014.

60 Esta unidad de control de asignación 2001 envía una señal de control de lectura de memoria a las tres memorias 2003, 2004 y 2005 para controlar las salidas de las memorias respectivas 2003, 2004 y 2005, y controla el encendido/apagado del conmutador B 2013 y la conmutación del conmutador C 2014.

65 La unidad de cálculo de intervalo de corrección permisible 2002 calcula las tasas de bits máximas y las tasas de bits

mínimas de las fotografías respectivas a partir de los valores iniciales de las tasas de bits de asignación de las fotografías respectivas, y las emite a la memoria de retención de tasa de bits máxima 2003 y la memoria de retención de tasa de bits mínima 2004.

5 La memoria de retención de tasa de bits máxima 2003 conserva las tasas de bits máximas de las fotografías respectivas emitidas por la unidad de cálculo de intervalo de corrección permisible 2002. Tras la recepción de la señal de control de lectura de memoria procedente de la unidad de control de asignación 2001, la memoria de retención de tasa de bits máxima 2003 emite la tasa de bits máxima correspondiente a un número de fotografía indicado para el conmutador A 2012.

10 La memoria de retención de tasa de bits mínima 2004 conserva las tasas de bits mínimas de las fotografías respectivas emitidas por la unidad de cálculo de intervalo de corrección permisible 2002. Tras la recepción de la señal de control de lectura de memoria procedente de la unidad de control de asignación 2001, la memoria de retención de tasa de bits mínima 2004 emite la tasa de bits mínima correspondiente a un número de fotografía indicado para el conmutador A 2012.

15 La memoria de retención de tasa de bits de asignación 2005 conserva las tasas de bits de asignación de las fotografías respectivas emitidas por el conmutador C 2014, y emite la tasa de bits de asignación correspondiente a un número de fotografía indicado para el restador 2007 y el sumador 2011 de acuerdo con la señal de control de lectura de memoria procedente de la unidad de control de asignación 2001.

20 La unidad de determinación de signo 2006 determina el signo de una tasa de bits de error para una fotografía que se ha codificado, y emite una señal de control de conmutación en función del resultado de la determinación al conmutador A 2012 para controlar el conmutador A 2012 para seleccionar y emitir la salida de tasa de bits máxima por la memoria de retención de tasa de bits máxima 2003 cuando el resultado de la determinación es positivo y para controlar el conmutador A 2012 para seleccionar y emitir la salida de tasa de bits mínima por la memoria de retención de tasa de bits mínima 2004 cuando el resultado de la determinación es negativo.

25 El restador 2007 calcula una diferencia entre la tasa de bits máxima o la tasa de bits mínima emitida por el conmutador A 2012 y la tasa de bits de asignación emitida por la memoria de retención de tasa de bits de asignación 2005 para calcular una tasa de bits de variación permisible de cada fotografía, y la emite a la unidad de cálculo de suma 2008 y el multiplicador 2010.

30 La unidad de cálculo de suma 2008 calcula la suma de las tasas de bits de variación permisible emitidas por el restador 2007 para calcular la suma de las tasas de bits de variación permisible de las fotografías respectivas, y la emite a la unidad de cálculo de relación 2009.

35 La unidad de cálculo de relación 2009 obtiene la relación de las tasas de bits de variación permisible emitidas por la unidad de cálculo de suma 2008 y la tasa de bits de error de una fotografía que se ha codificado para calcular una tasa de actualización, y la emite al multiplicador 2010.

40 El multiplicador 2010 multiplica la tasa de bits de variación permisible emitida por el restador 2007 por la tasa de actualización emitida por la unidad de cálculo de relación 2009 para calcular una tasa de bits de variación de cada fotografía, y la emite al sumador 2011.

45 El sumador 2011 suma la tasa de bits de asignación emitida por la memoria de retención de tasa de bits de asignación 2005 a la tasa de bits de variación emitida por el multiplicador 2010 para obtener un valor de actualización de la tasa de bits de asignación de cada fotografía, y la emite al conmutador B 2013 y el conmutador C 2014.

50 El conmutador A 2012 selecciona una de entre la tasa de bits máxima emitida por la memoria de retención de tasa de bits máxima 2003 y la tasa de bits mínima emitida por la memoria de retención de tasa de bits mínima 2004 seleccionando un terminal a cuando se selecciona la tasa de bits máxima y seleccionando un terminal b cuando se selecciona la tasa de bits mínima de acuerdo con la señal de control de conmutación de la unidad de determinación de signo 2006, y la emite al restador 2007.

55 El conmutador B 2013 emite el valor de actualización de la tasa de bits de asignación emitida por el sumador 2011 a la unidad de cálculo de ancho de cuantificación 105 y el restador 103 mostrados en la figura 4 de acuerdo con la señal de control de conmutación de la unidad de control de asignación 2001.

60 El conmutador C 2014 selecciona uno de entre un valor inicial de una tasa de bits de asignación y el valor de actualización de la tasa de bits de asignación seleccionando un terminal a cuando se selecciona el valor inicial de la tasa de bits de asignación y un terminal b cuando se selecciona la tasa de bits de asignación actualizada por el sumador 2011 de acuerdo con la señal de control de conmutación procedente de la unidad de control de asignación 2001, y la emite a la memoria de retención de tasa de bits de asignación 2005.

65 A continuación, se describirá en detalle el proceso ejecutado por la unidad de cálculo de tasa de bits de asignación

configurada de este modo 200.

En la unidad de cálculo de tasa de bits de asignación 200, cuando se inicia el proceso, los valores iniciales de las tasas de bits de asignación se introducen en la unidad de cálculo de intervalo de corrección permisible 2002, que obtiene las tasas de bits máximas y las tasas de bits mínimas de las fotografías primera a $N^{\text{ésima}}$ y las envía a la memoria de retención de tasa de bits máxima 2003 y la memoria de retención de tasa de bits mínima 2004, respectivamente. A continuación, la señal de control de conmutación se envía desde la unidad de control de asignación 2001 al conmutador C 2014 para conmutar el conmutador C 2014 al terminal a de manera que los valores iniciales de las tasas de bits de asignación de las fotografías primera a $N^{\text{ésima}}$ se introducen en la memoria de retención de tasa de bits de asignación 2005.

Por otro lado, la unidad de determinación de signo 2006 determina el signo de la tasa de bits de error introducida y envía la señal de control de conmutación al conmutador A 2012 para conmutar el conmutador A 2012 al terminal a cuando el signo es positivo y al terminal b cuando el signo es negativo. Posteriormente, la unidad de control de asignación 2001 envía la señal de control de lectura de memoria a la memoria de retención de tasa de bits máxima 2003, la memoria de retención de tasa de bits mínima 2004 y la memoria de retención de tasa de bits de asignación 2005, de manera que se emiten los valores respectivos de las fotografías primera a $N^{\text{ésima}}$ retenidas en las memorias respectivas.

A continuación, el restador 2007 obtiene las diferencias entre las salidas, como una tasa de bits de variación permisible, y la unidad de cálculo de suma 2008 calcula la suma de las mismas. A continuación, la unidad de cálculo de relación 2009 obtiene la tasa de actualización a partir de la relación de la tasa de bits de error con la suma obtenida de las tasas de bits de variación permisible.

Después de calcular la tasa de actualización, la unidad de control de asignación 2001 envía la señal de control de lectura de memoria a la memoria de retención de tasa de bits máxima 2003, la memoria de retención de tasa de bits mínima 2004 y la memoria de retención de tasa de bits de asignación 2005 nuevamente, de manera que se emiten los valores respectivos de las fotografías primera a $N^{\text{ésima}}$ retenidas en las memorias respectivas.

A continuación, el restador 2007 obtiene la tasa de bits de variación permisible de cada fotografía a partir de las diferencias entre los valores respectivos de salida, y el multiplicador 2010 calcula la tasa de bits de variación de cada fotografía multiplicando la tasa de bits de variación permisible por la tasa de actualización que acaba de obtenerse. A continuación, el sumador 2011 suma la tasa de bits de variación obtenida de cada fotografía a la tasa de bits de asignación de cada fotografía para calcular un valor de actualización de la tasa de bits de asignación de cada fotografía.

A continuación, el conmutador C 2014 se conmuta al terminal b mediante la señal de control de conmutación procedente de la unidad de control de asignación 2001, y el valor de actualización obtenido de la tasa de bits de asignación de cada fotografía se emite a la memoria de retención de tasa de bits de asignación 2005, actualizando de este modo la tasa de bits de asignación de cada fotografía.

Por último, el conmutador B 2013 se activa por la señal de control de conmutación procedente de la unidad de control de asignación 2001, y la tasa de bits de asignación actualizada de una próxima fotografía se emite a la unidad de cálculo de ancho de cuantificación 105 y el restador 103 mostrados en la figura 4.

En el proceso para la próxima fotografía, cuando el conmutador C 2014 se conmuta al terminal a, solo el valor inicial de la tasa de bits de asignación de la fotografía $(N+1)^{\text{ésima}}$ se envía a la memoria de retención de tasa de bits de asignación 2005, y las tasas de bits de asignación de las fotografías segunda a $N^{\text{ésima}}$ permanecen sin cambios.

A continuación, un proceso que es característico de la presente realización, que se indica por un cuadro de puntos en la figura 5, se describirá junto con un diagrama de bloques de la figura 6.

Se supone que se ha codificado la fotografía $n^{\text{ésima}}$ y se ha obtenido la tasa de bits de error de la misma. En este caso, se supone que el conmutador C 2014 se conmuta al terminal a.

La unidad de determinación de signo 2006 determina el signo de la tasa de bits de error y envía la señal de control de conmutación al conmutador A 2012 para conmutar el conmutador A 2012 al terminal a cuando la tasa de bits de error es positiva y al terminal b cuando la tasa de bits de error es negativa.

Si la tasa de bits de error es positiva, la unidad de cálculo de intervalo de corrección permisible 2002 calcula las tasas de bits máximas de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ basándose en los valores iniciales de las tasas de bits de asignación y la constante y los almacena en la memoria de retención de tasa de bits máxima 2003. A continuación, el restador 2007 calcula las tasas de bits de variación permisible de las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$. En este proceso de cálculo, las tasas de bits máximas de las fotografías respectivas se emiten desde la memoria de retención de tasa de bits máxima 2003 al restador 2007 de una en una, de acuerdo con la señal de control de lectura de memoria procedente de la unidad de control de asignación 2001, y las tasas de bits de

asignación de las fotografías respectivas en ese momento se emiten desde de la memoria de retención de tasa de bits de asignación 2005 al restador 2007 una por una, por lo que se calculan las tasas de bits de variación permisible.

5 Por otro lado, si la tasa de bits de error es negativa, la unidad de cálculo de intervalo de corrección permisible 2002 calcula las tasas de bits mínimas de las fotografías $(n+1)^{ésima}$ a $(n+N)^{ésima}$ basándose en los valores iniciales de las tasas de bits de asignación y la constante, y los almacena en la memoria de retención de tasa de bits mínima 2004. A continuación, el restador 2007 calcula las tasas de bits de variación permisible de las fotografías $(n+1)^{ésima}$ a $(n+N)^{ésima}$. En este proceso de cálculo, las tasas de bits mínimas de las fotografías respectivas se emiten desde la memoria de retención de tasa de bits mínima 2004 al restador 2007 una por una, de acuerdo con la señal de control de lectura de memoria procedente de la unidad de control de asignación 2001 y las tasas de bits de asignación de las fotografías respectivas en ese momento se emiten desde la memoria de retención de tasa de bits de asignación 2005 al restador 2007 de una en una, por lo que se calculan las tasas de bits de variación permisible.

15 A continuación, la tasa de actualización se calcula desde la relación de la tasa de bits de error a la suma de las tasas de bits de variación permisible. La suma de las tasas de bits de variación permisible se obtiene mediante la unidad de cálculo de suma 2008 sumando las salidas del restador 2007. La unidad de cálculo de relación 2009 obtiene la tasa de actualización de esta suma y la tasa de bits de error.

20 A continuación, el multiplicador 2010 obtiene una tasa de bits de variación de cada fotografía. Es decir, después de calcular la tasa de actualización, la señal de control de lectura de memoria se envía desde la unidad de control de asignación 2001 a la memoria de retención de tasa de bits de asignación 2005, la memoria de retención de tasa de bits máxima 2003, y la memoria de retención de tasa de bits mínima 2004, y el restador 2007 calcula la tasa de bits de variación permisible, como en la descripción anterior. A continuación, el multiplicador 2010 multiplica este valor por la tasa de actualización para obtener la tasa de bits de variación de cada una de las fotografías $(n+1)^{ésima}$ a $(n+N)^{ésima}$.

30 Por otro lado, el sumador 2011 suma esta tasa de bits de variación a la tasa de bits de asignación de cada fotografía emitida desde la memoria de retención de tasa de bits de asignación 2005 para obtener un valor de actualización para la tasa de bits de asignación de cada fotografía. A continuación, el conmutador C 2014 se conmuta al terminal b mediante la señal de control de conmutación procedente de la unidad de control de asignación 2001, y la tasa de bits de asignación de cada fotografía retenida en la memoria de retención de tasa de bits de asignación 2005 se actualiza con la tasa de bits de asignación actualizada a través de sobrescritura.

35 El proceso del diagrama de flujo mostrado en la figura 5 puede realizarse mediante las configuraciones mostradas en las figuras 4 y 6 descritas anteriormente.

Ejemplo 1

40 A continuación, se describirá en detalle la presente invención de acuerdo con un ejemplo.

Un ejemplo que se describe a continuación supone que un valor máximo y un valor mínimo de una tasa de bits de asignación de cada fotografía se obtienen, respectivamente, como un valor inicial anteriormente dado de la tasa de bits de asignación de cada fotografía multiplicado por una constante y un valor inicial anteriormente dado de la tasa de bits de asignación de cada fotografía dividido por una constante, respectivamente. Además, se supone que se proporciona una función de recortar una tasa de actualización para que sea menor o igual que el valor máximo (para estar en un intervalo dado). En relación con esto, se asume que se proporciona una función de establecer una tasa de bits que no se ha asignado a cada fotografía entre la tasa de bits de error como una tasa de bits de transferencia (que puede indicar un valor negativo) y sumarla a la tasa de bits de error de la próxima fotografía.

50 La figura 7 muestra un ejemplo de un diagrama de flujo que la unidad de cálculo de tasa de bits de asignación 200 ejecuta para realizar el presente ejemplo.

55 En el presente ejemplo, cuando se inicia un proceso, una tasa de bits de error D, una tasa de bits de transferencia C, y un número de fotografía n se inicializan en primer lugar a 0 como un proceso de inicialización en la etapa S201.

A continuación, en la etapa S202, se codifica una $n^{ésima}$ fotografía, a una tasa de bits de asignación anteriormente dada. La codificación realizada en el presente documento es la misma que la codificación realizada en la etapa S102 del diagrama de flujo de la figura 5.

60 En la etapa S203, se determina si se han codificado o no todos los fotogramas (todas las fotografías), y si se han codificado todos los fotogramas, el proceso finaliza y si no se han codificado todos los fotogramas se ejecutan los siguientes procesos.

65 Es decir, en la etapa S204, la tasa de bits de error D se calcula a partir de una diferencia entre una tasa de bits de asignación T_t y una tasa de bits realmente generada T_g para la $n^{ésima}$ fotografía:

$$D \leftarrow T_t - T_g .$$

5 A continuación, en la etapa S205, la tasa de bits de transferencia C se suma a la tasa de bits de error D para calcular la tasa de bits de error D a la que se suma la tasa de bits de transferencia C:

$$D \leftarrow D + C .$$

10 A continuación, en la etapa S206, se determina si la tasa de bits de error D es o no mayor o igual que 0, y si se determina que la tasa de bits de error D es mayor o igual que 0, el flujo avanza a la etapa S207, y se ejecuta un proceso mostrado en el diagrama de flujo de la figura 8.

15 Es decir, como se muestra en el diagrama de flujo de la figura 8, en la etapa S301, las tasas de bits máximas $T_{\text{máx}}[j]$ ($n+1 \leq j \leq n+N$) se obtienen en primer lugar multiplicando las tasas de bits anteriormente dadas $T_{\text{org}}[j]$ por una constante para las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ (N es una constante predeterminada mayor que 1). Cuando la constante usada en la multiplicación de la constante se indica con α , se obtiene $T_{\text{máx}}[j] \leftarrow T_{\text{org}}[j] \times \alpha$. Específicamente, $T_{\text{org}}[j]$ es un valor inicial de una tasa de bits de asignación de la $j^{\text{ésima}}$ fotografía que se establece en función del resultado de la primera codificación.

20 A continuación, en la etapa S302, las tasas de bits de variación permisible $T_m[j]$ y la suma T_m_sum de las mismas se obtienen para las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$. Es decir, las tasas de bits de variación permisible $T_m[j]$:

$$T_m[j] \leftarrow T_{\text{máx}}[j] - T_t[j]$$

25 se calculan basándose en las tasas de bits máximas $T_{\text{máx}}[j]$ y las tasas de bits de asignación $T_t[j]$, y la suma T_m_sum de las mismas:

$$T_m_sum \leftarrow \sum T_m[j]$$

30 se calcula, donde \sum es la suma para $n+1 \leq j \leq n+N$.

A continuación, en la etapa S303, una tasa de actualización K:

$$K \leftarrow D / T_m_sum$$

35 se obtiene a partir de la relación de la tasa de bits de error D (≥ 0) y la suma T_m_sum (≥ 0) de las tasas de bits de variación permisible.

40 A continuación, en la etapa S304, la tasa de actualización obtenida K se recorta con un valor máximo $K_{\text{máx}}$ (un valor fijo dado anteriormente). Es decir,

$$K \leftarrow \text{Máx} [K, K_{\text{máx}}]$$

45 se obtiene basándose en la tasa de actualización obtenida K y el valor máximo preestablecido $K_{\text{máx}}$.

A continuación, en la etapa S305, las tasas de bits de variación $T_d[j]$ se obtienen para las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ usando la tasa de actualización obtenida de este modo K. Es decir, las tasas de bits de variación $T_d[j]$:

$$T_d[j] \leftarrow K \times T_m[j]$$

50 se calculan basándose en la tasa de actualización K y las tasas de bits de variación permisible $T_m[j]$.

55 A continuación, en la etapa S306, las tasas de bits de variación obtenidas de este modo $T_d[j]$ se suman a las tasas de bits de asignación $T_t[j]$ para actualizar las tasas de bits de asignación $T_t[j]$ para las fotografías $(n+1)^{\text{ésima}}$ a $(n+N)^{\text{ésima}}$ y finaliza el proceso de la etapa S207 en el diagrama de flujo de la figura 7. Es decir, las tasas de bits de asignación $T_t[j]$ se actualizan como en la siguiente expresión:

$$T_t[j] \leftarrow T_t[j] + T_d[j]$$

basándose en las tasas de bits de variación $T_d[j]$ y las tasas de bits de asignación $T_t[j]$, y finaliza el proceso de la

etapa S207 en el diagrama de flujo de la figura 7.

Por otra parte, si se determina en la etapa S206 del diagrama de flujo de la figura 7 que la tasa de bits de error D no es mayor o igual que 0, el flujo avanza a la etapa S208, y se ejecuta un proceso mostrado en el diagrama de flujo de la figura 9.

Es decir, como se muestra en el diagrama de flujo de la figura 9, en la etapa S401, las tasas de bits mínimas $T_{mín}[j]$ ($n+1 \leq j \leq n+N$) se obtienen en primer lugar dividiendo las tasas de bits anteriormente dadas $T_{org}[j]$ por una constante, para las fotografías $(n+1)^{ésima}$ a $(n+N)^{ésima}$ (N es una constante predeterminada mayor que 1). Es decir, si la constante usada en la división por la constante se indica con α , se obtiene $T_{mín}[j] \leftarrow T_{org}[j]/\alpha$. Específicamente, $T_{org}[j]$ es un valor inicial de la tasa de bits de asignación de la fotografía $j^{ésima}$ que se establece en función del resultado de la primera codificación. Se observa que la constante usada en la división por la constante tiene preferentemente el mismo valor (α) que la constante descrita anteriormente usada en la multiplicación de la constante, pero estas dos constantes no son necesariamente las mismas.

A continuación, en la etapa S402, unas tasas de bits de variación permisible $T_m[j]$ y la suma T_m_sum de las mismas se obtienen para las fotografías $(n+1)^{ésima}$ a $(n+N)^{ésima}$. Es decir, las tasas de bits de variación permisible $T_m[j]$:

$$T_m[j] \leftarrow T_{mín}[j] - T_t[j]$$

se calculan basándose en las tasas de bits mínimas $T_{mín}[j]$ y las tasas de bits de asignación $T_t[j]$, y la suma T_m_sum de las mismas:

$$T_m_sum \leftarrow \sum T_m[j]$$

se calcula, donde \sum es la suma de $n+1 \leq j \leq n+N$.

A continuación, en la etapa S403, una tasa de actualización K

$$K \leftarrow D / T_m_sum$$

se obtiene a partir de la relación de la tasa de bits de error D (< 0) y la suma T_m_sum (< 0) de las tasas de bits de variación permisible.

A continuación, en la etapa S404, la tasa de actualización obtenida K se recorta con el valor máximo $K_{máx}$ (un valor fijo anteriormente dado). Es decir,

$$K \leftarrow Máx [K, K_{máx}]$$

se obtiene basándose en la tasa de actualización obtenida K y el valor máximo preestablecido $K_{máx}$.

A continuación, en la etapa S405, las tasas de bits de variación $T_d[j]$ se obtienen para las fotografías $(n+1)^{ésima}$ a $(n+N)^{ésima}$ usando la tasa de actualización obtenida de este modo K. Es decir, las tasas de bits de variación $T_d[j]$

$$T_d[j] \leftarrow K \times T_m[j]$$

se calculan basándose en la tasa de actualización K y las tasas de bits de variación permisible $T_m[j]$.

A continuación, en la etapa S406, las tasas de bits de variación obtenidas de este modo $T_d[j]$ se suman a las tasas de bits de asignación $T_t[j]$ para actualizar las tasas de bits de asignación $T_t[j]$ para las fotografías $(n+1)^{ésima}$ a $(n+N)^{ésima}$ y finaliza el proceso en la etapa S208 del diagrama de flujo de la figura 7. Es decir, las tasas de bits de asignación $T_t[j]$ se actualizan como en la siguiente ecuación:

$$T_t[j] \leftarrow T_t[j] + T_d[j]$$

basándose en las tasas de bits de variación $T_d[j]$ y las tasas de bits de asignación $T_t[j]$, y finaliza el proceso de la etapa S208 en el diagrama de flujo de la figura 7.

En el diagrama de flujo de la figura 7, cuando finalizan los procesos en las etapas S207 y S208, en la etapa S209, se obtiene a continuación la suma T_d_sum de las tasas de bits de variación $T_d[j]$. Es decir, se calcula $T_d_sum \leftarrow \sum T_d[j]$,

donde \sum es la suma para $n+1 \leq j \leq n+N$.

A continuación, en la etapa S210, una tasa de bits de transferencia C se calcula a partir de la diferencia entre la tasa de bits de error D y la suma calculada Td_sum de las tasas de bits de variación:

$$C \leftarrow D - Td_sum.$$

Como se ha descrito anteriormente, en la etapa S205, la tasa de bits de transferencia calculada de este modo C se suma a la tasa de bits de error D.

A continuación, en la etapa S211, un objeto a procesar se desplaza a una próxima fotografía, el flujo vuelve al proceso de la etapa S202, y un proceso para codificar la próxima fotografía en la tasa de bits de asignación Tt se realiza repetidamente.

Una configuración básica de un aparato de codificación de vídeo para realizar el proceso en el presente ejemplo es el mismo que el mostrado en la figura 4, pero la unidad de cálculo de tasa de bits de asignación 200 difiere de la mostrada en la figura 6, y se añade una nueva configuración a la configuración mostrada en la figura 6.

La figura 10 ilustra un ejemplo de una configuración de la unidad de cálculo de tasa de bits de asignación 200 para realizar el proceso en el presente ejemplo.

Como se muestra en la figura 10, cuando se realiza el proceso del presente ejemplo, la unidad de cálculo de tasa de bits de asignación 200 también está provista de una segunda unidad de cálculo de suma 2015, un restador 2016, una unidad de retención de cantidad de transferencia 2017 y un sumador 2018, además de los medios de procesamiento respectivos 2001 a 2008 y 2010 a 2014 mostrados en la figura 6, y la unidad de cálculo de relación 2009 tiene la función de recortar la tasa de actualización calculada para que sea menor o igual que el valor máximo.

Esta segunda unidad de cálculo de suma 2015 recibe las tasas de bits de variación Td[j] emitidas por el multiplicador 2010, calcula la suma Td_sum de las tasas de bits de variación calculando la suma de las mismas, y la emite al restador 2016.

El restador 2016 calcula una diferencia entre la tasa de bits de error D y la suma Td_sum de las tasas de bits de variación emitidas por la segunda unidad de cálculo de suma 2015 para calcular la tasa de bits de transferencia C, y la emite a la unidad de retención de cantidad de transferencia 2017.

La unidad de retención de cantidad de transferencia 2017 retiene la tasa de bits de transferencia C emitida por el restador 2016, y emite la tasa de bits de transferencia retenida C al sumador 2018 cuando se codifica la próxima fotografía.

Cuando se codifica la próxima fotografía, el sumador 2018 suma la tasa de bits de transferencia C emitida por la unidad de retención de cantidad de transferencia 2017 a la tasa de bits de error D obtenida por la codificación actual para corregir la tasa de bits de error D, y la emite a la unidad de determinación de signo 2006, la unidad de cálculo de relación 2009 y el restador 2016.

De acuerdo con la configuración de la figura 10 descrita anteriormente, pueden realizarse los procesos en los diagramas de flujo del presente ejemplo mostrados en las figuras 7 a 9.

A continuación, se describirá un experimento realizado para verificar la eficacia de la presente invención.

Este experimento se realizó comparando un método convencional con la presente invención usando el software de referencia JM 12.1 de la norma de codificación de vídeo H.264. Como imagen experimental, se usó la imagen estándar ITE seq07 "European market" (1440×1080, 450 fotogramas desde el encabezamiento, con subtítulos). Además, se usó un esquema de codificación de 2 pasadas como método de codificación, la primera codificación se realizó con un ancho de cuantificación fijo, y la mitad de una tasa de bits generada de cada fotografía se estableció como una tasa de bits objetivo en la segunda codificación. Un parámetro de cuantificación (un ancho de cuantificación representado en una escala de registro) en la primera codificación fue de 24 para una fotografía I, 27 para una fotografía P y 30 para una fotografía B.

Un experimento de un método convencional se realizó añadiendo el error generado en cada fotografía a una próxima fotografía y realizando la codificación. Se observa que la adición se realizó en el mismo tipo de próxima fotografía en consideración al uso práctico, por ejemplo, corrigiendo el error de una fotografía I en una próxima fotografía I.

Por otra parte, el experimento de la presente invención se llevó a cabo realizando la codificación de acuerdo con el método descrito en el ejemplo. En este caso, la tasa de bits máxima se estableció como el valor inicial de la tasa de

bits de asignación multiplicada por 2, la tasa de bits mínima se estableció como el valor inicial de la tasa de bits de asignación multiplicada por 1/2, y la corrección se realizó en 15 fotogramas (N = 15).

5 Las figuras 11A y 11B muestran los resultados del presente experimento en el que se compara un método convencional con la presente invención. En este caso, un eje horizontal indica un número de fotograma, y un eje vertical indica un parámetro de cuantificación.

10 A partir de los resultados de este experimento puede observarse que la presente invención proporciona una pequeña fluctuación del ancho de cuantificación y una calidad de imagen estable. La eficacia de la presente invención podría verificarse por los resultados de este experimento.

15 Cabe señalar que un programa para realizar las etapas de proceso respectivas descritas anteriormente puede grabarse en un medio de grabación legible por ordenador, y el programa grabado en el medio de grabación puede leerse en un sistema informático y ejecutarse por el sistema informático para realizar los diversos procesos descritos anteriormente relacionados con el aparato de codificación de vídeo.

20 El sistema informático mencionado en el presente documento puede incluir un sistema operativo (OS) y un hardware, tal como los dispositivos periféricos. Además, el sistema informático puede incluir una página de inicio que proporciona un entorno (o un entorno de visualización) cuando se usa un sistema World Wide Web (WWW).

25 El medio de grabación legible por ordenador hace referencia a un dispositivo de almacenamiento, que incluye un disco flexible, un disco magneto-óptico, una memoria de solo lectura (ROM), una memoria no volátil grabable, tal como una memoria flash, un medio portátil, tal como un disco compacto (CD)-ROM, y un disco duro integrado en el sistema informático. Además, el medio de grabación legible por ordenador puede incluir un medio que contenga un programa durante un periodo de tiempo constante, como una memoria volátil (por ejemplo, una memoria de acceso aleatorio dinámica; DRAM) dentro de un sistema informático que sirve como servidor o cliente cuando el programa se transmite a través de una red como Internet o una línea de comunicación como una línea telefónica.

30 El programa anterior puede transmitirse desde un sistema informático en el que se almacena este programa, por ejemplo, en un dispositivo de almacenamiento a otro sistema informático a través de un medio de transmisión o mediante una onda de transmisión en un medio de transmisión. En este caso, el medio de transmisión que transmite el programa hace referencia a un medio que tiene la función de transmitir información, tal como una red (red de comunicación) como Internet o un circuito de comunicación (línea de comunicación) como una línea telefónica. Además, el programa anterior puede ser un programa para realizar algunas de las funciones descritas anteriormente. Además, el programa anterior puede ser un programa, es decir, un denominado archivo diferencial (programa diferencial), capaz de realizar las funciones descritas anteriormente a través de una combinación con un programa anteriormente grabado en un sistema informático.

40 Aunque se han descrito realizaciones y ejemplos preferidos de la presente invención, la presente invención no se limita a las realizaciones y ejemplos anteriores. Pueden realizarse adiciones, omisiones, sustituciones y otras variaciones de la configuración sin alejarse de la esencia de la presente invención. La presente invención no está limitada por la descripción anterior, sino únicamente por las reivindicaciones adjuntas.

45 **Aplicabilidad industrial**

La presente invención puede aplicarse a la codificación de vídeo, y aplicando la presente invención, cuando el vídeo se codifica a una tasa de bits objetivo, es posible reducir la variación de calidad de imagen entre las fotografías, de manera que puede realizarse una mejora en la calidad de imagen subjetiva.

50 **Descripción de los números de referencia**

101	unidad de almacenamiento de tasa de bits de asignación
103	restador
104	unidad de almacenamiento de características
55 105	unidad de cálculo de ancho de cuantificación
106	restador
107	unidad DCT
108	unidad de cuantificación
109	unidad de descuantificación
60 110	unidad IDCT
111	sumador
112	memoria intermedia de almacenamiento de imágenes descodificadas
113	unidad de generación de imágenes previstas
114	unidad de codificación de longitud variable
65 200	unidad de cálculo de tasa de bits de asignación
2001	unidad de control de asignación

	2002	unidad de cálculo de intervalo de corrección permisible
	2003	memoria de retención de tasa de bits máxima
	2004	memoria de retención de tasa de bits mínima
	2005	memoria de retención de tasa de bits de asignación
5	2006	unidad de determinación de signo
	2007	restador
	2008	unidad de cálculo de suma
	2009	unidad de cálculo de relación
	2010	multiplicador
10	2011	sumador
	2012	conmutador A
	2013	conmutador B
	2014	conmutador C

REIVINDICACIONES

1. Un método de control de tasa de bits de vídeo que controla una tasa de bits generada de una fotografía a codificar, comprendiendo el método:

5 una etapa (S204) para obtener una diferencia entre una tasa de bits de asignación de una fotografía que se ha codificado y una tasa de bits realmente generada de la fotografía que se ha codificado, como una tasa de bits de error;

10 una etapa (S206, S301, S401) para seleccionar, para cada una de la pluralidad de fotografías subsiguientes, un valor máximo de la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes cuando la tasa de bits de asignación de la fotografía que se ha codificado es mayor que la tasa de bits realmente generada y la tasa de bits de error indica un valor positivo, como un intervalo de corrección permisible, y seleccionar, para cada una de la pluralidad de fotografías subsiguientes, un valor mínimo de la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes cuando la tasa de bits de asignación de la fotografía que se ha codificado es menor que la tasa de bits realmente generada y la tasa de bits de error indica un valor negativo, como el intervalo de corrección permisible, calculándose el valor máximo multiplicando un valor inicial de la tasa de bits de asignación que se ha dado anteriormente a cada una de la pluralidad de fotografías subsiguientes por una constante anteriormente dada o que se calcula sumando una constante anteriormente dada al valor inicial de la tasa de bits de asignación que se ha dado anteriormente a cada una de la pluralidad de fotografías subsiguientes, calculándose el valor mínimo de la tasa de bits de asignación dividiendo el valor inicial de la tasa de bits de asignación por una constante anteriormente dada o que se calcula restando una constante anteriormente dada del valor inicial de la tasa de bits de asignación, definiendo el valor máximo y el valor mínimo un intervalo variable de la tasa de bits de asignación de cada fotografía;

20 una etapa (S302, 402) para obtener, para cada una de la pluralidad de fotografías subsiguientes, una diferencia entre el intervalo de corrección permisible y la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes, como una tasa de bits de variación permisible;

25 una etapa (S303, S403) para obtener la relación de la tasa de bits de error con la suma de las tasas de bits de variación permisible, como una tasa de actualización;

30 una etapa (S305, S405) para calcular, para cada una de la pluralidad de fotografías subsiguientes, una tasa de bits de variación para la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes multiplicando la tasa de bits de variación permisible por la tasa de actualización, y actualizar la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes sumando la tasa de bits de variación a la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes;

35 una etapa (S304, S306, S404, S406) para recortar la tasa de actualización para que esté en un intervalo dado;

una etapa (S209, S210) para obtener una diferencia entre la tasa de bits de error y la suma de las tasas de bits de variación, como una tasa de transferencia; y

una etapa (S211, S204, S205) para sumar la tasa de bits de transferencia obtenida para la fotografía que se ha codificado a una tasa de bits de error calculada en la codificación de una próxima fotografía.

40 2. El método de control de tasa de bits de vídeo de acuerdo con la reivindicación 1, que comprende una etapa (S301, S401) para obtener por adelantado, para cada fotografía, el valor máximo y el valor mínimo de la tasa de bits de asignación basándose en el valor inicial de la tasa de bits de asignación y la constante.

45 3. El método de control de tasa de bits de vídeo de acuerdo con las reivindicaciones 1 o 2, en el que la tasa de actualización es común a la pluralidad de fotografías.

4. Un aparato de control de tasa de bits de vídeo que controla una tasa de bits generada de una fotografía a codificar, comprendiendo el aparato:

50 un medio (103) para obtener una diferencia entre una tasa de bits de asignación de una fotografía que se ha codificado y una tasa de bits realmente generada de la fotografía que se ha codificado, como una tasa de bits de error;

55 un medio (2002, 2003, 2004, 2006, 2012) para seleccionar, para cada una de una pluralidad de fotografías subsiguientes, un valor máximo de la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes cuando la tasa de bits de asignación de la fotografía que se ha codificado es mayor que la tasa de bits realmente generada y la tasa de bits de error indica un valor positivo, como un intervalo de corrección permisible, y seleccionar, para cada una de la pluralidad de fotografías subsiguientes, un valor mínimo de la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes cuando la tasa de bits de asignación de la fotografía que se ha codificado es menor que la tasa de bits realmente generada y la tasa de bits de error indica un valor negativo, como el intervalo de corrección permisible, calculándose el valor máximo multiplicando un valor inicial de la tasa de bits de asignación que se ha dado anteriormente a cada una de la pluralidad de fotografías subsiguientes por una constante anteriormente dada o que se calcula sumando una constante anteriormente dada al valor inicial de la tasa de bits de asignación que se ha dado anteriormente a cada una de la pluralidad de fotografías subsiguientes, calculándose el valor mínimo de la tasa de bits de asignación dividiendo el valor inicial de la tasa de bits de asignación por una constante anteriormente dada o se calcula restando una constante anteriormente dada del valor inicial de la tasa de bits de asignación, definiendo el

- valor máximo y el valor mínimo un intervalo variable de la tasa de bits de asignación de cada fotografía;
 un medio (2007) para obtener, para cada una de la pluralidad de fotografías subsiguientes, una diferencia entre el intervalo de corrección permisible y la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes, como una tasa de bits de variación permisible;
- 5 un medio (2008, 2009) para obtener la relación de la tasa de bits de error con la suma de las tasas de bits de variación permisible, como una tasa de actualización;
- un medio (2010, 2011) para calcular, para cada una de la pluralidad de fotografías subsiguientes, una tasa de bits de variación para la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes multiplicando la tasa de bits de variación permisible por la tasa de actualización, y actualizar la tasa de bits de
- 10 asignación de cada una de la pluralidad de fotografías subsiguientes sumando la tasa de bits de variación a la tasa de bits de asignación de cada una de la pluralidad de fotografías subsiguientes;
- un medio (2009) para recortar la tasa de actualización para que esté en un intervalo dado;
- un medio (2015, 2016) para obtener una diferencia entre la tasa de bits de error y la suma de las tasas de bits de variación como una tasa de bits de transferencia; y
- 15 un medio (2017, 2018) para sumar la tasa de bits de transferencia obtenida para la fotografía que se ha codificado a una tasa de bits de error calculada en la codificación de una próxima fotografía.
5. El aparato de control de tasa de bits de vídeo de acuerdo con la reivindicación 4, que comprende un medio (2002) para obtener por adelantado, para cada fotografía, el valor máximo y el valor mínimo de la tasa de bits de asignación basándose en el valor inicial de la tasa de bits de asignación y la constante.
- 20 6. El aparato de control de tasa de bits de vídeo de acuerdo con las reivindicaciones 4 o 5, en el que la tasa de actualización es común a la pluralidad de fotografías.
- 25 7. Un programa de control de tasa de bits de vídeo para hacer que un ordenador ejecute el método de control de tasa de bits de vídeo de acuerdo con una cualquiera de las reivindicaciones 1 a 3.
- 30 8. Un medio de grabación legible por ordenador que tiene un programa de control de tasa de bits de vídeo grabado en el mismo para hacer que un ordenador ejecute el método de control de tasa de bits de vídeo de acuerdo con una cualquiera de las reivindicaciones 1 a 3.

FIG. 1A

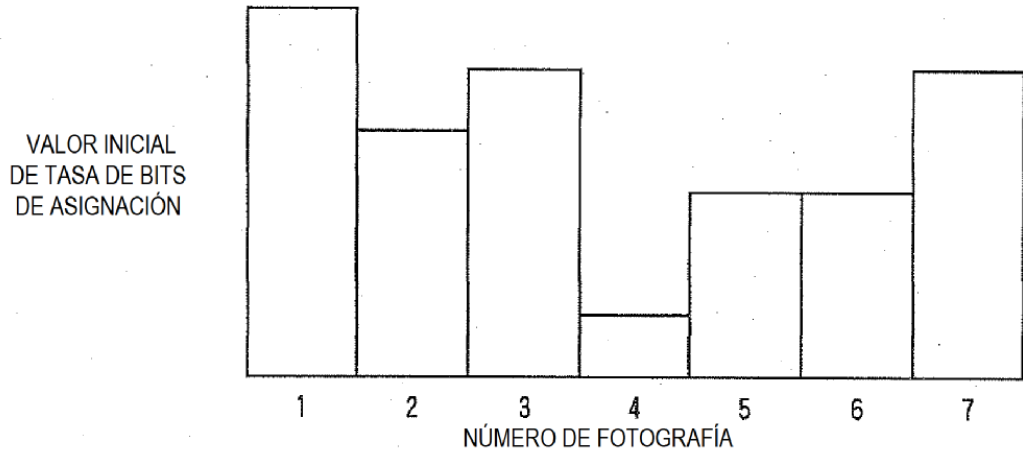


FIG. 1B

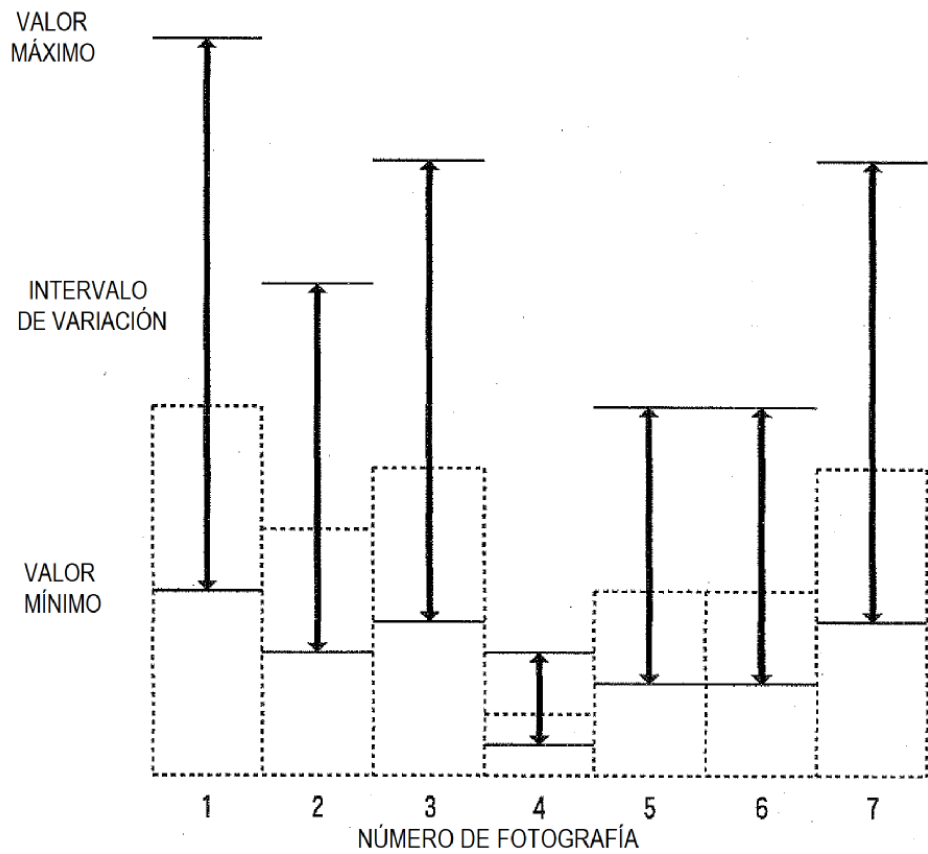


FIG. 2

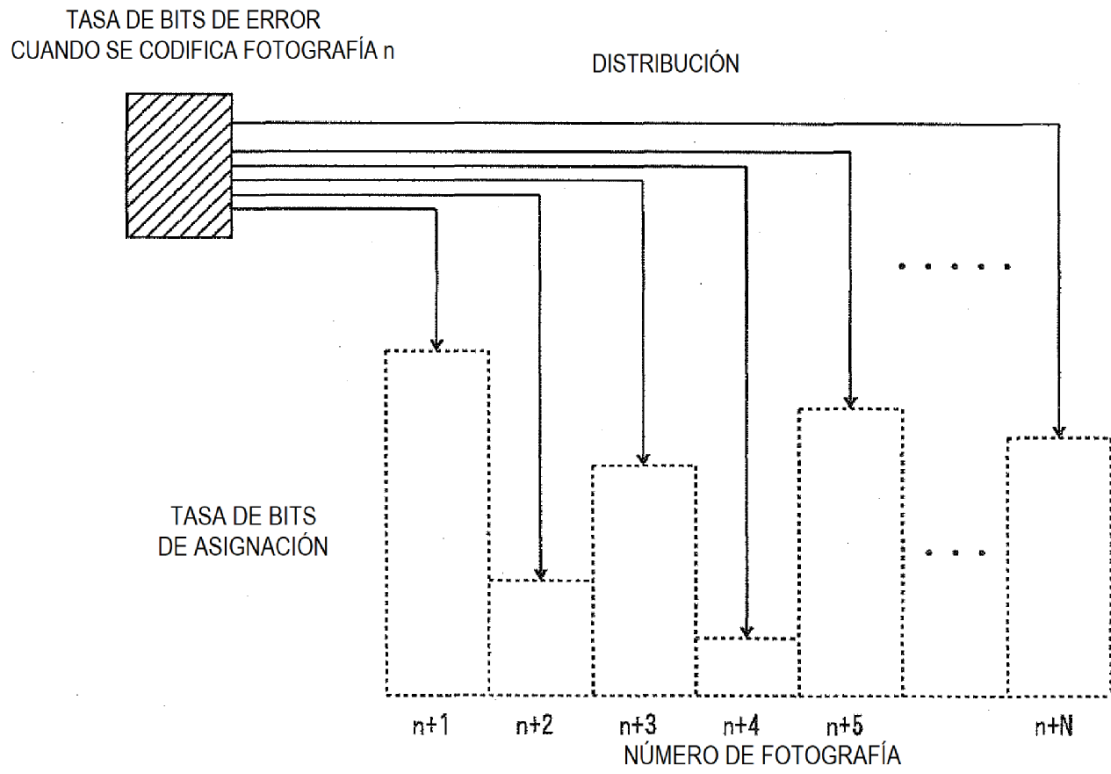


FIG. 3

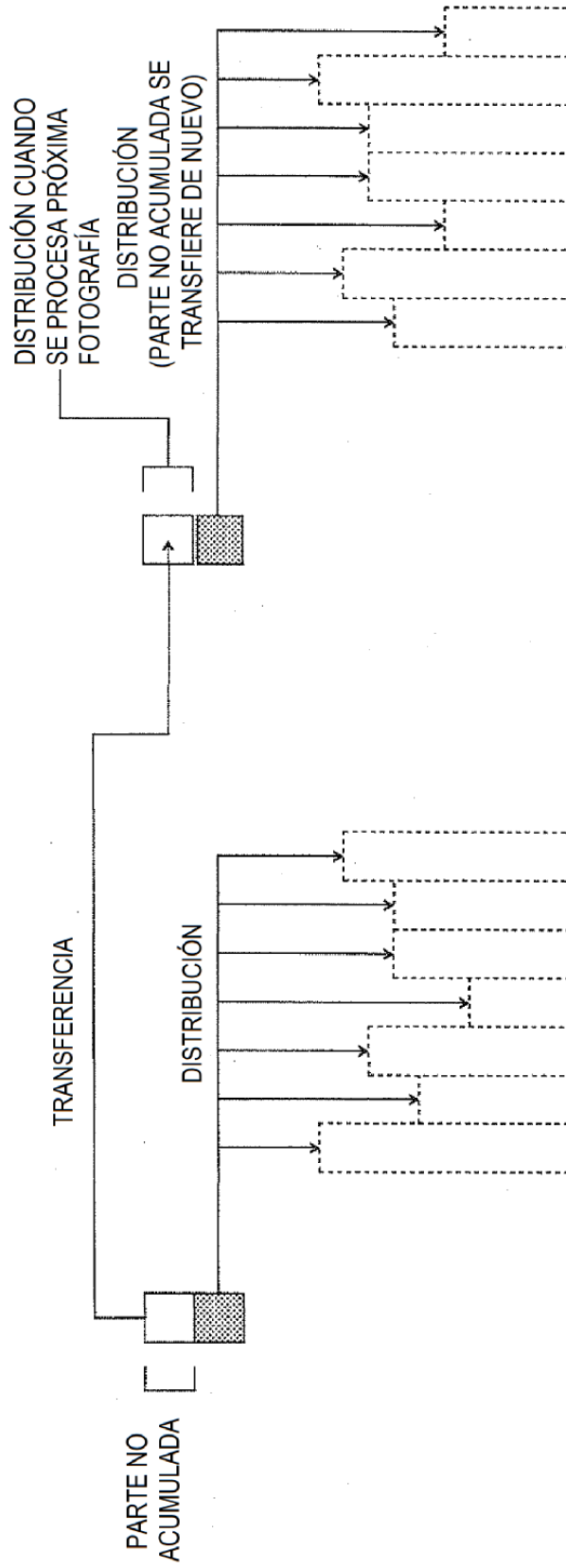


FIG. 4

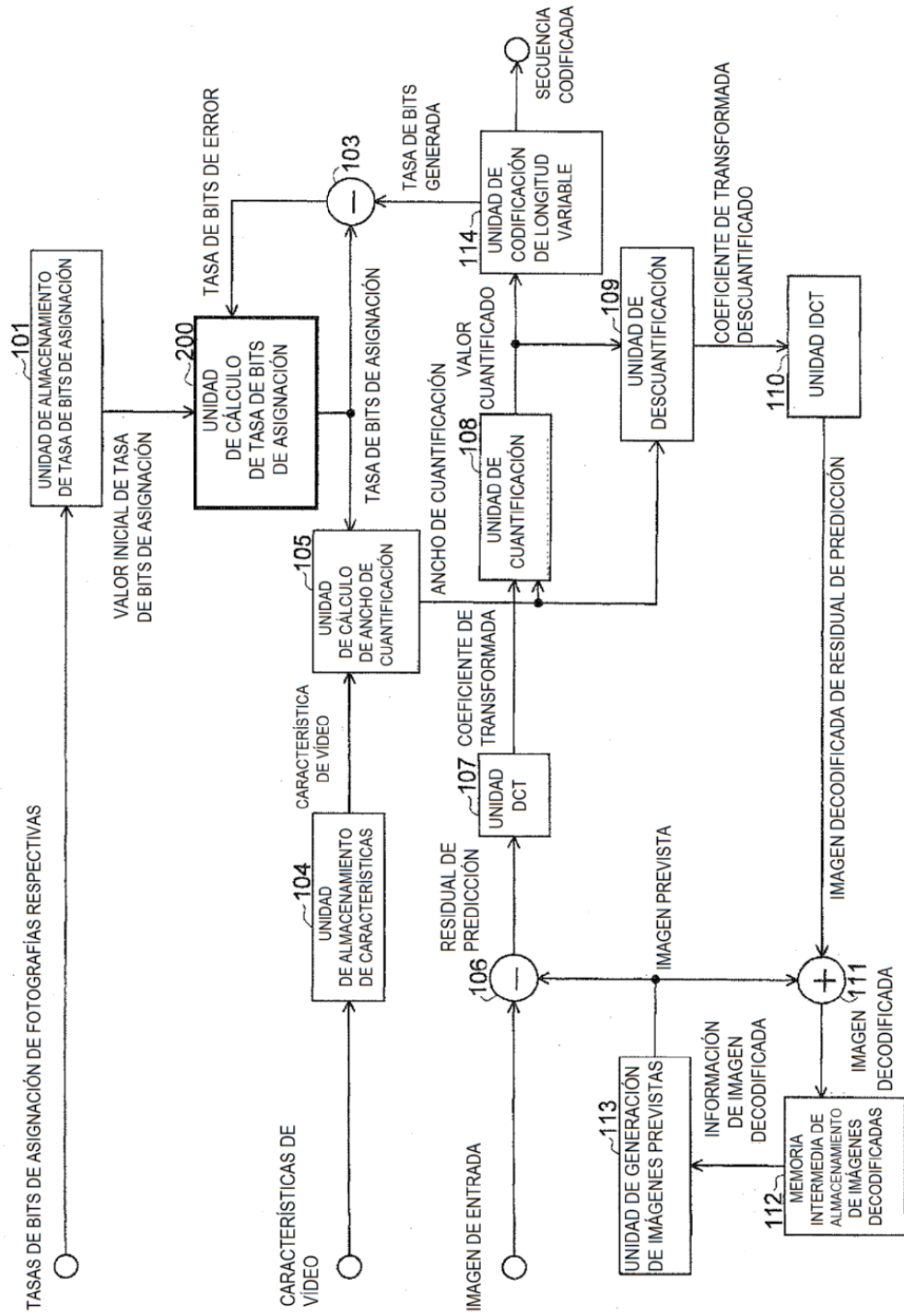
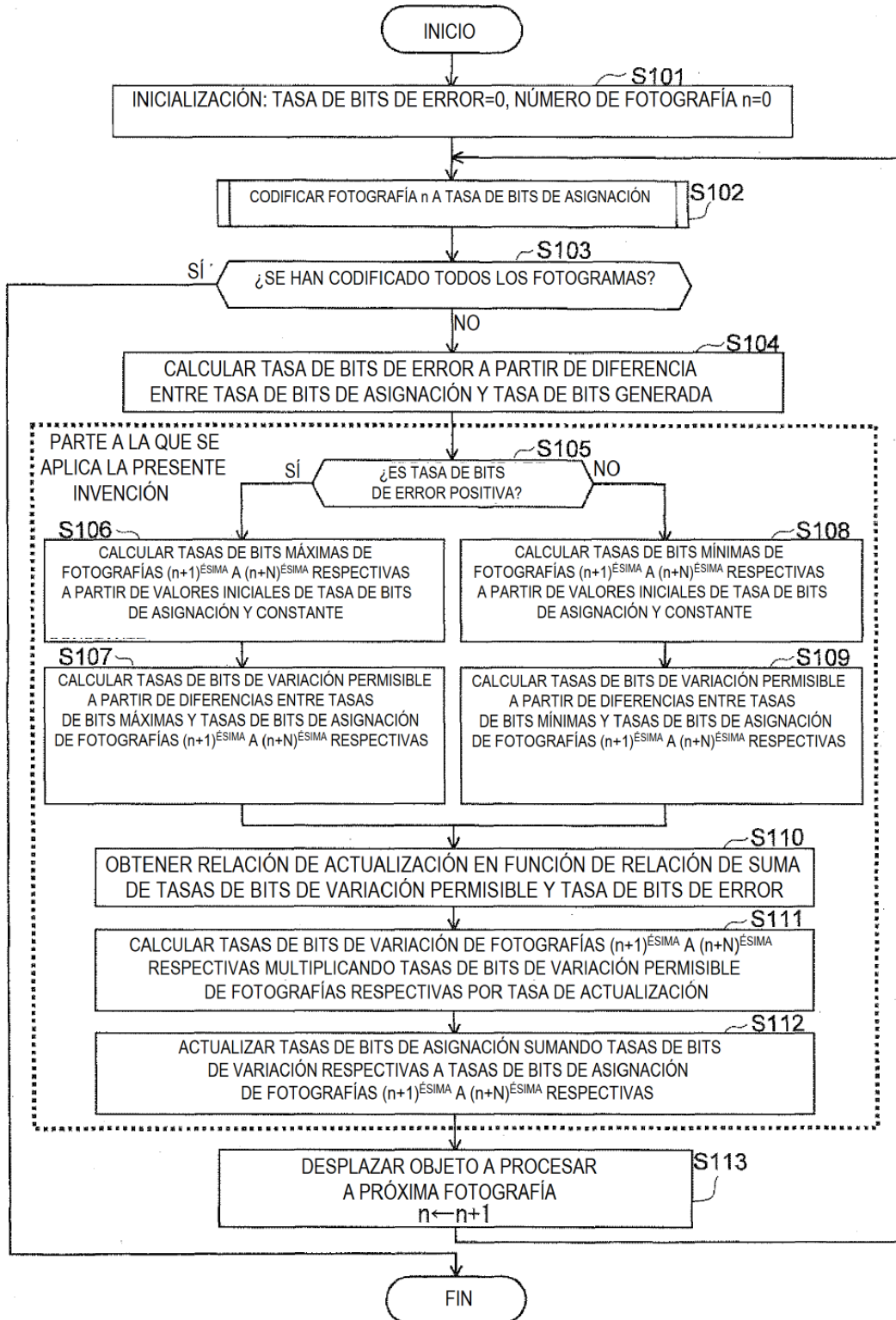


FIG. 5



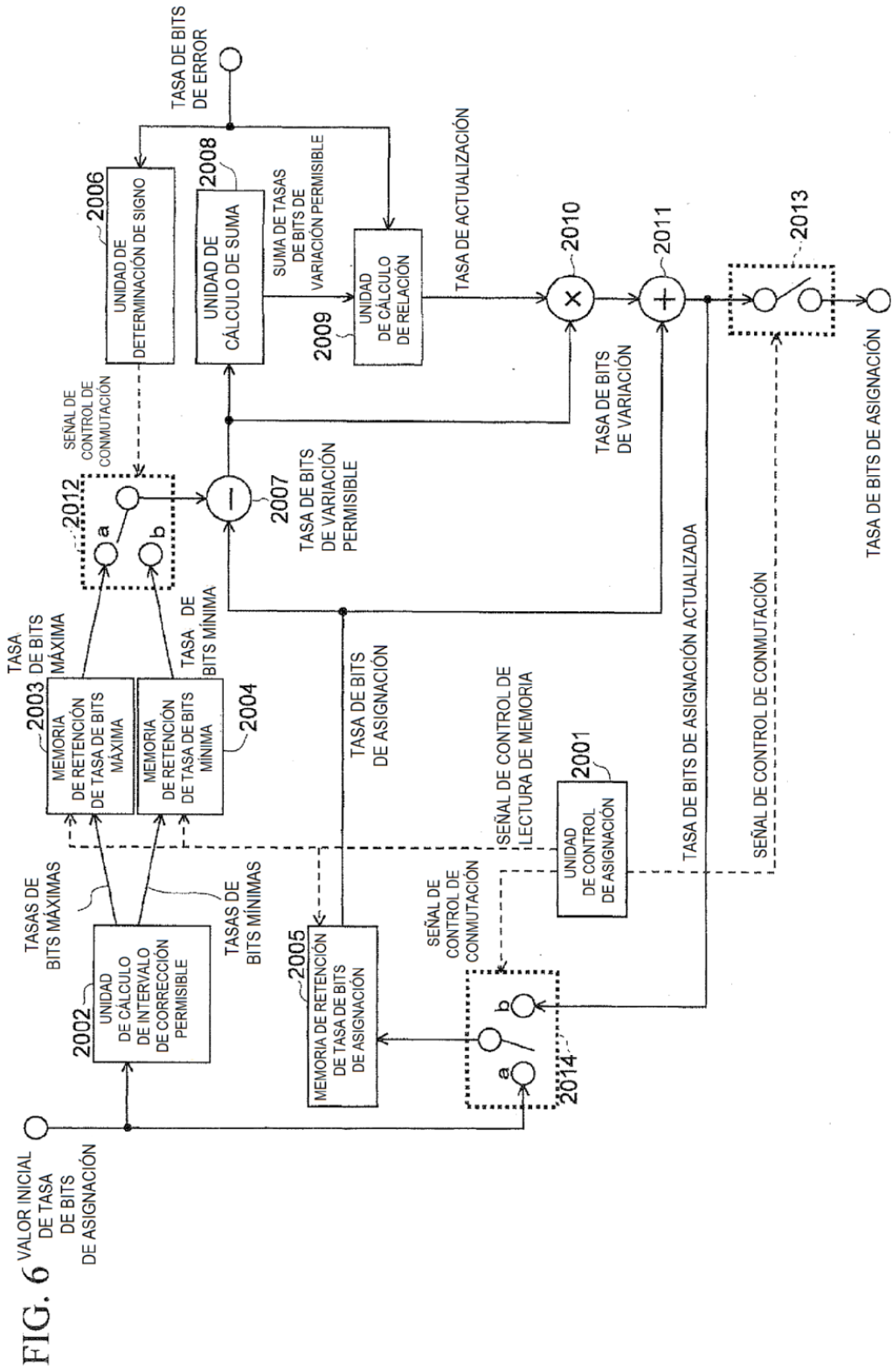


FIG. 7

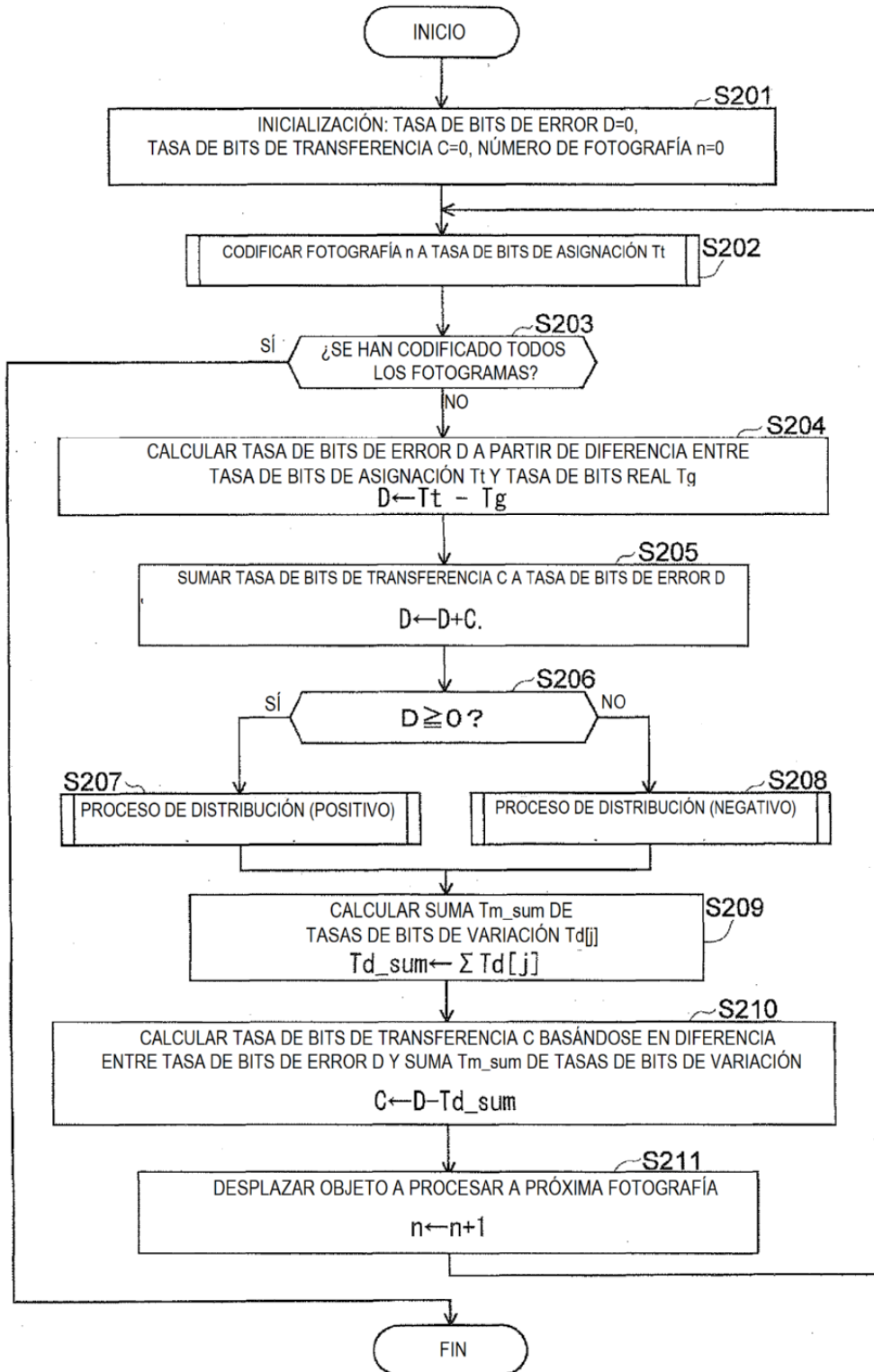


FIG. 8

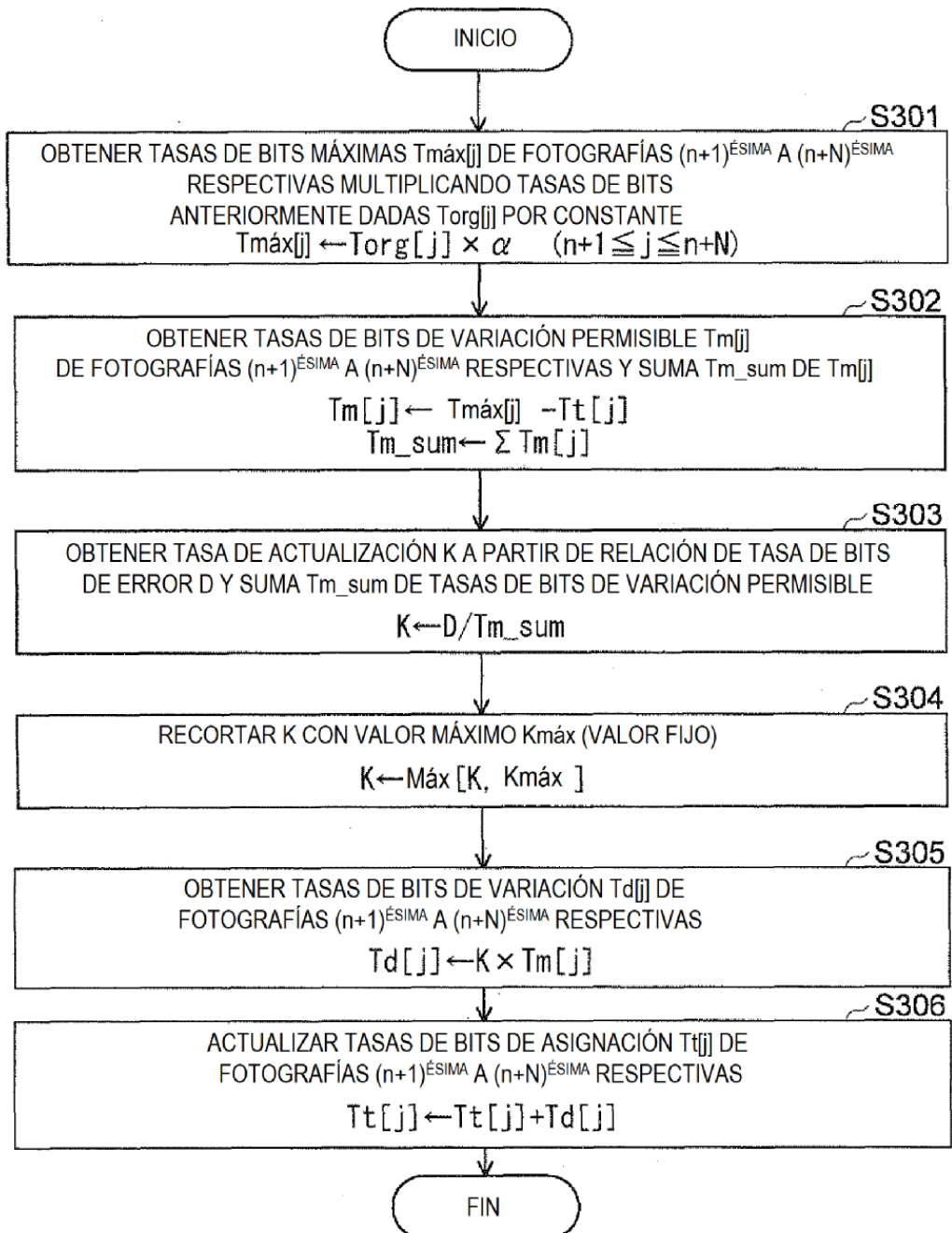


FIG. 9

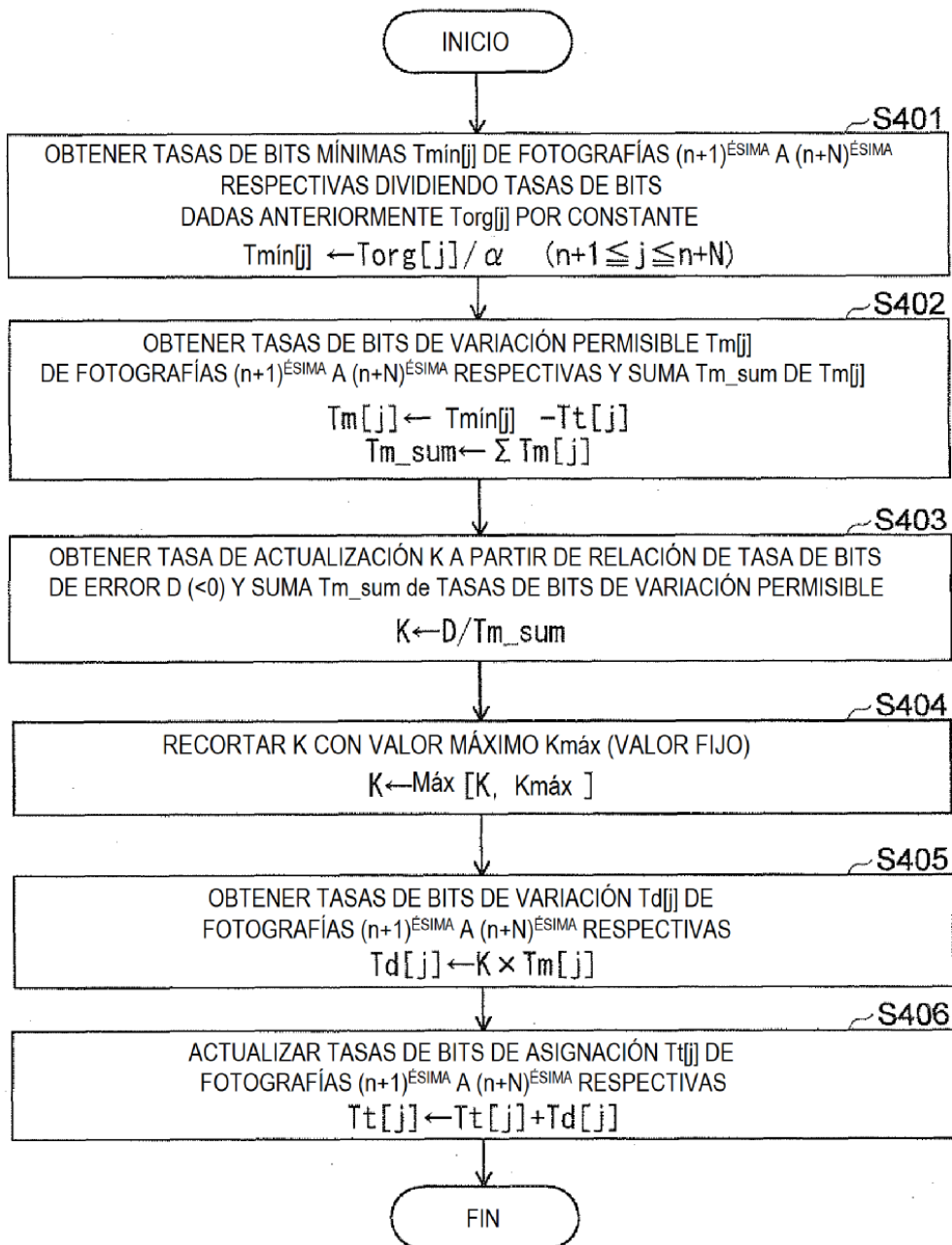


FIG. 11A

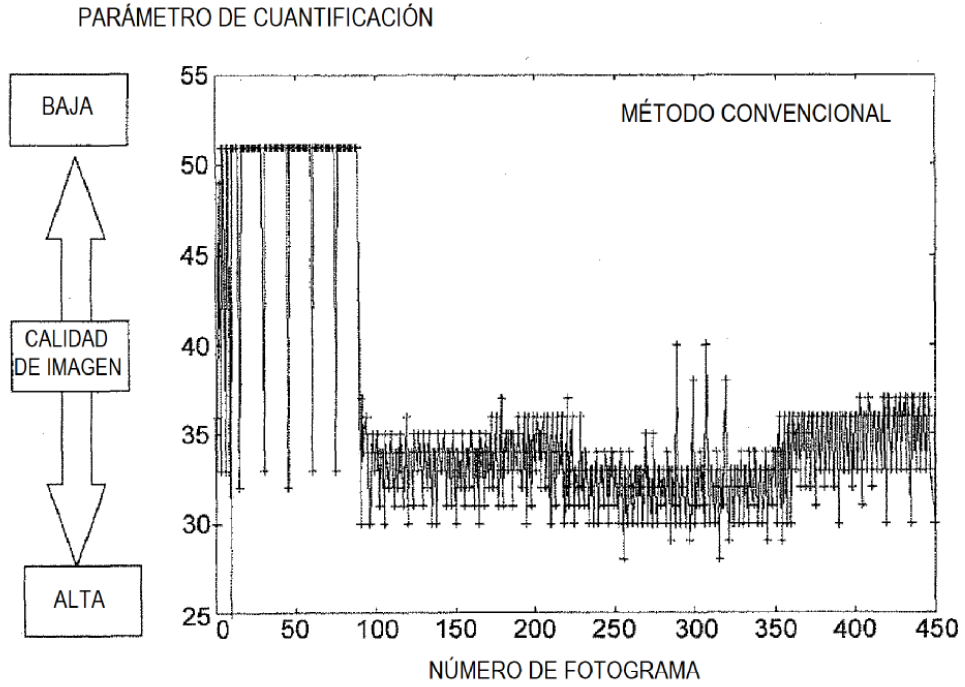


FIG. 11B

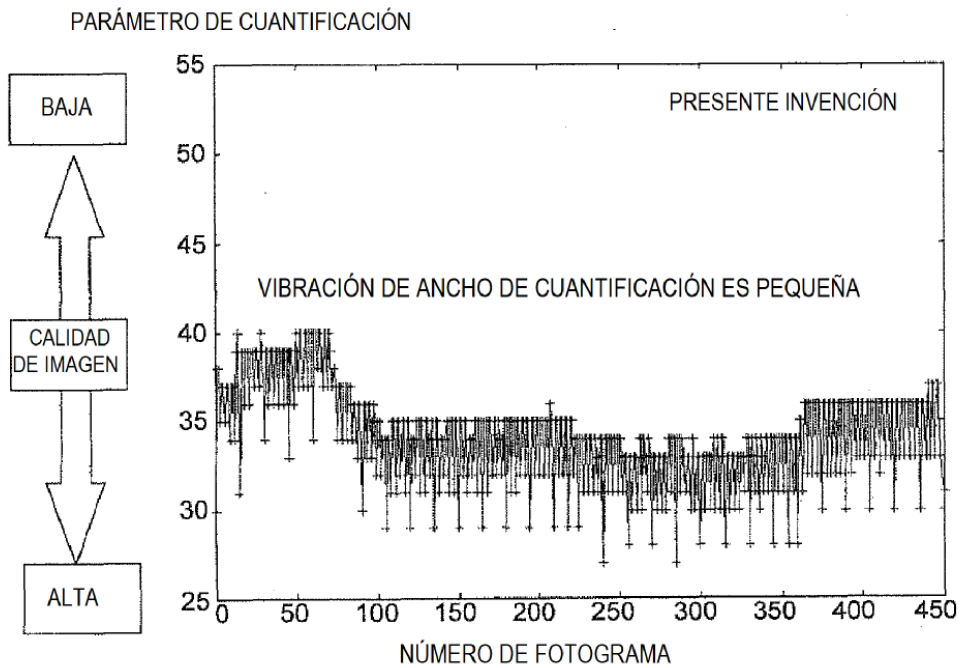


FIG. 12

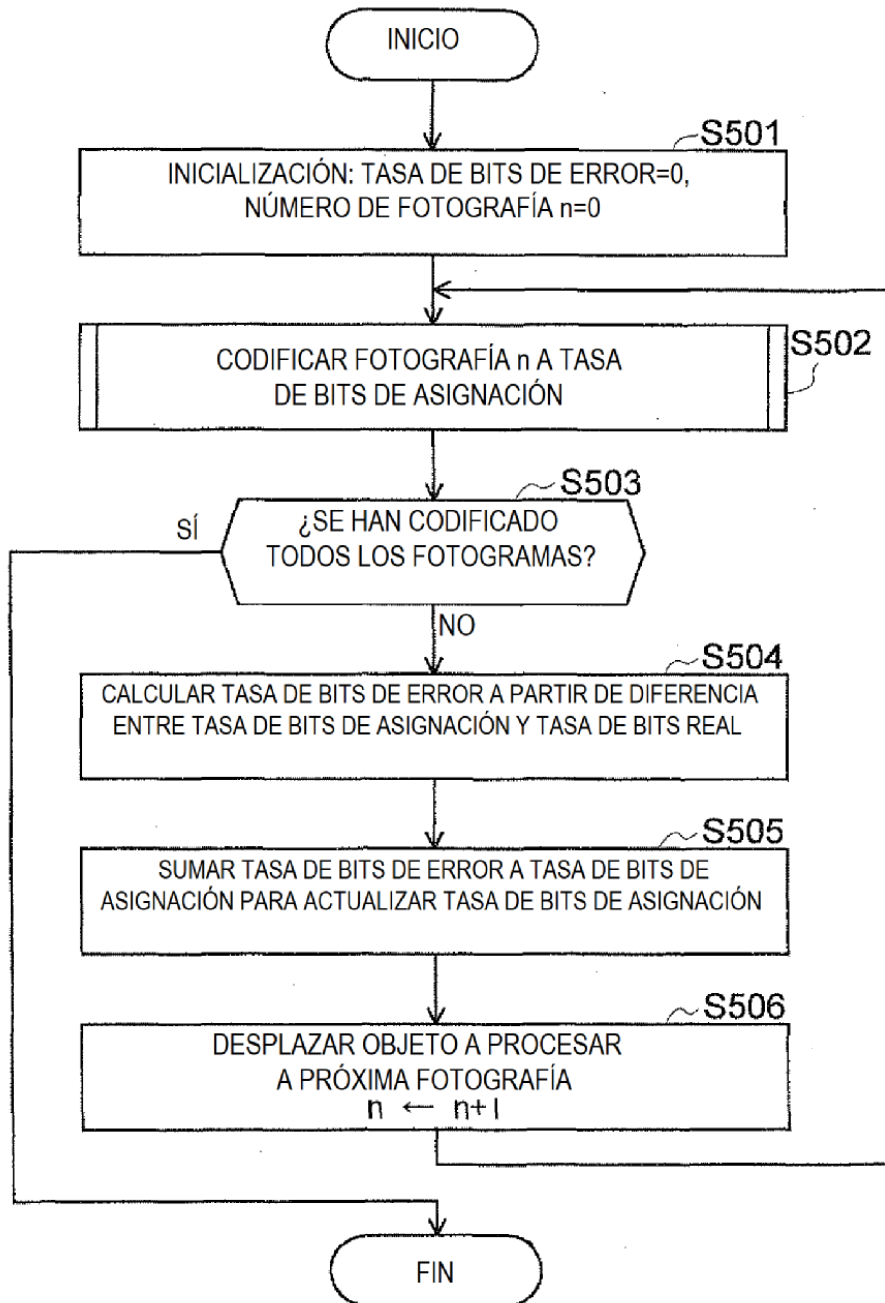


FIG. 13

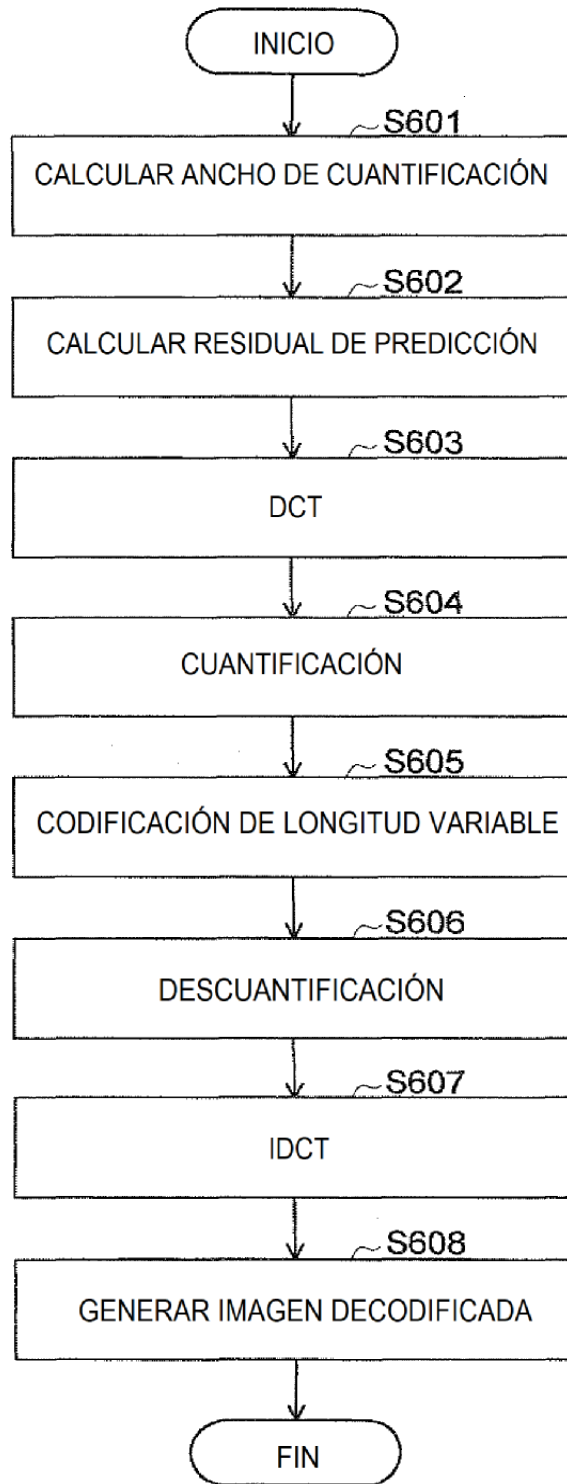


FIG. 14

