

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 697 695**

51 Int. Cl.:

H03M 13/11	(2006.01)
H03M 13/25	(2006.01)
H03M 13/27	(2006.01)
H03M 13/35	(2006.01)
H03M 13/29	(2006.01)
H03M 13/03	(2006.01)
H04L 1/00	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **27.01.2014 PCT/JP2014/051623**
- 87 Fecha y número de publicación internacional: **14.08.2014 WO14123017**
- 96 Fecha de presentación y número de la solicitud europea: **27.01.2014 E 14748988 (4)**
- 97 Fecha y número de publicación de la concesión europea: **22.08.2018 EP 2958240**

54 Título: **Codificación y descodificación de un código LDPC con tasa 18/30 (3/5) de longitud 64.800**

30 Prioridad:

08.02.2013 JP 2013023882

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
25.01.2019

73 Titular/es:

**SATURN LICENSING LLC (100.0%)
25 Madison Avenue
New York, NY 10022-3211, US**

72 Inventor/es:

**SHINOHARA, YUJI y
YAMAMOTO, MAKIKO**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 697 695 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Codificación y decodificación de un código LDPC con tasa 18/30 (3/5) de longitud 64.800

Aparato de procesamiento de datos y procedimiento de procesamiento de datos

Campo técnico

5 La tecnología de la presente memoria se refiere a aparatos de procesamiento de datos y a procedimientos de procesamiento de datos y, más específicamente, a aparatos de procesamiento de datos y a procedimientos de procesamiento de datos que permiten la provisión, por ejemplo, de códigos LDPC que consiguen un buen rendimiento de tasa de errores.

Técnica antecedente

10 En los últimos años, los códigos LDPC (Low Density Parity Check, comprobación de paridad de baja densidad), que tienen una alta capacidad de corrección de errores, han sido empleados ampliamente en esquemas de transmisión, incluyendo tecnologías de difusión digital por satélite, tales como DVB (Digital Video Broadcasting, difusión de vídeo digital) - S.2, que es usado en Europa (véase, por ejemplo, la literatura no de patentes 1). Los códigos LDPC se emplean también en tecnologías de difusión digital terrestre de próxima generación, tales como DVB-T.2.

15 Estudios recientes han encontrado que, al igual que los códigos turbo, los códigos LDPC tienen un rendimiento más cercano al límite de Shannon para longitudes de código más grandes. Además, debido a su característica de tener distancias mínimas proporcionales a las longitudes de los códigos, los códigos LDPC tienen la característica de un alto rendimiento de probabilidad de errores de bloque, y tienen una ventaja adicional en el sentido de que no muestran prácticamente ningún fenómeno de suelo de error, que se observa en las características de decodificación de turbo códigos y similares.

A continuación, se describirán los códigos LDPC con más detalle. Los códigos LDPC son códigos lineales, y pueden ser binarios o no. La descripción siguiente se proporcionará en el contexto de los códigos LDPC binarios.

25 Un código LDPC tiene la llamativa característica de que está definida por una matriz de comprobación de paridad dispersa. En la presente memoria, la expresión "matriz dispersa" se refiere a una matriz que tiene un número muy pequeño de elementos 1 (o una matriz cuyos elementos son casi todos ceros).

La Fig. 1 ilustra un ejemplo de una matriz H de comprobación de paridad de un código LDPC.

En la matriz H de comprobación de paridad ilustrada en la Fig. 1, la ponderación de cada columna (ponderación de columna) (es decir, el número de 1s) es 3 y la ponderación de cada fila (ponderación de fila) es 6.

30 En una operación de codificación usando un código LDPC (codificación LDPC), por ejemplo, se genera una matriz G generadora en base a una matriz H de comprobación de paridad. Multiplicando la matriz G generadora por bits de información binarios, se genera una palabra de código (es decir, un código LDPC).

35 Específicamente, un dispositivo de codificación que realiza una codificación LDPC primero calcula una matriz G generadora, donde se establece la ecuación $GH^T = 0$ entre la matriz traspuesta H^T de la matriz H de comprobación de paridad y la matriz G generadora. Aquí, si la matriz G generadora es una matriz $K \times N$, el dispositivo de codificación multiplica la matriz G generadora por una secuencia de bits (es decir, un vector u) de K bits de información para generar una palabra de código c (= uG) que tiene N bits. La palabra de código (o código LDPC) generada por el dispositivo de codificación es recibida en el lado del receptor a través de una ruta de comunicación determinada.

40 Un código LDPC puede ser decodificado usando el algoritmo de paso de mensajes, que es un algoritmo denominado decodificación probabilística propuesto por Gallager y que se basa en la propagación de creencias en un denominado gráfico de Tanner con nodos variables (a los que se hace referencia también como "nodos de mensaje") y nodos de comprobación. En adelante, en la presente memoria, se hará referencia también a los nodos variables y a los nodos de comprobación simplemente como "nodos", según sea apropiado.

La Fig. 2 ilustra un procedimiento de decodificación de código LDPC.

45 Cabe señalar que, en la descripción siguiente, se hace referencia también a un valor de número real que representa la probabilidad de que el i-ésimo bit de un código LDPC (es decir, una palabra de código) recibido en el lado del receptor tenga el valor "0", que se expresa en una relación de probabilidad logarítmica (es decir, una LLR (Log Likelihood Ratio, relación de probabilidad logarítmica) de recepción), como un "valor u_{0i} de recepción", según sea apropiado. Además, una salida de mensaje desde un nodo de comprobación se representa mediante u_j , y una salida de mensaje desde un nodo variable se representa mediante v_i .

En un procedimiento de decodificación de código LDPC, primero, tal como se ilustra en la Fig. 2, en la etapa S11, se recibe un código LDPC, y se inicializa un mensaje u_j (mensaje de nodo de comprobación) a "0". Además, una variable k de un contador para un procesamiento repetitivo, que toma un valor entero, es inicializada a "0". A continuación, el procedimiento pasa a la etapa S12. En la etapa S12, se determina un mensaje v_i (mensaje de nodo variable) realizando un cálculo según la Expresión (1) (cálculo de nodo variable) en base a un valor v_{0i} de recepción obtenido a través de la recepción del código LDPC. Un mensaje u_j se determina adicionalmente realizando un cálculo según la Expresión (2) (cálculo de nodo de comprobación) en base al mensaje v_i .

[Fórmula matemática 1]

$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j \quad \dots (1)$$

[Fórmula matemática 2]

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \dots (2)$$

Aquí, d_v y d_c en las expresiones (1) y (2) son parámetros seleccionables de manera arbitraria que indican el número de 1s en la dirección vertical (columnas) y en la dirección horizontal (filas) de la matriz H de comprobación de paridad, respectivamente. Por ejemplo, para un código LDPC en una matriz H de comprobación de paridad con una ponderación de columna de 3 y una ponderación de fila de 6 (es decir, un código LDPC (3, 6)) ilustrado en la Fig. 1, $d_v = 3$ y $d_c = 6$.

Cabe señalar que, en cada uno de entre el cálculo de nodo variable de la Expresión (1) y el cálculo de nodo de comprobación de la Expresión (2), una entrada de mensaje desde un borde (o una línea que se conecta entre un nodo variable y un nodo de comprobación) desde el cual se emite un mensaje no es el objetivo del cálculo. De esta manera, el intervalo de cálculo es de 1 a $d_v - 1$ o de 1 a $d_c - 1$. Además, el cálculo del nodo de comprobación de la Expresión (2) es realizado en realidad creando por adelantado una tabla de una función $R(v_1, v_2)$ según la Expresión (3), que está definida por una salida para dos entradas v_1 y v_2 , y usando secuencialmente (o recursivamente) la tabla de la manera indicada por la Expresión (4).

[Fórmula matemática 3]

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2) \quad \dots (3)$$

[Fórmula matemática 4]

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1})))) \quad \dots (4)$$

En la etapa S12, además, la variable k es incrementada en "1". A continuación, el procedimiento pasa a la etapa S13. En la etapa S13, se determina si la variable k es mayor o no que un cierto número de veces de decodificación C repetitiva. Si en la etapa S13 se determina que la variable k no es mayor que C , el procedimiento vuelve a la etapa S12 y, posteriormente, se realiza repetidamente un procesamiento similar.

Si en la etapa S13 se determina que la variable k es mayor que C , el procedimiento pasa a la etapa S14. En la etapa S14, se determina un mensaje v_i como un resultado de salida final de la decodificación mediante la realización del cálculo según la Expresión (5), y se emite. A continuación, el procedimiento de decodificación del código LDPC termina.

[Fórmula matemática 5]

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j \dots (5)$$

5 Aquí, el cálculo de la Expresión (5) se realiza usando, a diferencia del cálculo del nodo variable de la Expresión (1), los mensajes u_j desde todos los bordes conectados a un nodo variable.

La Fig. 3 ilustra un ejemplo de una matriz H de comprobación de paridad de un código LDPC (3, 6) (con una tasa de codificación de 1/2 y una longitud de código de 12).

10 En la matriz H de comprobación de paridad ilustrada en la Fig. 3, de manera similar a la Fig. 1, la ponderación de la columna es 3 y la ponderación de la fila es 6.

La Fig. 4 ilustra un gráfico de Tanner de la matriz H de comprobación de paridad ilustrada en la Fig. 3.

15 Aquí, en la Fig. 4, un nodo de comprobación está representado por un signo más "+", y un nodo variable está representado por un signo de igualdad "=". Un nodo de comprobación y un nodo variable corresponden a cada fila y columna de la matriz H de comprobación de paridad, respectivamente. Una conexión entre un nodo de comprobación y un nodo variable es un borde y corresponde a un elemento "1" en la matriz de comprobación de paridad.

Más específicamente, en un caso en el que el elemento en la j-ésima fila y la i-ésima columna de la matriz de comprobación de paridad es 1, en la Fig. 4, el i-ésimo nodo variable (nodo "=") desde arriba y el j-ésimo nodo de comprobación (nodo "+") desde arriba están conectados por un borde. Un borde indica que un bit de código correspondiente a un nodo variable tiene una restricción correspondiente a un nodo de comprobación.

20 En el algoritmo de producto suma, que es un procedimiento de decodificación de código LDPC, el cálculo del nodo variable y el cálculo del nodo de comprobación se realizan repetidamente.

La Fig. 5 ilustra el cálculo del nodo variable a ser realizado en un nodo variable.

25 En un nodo variable, un mensaje v_i correspondiente a un borde para el cual debe realizarse un cálculo es determinado mediante el cálculo del nodo variable de la Expresión (1) usando los mensajes u_1 y u_2 desde los bordes restantes conectados al nodo variable y usando también un valor u_{0i} de recepción. Los mensajes correspondientes a los otros bordes se determinan también de manera similar.

La Fig. 6 ilustra el cálculo del nodo de comprobación a ser realizado en un nodo de comprobación.

Aquí, el cálculo del nodo de comprobación de la Expresión (2) puede reescribirse como la Expresión (6) usando la relación de la ecuación $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$, en la que $\text{sign}(x)$ es 1 para $x \geq 0$ y -1 para $x < 0$.

30 [Fórmula matemática 6]

$$\begin{aligned} u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\ &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\ &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\tanh \left(\frac{|v_i|}{2} \right) \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \dots (6) \end{aligned}$$

40 Si la función $\varphi(x)$ se define como la ecuación $\varphi(x) = \ln(\tanh(x/2))$ para $x \geq 0$, se establece la ecuación $\varphi^{-1}(x) = 2 \tanh^{-1}(e^{-x})$. De esta manera, la Expresión (6) puede transformarse en la Expresión (7).

[Fórmula matemática 7]

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \dots (7)$$

En un nodo de comprobación, el cálculo nodo de comprobación de la Expresión (2) se realiza según la Expresión (7).

5 Más específicamente, en un nodo de comprobación, tal como se ilustra en la Fig. 6, un mensaje u_j que corresponde a un borde para el cual debe realizarse el cálculo se determina mediante el cálculo del nodo de comprobación de la Expresión (7) usando los mensajes v_1, v_2, v_3, v_4 y v_5 a desde los bordes restantes conectados al nodo de comprobación. Los mensajes correspondientes a los otros bordes se determinan también de una manera similar.

10 Cabe señalar que la función $\phi(x)$ en la Expresión (7) puede representarse con la ecuación $\phi(x) = \ln((e^x + 1)/(e^x - 1))$, donde $\phi(x) = \phi^{-1}(x)$ para $x > 0$. Las funciones $\phi(x)$ y $\phi^{-1}(x)$ pueden implementarse en hardware usando una LUT (Look Up Table, tabla de consulta), donde la misma LUT es usada para ambas funciones.

Lista de citas

Literatura no de patentes

NPL 1: DVB-S.2: ETSI EN 302 307 V1.2.1 (2009-08)

Sumario de la invención

15 **Problema técnico**

En los estándares que emplean códigos LDPC, tales como DVB-S.2, DVB-T.2 y DVB-C.2, un código LDPC es mapeado a símbolos (o es simbolizado) de modulación ortogonal (modulación digital) tal como QPSK (Quadrature Phase Shift Keying, modulación por desfase de fase en cuadratura). Los símbolos son mapeados a puntos de constelación y son transmitidos.

20 Mientras, recientemente ha existido una demanda de transmisión eficiente de una gran cantidad de datos, tal como una imagen tridimensional (3D) o una imagen 4k. Una imagen 4k tiene una resolución de 3.840 píxeles horizontalmente y 2.160 píxeles verticalmente, proporcionando aproximadamente cuatro veces la resolución de píxeles de alta definición completa.

Sin embargo, la priorización de la eficiencia de la transmisión de datos aumentaría la tasa de errores.

25 Por el contrario, puede existir también una demanda de que la eficiencia de la transmisión de datos pueda ser sacrificada en cierta medida por una transmisión de datos con un buen rendimiento de tasa de errores.

En el futuro, se espera que las demandas de transmisión de datos con varios niveles de eficiencia aumenten. Por ejemplo, una pluralidad de códigos LDPC que tienen tasas de codificación diferentes permiten una transmisión de datos con varios niveles de eficiencia.

30 En la transmisión de datos, por lo tanto, es deseable que se empleen códigos LDPC que tengan tasas de codificación que se establezcan fácilmente a un número en cierta medida grande de tasas de codificación, cuyo número, por ejemplo, es mayor que o igual al número de tasas de codificación demandas para la transmisión de datos.

También es deseable que los códigos LDPC tengan alta resistencia a errores (es decir, alta robustez), es decir, un buen rendimiento de tasa de errores, independientemente de la tasa de codificación del código LDPC a emplear.

35 El documento EP 2 214 319 A1 describe un aparato de procesamiento de datos y un procedimiento de procesamiento de datos que pueden mejorar la tolerancia a los errores de los bits de código de un código LDPC, tales como errores de ráfaga o de borrado. En los que un símbolo se forma a partir de dos o más bits de código de un código LDPC, un intercalador de torsión de columna realiza un procedimiento de reorganización para reorganizar los bits de código del código LDPC, de manera que una pluralidad de bits de código correspondientes al valor incluido en una fila arbitraria de una matriz de comprobación de paridad no sean mapeados a un símbolo.

40 El documento "Digital Video Broadcasting (DVB); Frame structure Channel coding and modulation for a second generation digital terrestrial television broadcasting System (DVB-T2)", EUROPEAN STANDARD, EUROPEAN TELECOMMUNICATIONS STANDARDS INSTITUTE (ETSI), 650, ROUTE DES LUCIOLES; F-06921 SOPHIA-

ANTIPOLIS; FRANCE, vol. BROADCASTS, no. V1.3.1, 1 de Abril de 2012 describe un sistema de transmisión de línea base de segunda generación para la difusión de televisión digital terrestre. Especifica el sistema de codificación/modulación de canal destinado para servicios de televisión digital y flujos de datos genéricos.

5 La tecnología actual se ha desarrollado teniendo en cuenta la situación anterior y está destinada a proporcionar códigos LDPC que tengan un buen rendimiento de tasa de errores.

Solución al problema

La presente invención presenta un aparato de procesamiento de datos según se define en las reivindicaciones 1 o 2, un procedimiento de procesamiento de datos según se define en las reivindicaciones 11 o 12, un receptor de televisión según se define en la reivindicación 14 y un programa informático según se define en la reivindicación 15.

10 Cabe señalar que cada aparato de procesamiento de datos puede ser un aparato independiente o puede ser un bloque interno en un único aparato.

Efectos ventajosos de la invención

Según la tecnología actual, es posible proporcionar códigos LDPC que tengan un buen rendimiento de tasa de errores.

Breve descripción de los dibujos

15 [Fig. 1] La Fig. 1 es un diagrama que muestra una matriz H de comprobación de paridad de un código LDPC.

[Fig. 2] La Fig. 2 es un diagrama de flujo que representa un procedimiento de decodificación de un código LDPC.

[Fig. 3] La Fig. 3 es un diagrama que ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC.

[Fig. 4] La Fig. 4 es un diagrama que ilustra un gráfico de Tanner de una matriz de comprobación de paridad.

[Fig. 5] La Fig. 5 es un diagrama que ilustra un nodo variable.

20 [Fig. 6] La Fig. 6 es un diagrama que ilustra un nodo de comprobación.

[Fig. 7] La Fig. 7 es un diagrama que ilustra una configuración ejemplar de una realización de un sistema de transmisión al que se aplica la tecnología actual.

[Fig. 8] La Fig. 8 es un diagrama de bloques que ilustra una configuración ejemplar de un dispositivo 11 de transmisión.

[Fig. 9] La Fig. 9 es un diagrama de bloques que ilustra una configuración ejemplar de un intercalador 116 de bits.

25 [Fig. 10] La Fig. 10 es un diagrama que ilustra una matriz de comprobación de paridad.

[Fig. 11] La Fig. 11 es un diagrama que ilustra una matriz de paridad.

[Fig. 12] La Fig. 12 es un diagrama que muestra una matriz de comprobación de paridad de un código LDPC definido en el estándar DVB-S.2.

30 [Fig. 13] La Fig. 13 es un diagrama que representa una matriz de comprobación de paridad de un código LDPC definido en el estándar DVB-S.2.

[Fig. 14] La Fig. 14 incluye diagramas que ilustran una disposición de puntos de constelación de 16QAM.

[Fig. 15] La Fig. 15 es un diagrama que ilustra las disposiciones de los puntos de constelación de 64QAM.

[Fig. 16] La Fig. 16 es un diagrama que ilustra las disposiciones de los puntos de constelación de 64QAM.

[Fig. 17] La Fig. 17 es un diagrama que ilustra las disposiciones de los puntos de constelación de 64QAM.

35 [Fig. 18] La Fig. 18 es un diagrama que ilustra una disposición de puntos de constelación definidos en el estándar DVB-S.2.

[Fig. 19] La Fig. 19 es un diagrama que ilustra una disposición de puntos de constelación definidos en el estándar DVB-S.2.

40 [Fig. 20] La Fig. 20 incluye diagramas que ilustran una disposición de puntos de constelación definidos en el estándar DVB-S.2.

- [Fig. 21] La Fig. 21 incluye diagramas que ilustran una disposición de puntos de constelación definidos en el estándar DVB-S.2.
- [Fig. 22] La Fig. 22 incluye diagramas que representan el procesamiento de un demultiplexor 25.
- [Fig. 23] La Fig. 23 incluye diagramas que representan el procesamiento del demultiplexor 25.
- 5 [Fig. 24] La Fig. 24 es un diagrama que ilustra un gráfico de Tanner para la decodificación de códigos LDPC.
- [Fig. 25] La Fig. 25 incluye diagramas que ilustran una matriz H_T de paridad que tiene una estructura escalonada, y un gráfico de Tanner correspondiente a la matriz H_T de paridad.
- [Fig. 26] La Fig. 26 es un diagrama que ilustra un matriz H_T de paridad de una matriz H de comprobación de paridad correspondiente a un código LDPC que ha sido sometida a intercalado de paridad.
- 10 [Fig. 27] La Fig. 27 incluye diagramas que ilustran una matriz de comprobación de paridad transformada.
- [Fig. 28] La Fig. 28 es un diagrama que representa el procesamiento de un intercalador 24 de torsión de columna.
- [Fig. 29] La Fig. 29 es un diagrama que ilustra los números de columnas de una memoria 31 que son necesarios para el intercalado de torsión de columna y las direcciones de las posiciones de inicio de escritura.
- 15 [Fig. 30] La Fig. 30 es un diagrama que ilustra los números de columnas de la memoria 31 que son necesarios para el intercalado de torsión de columna, y las direcciones de las posiciones de inicio de escritura.
- [Fig. 31] La Fig. 31 es un diagrama de flujo que representa un procedimiento realizado por el intercalador 116 de bits y un codificador 117 QAM.
- [Fig. 32] La Fig. 32 incluye diagramas que ilustran un modelo de una ruta de comunicación usada en simulaciones.
- 20 [Fig. 33] La Fig. 33 es un diagrama que ilustra las relaciones entre las frecuencias f_d Doppler de fluctuaciones y las tasas de errores obtenidas en simulaciones.
- [Fig. 34] La Fig. 34 es un diagrama que ilustra las relaciones entre las frecuencias f_d Doppler de fluctuaciones y las tasas de errores obtenidas en las simulaciones.
- [Fig. 35] La Fig. 35 es un diagrama de bloques que ilustra una configuración ejemplar de un codificador 115 LDPC.
- [Fig. 36] La Fig. 36 es un diagrama de flujo que representa un procedimiento del codificador 115 LDPC.
- 25 [Fig. 37] La Fig. 37 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 1/4 y la longitud de código 16.200.
- [Fig. 38] La Fig. 38 es un diagrama que muestra un procedimiento para determinar una matriz H de comprobación de paridad a partir de una tabla de valores iniciales de la matriz de comprobación de paridad.
- 30 [Fig. 39] La Fig. 39 es un diagrama que ilustra las características BER/FER de un código LDPC que tiene una longitud de código de 64.800 bits, definido en el estándar DVB-S.2.
- [Fig. 40] La Fig. 40 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 2/30 y la longitud de código 64.800.
- [Fig. 41] La Fig. 41 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 3/30 y la longitud de código 64.800.
- 35 [Fig. 42] La Fig. 42 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 4/30 y la longitud de código 64.800.
- [Fig. 43] La Fig. 43 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 5/30 y la longitud de código 64.800.
- 40 [Fig. 44] La Fig. 44 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 6/30 y la longitud de código 64.800.
- [Fig. 45] La Fig. 45 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 7/30 y la longitud de código 64.800.

- [Fig. 91] La Fig. 91 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 25/30 y la longitud de código 64.800.
- [Fig. 92] La Fig. 92 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 26/30 y la longitud de código 64.800.
- 5 [Fig. 93] La Fig. 93 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 26/30 y la longitud de código 64.800.
- [Fig. 94] La Fig. 94 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 26/30 y la longitud de código 64.800.
- 10 [Fig. 95] La Fig. 95 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 27/30 y la longitud de código 64.800.
- [Fig. 96] La Fig. 96 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 27/30 y la longitud de código 64.800.
- [Fig. 97] La Fig. 97 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 27/30 y la longitud de código 64.800.
- 15 [Fig. 98] La Fig. 98 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 27/30 y la longitud de código 64.800.
- [Fig. 99] La Fig. 99 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 28/30 y la longitud de código 64.800.
- 20 [Fig. 100] La Fig. 100 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 28/30 y la longitud de código 64.800.
- [Fig. 101] La Fig. 101 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 28/30 y la longitud de código 64.800.
- [Fig. 102] La Fig. 102 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 28/30 y la longitud de código 64.800.
- 25 [Fig. 103] La Fig. 103 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 29/30 y la longitud de código 64.800.
- [Fig. 104] La Fig. 104 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 29/30 y la longitud de código 64.800.
- 30 [Fig. 105] La Fig. 105 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 29/30 y la longitud de código 64.800.
- [Fig. 106] La Fig. 106 es un diagrama que ilustra el ejemplo de la tabla de valores iniciales de la matriz de comprobación de paridad con la tasa de codificación 29/30 y la longitud de código 64.800.
- [Fig. 107] La Fig. 107 es un diagrama que ilustra un ejemplo de un gráfico de Tanner de un conjunto definido por una secuencia de grados que indica una ponderación de columna de 3 y una ponderación de fila de 6.
- 35 [Fig. 108] La Fig. 108 es un diagrama que ilustra un ejemplo de un gráfico de Tanner de un conjunto de tipo multi-borde ("multi-edge").
- [Fig. 109] La Fig. 109 es un diagrama que ilustra las longitudes mínimas de los ciclos y los umbrales de rendimiento para las matrices de comprobación de paridad de los códigos LDPC con la longitud de código 64.800.
- 40 [Fig. 110] La Fig. 110 es un diagrama que representa una matriz de comprobación de paridad de un código LDPC con la longitud de código 64.800.
- [Fig. 111] La Fig. 111 es un diagrama que representa las matrices de comprobación de paridad de los códigos LDPC con la longitud de código 64.800.
- [Fig. 112] La Fig. 112 es un diagrama que ilustra los BERs/FERs simulados de códigos LDPC con la longitud de código 64.800.
- 45 [Fig. 113] La Fig. 113 es un diagrama que ilustra los BERs/FERs simulados de códigos LDPC con la longitud de código

64.800.

[Fig. 114] La Fig. 114 es un diagrama que ilustra los BERs/FERs simulados de códigos LDPC con la longitud de código 64.800.

5 [Fig. 115] La Fig. 115 incluye diagramas que ilustran los códigos BCH usados en las simulaciones de BERs/FERs de los códigos LDPC con la longitud de código 64.800.

[Fig. 116] La Fig. 116 es un diagrama de bloques que ilustra una configuración ejemplar de un dispositivo 12 de recepción.

[Fig. 117] La Fig. 117 es un diagrama de bloques que ilustra una configuración ejemplar de un desintercalador 165 de bits.

10 [Fig. 118] La Fig. 118 es un diagrama de flujo que representa un procedimiento realizado por un decodificador 164 QAM, el desintercalador 165 de bits y un decodificador 166 LDPC.

[Fig. 119] La Fig. 119 es un diagrama que ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC.

15 [Fig. 120] La Fig. 120 es un diagrama que ilustra una matriz (matriz de comprobación de paridad transformada) obtenida al realizar la permutación de fila y una permutación de columna en una matriz de comprobación de paridad.

[Fig. 121] La Fig. 121 es un diagrama que ilustra una matriz de comprobación de paridad transformada que está dividida en unidades 5 x 5.

[Fig. 122] La Fig. 122 es un diagrama de bloques que ilustra una configuración ejemplar de un dispositivo de decodificación que realiza colectivamente los cálculos de nodo para P nodos.

20 [Fig. 123] La Fig. 123 es un diagrama de bloques que ilustra una configuración ejemplar del decodificador 166 LDPC.

[Fig. 124] La Fig. 124 incluye diagramas que representan un procedimiento de un multiplexor 54 incluido en el desintercalador 165 de bits.

[Fig. 125] La Fig. 125 es un diagrama que representa el procesamiento de un desintercalador 55 de torsión de columna.

25 [Fig. 126] La Fig. 126 es un diagrama de bloques que ilustra otra configuración ejemplar del desintercalador 165 de bits.

[Fig. 127] La Fig. 127 es un diagrama de bloques que ilustra una primera configuración ejemplar de un sistema de recepción en el que puede usarse el dispositivo 12 de recepción.

30 [Fig. 128] La Fig. 128 es un diagrama de bloques que ilustra una segunda configuración ejemplar del sistema de recepción en el que puede usarse el dispositivo 12 de recepción.

[Fig. 129] La Fig. 129 es un diagrama de bloques que ilustra una tercera configuración ejemplar del sistema de recepción en el que puede usarse el dispositivo 12 de recepción.

[Fig. 130] La Fig. 130 es un diagrama de bloques que ilustra una configuración ejemplar de una realización de un ordenador al que se aplica la presente tecnología.

35 **Descripción de las realizaciones**

[Configuración ejemplar del sistema de transmisión al que se aplica la presente tecnología]

La Fig. 7 ilustra una configuración ejemplar de una realización de un sistema de transmisión (el término "sistema" se refiere a un conjunto lógico de dispositivos o aparatos, y los dispositivos o los aparatos pueden estar alojados o no en la misma carcasa) al que se aplica la presente tecnología.

40 Con referencia a la Fig. 7, el sistema de transmisión incluye un dispositivo 11 de transmisión y un dispositivo 12 de recepción.

El dispositivo 11 de transmisión está configurado para transmitir (o difundir) datos tales como un programa de difusión de televisión. Más específicamente, el dispositivo 11 de transmisión codifica los datos objetivo a ser transmitidos, tales como los datos de imagen y los datos de audio de un programa, en un código LDPC, y transmite el código LDPC a través de una ruta 13 de comunicación, tal como un enlace satelital, un enlace terrestre o un cable (línea cableada).

45

El dispositivo 12 de recepción recibe un código LDPC transmitido desde el dispositivo 11 de transmisión a través de la ruta 13 de comunicación, decodifica el código LDPC en datos objetivo y emite los datos objetivo.

Aquí, está bien establecido que un código LDPC usado en el sistema de transmisión ilustrado en la Fig. 7 exhibe un rendimiento muy alto en una ruta de comunicación AWGN (Additive White Gaussian Noise, ruido blanco gaussiano aditivo).

Sin embargo, pueden producirse errores o borrados de tipo ráfaga en la ruta 13 de comunicación. Por ejemplo, especialmente en un caso en el que la ruta 13 de comunicación es un enlace terrestre, en un sistema OFDM (multiplexación por división de frecuencia ortogonal), la potencia de un símbolo específico puede caer a cero (o puede ser borrado) según el retraso de un eco (que es una ruta distinta a la ruta principal) en un entorno multi-ruta donde una relación D/U (Desired to Undesired Ratio, relación deseada a no deseada) es de 0 dB (es decir, la potencia del eco como la potencia no deseada es igual a la potencia de la ruta principal como la potencia deseada).

Además, si la relación D/U es 0 dB, las potencias de todos los símbolos OFDM en un punto específico en el tiempo pueden caer también a cero (o borrarse) debido a una frecuencia Doppler (dopper) en una fluctuación (que es una ruta de comunicación a la que se añade un eco con una frecuencia Doppler aplicada y con un retraso de 0).

Además, pueden producirse errores de tipo ráfaga debido a una potencia inestable del dispositivo 12 de recepción o a condiciones de cableado no deseadas desde un receptor (no ilustrado) que recibe una señal desde el dispositivo 11 de transmisión, tal como una antena, en el lado del dispositivo 12 de recepción al dispositivo 12 de recepción.

En el procedimiento de decodificación de código LDPC, por otra parte, tal como se ha descrito anteriormente con referencia a la Fig. 5, el cálculo de nodo variable de la Expresión (1), que implica la adición de (los valores de recepción u_{oi} de) los bits de código del código LDPC, se realiza en las columnas respectivas de la matriz H de comprobación de paridad, es decir, los nodos variables correspondientes a los bits de código del código LDPC. De esta manera, un error que se produce en un bit de código usado para el cálculo del nodo variable reduciría la precisión de un mensaje determinado.

Además, en el procedimiento de decodificación del código LDPC, el cálculo del nodo de comprobación de la Expresión (7) se realiza en un nodo de comprobación, mediante el uso de mensajes determinados en los nodos variables conectados al nodo de comprobación. De esta manera, un aumento en el número de nodos de comprobación para los cuales se producen errores (incluidos borrados) simultáneamente en (los bits de código de un código LDPC correspondiente a) una pluralidad de nodos variables conectados reduciría el rendimiento de la decodificación.

Más específicamente, por ejemplo, si dos o más de los nodos variables conectados a un nodo de comprobación se convierten simultáneamente en borrados, el nodo de comprobación devuelve un mensaje con la probabilidad del valor 0 igual a la probabilidad del valor 1 para todos los nodos variables. En este caso, el nodo de comprobación que devuelve el mensaje con probabilidades iguales no contribuye al procesamiento de decodificación simple (un conjunto de cálculo de nodo variable y cálculo de nodo de comprobación), resultando en un mayor número de repeticiones de procesamiento de decodificación. De esta manera, el rendimiento de la decodificación puede deteriorarse y, además, puede aumentar el consumo de energía del dispositivo 12 de recepción que decodifica el código LDPC.

Para abordar los inconvenientes descritos anteriormente, el sistema de transmisión ilustrado en la Fig. 7 es capaz de aumentar la resistencia a los errores o borrados de tipo ráfaga mientras mantiene el rendimiento en una ruta de comunicación AWGN.

[Configuración ejemplar del dispositivo 11 de transmisión]

La Fig. 8 es un diagrama de bloques que ilustra una configuración ejemplar del dispositivo 11 de transmisión ilustrado en la Fig. 7.

En el dispositivo 11 de transmisión, una o más secuencias de entrada como datos objetivo se suministran a un elemento 111 de adaptación de modo/multiplexor.

El elemento 111 de adaptación de modo/multiplexor realiza el procesamiento, tal como la selección de modo y el multiplexado de las una o más secuencias de entrada suministradas, si es necesario, y suministra los datos resultantes a un elemento 112 rellenedor ("padder").

El elemento 112 rellenedor rellena con ceros (o añade nulos) a los datos suministrados desde el elemento 111 de adaptación de modo/multiplexor, según sea necesario, y suministra los datos resultantes a un aleatorizador 113 BB.

El aleatorizador 113 BB aplica una aleatorización BB (Base-Band Scrambling, aleatorización de banda base) a los datos suministrados desde el elemento 112 rellenedor, y suministra los datos resultantes a un codificador 114 BCH.

El codificador 114 BCH aplica una codificación BCH a los datos suministrados desde el aleatorizador 113 BB, y suministra los datos resultantes a un codificador 115 LDPC como datos LDPC objetivo para ser sometidos a codificación LDPC.

5 El codificador 115 LDPC aplica una codificación LDPC a los datos LDPC objetivo suministrados desde el codificador 114 BCH según una matriz de comprobación de paridad de un código LDPC, en el que una matriz de paridad que es una parte de los bits de paridad del código LDPC tiene una estructura escalonada, para obtener un código LDPC que tiene bits de información correspondientes a los datos LDPC objetivo. El codificador 115 LDPC emite el código LDPC.

10 Más específicamente, el codificador 115 LDPC realiza una codificación LDPC para codificar los datos LDPC objetivo, por ejemplo, a un código LDPC definido en un estándar determinado, tal como DVB-S.2, DVB-T.2 o DVB-C.2 (correspondiente a una matriz de comprobación de paridad) o un código LDPC predeterminado (correspondiente a una matriz de comprobación de paridad), y emite el código LDPC resultante.

15 Aquí, un código LDPC definido en el estándar DVB-S.2, DVB-T.2 o DVB-C.2 es un código IRA (Irregular Repeat Accumulate, acumulación irregular de repetición) y una matriz de paridad en una matriz de comprobación de paridad del código LDPC Tiene una estructura escalonada. A continuación, se describirán la matriz de paridad y la estructura escalonada. Un ejemplo del código IRA se describe, por ejemplo, en " Irregular Repeat-Accumulate Codes," H. Jin, A. Khandekar, y R. J. McEliece, en Proceedings of 2nd International Symposium on Turbo Codes and Related Topics, págs. 1-8, Sept. de 2000.

El código LDPC emitido desde el codificador 115 LDPC es suministrado a un intercalador 116 de bits.

20 El intercalador 116 de bits realiza un intercalado de bits, descrito a continuación, en el código LDPC suministrado desde el codificador 115 LDPC, y suministra el código LDPC que ha sido sometido a intercalado de bits a un codificador 117 QAM.

El codificador 117 QAM mapea el código LDPC suministrado desde el intercalador 116 de bits a los puntos de constelación, cada uno de los cuales representa un símbolo de modulación ortogonal en unidades de uno o más bits de código del código LDPC (o en unidades de símbolos), y realiza una modulación ortogonal (modulación multi-nivel).

25 Más específicamente, el codificador 117 QAM mapea el código LDPC suministrado desde el intercalador 116 de bits a los puntos de constelación definidos por el esquema de modulación en el que se basa la modulación ortogonal del código LDPC, en un plano IQ (constelación IQ) definido por un eje I que representa una componente I que está en la misma fase que la de la portadora y un eje Q que representa una componente Q ortogonal a la portadora, y realiza una modulación ortogonal.

30 Aquí, los ejemplos del esquema de modulación en el que se basa la modulación ortogonal realizada por el codificador 117 QAM incluyen esquemas de modulación definidos en los estándares DVB-S.2, DVB-T.2, DVB-C.2 y estándares similares, y otros esquemas de modulación, cuyos ejemplos incluyen BPSK (Binary Phase Shift Keying, modulación por desplazamiento de fase binaria), QPSK (Quadrature Phase Shift Keying, modulación por desplazamiento de fase en cuadratura), 16APSK (Amplitude Phase-Shift Keying, modulación por desplazamiento de fase en amplitud), 32APSK, 35 16QAM (Quadrature Amplitude Modulation, modulación de amplitud en cuadratura), 64QAM, 256QAM, 1024QAM, 4096QAM y 4PAM (Pulse Amplitude Modulation, modulación de amplitud de pulso). El establecimiento de cuál de los esquemas de modulación usa el codificador 117 QAM para realizar la modulación ortogonal se realiza de antemano, por ejemplo, mediante una operación o similar por parte de un operador del dispositivo 11 de transmisión.

40 Los datos obtenidos por el procesamiento del codificador 117 QAM (es decir, los símbolos asignados a los puntos de la constelación) son suministrados a un intercalador 118 de tiempo.

El intercalador 118 de tiempo realiza un intercalado de tiempo (que es un intercalado en el dominio del tiempo) sobre los datos (es decir, símbolos) suministrados desde el codificador 117 QAM en unidades de símbolos, y suministra los datos resultantes a un codificador 119 MISO/MIMO.

45 El codificador 119 MISO/MIMO realiza una codificación espacio-temporal sobre los datos (es decir, los símbolos) suministrados desde el intercalador 118 de tiempo, y suministra los datos resultantes a un intercalador 120 de frecuencia.

El intercalador 120 de frecuencia realiza el intercalado de frecuencia (que es un intercalado en el dominio de la frecuencia) sobre los datos (es decir, símbolos) suministrados desde el codificador 119 MISO/MIMO en unidades de símbolos, y suministra los datos resultantes a una unidad 131 generadora de tramas y de asignación de recursos.

50 Por otra parte, los datos de control (señalización) para el control de la transmisión, tales como la señalización BB (señalización de banda base) (cabecera BB), son suministrados a un codificador 121 BCH.

El codificador 121 BCH realiza una codificación BCH sobre los datos de control suministrados al mismo de una manera similar a la del codificador 114 BCH, y suministra los datos resultantes a un codificador 122 LDPC.

5 El codificador 122 LDPC realiza una codificación LDPC sobre los datos suministrados desde el codificador 121 BCH, como los datos LDPC objetivo, de una manera similar a la del codificador 115 LDPC, y suministra el código LDPC resultante a un codificador 123 QAM.

10 El codificador 123 QAM mapea el código LDPC suministrado desde el codificador 122 LDPC a puntos de constelación, cada uno de los cuales representa un símbolo de modulación ortogonal, en unidades de uno o más bits de código del código LDPC (es decir, en unidades de símbolos) de una manera similar a la del codificador 117 QAM, y realiza una modulación ortogonal. El codificador 123 QAM suministra los datos resultantes (es decir, los símbolos) a un intercalador 124 de frecuencia.

El intercalador 124 de frecuencia realiza un intercalado de frecuencia sobre los datos (es decir, los símbolos) suministrados desde el codificador 123 QAM en unidades de símbolos de una manera similar a la del intercalador 120 de frecuencia, y suministra los datos resultantes a la unidad 131 generadora de tramas y de asignación de recursos.

15 La unidad 131 generadora de tramas y de asignación de recursos añade símbolos piloto en las posiciones deseadas de los datos (es decir, símbolos) suministrados desde los intercaladores de frecuencia 120 y 124, y configura una trama que incluye un cierto número de símbolos (por ejemplo, una trama PL (Physical Layer, capa física), una trama T2, una trama C2, etc.) a partir de los datos resultantes (es decir, los símbolos). La unidad 131 generadora de tramas y de asignación de recursos suministra la trama a una unidad 132 de generación OFDM.

20 La unidad 132 de generación OFDM genera una señal OFDM a partir de la trama suministrada desde la unidad 131 generadora de tramas y de asignación de recursos, correspondiente a la trama, y transmite la señal OFDM a través de la ruta 13 de comunicación (Fig. 7).

Cabe señalar que el dispositivo 11 de transmisión puede estar configurado de manera que no incluya algunos de los bloques ilustrados en la Fig. 8, tales como el intercalador 118 de tiempo, el codificador 119 MISO/MIMO, el intercalador 120 de frecuencia y el intercalador 124 de frecuencia.

25 La Fig. 9 ilustra una configuración ejemplar del intercalador 116 de bits ilustrado en la Fig. 8.

El intercalador 116 de bits es un dispositivo de procesamiento de datos para intercalar datos, e incluye un intercalador 23 de paridad, un intercalador 24 de torsión de columna y un demultiplexor 25 (DEMUX). Cabe señalar que el intercalador 116 de bits puede estar configurado de manera que no incluya uno o ambos de entre el intercalador 23 de paridad y el intercalador 24 de torsión de columna.

30 El intercalador 23 de paridad realiza el intercalado de paridad sobre el código LDPC suministrado desde el codificador 115 LDPC para intercalar bits de paridad del código LDPC a diferentes posiciones de bit de paridad, y suministra el código LDPC que ha sido sometido al intercalado de paridad al intercalador 24 de torsión de columna.

35 El intercalador 24 de torsión de columna realiza el intercalado de torsión de columna sobre el código LDPC suministrado desde el intercalador 23 de paridad, y suministra el código LDPC que ha sido sometido a intercalado de torsión de columna al demultiplexor 25.

Más específicamente, el código LDPC es transmitido después de que uno o más bits de código del código LDPC son asignados a un punto de constelación que representa un símbolo de modulación ortogonal usando el codificador 117 QAM ilustrado en la Fig. 8.

40 El intercalador 24 de torsión de columna realiza un procesamiento de reordenación, por ejemplo, el intercalado de torsión de columna, descrito a continuación, para reordenar los bits de código del código LDPC suministrado desde el intercalador 23 de paridad de manera que una pluralidad de bits de código del código LDPC correspondientes a 1s en una fila arbitraria de la matriz de comprobación de paridad usada en el codificador 115 LDPC no sean incluidos en un símbolo.

45 El demultiplexor 25 realiza un procesamiento de permutación sobre el código LDPC suministrado desde el intercalador 24 de torsión de columna para permutar las posiciones de dos o más bits de código del código LDPC a ser mapeados a símbolos, obteniendo de esta manera un código LDPC con mayor resistencia a AWGN. A continuación, el demultiplexor 25 suministra los dos o más bits de código del código LDPC, que se obtienen mediante el procesamiento de permutación, al codificador 117 QAM (Fig. 8) como un símbolo.

50 A continuación, la Fig. 10 ilustra la matriz H de comprobación de paridad que usa el codificador 115 LDPC ilustrado en la Fig. 8 para la codificación LDPC.

5 La matriz H de comprobación de paridad tiene una estructura LDGM (Low-Density Generation Matrix, matriz de generación de baja densidad), y puede ser expresada mediante la ecuación $H = [H_A|H_T]$ (que es una matriz cuyos elementos de la izquierda son los elementos de una matriz H_A de información y los elementos de la derecha son los elementos de una matriz H_T de paridad), donde la matriz H_A de información es una parte correspondiente a los bits de información y la matriz H_T de paridad es una parte correspondiente a los bits de paridad entre los bits de código del código LDPC.

10 Aquí, el número de bits de información y el número de bits de paridad entre los bits de código de un código LDPC (es decir, una palabra de código) están representados mediante una longitud K de información y una longitud M de paridad, respectivamente. Además, el número de bits de código de un código LDPC está representado mediante una longitud N (= K + M) de código.

La longitud K de información y la longitud M de paridad de un código LDPC que tiene una cierta longitud N de código se determinan según la tasa de codificación. Además, la matriz H de comprobación de paridad es una matriz que tiene M filas y N columnas. De esta manera, la matriz H_A de información es una matriz M x K, y la matriz H_T de paridad es una matriz M x M.

15 La Fig. 11 ilustra una matriz H_T de paridad de una matriz H de comprobación de paridad de un código LDPC definido en los estándares DVB-S.2, DVB-T.2 y DVB-C.2.

20 Tal como se ilustra en la Fig. 11, la matriz H_T de paridad de la matriz H de comprobación de paridad del código LDPC definido en DVB-T.2 y en estándares similares es una matriz que tiene una estructura escalonada (es decir, una matriz bidiagonal inferior) en la que los elementos 1 están dispuestos de manera escalonada. La matriz H_T de paridad tiene una ponderación de fila de 1 para la primera fila y una ponderación de fila de 2 para todas las filas restantes. La matriz H_T de paridad tiene además una ponderación de columna de 1 para la última columna y una ponderación de columna de 2 para todas las columnas restantes.

25 De la manera descrita anteriormente, un código LDPC de una matriz H de comprobación de paridad que incluye una matriz H_T de paridad que tiene una estructura escalonada puede ser generado fácilmente usando la matriz H de comprobación de paridad

Más específicamente, un código LDPC (es decir, una palabra de código) está representado por un vector c de fila, y un vector de columna obtenido transponiendo el vector de fila está representado por c^T . En el vector c de fila, que es el código LDPC, además, una parte de bits de información está representada por un vector A de fila, y una parte de bits de paridad está representada por un vector T de fila.

30 En este caso, el vector c de fila puede ser expresado por la ecuación $c = [A|T]$ (que es un vector de fila cuyos elementos de la izquierda son los elementos de un vector A de fila y los elementos de la derecha son los elementos de un vector T de fila), donde el vector A de fila corresponde a bits de información y el vector T de fila corresponde a bits de paridad.

35 Es necesario que la matriz H de comprobación de paridad y el vector de fila $c = [A|T]$, que sirve como el código LDPC, satisfagan la ecuación $Hc^T = 0$. De esta manera, los valores de los elementos del vector T de fila correspondientes a los bits de paridad en el vector de fila $c = [A|T]$ que satisfacen la ecuación $Hc^T = 0$ pueden ser determinados de manera secuencial (o sucesivamente) estableciendo los elementos en las filas respectivas del vector Hc^T de columna en la ecuación $Hc^T = 0$ a cero en orden, empezando desde el elemento en la primera fila, en un caso en el que la matriz H_T de paridad en la matriz H de comprobación de paridad = $[H_A|H_T]$ tiene la estructura escalonada ilustrada en la Fig. 11.

40 La Fig. 12 es un diagrama que muestra una matriz H de comprobación de paridad de un código LDPC definido en el estándar DVB-T.2 y en estándares similares.

45 La matriz H de comprobación de paridad del código LDPC definido en el estándar DVB-T.2 y en estándares similares tiene una ponderación X de columna para KX columnas, empezando con la primera columna, una ponderación de columna de 3 para las columnas K3 posteriores, una ponderación de columna de 2 para las (M-1) columnas posteriores y una ponderación de columna de 1 para la última columna.

Aquí, la suma de columnas dada por $KX+K3+M-1+1$ es igual a la longitud N de código.

La Fig. 13 es un diagrama que ilustra los números de columnas KX, K3 y M y la ponderación X de columna para las tasas r de codificación respectivas de los códigos LDPC definidos en el estándar DVB-T.2 y en estándares similares.

50 En el estándar DVB-T.2 y en estándares similares, se definen códigos LDPC que tienen longitudes N de código de 64.800 bits y 16.200 bits.

Además, se definen 11 tasas de codificación (tasas nominales), 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10 para

un código LDPC con una longitud N de código de 64.800 bits y se definen 10 tasas de codificación, 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9 para un código LDPC con una longitud N de código de 16.200 bits.

En adelante, se hará referencia también a la longitud N de código de 64.800 bits como "64k bits", y se hará referencia también a la longitud N de código de 16.200 bits como "16k bits".

5 Está bien establecido que un bit de código de un código LDPC correspondiente a una columna con una mayor ponderación de columna en una matriz H de comprobación de paridad tiene una tasa de errores más baja.

10 En una matriz H de comprobación de paridad definida en el estándar DVB-T.2 y en estándares similares ilustrados en las Figs. 12 y 13, la ponderación de la columna tiende a aumentar a medida que disminuye el número ordinal de las columnas de la matriz H de comprobación de paridad (es decir, a medida que la columna se acerca al extremo izquierdo de la matriz H de comprobación de paridad). Por consiguiente, la robustez frente a los errores (o la resistencia a los errores) tiende a aumentar a medida que disminuye el número ordinal de los bits de código de un código LDPC correspondiente a la matriz H de comprobación de paridad (es decir, el primer bit de código tiende a ser el más robusto frente a los errores), y tiende a disminuir a medida que aumenta el número ordinal de los bits de código (es decir, el último bit de código tiende a ser el menos robusto frente a los errores).

15 A continuación, la Fig. 14 ilustra disposiciones ejemplares de (puntos de constelación correspondientes a) 16 símbolos en un plano IQ en un caso en el que el codificador 117 QAM ilustrado en la Fig. 8 realiza una operación 16QAM.

Más específicamente, la parte A de la Fig. 14 ilustra los símbolos de DVB-T.2 16QAM.

20 En 16QAM, un símbolo se representa como 4 bits y se proporcionan 16 ($= 2^4$) símbolos. Además, los 16 símbolos están dispuestos en un cuadrado de 4 símbolos en la dirección I y 4 símbolos en la dirección Q, centrados en el origen del plano IQ.

25 Suponiendo ahora que el (i+1)-ésimo del bit desde el bit más significativo de una secuencia de bits representada por un símbolo está representado por el bit y_i , entonces 4 bits representados por un símbolo 16QAM pueden ser representados por los bits y_0, y_1, y_2 e y_3 en orden, empezando desde el bit más significativo. En un caso en el que el esquema de modulación es 16QAM, 4 bits de código de un código LDPC están (simbolizados) a un símbolo (valores de símbolo) de 4 bits y_0 a y_3 .

La Parte B de la Fig. 14 ilustra los límites de bit de los 4 bits (en adelante, denominados también "bits de símbolo") y_0 a y_3 representados por un símbolo 16QAM.

Aquí, un límite de bit de los bits y_i de símbolo (en la Fig. 14, $i = 0, 1, 2, 3$) es un límite entre un símbolo que tiene un bit y_i de símbolo de 0 y un símbolo que tiene un bit y_i de símbolo de 1.

30 Tal como se ilustra en la parte B de la Fig. 14, para el bit y_0 de símbolo más significativo de entre los 4 bits y_0 a y_3 de símbolo representados por el símbolo 16QAM, el único límite de bit se extiende a lo largo del eje Q en el plano IQ. Para el segundo bit y_1 de símbolo (el segundo bit más significativo), el único límite de bit se extiende a lo largo del eje I en el plano IQ.

35 Además, se proporcionan dos límites de bit para el tercer bit y_2 de símbolo, uno entre las columnas primera y segunda del cuadrado 4×4 de símbolos, contando desde la izquierda, y el otro entre las columnas tercera y cuarta.

Además, se proporcionan dos límites de bit para el cuarto bit y_3 de símbolo, uno entre las filas primera y segunda del cuadrado 4×4 de símbolos, contando desde la parte superior, y el otro entre las filas tercera y cuarta.

40 Los bits y_i de símbolos representados por símbolos son menos erróneos (es decir, menor probabilidad de error) a medida que aumenta el número de símbolos alejados desde un límite de bit, y son más erróneos (es decir, mayor probabilidad de error) a medida que aumenta el número de símbolos cercanos a un límite de bit.

Ahora, se supone que un bit menos erróneo (robusto frente a errores) se denomina "bit fuerte" y un bit más erróneo (sensible a errores) se denomina "bit débil". En los 4 bits y_0 a y_3 de símbolo del símbolo 16QAM, el bit y_0 de símbolo más significativo y el segundo bit y_1 de símbolo son bits fuertes, y el tercer bit y_2 de símbolo y el cuarto bit y_3 de símbolo son bits débiles.

45 Las Figs. 15 a 17 ilustran disposiciones ejemplares de (puntos de constelación correspondientes a) 64 símbolos en un plano IQ en un caso en el que el codificador 117 QAM ilustrado en la Fig. 8 realiza una operación 64QAM, es decir, símbolos de DVB-T.2 16QAM.

En 64QAM, un símbolo representa 6 bits y se proporcionan 64 ($= 2^6$) símbolos. Además, los 64 símbolos están dispuestos en un cuadrado de 8 símbolos en la dirección I y 8 símbolos en la dirección Q, centrados en el origen del

plano IQ.

Los bits de símbolo de un símbolo 64QAM pueden ser representados por los bits y_0 , y_1 , y_2 , y_3 , y_4 e y_5 en orden, empezando desde el bit más significativo. En un caso en el que el esquema de modulación es 64QAM, 6 bits de código de un código LDPC se mapean a los bits de símbolo y_0 a y_5 de un símbolo de 6 bits.

5 Aquí, la Fig. 15 ilustra los límites de bit del bit y_0 de símbolo más significativo y el segundo bit y_1 de símbolo de entre los bits y_0 y y_5 de símbolo del símbolo 64QAM, la Fig. 16 ilustra los límites de bits del tercer bit y_2 de símbolo y el cuarto bit y_3 de símbolo, y la Fig. 17 ilustra los límites de bit del quinto bit y_4 de símbolo y el sexto bit y_5 de símbolo.

10 Tal como se ilustra en la Fig. 15, se proporciona un límite de bit para cada uno entre el bit y_0 de símbolo más significativo y el segundo bit y_1 de símbolo. Además, tal como se ilustra en la Fig. 16, se proporcionan dos límites de bit para cada uno de entre el tercer bit y_2 de símbolo y el cuarto bit y_3 de símbolo. Tal como se ilustra en la Fig. 17, se proporcionan cuatro límites de bit para cada uno de entre el quinto bit y_4 de símbolo y el sexto bit y_5 de símbolo.

Por consiguiente, entre los bits y_0 y y_5 de símbolo del símbolo 64QAM, el bit y_0 de símbolo más significativo y el segundo bit y_1 de símbolo son los bits más fuertes, y el tercer bit y_2 de símbolo y el cuarto bit y_3 de símbolo son los segundos bits más fuertes. Entonces, el quinto bit y_4 de símbolo y el sexto bit y_5 de símbolo son bits débiles.

15 A partir de la Fig. 14 y, además, a partir de las Figs. 15 a 17, puede encontrarse que los bits de símbolo de un símbolo de modulación ortogonal tienen una tendencia a que los bits más significativos sean bits más fuertes y a que los bits menos significativos sean bits más débiles.

20 La Fig. 18 es un diagrama que ilustra una disposición ejemplar de (puntos de constelación correspondientes a) 4 símbolos en un plano IQ en un caso en el que se usa un enlace satelital como la ruta 13 de comunicación (Fig. 7) y el codificador 117 QAM ilustrado en la Fig. 8 realiza una operación QPSK, es decir, un diagrama de, por ejemplo, símbolos DVB-S.2 QPSK.

En DVB-S.2 QPSK, cada símbolo es mapeado a uno de entre cuatro puntos de constelación en la circunferencia de un círculo que tiene un radio p de 1, centrado en el origen del plano IQ.

25 La Fig. 19 es un diagrama que ilustra una disposición ejemplar de 8 símbolos en un plano IQ en un caso en el que se usa un enlace satelital como la ruta 13 de comunicación (Fig. 7) y el codificador 117 QAM ilustrado en la Fig. 8 realiza una operación 8PSK, es decir, un diagrama de, por ejemplo, símbolos DVB-S.2 8PSK.

En DVB-S.2 8PSK, cada símbolo es mapeado a uno de entre ocho puntos de constelación en la circunferencia de un círculo que tiene un radio p de 1, centrado en el origen del plano IQ.

30 La Fig. 20 incluye diagramas que ilustran una disposición ejemplar de 16 símbolos en un plano IQ en un caso en el que se usa un enlace satelital como la ruta 13 de comunicación (Fig. 7) y el codificador 117 QAM ilustrado en la Fig. 8 realiza una operación 16APSK, es decir, diagramas de, por ejemplo, símbolos DVB-S.2 16APSK.

La parte A de la Fig. 20 ilustra una disposición de puntos de constelación de DVB-S.2 16APSK.

35 En DVB-S.2 16APSK, cada símbolo es mapeado a uno de entre 16 puntos de constelación en total, es decir, 4 puntos de constelación en la circunferencia de un círculo que tiene un radio R_1 y 12 puntos de constelación en la circunferencia de un círculo que tiene un radio R_2 ($> R_1$), centrado en el origen del plano IQ.

La parte B de la Fig. 20 ilustra la relación $\gamma = R_2/R_1$, que es la relación de los radios R_2 y R_1 en la disposición de los puntos de constelación de DVB-S.2 16APSK.

En la disposición de los puntos de constelación de DVB-S.2 16APSK, la relación γ de los radios R_2 y R_1 difiere según la tasa de codificación.

40 La Fig. 21 incluye diagramas que ilustran una disposición ejemplar de 32 símbolos en un plano IQ en un caso en el que se usa un enlace satelital como la ruta 13 de comunicación (Fig. 7) y el codificador 117 QAM ilustrado en la Fig. 8 realiza una operación 32APSK, es decir, diagramas de, por ejemplo, símbolos DVB-S.2 32APSK.

La parte A de la Fig. 21 ilustra una disposición de puntos de constelación de DVB-S.2 32APSK.

45 En DVB-S.2 32APSK, cada símbolo es mapeado a uno de entre 32 puntos de constelación en total, es decir, 4 puntos de constelación en la circunferencia de un círculo que tiene un radio R_1 , 12 puntos de constelación en la circunferencia de un círculo que tiene un radio R_2 ($> R_1$), y 16 puntos de constelación en la circunferencia de un círculo que tiene un radio R_3 ($> R_2$), centrado en el origen del plano IQ.

La parte B de la Fig. 21 ilustra la relación $\gamma_1 = R_2/R_1$, que es la relación de los radios R_2 y R_1 , y la relación $\gamma_2 = R_3/R_1$,

que es la relación de los radios R_3 y R_1 , en la disposición de puntos de constelación de DVB-S.2 32APSK.

En la disposición de los puntos de constelación de DVB-S.2 32APSK, la relación γ_1 de los radios R_2 y R_1 y la relación γ_2 de los radios R_3 y R_1 difieren según la tasa de codificación.

5 Los bits de símbolo de los símbolos de los tipos de modulación ortogonal DVB-S.2 respectivos (QPSK, 8PSK, 16APSK y 32APSK) que tienen las disposiciones de los puntos de constelación ilustradas en las Figs. 18 a 21 incluyen también bits fuertes y bits débiles de manera similar a los ilustrados en las Figs. 14 a 17.

Aquí, tal como se ha descrito anteriormente con referencia a las Figs. 12 y 13, el código LDPC emitido desde el codificador 115 LDPC (Fig. 8) incluye bits de código robustos frente a los errores y bits de código sensibles a los errores.

10 Además, tal como se ha descrito anteriormente con referencia a las Figs. 14 a 21, los bits de símbolo de un símbolo de modulación ortogonal realizado por el codificador 117 QAM incluyen bits fuertes y bits débiles.

De esta manera, la asignación de los bits de código de un código LDPC que son sensibles a los errores a los bits de símbolo de un símbolo de modulación ortogonal que son sensibles a los errores reduciría la resistencia global frente a los errores.

15 Por consiguiente, se ha propuesto un intercalador que está configurado para intercalar bits de código de un código LDPC de manera que un bit de código del código LDPC que es sensible a los errores sea asignado a un bit fuerte (bit de símbolo) de un símbolo de modulación ortogonal.

El demultiplexor 25 ilustrado en la Fig. 9 es capaz de realizar el procesamiento del intercalador descrito anteriormente.

La Fig. 22 incluye diagramas que representan el procesamiento del demultiplexor 25 ilustrado en la Fig. 9.

20 Más específicamente, la parte A de la Fig. 22 ilustra una configuración funcional ejemplar del demultiplexor 25.

El demultiplexor 25 incluye una memoria 31 y una unidad 32 de permutación.

Se suministra un código LDPC a la memoria 31 desde el codificador 115 LDPC.

25 La memoria 31 tiene una capacidad de almacenamiento para almacenar mb bits en su dirección de fila (horizontal) y $N/(mb)$ bits en su dirección de columna (vertical). Los bits de código del código LDPC suministrado a la memoria 31 se escriben en la dirección de la columna y se leen en la dirección de la fila. Los bits de código leídos son suministrados a la unidad 32 de permutación.

Aquí, tal como se ha descrito anteriormente, N (= longitud K de información + longitud M de paridad) representa la longitud de código del código LDPC.

30 Además, m representa el número de bits de código del código LDPC que son mapeados a un símbolo, y b es un cierto entero positivo y denota un múltiplo usado para obtener múltiplos enteros de m . Tal como se ha descrito anteriormente, el demultiplexor 25 mapea (o simboliza) los bits de código de un código LDPC a un símbolo, donde el b múltiplo representa el número de símbolos obtenidos por el demultiplexor 25 mediante una simbolización única.

35 La parte A de la Fig. 22 ilustra una configuración ejemplar del demultiplexor 25 en un caso en el que el esquema de modulación es 64QAM, en el que cada símbolo es mapeado a uno de entre 64 puntos de constelación, o cualquier otro esquema de modulación adecuado. Por lo tanto, el número m de bits de código de un código LDPC a ser mapeado a un símbolo es 6.

Además, en la parte A de la Fig. 22, el múltiplo b es 1. Por lo tanto, la memoria 31 tiene una capacidad de almacenamiento de $N/(6 \times 1)$ bits en la dirección de la columna y (6×1) bits en la dirección de la fila.

40 Aquí, en adelante, un área de almacenamiento de la memoria 31, que tiene un bit en la dirección de la fila y que se extiende en la dirección de la columna, se denomina "columna" según sea apropiado. En la parte A de la Fig. 22, la memoria 31 incluye 6 (= 6×1) columnas.

El demultiplexor 25 escribe los bits de código del código LDPC en la memoria 31 (en la dirección de la columna) desde la parte superior a la parte inferior de cada columna de la memoria 31, donde la operación de escritura se mueve hacia la derecha, empezando desde la columna más a la izquierda.

45 Además, cuando se completa la escritura de bits de código hasta la parte inferior de la columna más a la derecha, los bits de código se leen desde la memoria 31 en la dirección de la fila, empezando desde la primera fila de todas las columnas de la memoria 31, en unidades de 6 bits (es decir, mb bits). Los bits de código leídos son suministrados a la

unidad 32 de permutación.

La unidad 32 de permutación realiza un procesamiento de permutación para permutar las posiciones de los 6 bits de código suministrados desde la memoria 31, y genera los 6 bits resultantes como 6 bits $y_0, y_1, y_2, y_3, y_4, y_5$ de símbolo que representan un símbolo 64QAM.

5 Más específicamente, los m bits de código (aquí, 6) son leídos desde la memoria 31 en la dirección de la fila. Si el i -ésimo bit desde el bit más significativo de los m bits de código leídos desde la memoria 31 está representado por el bit b_i (donde $i = 0, 1, \dots, m-1$), los 6 bits de código leídos desde la memoria 31 en la dirección de la fila pueden ser representados por los bits b_0, b_1, b_2, b_3, b_4 y b_5 en orden, empezando desde el bit más significativo.

10 En términos de las ponderaciones de columna descritos con referencia a las Figs. 12 y 13, los bits de código en la dirección del bit b_0 son bits de código robustos frente a los errores, y los bits de código en la dirección del bit b_5 son bits de código sensibles a los errores.

15 La unidad 32 de permutación está configurada para realizar el procesamiento de permutación para permutar las posiciones de los 6 bits de código b_0 a b_5 desde la memoria 31, de manera que los bits de código sensibles a los errores de entre los 6 bits de código b_0 a b_5 leídos desde la memoria 31 puedan ser asignados a bits fuertes de entre los bits y_0 a y_5 de símbolo que representan un símbolo 64QAM.

Aquí, muchas compañías han propuesto diversos procedimientos para permutar los 6 bits de código b_0 a b_5 leídos desde la memoria 31 y para asignarlos a los 6 bits de símbolo y_0 a y_5 que representan un símbolo 64QAM.

La parte B de la Fig. 22 ilustra un primer procedimiento de permutación, la parte C de la Fig. 22 ilustra un segundo procedimiento de permutación y la parte D de la Fig. 22 ilustra un tercer procedimiento de permutación.

20 En la parte B de la Fig. 22 a la parte D de la Fig. 22 (también en la Fig. 23, descrita a continuación), una línea que conecta los bits b_i e y_j indica que el bit b_i de código es asignado al bit y_j de símbolo del símbolo (es decir, la posición del bit b_i de código es reemplazada con la del bit y_j de símbolo).

25 En el primer procedimiento de permutación ilustrado en la parte B de la Fig. 22, se propone el uso de uno de entre tres tipos de permutación. En el segundo procedimiento de permutación ilustrado en la parte C de la Fig. 22, se propone el uso de uno de entre dos tipos de permutación.

En el tercer procedimiento de permutación ilustrado en la parte D de la Fig. 22, se proponen la selección secuencial y el uso de seis tipos de permutación.

30 La Fig. 23 ilustra una configuración ejemplar del demultiplexor 25 en un caso en el que el esquema de modulación es 64QAM en el que cada símbolo es mapeado a uno de entre 64 puntos de constelación, o cualquier otro esquema de modulación adecuado (y, por lo tanto, el número m de bits de código de un código LDPC a ser asignados a un símbolo es 6, de manera similar al caso en la Fig. 22) y en un caso en el que el múltiplo b es 2, e ilustra también un cuarto procedimiento de permutación.

En un caso en el que el múltiplo b es 2, la memoria 31 tiene una capacidad de almacenamiento de $N/(6 \times 2)$ bits en la dirección de columna y de (6×2) bits en la dirección de la fila, e incluye 12 ($= 6 \times 2$) columnas.

35 La parte A de la Fig. 23 ilustra el orden en el que los bits de código de un código LDPC se escriben en la memoria 31.

Tal como se ha descrito con referencia a la Fig. 22, el demultiplexor 25 escribe los bits de código del código LDPC a la memoria 31 (en la dirección de columna) desde la parte superior a la parte inferior de cada columna de la memoria 31, donde la operación de escritura se mueve hacia la derecha, empezando desde la columna más a la izquierda.

40 Además, cuando se completa la escritura de los bits de código hasta la parte inferior de la columna más a la derecha, los bits de código son leídos desde la memoria 31 en la dirección de la fila, empezando desde la primera fila de todas las columnas de la memoria 31, en unidades de 12 bits (es decir, m bits). Los bits de código leídos son suministrados a la unidad 32 de permutación.

45 La unidad 32 de permutación realiza un procesamiento de permutación para permutar las posiciones de los 12 bits de código suministrados desde la memoria 31, usando el cuarto procedimiento de permutación, y emite los 12 bits resultantes como 12 bits que representan dos símbolos de 64QAM (es decir, b símbolos), es decir, 6 bits y_0, y_1, y_2, y_3, y_4 y y_5 de símbolo que representan un símbolo 64QAM y 6 bits y_0, y_1, y_2, y_3, y_4 e y_5 de símbolo que representan el símbolo subsiguiente.

Aquí, la parte B de la Fig. 23 ilustra un cuarto procedimiento de permutación que es un procedimiento para realizar el procesamiento de permutación por parte de la unidad 32 de permutación ilustrada en la parte A de la Fig. 23.

- 5 Cabe señalar que, en el procesamiento de permutación, en un caso en el que el múltiplo b es 2 (también en un caso en el que el múltiplo b es 3 o más), mb bits de código son asignados a mb bits de símbolo de b símbolos consecutivos. En adelante, incluyendo la Fig. 23, el $(i+1)$ -ésimo bit desde el bit más significativo de los mb bits de símbolo de los b símbolos consecutivos es representado mediante el bit (o bit de símbolo) y_i , en aras de la conveniencia de la ilustración.
- El tipo de permutación óptima de los bits de código, que aumenta el rendimiento de la tasa de errores en una ruta de comunicación AWGN, depende de la tasa de codificación o de la longitud de código de un código LDPC, del esquema de modulación, etc.
- [Intercalado de paridad]
- 10 A continuación, el intercalado de paridad realizado por el intercalador 23 de paridad ilustrado en la Fig. 9 se describirá con referencia a las Figs. 24 a 26.
- La Fig. 24 ilustra (parte de) un gráfico de Tanner de una matriz de comprobación de paridad de un código LDPC.
- 15 Tal como se ilustra en la Fig. 24, si errores tales como borrados se producen simultáneamente en múltiples, tal como dos, (bits de código correspondientes a) nodos variables conectados a un nodo de comprobación, el nodo de comprobación devuelve un mensaje con la probabilidad del valor 0 igual a la probabilidad del valor 1 a todos los nodos variables conectados al nodo de comprobación. Por lo tanto, el rendimiento de decodificación se deteriora si una pluralidad de nodos variables conectados al mismo nodo de comprobación se convierten simultáneamente en borrados o similares.
- 20 Mientras, el código LDPC emitido desde el codificador 115 LDPC ilustrado en la Fig. 8, que se define en el estándar DVB-S.2 y en estándares similares, es un código IRA, y una matriz H_T de paridad de la matriz H de comprobación de paridad tiene una estructura escalonada, tal como se ilustra en la Fig. 11.
- La Fig. 25 ilustra una matriz H_T de paridad con una estructura escalonada y un gráfico de Tanner correspondiente a la matriz H_T de paridad.
- 25 Más específicamente, la parte A de la Fig. 25 ilustra una matriz H_T de paridad que tiene una estructura escalonada, y la parte B de la Fig. 25 ilustra un gráfico de Tanner correspondiente a la matriz H_T de paridad ilustrada en la parte A de la Fig. 25.
- En la matriz H_T de paridad, que tiene una estructura escalonada, los elementos 1 son adyacentes en cada fila (excepto la primera fila). De esta manera, en el gráfico de Tanner de la matriz H_T de paridad, dos nodos variables adyacentes correspondientes a dos elementos adyacentes que tienen el valor 1 en la matriz H_T de paridad están conectados al mismo nodo de comprobación.
- 30 Por consiguiente, si se producen errores simultáneamente en los bits de paridad correspondientes a dos nodos variables adyacentes tal como se ha descrito anteriormente debido a errores de tipo ráfaga, borrados, etc., un nodo de comprobación conectado a los dos nodos variables (es decir, nodos variables cuyos mensajes se determinan usando los bits de paridad) correspondientes a los dos bits de paridad erróneos devuelve un mensaje con la probabilidad del valor 0 igual a la probabilidad del valor 1 a los nodos variables conectados al nodo de comprobación. De esta manera, el rendimiento de decodificación se deteriora. A continuación, si la longitud de la ráfaga (que es el número de bits de paridad erróneos consecutivos) aumenta, el número de nodos de comprobación que devuelven el mensaje con probabilidades iguales aumenta, resultando en un deterioro adicional del rendimiento de decodificación.
- 35 Por consiguiente, el intercalador 23 de paridad (Fig. 9) realiza un intercalado de paridad sobre el código LDPC suministrado desde el codificador 115 LDPC para intercalar bits de paridad a diferentes posiciones de bit de paridad con el fin de prevenir el deterioro del rendimiento de decodificación descrito anteriormente.
- La Fig. 26 ilustra una matriz H_T de paridad de una matriz H de comprobación de paridad correspondiente a un código LDPC que ha sido sometido a intercalado de paridad por el intercalador 23 de paridad ilustrado en la Fig. 9.
- 40 Aquí, la matriz H_A de información de la matriz H de comprobación de paridad correspondiente al código LDPC definido en el estándar DVB-S.2 y en estándares similares, que es emitida desde el codificador 115 LDPC, tiene una estructura cíclica.
- 45 La expresión "estructura cíclica" se refiere a una estructura en la que una determinada columna coincide con otra columna desplazada cíclicamente. Los ejemplos de la estructura cíclica incluyen una estructura en la que la posición de "1" en cada fila de cada P columnas corresponde a la posición a la que la posición de la primera columna de entre las P columnas ha sido desplazada cíclicamente en una dirección de columna en un valor proporcional al valor q obtenido al dividir la longitud m de paridad. En adelante, el número P de columnas en la estructura cíclica se denominará
- 50

"número de columnas unidad de la estructura cíclica", según sea apropiado.

5 Tal como se ha descrito con referencia a las Figs. 12 y 13, los ejemplos de los códigos LDPC definidos en el estándar DVB-S.2 y en estándares similares incluyen dos tipos de códigos LDPC que tienen longitudes N de código de 64.800 bits y de 16.200 bits. Para cualquiera de los dos tipos de códigos LDPC, el número P de columnas unidad de la estructura cíclica se define como 360, que es uno de los divisores, excluyendo el 1 y M , de la longitud M de paridad.

10 Además, la longitud M de paridad tiene un valor distinto al número primo representado por la ecuación $M = q \times P = q \times 360$, usando un valor q que es diferente según la tasa de codificación. Por lo tanto, de manera similar al número P de columnas unidad de la estructura cíclica, el valor q es también uno de los divisores, excluyendo el 1 y M , de la longitud M de paridad, y se obtiene dividiendo la longitud M de paridad por el número de columnas P unidad de la estructura cíclica (es decir, la longitud M de paridad es el producto de los divisores P y q de la longitud M de paridad).

Tal como se ha descrito anteriormente, el intercalador 23 de paridad realiza un intercalado de paridad sobre un código LDPC de N bits para intercalar el $(K+qx+y+1)$ -ésimo bit de código de entre los bits de código del código LDPC de N bits a la $(K+Py+x+1)$ -ésima posición del bit de código, donde K denota la longitud de la información, x es un número entero mayor o igual que 0 y menor que P , e y es un número entero mayor o igual que 0 y menor que q .

15 El $(K+qx+y+1)$ -ésimo bit de código y el $(K+Py+x+1)$ -ésimo bit de código son bits de código posicionados después del $(K+1)$ -ésimo bit de código y, por lo tanto, son bits de paridad. Por consiguiente, la posición de un bit de paridad de un código LDPC es desplazada por el intercalado de paridad.

20 En esta operación de intercalado de paridad, (los bits de paridad correspondientes a) los nodos variables conectados al nodo de comprobación están separados entre sí por el número P de columnas de la estructura cíclica, es decir, en el ejemplo ilustrado, 360 bits, previniendo de esta manera la ocurrencia simultánea de errores en una pluralidad de nodos variables conectados al mismo nodo de comprobación para una longitud de ráfaga menor de 360 bits. Por lo tanto, puede mejorarse la resistencia a los errores de tipo ráfaga.

25 Cabe señalar que el código LDPC, que ha sido sometido a un intercalado de paridad de manera que el $(K+qx+y+1)$ -ésimo bit de código es intercalado en la posición del $(K+Py+x+1)$ -ésimo bit de código, es idéntico a un código LDPC de una matriz de comprobación de paridad (en adelante, denominada también "matriz de comprobación de paridad transformada") que se obtiene mediante una permutación de columna para reemplazar la $(K+qx+y+1)$ -ésima columna de la matriz H de comprobación de paridad original con la $(K+Py+x+1)$ -ésima columna.

Además, tal como se ilustra en la Fig. 26, la matriz de paridad de la matriz de comprobación de paridad transformada tiene una estructura pseudo-cíclica cuyo número de columnas unidad es P (en la Fig. 26, 360).

30 La expresión "estructura pseudo-cíclica", tal como se usa en la presente memoria, se refiere a una estructura en la que una parte de una matriz tiene una estructura cíclica. Una matriz de comprobación de paridad transformada producida mediante la realización de una permutación de columnas, correspondiente al intercalado de paridad, sobre una matriz de comprobación de paridad de un código LDPC definido en el estándar DVB-S.2 y en estándares similares tiene una parte de 360 filas y 360 columnas en una parte de esquina derecha de la misma (que corresponde a una matriz de desplazamiento descrita a continuación) en la que solo falta un elemento "1" (es decir, aparece un elemento "0"). En este sentido, esta estructura cíclica no es una estructura cíclica completa, denominada estructura pseudo-cíclica.

35 Cabe señalar que la matriz de comprobación de paridad transformada ilustrada en la Fig. 26 es una matriz obtenida realizando una permutación de filas (permutación de filas), además de la permutación de columnas correspondiente al intercalado de paridad, sobre la matriz H de comprobación de paridad original de manera que la matriz de comprobación de paridad transformada incluya las matrices componentes descritas a continuación.

[Intercalado de torsión de columna]

A continuación, el intercalado de torsión de columna como un procesamiento de reordenación realizado por el intercalador 24 de torsión de columna ilustrado en la Fig. 9 se describirá con referencia a las Figs. 27 a 30.

45 El dispositivo 11 de transmisión ilustrado en la Fig. 8 transmite uno o más bits de código de un código LDPC como un símbolo. Más específicamente, por ejemplo, se usa QPSK como un esquema de modulación para la transmisión de 2 bits de código como un símbolo, y se usa 16APSK o 16QAM como un esquema de modulación para la transmisión de 4 bits de código como un símbolo.

En un caso en el que deben transmitirse 2 bits de código como un símbolo, un error tal como un borrado que ocurre en un símbolo determinado puede causar que todos los bits de código del símbolo sean erróneos (o se borren).

50 Por consiguiente, para reducir la probabilidad de que una pluralidad de (bits de código correspondientes a) nodos variables conectados al mismo nodo de comprobación se conviertan en borrados simultáneamente para mejorar el

rendimiento de la decodificación, es necesario prevenir que los nodos variables correspondientes a los bits de código de un símbolo sean conectados al mismo nodo de comprobación.

5 Por el contrario, en la matriz H de comprobación de paridad del código LDPC definido en el estándar DVB-S.2 y en estándares similares, que es emitido desde el codificador 115 LDPC, tal como se ha descrito anteriormente, la matriz H_A de información tiene una estructura cíclica y la matriz H_T de paridad tiene una estructura escalonada. Además, tal como se describe con referencia a la Fig. 26, en una matriz de comprobación de paridad transformada, que es una matriz de comprobación de paridad de un código LDPC que ha sido sometido a intercalado de paridad, la matriz de paridad tiene también una estructura cíclica (más específicamente, tal como se ha descrito anteriormente, una estructura pseudo-cíclica).

10 La Fig. 27 ilustra una matriz de comprobación de paridad transformada.

Más específicamente, la parte A de la Fig. 27 ilustra una matriz de comprobación de paridad transformada de una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64.800 bits y una tasa (r) de codificación de 3/4.

15 En la matriz de comprobación de paridad transformada ilustrada en la parte A de la Fig. 27, las posiciones de los elementos que tienen el valor 1 se indican mediante puntos (".").

La parte B de la Fig. 27 ilustra el procesamiento que el demultiplexor 25 (Fig. 9) realiza sobre un código LDPC de la matriz de comprobación de paridad transformada ilustrada en la parte A de la Fig. 27, es decir, un código LDPC que ha sido sometido a intercalado de paridad.

20 En la parte B de la Fig. 27, usando un esquema de modulación para mapear cada símbolo a uno de entre 16 puntos de constelación, tal como 16APSK o 16QAM, los bits de código del código LDPC que ha sido sometido a intercalado de paridad se escriben en cuatro columnas de la memoria 31 en el demultiplexor 25 en una dirección de columna.

Los bits de código escritos en las cuatro columnas de la memoria 31 en la dirección de la columna son leídos en una dirección de fila en unidades de 4 bits y son mapeados a un símbolo.

25 En este caso, 4 bits B_0 , B_1 , B_2 y B_3 de código, que deben ser mapeados a un símbolo, pueden ser bits de código correspondientes a 1s en una fila arbitraria de la matriz de comprobación de paridad transformada ilustrada en la parte A de la Fig. 27. En este caso, los nodos variables correspondientes a los bits B_0 , B_1 , B_2 y B_3 de código están conectados al mismo nodo de comprobación.

30 Por consiguiente, en el caso en el que 4 bits B_0 , B_1 , B_2 y B_3 de código de un símbolo son bits de código correspondientes a 1s en una fila arbitraria de la matriz de comprobación de paridad transformada, la ocurrencia de un borrado en el símbolo dificultaría la determinación de un mensaje apropiado para el mismo nodo de comprobación al que están conectados los nodos variables correspondientes a los bits B_0 , B_1 , B_2 y B_3 de código, resultando en un deterioro del rendimiento de la decodificación.

35 También para tasas de codificación distintas de una tasa de codificación de 3/4, una pluralidad de bits de código correspondientes a una pluralidad de nodos variables conectados al mismo nodo de comprobación pueden ser mapeados a un símbolo 16APSK o 16QAM.

Por consiguiente, el intercalador 24 de torsión de columna realiza un intercalado de torsión de columna sobre el código LDPC que ha sido sometido a intercalado de paridad, que ha sido suministrado desde el intercalador 23 de paridad, para intercalar bits de código del código LDPC de manera que una pluralidad de bits de código correspondientes a 1s en una fila arbitraria de la matriz de comprobación de paridad transformada no sean incluidos en un símbolo.

40 La Fig. 28 es un diagrama que representa el intercalado de torsión de columna.

Más específicamente, la Fig. 28 ilustra la memoria 31 (Figs. 22 y 23) del demultiplexor 25.

45 Tal como se ha descrito con referencia a la Fig. 22, la memoria 31 tiene una capacidad de almacenamiento para almacenar $N/(mb)$ bits en su dirección de columna (vertical) y mb bits en su dirección de fila (horizontal), e incluye mb columnas. Entonces, el intercalador 24 de torsión de columna realiza el intercalado de torsión de columna controlando una posición de inicio de escritura desde la cual comienza la operación de escritura cuando se escribe un bit de código de un código LDPC en la memoria 31 en la dirección de columna y se lee desde la memoria 31 en la dirección de fila.

50 Más específicamente, el intercalador 24 de torsión de columna cambia de manera apropiada una posición de inicio de escritura con la que empieza la escritura de un bit de código en cada una de una pluralidad de columnas, de manera que una pluralidad de bits de código leídos en la dirección de la fila, que se mapearán a un símbolo no coincide con los bits de código correspondientes a 1s en una fila arbitraria de la matriz de comprobación de paridad transformada (es

decir, el intercalador 24 de torsión de columna reordena los bits de código del código LDPC de manera que una pluralidad de bits de código correspondientes a 1s en una fila arbitraria de la matriz de comprobación de paridad no se incluyan en el mismo símbolo).

5 Aquí, la Fig. 28 ilustra una configuración ejemplar de la memoria 31 en un caso en el que el esquema de modulación es 16APSK o 16QAM y el múltiplo b descrito con referencia a la Fig. 22 es 1. Por consiguiente, el número m de bits de los bits de código del código LDPC que deben mapearse a un símbolo es 4, y la memoria 31 incluye 4 ($= mb$) columnas.

10 El intercalador 24 de torsión de columna (en lugar del demultiplexor 25 ilustrado en la Fig. 22) escribe los bits de código del código LDPC en la memoria 31 (en la dirección de la columna) desde la parte superior a la parte inferior de cada una de las 4 columnas de la memoria 31, donde la operación de escritura se mueve hacia la derecha, empezando desde la columna más a la izquierda.

15 Además, cuando se completa la escritura de los bits de código hasta la columna más a la derecha, el intercalador 24 de torsión de columna lee los bits de código desde la memoria 31 en la dirección de la fila, empezando desde la primera fila de todas las columnas de la memoria 31, en unidades de 4 bits (es decir, mb bits), y emite los bits de código leídos como un código LDPC que ha sido sometido a intercalado de torsión de columna a la unidad 32 de permutación (Figs. 22 y 23) del demultiplexor 25.

20 En este sentido, en el intercalador 24 de torsión de columna, si la dirección de la primera posición (o superior) de cada columna está representada por 0 y las direcciones de las posiciones respectivas en la dirección de la columna están representadas por números enteros dispuestos en orden ascendente, la posición de inicio de escritura para la columna más a la izquierda se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna (desde la izquierda) se establece a la posición en la dirección 2, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 4 y la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 7.

25 Cabe señalar que, después de escribir los bits de código hasta la parte inferior de la columna para la cual la posición de inicio de escritura se establece a una posición distinta de la posición en la dirección 0, el intercalador 24 de torsión de columna vuelve a la primera posición (es decir, la posición en la dirección 0), y escribe bits de código hasta la posición inmediatamente anterior a la posición de inicio de escritura. A continuación, el intercalador 24 de torsión de columna realiza la escritura en la columna subsiguiente (derecha).

30 La operación de intercalado de torsión de columna descrita anteriormente puede prevenir que una pluralidad de bits de código correspondientes a una pluralidad de nodos variables conectados al mismo nodo de comprobación para un código LDPC definido en el estándar DVB-T.2 y en estándares similares sean mapeados a un símbolo de 16APSK o 16QAM (es decir, sean incluidos en el mismo símbolo). Por lo tanto, el rendimiento de decodificación puede mejorarse en una ruta de comunicación con un borrado.

35 La Fig. 29 ilustra el número de columnas de la memoria 31 que son necesarias para el intercalado de torsión de columnas, y las direcciones de las posiciones de inicio de escritura, en asociación con cada esquema de modulación, para un código LDPC que tiene una longitud N de código de 64.800 y cada una de las 11 tasas de codificación, que se definen en el estándar DVB-T.2.

El múltiplo b es 1, y el número m de bits de un símbolo es 2 cuando, por ejemplo, se emplea QPSK como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 2 columnas para almacenar 2×1 ($= mb$) bits en su dirección de fila, y almacena $64.800/(2 \times 1)$ bits en su dirección de columna.

40 Además, la posición de inicio de escritura para la primera columna de entre las 2 columnas de la memoria 31 se establece a la posición en la dirección 0 y la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 2.

El múltiplo b es 1 cuando, por ejemplo, se emplea uno de los tipos de permutación primero a tercero ilustrados en la Fig. 22 como el tipo de permutación del procesamiento de permutación del demultiplexor 25 (Fig. 9).

45 El múltiplo b es 2, y el número m de bits de un símbolo es 2 cuando, por ejemplo, se emplea QPSK como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 4 columnas para almacenar 2×2 bits en su dirección de fila, y almacena $64.800/(2 \times 2)$ bits en su dirección de columna.

50 Además, la posición de inicio de escritura para la primera columna de entre las 4 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 4 y la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 7.

Cabe señalar que el múltiplo b es 2 cuando, por ejemplo, se emplea el cuarto tipo de permutación ilustrado en la Fig.

23 como el tipo de permutación del procesamiento de permutación del demultiplexor 25 (Fig. 9).

El múltiplo b es 1, y el número m de bits de un símbolo es 4 cuando, por ejemplo, se emplea 16QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 4 columnas para almacenar 4×1 bits en su dirección de fila y almacena $64.800/(4 \times 1)$ bits en su dirección de columna.

5 Además, la posición de inicio de escritura para la primera columna de entre las 4 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 4 y la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 7.

10 El múltiplo b es 2, y el número m de bits de un símbolo es 4 cuando, por ejemplo, se emplea 16QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 8 columnas para almacenar 4×2 bits en su dirección de fila y almacena $64.800/(4 \times 2)$ bits en su dirección de columna.

15 Además, la posición de inicio de escritura para la primera columna de entre las 8 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 0, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la séptima columna se establece a la posición en la dirección 7 y la posición de inicio de escritura para la octava columna se establece en la posición en la dirección 7.

20 El múltiplo b es 1, y el número m de bits de un símbolo es 6 cuando, por ejemplo, se emplea 64QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 6 columnas para almacenar 6×1 bits en su dirección de fila y almacena $64.800/(6 \times 1)$ bits en su dirección de columna.

25 Además, la posición de inicio de escritura para la primera columna de entre las 6 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 9, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 10 y la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 13.

30 El múltiplo b es 2, y el número m de bits de un símbolo es 6 cuando, por ejemplo, se emplea 64QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 12 columnas para almacenar 6×2 bits en su dirección de fila y almacena $64.800/(6 \times 2)$ bits en su dirección de columna.

35 Además, la posición de inicio de escritura para la primera columna de entre las 12 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 0, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 3, la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la séptima columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la octava columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la novena columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la décima columna se establece a la posición en la dirección 7, la posición de inicio de escritura para la undécima columna se establece a la posición en la dirección 8 y la posición de inicio de escritura para la duodécima columna se establece a la posición en la dirección 9.

45 El múltiplo b es 1, y el número m de bits de un símbolo es 8 cuando, por ejemplo, se emplea 256QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 8 columnas para almacenar 8×1 bits en su dirección de fila y almacena $64.800/(8 \times 1)$ bits en su dirección de columna.

50 Además, la posición de inicio de escritura para la primera columna de entre las 8 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 0, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la séptima columna se establece a la posición en la dirección 7 y la posición de inicio de escritura para la octava columna se establece a la posición en la dirección 7.

El múltiplo b es 2 y el número m de bits de un símbolo es 8 cuando, por ejemplo, se emplea 256QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 16 columnas para almacenar 8×2 bits en su dirección de fila, y almacena $64.800/(8 \times 2)$ bits en su dirección de columna.

5 Además, la posición de inicio de escritura para la primera columna de entre las 16 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 3, la posición de inicio de escritura para la séptima columna se establece a la posición en la dirección 7, la posición de inicio de escritura para la octava columna se establece a la posición en la dirección 15, la posición de inicio de escritura para la novena columna se establece a la posición en la dirección 16, la posición de inicio de escritura para la décima columna se establece a la posición en la dirección 20, la posición de inicio de escritura para la decimoprimera columna se establece a la posición en la dirección 22, la posición de inicio de escritura para la decimosegunda columna se establece a la posición en la dirección 22, la posición de inicio de escritura para la decimotercera columna se establece a la posición en la dirección 27, la posición de inicio de escritura para la decimocuarta columna se establece a la posición en la dirección 27, la posición de inicio de escritura para la decimoquinta columna se establece a la posición en la dirección 28 y la posición de inicio de escritura para la decimosexta columna se establece a la posición en la dirección 32.

20 El múltiplo b es 1, y el número m de bits de un símbolo es 10 cuando, por ejemplo, se emplea 1024QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 10 columnas para almacenar 10×1 bits en su dirección de fila y almacena $64.800/(10 \times 1)$ bits en su dirección de columna.

25 Además, la posición de inicio de escritura para la primera columna de entre las 10 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 3, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 6, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 8, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 11, la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 13, la posición de inicio de escritura para la séptima columna se establece a la posición en la dirección 15, la posición de inicio de escritura para la octava columna se establece a la posición en la dirección 17, la posición de inicio de escritura para la novena columna se establece a la posición en la dirección 18 y la posición de inicio de escritura para la décima columna se establece a la posición en la dirección 20.

30 El múltiplo b es 2, y el número m de bits de un símbolo es 10 cuando, por ejemplo, se emplea 1024QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 20 columnas para almacenar 10×2 bits en su dirección de fila y almacena $64.800/(10 \times 2)$ bits en su dirección de columna.

35 Además, la posición de inicio de escritura para la primera columna de entre las 20 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 1, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 3, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 6, la posición de inicio de escritura para la séptima columna se establece a la posición en la dirección 6, la posición de inicio de escritura para la octava columna se establece a la posición en la dirección 9, la posición de inicio de escritura para la novena columna se establece a la posición en la dirección 13, la posición de inicio de escritura para la décima columna se establece a la posición en la dirección 14, la posición de inicio de escritura para la decimoprimera columna se establece a la posición en la dirección 14, la posición de inicio de escritura para la decimosegunda columna se establece a la posición en la dirección 16, la posición de inicio de escritura para la decimotercera columna se establece a la posición en la dirección 21, la posición de inicio de escritura para la decimocuarta columna se establece a la posición en la dirección 21, la posición de inicio de escritura para la decimoquinta columna se establece a la posición en la dirección 23, la posición de inicio de escritura para la decimosexta columna se establece a la posición en la dirección 25, la posición de inicio de escritura para la decimoséptima columna se establece a la posición en la dirección 25, la posición de inicio de escritura para la decimoctava columna se establece a la posición en la dirección 26, la posición de inicio de escritura para la decimonovena columna se establece a la posición en la dirección 28 y la posición de inicio de escritura para la vigésima columna se establece a la posición en la dirección 30.

55 El múltiplo b es 1, y el número m de bits de un símbolo es 12 cuando, por ejemplo, se emplea 4096QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 12 columnas para almacenar 12×1 bits en su dirección de fila y almacena $64.800/(12 \times 1)$ bits en su dirección de columna.

Además, la posición de inicio de escritura para la primera columna de entre las 12 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 0, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 3, la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la séptima columna se establece a la posición en la dirección 4, la posición de inicio de escritura para la octava columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la novena columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la décima columna se establece a la posición en la dirección 7, la posición de inicio de escritura para la decimoprimera columna se establece a la posición en la dirección 8 y la posición de inicio de escritura para la decimosegunda columna se establece a la posición en la dirección 9.

El múltiplo b es 2, y el número m de bits de un símbolo es 12 cuando, por ejemplo, se emplea 4096QAM como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 29, la memoria 31 tiene 24 columnas para almacenar 12×2 bits en su dirección de fila, y almacena $64.800/(12 \times 2)$ bits en su dirección de columna.

Además, la posición de inicio de escritura para la primera columna de entre las 24 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 5, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 8, la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 8, la posición de inicio de escritura para la quinta columna se establece a la posición en la dirección 8, la posición de inicio de escritura para la sexta columna se establece a la posición en la dirección 8, la posición de inicio de escritura para la séptima columna se establece a la posición en la dirección 10, la posición de inicio de escritura para la octava columna se establece a la posición en la dirección 10, la posición de inicio de escritura para la novena columna se establece a la posición en la dirección 10, la posición de inicio de escritura para la décima columna se establece a la posición en la dirección 12, la posición de inicio de escritura para la decimoprimera columna se establece a la posición en la dirección 13, la posición de inicio de escritura para la decimosegunda columna se establece a la posición en la dirección 16, la posición de inicio de escritura para la decimotercera columna se establece a la posición en la dirección 17, la posición de inicio de escritura para la decimocuarta columna se establece a la posición en la dirección 19, la posición de inicio de escritura para la decimoquinta columna se establece a la posición en la dirección 21, la posición de inicio de escritura para la decimosexta columna se establece a la posición en la dirección 22, la posición de inicio de escritura para la decimoséptima columna se establece a la posición en la dirección 23, la posición de inicio de escritura para la decimoctava columna se establece a la posición en la dirección 26, la posición de inicio de escritura para la decimonovena columna se establece a la posición en la dirección 37, la posición de inicio de escritura para la vigésima columna se establece a la posición en la dirección 39, la posición de inicio de escritura para la vigésima primera columna se establece a la posición en la dirección 40, la posición de inicio de escritura para la vigésima segunda columna se establece a la posición en la dirección 41, la posición de inicio de escritura para la columna vigésimo tercera se establece a la posición en la dirección 41 y la posición de inicio de escritura para la vigésimo cuarta columna se establece a la posición en la dirección 41.

La Fig. 30 ilustra el número de columnas de la memoria 31 que son necesarias para el intercalado de torsión de columnas, y las direcciones de las posiciones de inicio de escritura, en asociación con cada esquema de modulación, para un código LDPC que tiene una longitud N de código de 16.200 y cada una de las 10 tasas de codificación, que se definen en el estándar DVB-T.2.

El múltiplo b es 1, y el número m de bits de un símbolo es 2 cuando, por ejemplo, se emplea QPSK como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 30, la memoria 31 tiene 2 columnas para almacenar 2×1 bits en su dirección de fila y almacena $16.200/(2 \times 1)$ bits en su dirección de columna.

Además, la posición de inicio de escritura para la primera columna de entre las 2 columnas de la memoria 31 se establece a la posición en la dirección 0 y la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 0.

El múltiplo b es 2, y el número m de bits de un símbolo es 2 cuando, por ejemplo, se emplea QPSK como un esquema de modulación. En este caso, tal como se ilustra en la Fig. 30, la memoria 31 tiene 4 columnas para almacenar 2×2 bits en su dirección de fila y almacena $16.200/(2 \times 2)$ bits en su dirección de columna.

Además, la posición de inicio de escritura para la primera columna de entre las 4 columnas de la memoria 31 se establece a la posición en la dirección 0, la posición de inicio de escritura para la segunda columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la tercera columna se establece a la posición en la dirección 3 y la posición de inicio de escritura para la cuarta columna se establece a la posición en la dirección 3.

El múltiplo b es 1, y el número m de bits de un símbolo es 4 cuando, por ejemplo, se emplea 16QAM como un

5 posición en la dirección 1, la posición de inicio de escritura para la décima columna se establece a la posición en la dirección 1, la posición de inicio de escritura para la decimoprimera columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la decimosegunda columna se establece a la posición en la dirección 2, la posición de inicio de escritura para la decimotercera columna se establece a la posición en la dirección 2, se establece la posición de inicio de escritura para la decimocuarta columna a la posición en la dirección 3, la posición de inicio de escritura para la decimoquinta columna se establece a la posición en la dirección 7, la posición de inicio de escritura para la decimosexta columna se establece a la posición en la dirección 9, la posición de inicio de escritura para la decimoséptima columna se establece a la posición en la dirección 9, la posición de inicio de escritura para la decimoctava columna se establece a la posición en la dirección 9, la posición de inicio de escritura para la decimonovena columna se establece a la posición en la dirección 10, la posición de inicio de escritura para la vigésima columna se establece a la posición en la dirección 10, la posición de inicio de escritura para la vigésimo primera columna se establece a la posición en la dirección 10, la posición de inicio de escritura para la vigésimo segunda columna se establece a la posición en la dirección 10, la posición de inicio de escritura para la vigésimo tercera columna se establece a la posición en la dirección 10 y la posición de inicio de escritura para la vigésimo cuarta columna se establece a la posición en la dirección 11.

La Fig. 31 es un diagrama de flujo que representa un procedimiento realizado en el codificador 115 LDPC, el intercalador 116 de bits y el codificador 117 QAM ilustrados en la Fig. 8.

20 El codificador 115 LDPC espera a que los datos LDPC objetivo sean suministrados desde el codificador 114 BCH. En la etapa S101, el codificador 115 LDPC codifica los datos LDPC objetivo en un código LDPC, y suministra el código LDPC al intercalador 116 de bits. A continuación, el procedimiento pasa a la etapa S102.

En la etapa S102, el intercalador 116 de bits realiza un intercalado de bits sobre el código LDPC suministrado desde el codificador 115 LDPC, y suministra un símbolo obtenido mediante la simbolización del código LDPC que ha sido sometido a intercalado de bits, al codificador 117 QAM. A continuación, el procedimiento pasa a la etapa S103.

25 Más específicamente, en la etapa S102, en el intercalador 116 de bits (Fig. 9), el intercalador 23 de paridad realiza un intercalado de paridad sobre el código LDPC suministrado desde el codificador 115 LDPC, y suministra el código LDPC que ha sido sometido a intercalado de paridad al Intercalador 24 de torsión de columna.

El intercalador 24 de torsión de columna realiza un intercalado de torsión de columna sobre el código LDPC suministrado desde el intercalador 23 de paridad, y suministra el código LDPC resultante al demultiplexor 25.

30 El demultiplexor 25 realiza un procesamiento de permutación para permutar los bits de código del código LDPC que ha sido sometido a intercalado de torsión de columna por el intercalador 24 de torsión de columna y para mapear los bits de código permutado a los bits de símbolo de un símbolo (es decir, bits que representan el símbolo).

35 Aquí, el procesamiento de permutación del demultiplexor 25 puede ser realizado según cualquiera de los tipos de permutación primero a cuarto ilustrados en las Figs. 22 y 23, y puede ser realizado también según una determinada regla de asignación predeterminada para asignar los bits de código de un código LDPC a los bits de símbolo que representan un símbolo.

Los símbolos obtenidos por el procesamiento de permutación realizado por el demultiplexor 25 son suministrados desde el demultiplexor 25 al codificador 117 QAM.

40 En la etapa S103, el codificador 117 QAM mapea los símbolos suministrados desde el demultiplexor 25 a los puntos de constelación definidos por el esquema de modulación para la modulación ortogonal a ser realizada por el codificador 117 QAM y, a continuación, realiza una modulación ortogonal. Los datos resultantes son suministrados al intercalador 118 de tiempo.

Tal como se ha descrito anteriormente, el intercalado de paridad y el intercalado de torsión de columna pueden mejorar la resistencia a borrados o a errores de tipo ráfaga en un caso en el que una pluralidad de bits de código de un código LDPC son transmitidos como un símbolo.

45 Aquí, en la Fig. 9, el intercalador 23 de paridad, que sirve como un bloque configurado para realizar un intercalado de paridad, y el intercalador 24 de torsión de columna, que sirve como un bloque configurado para realizar el intercalado de torsión de columna, están configurados como unidades separadas, en aras de la conveniencia de la ilustración. Sin embargo, el intercalador 23 de paridad y el intercalador 24 de torsión de columna pueden estar integrados en una única unidad.

50 Más específicamente, tanto el intercalado de paridad como el intercalado de torsión de columna pueden ser realizados escribiendo y leyendo bits de código a y desde una memoria, y pueden ser representados mediante una matriz que convierte una dirección en la que debe escribirse un bit de código (es decir, una dirección de escritura) en una dirección

en la que debe leerse un bit de código (es decir, una dirección de lectura).

Por consiguiente, una vez determinada una matriz obtenida multiplicando una matriz que representa el intercalado de paridad y una matriz que representa el intercalado de torsión de columna, puede obtenerse un código LDPC que ha sido sometido a intercalado de paridad y a continuación a un intercalado de torsión de columna mediante la conversión de los bits de código usando la matriz determinada.

También, además del intercalador 23 de paridad y el intercalador 24 de torsión de columna, el demultiplexor 25 puede estar integrado también en una única unidad.

Más específicamente, el procesamiento de permutación realizado en el demultiplexor 25 puede ser representado también por una matriz que convierte una dirección de escritura en la memoria 31 en la que se almacena un código LDPC en una dirección de lectura.

Por consiguiente, una vez determinada una matriz obtenida multiplicando una matriz que representa el intercalado de paridad, una matriz que representa el intercalado de torsión de columna y una matriz que representa el procesamiento de permutación, el intercalado de paridad, el intercalado de torsión de columna y el procesamiento de permutación pueden realizarse en un lote usando la matriz determinada.

Cabe señalar que puede realizarse uno cualquiera de entre el intercalado de paridad o el intercalado de torsión de columna, o puede no realizarse ninguno de los mismos. Por ejemplo, como en el sistema DVB-S.2, si la ruta 13 de comunicación (Fig. 7) es un canal no AWGN que no tiene mucho en cuenta los errores de ráfaga, las fluctuaciones, etc., tal como un enlace satelital, no puede realizarse ninguno de entre el intercalado de paridad y el intercalado de torsión de columna.

A continuación, las simulaciones para medir las tasas de errores (tasas de errores de bits) que se realizaron en el dispositivo 11 de transmisión ilustrado en la Fig. 8 se describirán con referencia a las Figs. 32 a 34.

Las simulaciones se realizaron usando una ruta de comunicación con una fluctuación que tenía una relación D/U de 0 dB.

La Fig. 32 ilustra un modelo de una ruta de comunicación empleado en las simulaciones.

Más específicamente, la parte A de la Fig. 32 ilustra un modelo de una fluctuación empleado en las simulaciones.

Además, la parte B de la Fig. 32 ilustra un modelo de una ruta de comunicación que tenía la fluctuación representada por el modelo ilustrado en la parte A de la Fig. 32.

Cabe señalar que, en la parte B de la Fig. 32, H representa el modelo de la fluctuación ilustrado en la parte A de la Fig. 32. En la parte B de la Fig. 32, además, N representa la ICI (Inter Carrier Interference, interferencia entre portadoras). En las simulaciones, un valor $E[N^2]$ esperado de la potencia de la ICI se aproximó mediante AWGN.

Las Figs. 33 y 34 ilustran las relaciones entre las frecuencias f_d Doppler de las fluctuaciones y las tasas de errores obtenidas en las simulaciones.

Cabe señalar que la Fig. 33 ilustra las relaciones entre las tasas de errores y las frecuencias f_d Doppler en un caso en el que el esquema de modulación es 16QAM, la tasa (r) de codificación es 3/4 y el tipo de permutación es el primer tipo de permutación. La Fig. 34 ilustra las relaciones entre las tasas de error y las frecuencias f_d Doppler en un caso en el que el esquema de modulación es 64QAM, la tasa (r) de codificación es 5/6 y el tipo de permutación es el primer tipo de permutación.

En las Figs. 33 y 34, además, las líneas en negrita indican las relaciones entre las tasas de errores y las frecuencias f_d Doppler en un caso en el que se realizaron el intercalado de paridad, el intercalado de torsión de columna y el procesamiento de permutación, y las líneas finas indican las relaciones entre las tasas de errores y las frecuencias f_d Doppler en un caso en el que solo se realizó el procesamiento de permutación de entre el intercalado de paridad, el intercalado de torsión de columna y el procesamiento de permutación.

A partir de cualquiera de las Figs. 33 y 34, puede observarse que el rendimiento de la tasa de errores se mejora (es decir, se reducen las tasas de errores) en el caso en que se realizó el intercalado por paridad, el intercalado por torsión de la columna y el procesamiento de permutación, en comparación con el caso en que solo se realizó el procesamiento de permutación.

[Configuración ejemplar del codificador 115 LDPC]

La Fig. 35 es un diagrama de bloques que ilustra una configuración ejemplar del codificador 115 LDPC ilustrado en la

Fig. 8.

Cabe señalar que el codificador 122 LDPC ilustrado en la Fig. 8 tiene también una configuración similar.

Tal como se ha descrito con referencia a las Figs. 12 y 13, los códigos LDPC que tienen dos tipos de longitudes N de código de 64.800 bits y 16.200 bits se definen en el estándar DVB-S.2 y en estándares similares.

5 Además, se definen 11 tasas de codificación, 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, para códigos LDPC que tienen una longitud N de código de 64.800 bits y se definen 10 tasas de codificación, 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9, para códigos LDPC que tienen una longitud N de código de 16.200 bits (Figs. 12 y 13).

10 El codificador 115 LDPC es capaz de realizar una codificación (es decir, codificación de corrección de errores) usando, por ejemplo, códigos LDPC que tienen longitudes N de código de 64.800 bits y 16.200 bits y las tasas de codificación respectivas, según la matriz H de comprobación de paridad preparada para cada longitud N de código y cada tasa de codificación.

El codificador 115 LDPC incluye una unidad 601 de procesamiento de codificación y una unidad 602 de almacenamiento.

15 La unidad 601 de procesamiento de codificación incluye una unidad 611 de establecimiento de tasa de codificación, una unidad 612 de lectura de tabla de valores iniciales, una unidad 613 generadora de matrices de comprobación de paridad, una unidad 614 de lectura de bits de información, una unidad 615 de cálculo de paridad de codificación y una unidad 616 de control. La unidad 601 de procesamiento de codificación realiza una codificación LDPC sobre los datos LDPC objetivo suministrados al codificador 115 LDPC, y suministra el código LDPC resultante al intercalador 116 de bits (Fig. 8).

20 Más específicamente, la unidad 611 de establecimiento de tasa de codificación establece una longitud N de código y una tasa de codificación del código LDPC, por ejemplo, según una operación de un operador o similar.

La unidad 612 de lectura de tabla de valores iniciales lee una tabla de valores iniciales de la matriz de comprobación de paridad, descrita a continuación, correspondiente a la longitud N de código y la tasa de codificación establecida por la unidad 611 de establecimiento de tasa de codificación desde la unidad 602 de almacenamiento.

25 La unidad 613 generadora de matrices de comprobación de paridad genera una matriz H de comprobación de paridad en base a la tabla de valores iniciales de la matriz de comprobación de paridad leída por la unidad 612 de lectura de tabla de valores iniciales, mediante la disposición de elementos 1 en una matriz H_A de información que tiene una longitud K de información (= longitud N de código - longitud M de paridad) correspondiente a la longitud N de código y a la tasa de codificación establecida por la unidad 611 de establecimiento de tasa de codificación, en una dirección de columna a intervalos de 360 columnas (es decir, el número de columnas P unidad de la estructura cíclica). La matriz H de comprobación de paridad se almacena en la unidad 602 de almacenamiento.

30 La unidad 614 de lectura de bits de información lee (o extrae) los bits de información correspondientes a la longitud K de información desde los datos LDPC objetivo suministrados al codificador 115 LDPC.

35 La unidad 615 de cálculo de paridad de codificación lee la matriz H de comprobación de paridad generada por la unidad 613 generadora de matrices de comprobación de paridad desde la unidad 602 de almacenamiento, y genera una palabra de código (es decir, un código LDPC) calculando los bits de paridad correspondientes a los bits de información leídos por la unidad 614 de lectura de bits de información según una fórmula determinada usando la matriz H de comprobación de paridad.

La unidad 616 de control controla los bloques incluidos en la unidad 601 de procesamiento de codificación.

40 La unidad 602 de almacenamiento tiene, almacenadas en la misma, una pluralidad de tablas de valores iniciales de la matriz de comprobación de paridad y similares, que corresponden, respectivamente, a la pluralidad de tasas de codificación y similares ilustradas en las Figs. 12 y 13 para las longitudes N de código respectivas, tales como 64.800 bits y 16.200 bits. Además, la unidad 602 de almacenamiento almacena temporalmente los datos necesarios para el procesamiento de la unidad 601 de procesamiento de codificación.

45 La Fig. 36 es un diagrama de flujo que representa un procedimiento del codificador 115 LDPC ilustrado en la Fig. 35.

En la etapa S201, la unidad 611 de establecimiento de tasa de codificación determina (o establece) una longitud N de código y una tasa r de codificación para la codificación LDPC.

En la etapa S202, la unidad 612 de lectura de tabla de valores iniciales lee una tabla de valores iniciales de la matriz de comprobación de paridad predeterminada correspondiente a la longitud N de código y la tasa r de codificación

determinada por la unidad 611 de establecimiento de tasa de codificación desde la unidad 602 de almacenamiento.

5 En la etapa S203, la unidad 613 generadora de matrices de comprobación de paridad determina (o genera) una matriz H de comprobación de paridad de un código LDPC que tiene la longitud N de código y la tasa r de codificación determinadas por la unidad 611 de establecimiento de tasa de codificación usando la tabla de valores iniciales de una matriz de comprobación de paridad leída por la unidad 612 de lectura de tabla de valores iniciales desde la unidad 602 de almacenamiento, y suministra la matriz H de comprobación de paridad a la unidad 602 de almacenamiento para su almacenamiento.

10 En la etapa S204, la unidad 614 de lectura de bits de información lee los bits de información de la longitud K (= N × r) de información correspondiente a la longitud N de código y la tasa r de codificación determinada por la unidad 611 de establecimiento de tasa de codificación a partir de los datos LDPC objetivo suministrados al LDPC codificador 115, y también lee la matriz H de comprobación de paridad determinada por la unidad 613 generadora de matrices de comprobación de paridad desde la unidad 602 de almacenamiento. A continuación, la unidad 614 de lectura de bits de información suministra los bits de información leídos y la matriz H de comprobación de paridad a la unidad 615 de cálculo de paridad de codificación.

15 En la etapa S205, la unidad 615 de cálculo de paridad de codificación calcula secuencialmente los bits de paridad de una palabra c de código que satisface la Expresión (8) usando los bits de información y la matriz H de comprobación de paridad suministrada desde la unidad 614 de lectura de bits de información.

$$Hc^T = 0 \quad \dots \quad (8)$$

20 En la Expresión (8), c denota un vector de fila como una palabra de código (es decir, código LDPC), y c^T denota la traspuesta del vector c de fila.

Aquí, tal como se ha descrito anteriormente, si una parte de bit de información del vector c de fila como el código LDPC (es decir, una palabra de código) está representada por un vector A de fila y una parte de bits de paridad está representada por un vector T de fila, el vector c de fila puede ser representado por la ecuación $c = [A|T]$ usando el vector A de fila correspondiente a los bits de información y el vector T de fila correspondiente a los bits de paridad.

25 Es necesario que la matriz H de comprobación de paridad y el vector $c = [A|T]$ de fila correspondientes al código LDPC satisfagan la ecuación $Hc^T = 0$. Los valores de los elementos del vector T de fila correspondientes a los bits de paridad en el vector $c = [A|T]$ de fila que satisfacen la ecuación $Hc^T = 0$ pueden determinarse secuencialmente estableciendo los elementos en las filas respectivas del vector Hc^T de columna en la ecuación $Hc^T = 0$ a cero en orden, empezando desde el elemento en la primera fila, en un caso en el que la matriz H_T de paridad en la matriz $H = [H_A|H_T]$ de comprobación de paridad tiene la estructura escalonada ilustrada en la Fig. 11.

30 La unidad 615 de cálculo de paridad de codificación determina los bits T de paridad correspondientes a los bits A de información suministrados desde la unidad 614 de lectura de bits de información, y genera una palabra $c = [A|T]$ de código, que está representada por los bits A de información y los bits T de paridad, como resultado de la codificación LDPC de los bits A de información.

35 A continuación, en la etapa S206, la unidad 616 de control determina si terminar o no la operación de codificación LDPC. Si en la etapa S206 se determina que la operación de codificación LDPC no debe ser terminada, por ejemplo, si hay algún dato LDPC objetivo a ser sometido a una codificación LDPC, el procedimiento vuelve a la etapa S201 (o a la etapa S204), y el procesamiento de las etapas S201 (o las etapas S204) a S206 se realiza posteriormente repetidamente.

40 Además, si en la etapa S206 se determina que la operación de codificación de LDPC debe ser terminada, por ejemplo, si no hay datos LDPC objetivo a ser sometidos a una codificación LDPC, el codificador 115 LDPC termina el procedimiento.

45 Tal como se ha descrito anteriormente, se preparan las tablas de valores iniciales de la matriz de comprobación de paridad correspondientes a las longitudes N de código respectivas y a las tasas r de codificación respectivas, y el codificador 115 LDPC realiza una codificación LDPC con una longitud N de código determinada y una tasa r de codificación determinada usando una matriz H de comprobación de paridad generada a partir de la tabla de valores iniciales de la matriz de comprobación de paridad correspondiente a la longitud N de código determinada y a la tasa r de codificación determinada.

[Ejemplo de tabla de valores iniciales de la matriz de comprobación de paridad]

50 Una tabla de valores iniciales de la matriz de comprobación de paridad es una tabla que muestra las posiciones de los elementos 1 en una matriz H_A de información (Fig. 10) que tiene una longitud K de información correspondiente a una longitud N de código y una tasa r de codificación de un código LDPC (es decir, un código LDPC definido por la matriz H

de comprobación de paridad) en la matriz H de comprobación de paridad, en unidades de 360 columnas (es decir, el número de columnas P unidad de la estructura cíclica). Se crea por adelantado una tabla de valores iniciales de la matriz de comprobación de paridad para cada una de las matrices H de comprobación de paridad que tienen las longitudes N de código respectivas y las tasas r de codificación respectivas.

5 La Fig. 37 es un diagrama que ilustra un ejemplo de una tabla de valores iniciales de la matriz de comprobación de paridad.

Más específicamente, la Fig. 37 ilustra una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad que tiene una longitud N de código de 16.200 bits y una tasa r de codificación (tasa de codificación nominal definida en DVB-T.2) de 1/4, que se define en el estándar DVB-T.2.

10 La unidad 613 generadora de matrices de comprobación de paridad (Fig. 35) determina una matriz H de comprobación de paridad de la manera siguiente usando la tabla de valores iniciales de la matriz de comprobación de paridad.

Más específicamente, la Fig. 38 ilustra un procedimiento para determinar una matriz H de comprobación de paridad a partir de una tabla de valores iniciales de la matriz de comprobación de paridad.

15 Cabe señalar que la tabla de valores iniciales de la matriz de comprobación de paridad ilustrada en la Fig. 38 es una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad que tiene una longitud N de código de 16.200 bits y una tasa r de codificación de 2/3, que se define en el estándar DVB-T.2.

20 Tal como se ha descrito anteriormente, una tabla de valores iniciales de la matriz de comprobación de paridad es una tabla que muestra las posiciones de los elementos 1 en una matriz H_A de información (Fig. 10) que tiene una longitud K de información correspondiente a una longitud N de código y una tasa r de codificación de un código LDPC en unidades de 360 columnas (es decir, el número de columnas P unidad de la estructura cíclica). En la i-ésima fila de la tabla de valores iniciales de la matriz de comprobación de paridad, están dispuestos los números de fila de los elementos 1 en la $\{1+360 \times (i-1)\}$ -ésima columna de la matriz H de comprobación de paridad (es decir, los números de fila en los que el número de fila de la primera fila de la matriz H de comprobación de paridad se establece a 0), cuyo número es igual al número de ponderaciones de columna asignadas a la $\{1+360 \times (i-1)\}$ -ésima columna.

25 Aquí, debido a que la matriz H_T de paridad (Fig. 10) de la matriz H de comprobación de paridad, correspondiente a la longitud M de paridad, se determina de la manera ilustrada en la Fig. 25, la matriz H_A de información (Fig. 10) de la matriz H de comprobación de paridad, correspondiente a la longitud K de información, se determina usando la tabla de valores iniciales de la matriz de comprobación de paridad.

30 El número de filas $k+1$ de la tabla de valores iniciales de la matriz de comprobación de paridad difiere según la longitud K de información.

Se establece una relación determinada por la Expresión (9) entre la longitud K de información y el número de filas $k+1$ de la tabla de valores iniciales de la matriz de comprobación de paridad.

$$K = (k + 1) \times 360 \quad \dots \quad (9)$$

35 Aquí, en la Expresión (9), 360 es el número de columnas P unidad de la estructura cíclica descrita con referencia a la Fig. 26.

En la tabla de valores iniciales de la matriz de comprobación de paridad ilustrada en la Fig. 38, 13 valores están dispuestos en cada una de las filas primera a tercera, y tres valores están dispuestos en cada una de las filas cuarta a $(k+1)$ -ésima (en la Fig. 38, la fila 30).

40 Por consiguiente, las ponderaciones de columna de la matriz H de comprobación de paridad determinadas a partir de la tabla de valores iniciales de la matriz de comprobación de paridad ilustrada en la Fig. 38 son 13 para las columnas primera a $\{1+360 \times (3-1)-1\}$ -ésima, y 3 para las columnas $\{1+360 \times (3-1)\}$ -ésima a K-ésima.

45 En la tabla de valores iniciales de la matriz de comprobación de paridad ilustrada en la Fig. 38, la primera fila muestra 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622, indicando que los elementos de las filas con los números de fila 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622 en la primera columna de la matriz H de comprobación de paridad son 1 (y que los otros elementos son 0).

Además, en la tabla de valores iniciales de la matriz de comprobación de paridad ilustrada en la Fig. 38, la segunda fila muestra 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108, indicando que elementos de las filas con los números de fila 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108 en la 361-ésima ($= 1 + 360 \times (2 - 1)$) columna de la matriz H de comprobación de paridad son 1.

De la manera descrita anteriormente, una tabla de valores iniciales de la matriz de comprobación de paridad muestra las posiciones de los elementos 1 en una matriz H_A de información de una matriz H de comprobación de paridad en unidades de 360 columnas.

5 Los elementos en las columnas distintas de la $\{1+360 \times (i-1)\}$ -ésima columna de la matriz H de comprobación de paridad, es decir, los elementos en la $\{2+360 \times (i-1)\}$ -ésima a la $\{360 \times i\}$ -ésima columnas se disponen desplazando cíclicamente los elementos 1 en la $\{1+360 \times (i-1)\}$ -ésima columna, que se definen usando la tabla de valores iniciales de la matriz de comprobación de paridad, hacia abajo (es decir, hacia abajo a lo largo de las columnas) de una manera periódica según la longitud M de paridad.

10 Más específicamente, por ejemplo, los elementos en la $\{2+360 \times (i-1)\}$ -ésima columna se obtienen desplazando cíclicamente los elementos en la $\{1+360 \times (i-1)\}$ -ésima columna hacia abajo en $M/360 (= q)$. Los elementos en la $\{3+360 \times (i-1)\}$ -ésima columna siguiente se obtienen desplazando cíclicamente los elementos en la $\{1+360 \times (i-1)\}$ -ésima columna hacia abajo en $2 \times M/360 (= 2 \times q)$ (es decir, desplazando cíclicamente los elementos en la $\{2+360 \times (i-1)\}$ -ésima columna hacia abajo en $M/360 (= q)$).

15 Se supone ahora que el valor en la i -ésima fila (es decir, la i -ésima fila desde la parte superior) y la j -ésima columna (es decir, la j -ésima columna desde la izquierda) de una tabla de valores iniciales de la matriz de comprobación de paridad está representada por $h_{i,j}$, y el número de fila del j -ésimo elemento 1 en la columna w -ésima de una matriz H de comprobación de paridad está representado por $H_{w,j}$. En este caso, el número de fila $H_{w,j}$ de un elemento 1 en la w -ésima columna, que es una columna distinta de la $\{1+360 \times (i-1)\}$ -ésima columna de la matriz H de comprobación de paridad, puede ser determinado usando la Expresión (10).

$$20 \quad H_{w-j} = \text{mod}\{h_{i,j} + \text{mod}((w-1), P) \times q, M) \dots (10)$$

Aquí, $\text{mod}(x, y)$ representa el resto después de la división de x por y .

25 Además, P denota el número de columnas unidad de la estructura cíclica, descritas anteriormente, y es, por ejemplo, 360 en los estándares DVB-S.2, DVB-T.2 y DVB-C.2, tal como se ha descrito anteriormente. Además, q denota el valor $M/360$ que se obtiene al dividir la longitud M de paridad por el número de columnas P unidad de la estructura cíclica ($= 360$).

La unidad 613 generadora de matrices de comprobación de paridad (Fig. 35) especifica un número de fila de un elemento 1 en la $\{1+360 \times (i-1)\}$ -ésima columna de la matriz H de comprobación de paridad usando la tabla de valores iniciales de la matriz de comprobación de paridad.

30 La unidad 613 generadora de matrices de comprobación de paridad (Fig. 35) determina además el número de fila $H_{w,j}$ de un elemento 1 en la w -ésima columna, que es una columna distinta de la $\{1+360 \times (i-1)\}$ columna de la matriz H de comprobación de paridad, según la Expresión (10), y genera una matriz H de comprobación de paridad cuyos elementos correspondientes a los números de fila obtenidos de la manera descrita anteriormente son 1.

[Nuevos códigos LDPC]

35 Incidentalmente, ha existido una demanda para proponer una versión mejorada (en adelante, denominada también "DVB-Sx") del estándar DVB-S.2.

40 En el documento CfT (Call for Technology), que se presentó en la reunión para la estandarización de DVB-Sx, se demanda un cierto número de ModCods (que son combinaciones de esquemas de modulación (Modulación) y códigos LDPC (Código)) para cada intervalo de C/N (Carrier to Noise Ratio, relación portadora a ruido) (SNR (Signal to Noise Ratio, relación señal a ruido)) según el caso de uso.

Más específicamente, en el documento CfT, la primera solicitud es preparar 20 ModCods para un intervalo de C/N de 7 dB desde 5 dB a 12 dB para uso DTH (Direct To Home, directo al hogar).

45 En el documento CfT, además, la segunda solicitud es preparar 22 ModCods para un intervalo de C/N de 12 dB desde 12 dB a 24 dB, la tercera solicitud es preparar 12 ModCods para un intervalo de C/N de 8 dB desde -3 dB a 5 dB, y la cuarta solicitud es preparar 5 ModCods para un intervalo de C/N de 7 dB desde -10 dB a -3 dB.

En el documento CfT, además, se solicita también que la FER (Frame Error Rate, tasa de errores de trama) para los ModCods en las solicitudes primera a cuarta sea aproximadamente de 10^{-5} (o menor).

Cabe señalar que, en el documento CfT, la primera solicitud tiene una prioridad de "1", que es la más alta, mientras que las solicitudes segunda a cuarta tienen una prioridad de "2", que es menor que la prioridad de la primera solicitud.

Por consiguiente, la presente tecnología proporciona (una matriz de comprobación de paridad de) un código LDPC capaz de satisfacer al menos la primera solicitud que tiene la prioridad más alta en el documento CfT, como un nuevo código LDPC.

5 La Fig. 39 ilustra curvas BER/FER para códigos LDPC que tienen una longitud N de código de 64k bits y 11 tasas de codificación, que se definen en el DVB-S.2, en el caso en el que se emplea QPSK como un esquema de modulación.

En la Fig. 39, el eje horizontal representa E_s/N_0 (la relación de la potencia de señal por símbolo a la potencia de ruido) correspondiente a la relación C/N , y el eje vertical representa FER/BER. Cabe señalar que, en la Fig. 39, las líneas continuas indican FERs y las líneas de puntos indican BERs (Bit Error Rates, tasas de errores de bits).

10 En la Fig. 39, las curvas FER (BER) para los códigos LDPC que tienen una longitud N de código de 64k bits y 11 tasas de codificación, que se definen en el estándar DVB-S.2, se han trazado para un intervalo E_s/N_0 de 10 dB en un caso en el que se emplea QPSK como esquema de modulación.

Más específicamente, en la Fig. 39, se han trazado 11 curvas FER para ModCods para las cuales el esquema de modulación se ha fijado a QPSK para un intervalo E_s/N_0 de aproximadamente 10 dB desde aproximadamente -3 dB a aproximadamente 7 dB.

15 Por consiguiente, para los códigos LDPC que tienen una longitud N de código de 64k bits y 11 tasas de codificación, que se definen en el estándar DVB-S.2, el intervalo entre las curvas FER para ModCods en promedio (en adelante, denominado también "intervalo promedio") es aproximadamente 1 dB ($\cong 10 \text{ dB}/(10 - 1)$).

20 Por el contrario, debido a que la primera solicitud en el documento CfT solicita que se preparen 20 ModCods para un intervalo de E_s/N_0 (C/N) de 7 dB, el intervalo promedio entre las curvas FER para las ModCods es de aproximadamente 0,3 dB ($\cong 7 \text{ dB}/(20 - 1)$).

25 En el caso en el que el esquema de modulación está fijado a un tipo como QPSK, los códigos LDPC con tasas de codificación, cuyo número es aproximadamente tres veces ($\cong 1 \text{ dB}/0,3 \text{ dB}$), las 11 tasas de codificación, o aproximadamente 30 tasas de codificación, sería suficiente para asegurar espacio suficiente para obtener ModCods que tienen un intervalo promedio de 0,3 dB que cumpla con la primera solicitud en el documento CfT, en comparación con el caso de DVB-S.2 en el que las ModCods que tienen un intervalo promedio de aproximadamente 1 dB se obtienen usando Códigos LDPC con las 11 tasas de codificación.

30 Por consiguiente, en la presente tecnología, se preparan códigos LDPC que tienen una longitud de código de 64k y tasas de codificación de $i/30$ (donde i es un número entero positivo menor de 30) como códigos LDPC que tienen tasas de codificación para las cuales aproximadamente 30 tasas de codificación son fácilmente configurables y se proporcionan como nuevos códigos LDPC que cumplen al menos la primera solicitud con la prioridad más alta en el documento CfT.

Cabe señalar que las matrices H_T de paridad de las matrices H de comprobación de paridad de los nuevos códigos LDPC tienen una estructura escalonada (Fig. 11), de manera similar a un código LDPC definido en el estándar DVB-S.2, en términos de mantener la compatibilidad con DVB -S.2 tanto como sea posible.

35 Además, de manera similar a un código LDPC definido en el estándar DVB-S.2, las matrices H_A de información de las matrices H de comprobación de paridad de los nuevos códigos LDPC tienen una estructura cíclica, en la que el número de columnas P de la estructura cíclica es también 360.

40 Las Figs. 40 a 106 son diagramas que ilustran un ejemplo de tablas de valores iniciales de la matriz de comprobación de paridad para los nuevos códigos LDPC que tienen una longitud N de código de 64k bits y tasas de codificación de $i/30$, tal como se ha descrito anteriormente.

Aquí, los nuevos códigos LDPC son códigos LDPC cuyas tasas de codificación están representadas por $i/30$ y, por lo tanto, incluyen códigos LDPC que tienen hasta 29 tasas de codificación, $1/30, 2/30, 3/30, \dots, 28/30$ y $29/30$.

45 Sin embargo, un código LDPC con una tasa de codificación de $1/30$ puede usarse de manera limitada en términos de eficiencia. Además, un código LDPC con una tasa de codificación de $29/30$ puede usarse de manera limitada en términos de tasa de errores (BER/FER).

Por la razón descrita anteriormente, entre los códigos LDPC con 29 tasas de codificación, concretamente, tasas de codificación de $1/30$ a $29/30$, uno o ambos de entre un código LDPC con una tasa de codificación de $1/30$ y un código LDPC con una tasa de codificación de $29/30$ puede configurarse para que no sea usado como nuevos códigos LDPC.

50 Aquí, los códigos LDPC con 28 tasas de codificación, por ejemplo, los códigos LDPC con tasas de codificación de $2/30$ a $29/30$ de entre las tasas de codificación de $1/30$ a $29/30$, se usan como nuevos códigos LDPC, y a continuación se

proporcionarán las tablas de valores iniciales de la matriz de comprobación de paridad para las matrices H de comprobación de paridad de los nuevos códigos LDPC.

5 La Fig. 40 ilustra una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 2/30.

La Fig. 41 ilustra una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 3/30.

10 La Fig. 42 ilustra una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 4/30.

La Fig. 43 ilustra una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 5/30.

15 La Fig. 44 ilustra una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 6/30.

20 La Fig. 45 ilustra una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 7/30.

Las Figs. 46 y 47 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 8/30.

25 Las Figs. 48 y 49 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 9/30.

Las Figs. 50 y 51 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 10/30.

30 Las Figs. 52 y 53 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 11/30.

35 Las Figs. 54 y 55 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 12/30.

Las Figs. 56 y 57 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 13/30.

40 Las Figs. 58 y 59 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 14/30.

Las Figs. 60 y 61 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 15/30.

45 Las Figs. 62, 63 y 64 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 16/30.

Las Figs. 65, 66 y 67 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de

codificación de 17/30.

Las Figs. 68, 69 y 70 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 18/30.

5 Las Figs. 71, 72 y 73 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 19/30.

10 Las Figs. 74, 75 y 76 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 20/30.

Las Figs. 77, 78 y 79 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 21/30.

15 Las Figs. 80, 81 y 82 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 22/30.

Las Figs. 83, 84 y 85 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 23/30.

20 Las Figs. 86, 87 y 88 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 24/30.

25 Las Figs. 89, 90 y 91 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 25/30.

Las Figs. 92, 93 y 94 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 26/30.

30 Las Figs. 95, 96, 97 y 98 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 27/30.

Las Figs. 99, 100, 101 y 102 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 28/30.

35 Las Figs. 103, 104, 105 y 106 ilustran una tabla de valores iniciales de la matriz de comprobación de paridad para una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 64k bits y una tasa r de codificación de 29/30.

40 El codificador 115 LDPC (Fig. 8 y 35) es capaz de realizar una codificación sobre un (nuevo) código LDPC que tiene una longitud N de código de 64k bits y cualquiera de las 28 tasas r de codificación de 2/30 a 29/30 usando una matriz H de comprobación de paridad determinada a partir de una de las tablas de valores iniciales de la matriz de comprobación de paridad ilustradas en las Figs. 40 a 106.

En el ejemplo ilustrado, la unidad 602 de almacenamiento del codificador 115 LDPC (Fig. 8) almacena las tablas de valores iniciales de la matriz de comprobación de paridad ilustradas en las Figs. 40 a 106.

45 Cabe señalar que no todos los códigos LDPC con 28 tasas r de codificación de 2/30 a 29/30 (que se determinan a partir de las tablas de valores iniciales de la matriz de comprobación de paridad) ilustradas en las Figs. 40 a 106 pueden usarse como nuevo LDPC. Es decir, un código o unos códigos LDPC con una o más tasas de codificación de entre los códigos LDPC con 28 tasas r de codificación de 2/30 a 29/30 ilustradas en las Figs. 40 a 106 pueden emplearse como un nuevo código o códigos LDPC.

Los códigos LDPC obtenidos usando matrices H de comprobación de paridad determinadas a partir de las tablas de

valores iniciales de la matriz de comprobación de paridad ilustradas en las Figs. 40 a 106 pueden ser códigos LDPC de alto rendimiento.

La expresión "código LDPC de alto rendimiento", tal como se usa en la presente memoria, se refiere a un código LDPC obtenido a partir de una matriz H de comprobación de paridad apropiada.

5 Además, la expresión "matriz H de comprobación de paridad apropiada" se refiere a una matriz de comprobación de paridad que satisface una determinada condición en la que la BER (y la FER) se reduce (o se reducen) cuando un código LDPC obtenido a partir de una matriz H de comprobación de paridad es transmitido con una E_s/N_0 o E_b/N_0 (que es la relación entre la potencia de señal por bit a la potencia de ruido) baja.

10 Una matriz H de comprobación de paridad apropiada puede determinarse mediante simulaciones para medir las BERs cuando, por ejemplo, los códigos LDPC obtenidos a partir de varias matrices de comprobación de paridad que satisfacen una determinada condición son transmitidos con una E_s/N_0 baja.

15 Los ejemplos de condición determinada que debe cumplir una matriz H de comprobación de paridad apropiada incluyen una condición de que los resultados de análisis obtenidos usando una técnica analítica para la evaluación del rendimiento de los códigos, denominada evolución de densidad, sean buenos, y una condición de que no exista un bucle de elementos 1, denominado ciclo 4.

Aquí, está bien establecido que una concentración de elementos 1, tal como el ciclo 4, en una matriz H_A de información, reducirá el rendimiento de decodificación de un código LDPC. De esta manera, se demanda la ausencia del ciclo 4 como una condición determinada que debe cumplir una matriz H de comprobación de paridad apropiada.

20 Cabe señalar que la condición determinada que debe cumplir una matriz H de comprobación de paridad puede determinarse, según se desee, en términos de diversos factores, tales como un rendimiento de decodificación mejorado de un código LDPC y un procesamiento de decodificación sencillo (o simplificado) de un código LDPC.

Las Figs. 107 y 108 son diagramas que muestran la evolución de la densidad mediante la cual se obtienen los resultados de análisis, como una condición determinada que debe cumplir una matriz H de comprobación de paridad apropiada.

25 La evolución de densidad es una técnica de análisis de código para calcular un valor esperado de probabilidad de error para el conjunto de todos los códigos LDPC ("conjunto") cuya longitud N de código, que está caracterizada por una secuencia de grados descrita a continuación, es infinita (∞).

30 Por ejemplo, si una varianza del ruido aumenta desde cero en un canal AWGN, el valor esperado de probabilidad de error para un conjunto determinado es inicialmente cero, y pasa a ser distinto de cero si la varianza del ruido es mayor o igual que un determinado umbral.

En el procedimiento de evolución de densidad, puede determinarse si el rendimiento del conjunto (es decir, la idoneidad de una matriz de comprobación de paridad) es bueno o no, comparando los umbrales de varianza de ruido (en adelante, denominados también "umbrales de rendimiento") por encima de los cuales los valores esperados de probabilidad de error para los conjuntos pasan a ser distintos de cero.

35 Cabe señalar que el rendimiento general de un código LDPC específico puede predecirse determinando un conjunto que incluya el código LDPC y realizando una evolución de densidad en el conjunto.

Por consiguiente, una vez que se encuentra un conjunto con un buen rendimiento, puede encontrarse un código LDPC con buen rendimiento de entre los códigos LDPC incluidos en el conjunto.

40 Aquí, la secuencia de grados, descrita anteriormente, representa la proporción de nodos variables o nodos de comprobación con una ponderación de cada valor a la longitud N de código de un código LDPC.

Por ejemplo, un código LDPC (3,6) regular con una tasa de codificación de 1/2 pertenece a un conjunto caracterizado por una secuencia de grados que indica que la ponderación (ponderación de columna) para todos los nodos variables es 3 y la ponderación (ponderación de fila) para todos los nodos de comprobación es 6.

La Fig. 107 ilustra un gráfico de Tanner del conjunto descrito anteriormente.

45 El gráfico de Tanner ilustrado en la Fig. 107 incluye N nodos variables indicados mediante círculos ("O") en la Fig. 107, cuyo número es igual a la longitud N de código, y N/2 nodos de comprobación indicados mediante cuadrados ("□") en la Fig. 107, cuyo número es igual a un valor obtenido multiplicando la longitud N de código por la tasa de codificación 1/2.

Tres bordes, cuyo número es igual a la ponderación de la columna, están conectados a cada nodo variable. Por lo tanto, $3N$ bordes en total están conectados a los N nodos variables.

Además, seis bordes, cuyo número es igual a la ponderación de la fila, están conectados a cada nodo de comprobación. Por lo tanto, $3N$ bordes en total están conectados a los $N/2$ nodos de comprobación.

5 En el gráfico de Tanner ilustrado en la Fig. 107 hay incluido también un intercalador.

El intercalador reordena aleatoriamente los bordes $3N$ conectados a los N nodos variables, y conecta cada uno de los bordes reordenados a uno de los $3N$ bordes conectados a los $N/2$ nodos de comprobación.

10 Hay $(3N)!$ ($= (3N) \times (3N-1) \times \dots \times 1$) patrones de reordenación en los que el intercalador reordena los $3N$ bordes conectados a los N nodos variables. Por consiguiente, un conjunto caracterizado por una secuencia de grados que indica que la ponderación para todos los nodos variables es 3 y la ponderación para todos los nodos de comprobación es 6 es el conjunto de $(3N)!$ códigos LDPC.

En una simulación para determinar un código LDPC con un buen rendimiento (es decir, una matriz de comprobación de paridad apropiada), se usó un conjunto de tipo multi-borde en la evolución de densidad.

15 En el tipo multi-borde, un intercalador a través del cual se extienden los bordes conectados a los nodos variables y los bordes conectados a los nodos de comprobación está dividido en una pluralidad de piezas (multi-borde), lo que puede permitir una caracterización más precisa de un conjunto.

La Fig. 108 ilustra un ejemplo de un gráfico de Tanner de un conjunto de tipo multi-edge.

En el gráfico de Tanner ilustrado en la Fig. 108, hay incluidos dos intercaladores, concretamente, un primer intercalador y un segundo intercalador.

20 Además, el gráfico de Tanner ilustrado en la Fig. 108 incluye v_1 nodos variables, cada uno con un borde conectado al primer intercalador y cero bordes conectados al segundo intercalador, v_2 nodos variables cada uno con un borde conectado al primer intercalador y dos bordes conectados al segundo intercalador y v_3 nodos de la variable, cada uno con cero bordes conectados al primer intercalador y dos bordes conectados al segundo intercalador.

25 El gráfico de Tanner ilustrado en la Fig. 108 incluye además c_1 nodos de comprobación que tienen dos bordes conectados al primer intercalador y cero bordes conectados al segundo intercalador, c_2 nodos de comprobación que tienen dos bordes conectados al primer intercalador y dos bordes conectados al segundo intercalador y c_3 nodos de comprobación que tienen cero bordes conectados al primer intercalador y tres bordes conectados al segundo intercalador.

30 Aquí, la evolución de densidad y una implementación de la misma se describen, por ejemplo, en " On the Design of Low-Density Parity-Check Codes within 0.0045 dB of the Shannon Limit", S.Y. Chung, G.D. Forney, T.J. Richardson, R. Urbanke, IEEE Communications Letters, VOL. 5, NO. 2, Febrero de 2001.

35 En una simulación para determinar (una tabla de valores iniciales de paridad de la matriz de) un nuevo código LDPC, se encontró un conjunto para el cual el umbral de rendimiento, que es E_b/N_0 (que es la relación de la potencia de señal por bit a la potencia de ruido) en el que una BER empieza a disminuir (es decir, disminuye), es menor o igual a un determinado valor, usando la evolución de densidad de tipo de multi-borde, y un código LDPC que reduce una BER en una pluralidad de esquemas de modulación usados en DVB-S.2 y similares, tales como QPSK, se seleccionó como un código LDPC con buen rendimiento de entre los códigos LDPC que pertenecen al conjunto.

40 Las tablas de valores iniciales de la matriz de comprobación de paridad de los nuevos códigos LDPC descritos anteriormente son tablas de valores iniciales de la matriz de comprobación de paridad de códigos LDPC que tienen una longitud N de código de 64k bits, que se determinan mediante las simulaciones descritas anteriormente.

La Fig. 109 es un diagrama que ilustra las longitudes de ciclo mínimas y los umbrales de rendimiento para las matrices H de comprobación de paridad que se determinan a partir de las tablas de valores iniciales de la matriz de comprobación de paridad de los nuevos códigos LDPC que tienen una longitud N de código de 64k bits y 28 tasas de codificación de 2/30 a 29/30 ilustradas en las Figs. 40 a 106.

45 Aquí, una longitud de ciclo mínima (o circunferencia) es un valor mínimo de la longitud (longitud de bucle) de un bucle compuesto de elementos 1 en una matriz H de comprobación de paridad.

El ciclo 4 (un bucle de elementos 1, con una longitud de bucle de 4) no existe en una matriz H de comprobación de paridad determinada a partir de una tabla de valores iniciales de la matriz de comprobación de paridad de un nuevo código LDPC.

Además, a medida que la tasa r de codificación disminuye, la redundancia de un código LDPC aumenta. De esta manera, el umbral de rendimiento tiende a mejorar (es decir, disminuir) a medida que la tasa r de codificación disminuye.

5 La Fig. 110 es un diagrama que representa una matriz H de comprobación de paridad (en adelante, denominada también "matriz H de comprobación de paridad de un nuevo código LDPC") (determinada a partir de cada una de las tablas de valores iniciales de la matriz de comprobación de paridad) ilustradas en las Figs. 40 a 106.

10 La matriz H de comprobación de paridad del nuevo código LDPC tiene una ponderación de columna X para KX columnas, empezando con la primera columna, una ponderación de columna $Y1$ para las $KY1$ columnas posteriores, una ponderación de columna $Y2$ para las $KY2$ columnas posteriores, una ponderación de columna de 2 para las $(M-1)$ columnas posteriores y una ponderación de columna de 1 para la última columna.

Aquí, la suma de columnas dada por $KX+KY1+KY2+M-1+1$ es igual a la longitud N de código = 64.800 bits.

La Fig. 111 es un diagrama que ilustra los números de columnas KX , $KY1$, $KY2$ y M , y las ponderaciones de columna X , $Y1$ e $Y2$ ilustradas en la Fig. 110 para las tasas r de codificación respectivas de los nuevos códigos LDPC.

15 En una matriz H de comprobación de paridad de un nuevo código LDPC que tiene una longitud N de código de 64k, de manera similar a la matriz de comprobación de paridad descrita con referencia a las Figs. 12 y 13, la ponderación de la columna tiende a aumentar a medida que disminuye el número ordinal de las columnas de la matriz H de comprobación de paridad (es decir, a medida que la columna se acerca al extremo izquierdo de la matriz H de comprobación de paridad). Por consiguiente, la robustez frente a los errores (o la resistencia a los errores) tiende a aumentar a medida que disminuye el número ordinal de los bits de código de un nuevo código LDPC (es decir, el primer bit de código tiende a ser el más robusto frente a los errores).

20 Cabe señalar que la cantidad q de desplazamiento usada en el desplazamiento cíclico que se realiza para determinar una matriz de comprobación de paridad a partir de una tabla de valores iniciales de la matriz de comprobación de paridad de un nuevo código LDPC que tiene una longitud N de código de 64k de la manera descrita con referencia a la Fig. 38 se representa mediante la ecuación $q = M/P = M/360$.

25 Por consiguiente, las cantidades de desplazamiento para los nuevos códigos LDPC con tasas de codificación de 2/30, 3/30, 4/30, 5/30, 6/30, 7/30, 8/30, 9/30, 10/30, 11/30, 12/30, 13/30, 14/30, 15/30, 16/30, 17/30, 18/30, 19/30, 20/30, 21/30, 22/30, 23/30, 24/30, 25/30, 26/30, 27/30, 28/30 y 29/30 son 168, 162, 156, 150, 144, 138, 132, 126, 120, 114, 108, 102, 96, 90, 84, 78, 72, 66, 60, 54, 48, 42, 36, 30, 24, 18, 12 y 6, respectivamente.

30 Las Figs. 112, 113 y 114 son diagramas que ilustran las BERs/FERs simuladas para los nuevos códigos LDPC ilustrados en las Figs. 40 a 106.

Las simulaciones se basaron en el supuesto de una ruta de comunicación (o canal) AWGN, en la que se empleó BPSK como un esquema de modulación y el número de veces de decodificación C repetitiva (it) fue 50.

En las Figs. 112, 113 y 114, el eje horizontal representa E_s/N_0 , y el eje vertical representa BER/FER. Cabe señalar que las líneas continuas indican BERs y las líneas de puntos indican FERs.

35 En las Figs. 112 a 114, las curvas FER (BER) para los nuevos códigos LDPC respectivos con 28 tasas de codificación de 2/30 a 29/30 exhiben FERs menores o iguales a 10^{-5} para un intervalo E_s/N_0 de (aproximadamente) 15 dB desde (sustancialmente) -10 dB a 5 dB.

40 En las simulaciones, pueden configurarse 28 ModCods que tienen una FER menor o igual a 10^{-5} para un intervalo E_s/N_0 de 15 dB desde -10 dB a 5 dB. Por consiguiente, 20 o más ModCods que tienen una FER menor o igual a 10^{-5} para un intervalo de 7 dB desde 5 dB a 12 dB pueden predecirse de manera suficiente teniendo en cuenta varios esquemas de modulación distintos de BPSK usados en las simulaciones, tales como QPSK, 8PSK, 16APSK, 32APSK, 16QAM, 32QAM y 64QAM.

De esta manera, es posible proporcionar un código LDPC que tenga un buen rendimiento de tasa de errores, que cumpla la primera solicitud en el documento Cft.

45 Además, con referencia a las Figs. 112 a 114, la mayoría de las curvas FER (BER) para los nuevos códigos LDPC se trazan a intervalos casi iguales de menos de 1 dB para cada uno de los grupos de tasa de codificación baja, intermedia y alta. Por consiguiente, los nuevos códigos LDPC pueden proporcionar difusores que difundan programas usando el dispositivo 11 de transmisión con una ventaja en la facilitación de la selección de las tasas de codificación a ser usadas para la difusión según el estado de los canales (es decir, la ruta 13 de comunicación).

50 Cabe señalar que, en las simulaciones para determinar las curvas BER/FER ilustradas en las Figs. 112 a 114, la

codificación BCH se realizó sobre la información, y los códigos BCH resultantes fueron sometidos a codificación LDPC.

La Fig. 115 incluye diagramas que representan la codificación BCH que se usó en las simulaciones.

Más específicamente, la parte A de la Fig. 115 es un diagrama que ilustra los parámetros de la codificación BCH que se realiza antes de la codificación LDPC en un código LDPC de 64k, que se define en el estándar DVB-S.2.

- 5 En DVB-S.2, se añaden 192, 160 o 128 bits de redundancia según la tasa de codificación de un código LDPC, proporcionando de esta manera una codificación BCH con capacidad de corrección de errores de 12, 10 u 8 bits.

La parte B de la Fig. 115 es un diagrama que ilustra los parámetros de la codificación BCH que se usaron en las simulaciones.

- 10 En las simulaciones, de manera similar al caso de DVB-S.2, se realizó una codificación BCH con capacidad de corrección de errores de 12, 10 u 8 bits mediante la adición de 192, 160 o 128 bits de redundancia según la tasa de codificación de un código LDPC.

[Configuración ejemplar del dispositivo 12 de recepción]

La Fig. 116 es un diagrama de bloques que ilustra una configuración ejemplar del dispositivo 12 de recepción ilustrado en la Fig. 7.

- 15 Una unidad 151 de procesamiento OFDM (operación OFDM) recibe una señal OFDM desde el dispositivo 11 de transmisión (Fig. 7), y realiza un procesamiento de señal sobre la señal OFDM. Los datos (es decir, los símbolos) obtenidos mediante el procesamiento de la señal realizado por la unidad 151 de procesamiento OFDM son suministrados a una unidad 152 de gestión de tramas (gestión de tramas).

- 20 La unidad 152 de gestión de tramas realiza el procesamiento (interpretación de tramas) de una trama que incluye los símbolos suministrados desde la unidad 151 de procesamiento OFDM para obtener símbolos de datos objetivo y símbolos de datos de control, y suministra los símbolos de los datos objetivo y los símbolos de los datos de control a los desintercaladores 161 y 153 de frecuencia, respectivamente.

- 25 El desintercalador 153 de frecuencia realiza el desintercalado de frecuencia sobre los símbolos suministrados desde la unidad 152 de gestión de tramas en unidades de símbolos, y suministra los símbolos resultantes a un decodificador 154 QAM.

El decodificador 154 QAM desintercala los símbolos (es decir, los símbolos mapeados a los puntos de constelación) suministrados desde el desintercalador 153 de frecuencia (es decir, decodifica los puntos de constelación) para la demodulación ortogonal, y suministra los datos resultantes (es decir, un código LDPC) a un decodificador 155 LDPC.

- 30 El decodificador 155 LDPC realiza la decodificación LDPC sobre el código LDPC suministrado desde el decodificador 154 QAM, y suministra los datos LDPC objetivo resultantes (en el ejemplo ilustrado, un código BCH) a un decodificador 156 BCH.

El decodificador 156 BCH realiza la decodificación BCH sobre los datos LDPC objetivo suministrados desde el decodificador 155 LDPC, y emite los datos de control resultantes (señalización).

- 35 Por otra parte, el desintercalador 161 de frecuencia realiza el desintercalado de frecuencia sobre los símbolos suministrados desde la unidad 152 de gestión de tramas en unidades de símbolos, y suministra los símbolos resultantes a un decodificador 162 MISO/MIMO.

El decodificador 162 MISO/MIMO realiza la decodificación espacio-temporal sobre los datos (es decir, los símbolos) suministrados desde el desintercalador 161 de frecuencia, y suministra los datos resultantes a un desintercalador 163 de tiempo.

- 40 El desintercalador 163 de tiempo realiza el desintercalado de tiempo sobre los datos (es decir, símbolos) suministrados desde el decodificador 162 MISO/MIMO en unidades de símbolos, y suministra los datos resultantes a un decodificador 164 QAM.

- 45 El decodificador 164 QAM desmapea los símbolos (es decir, los símbolos mapeados a puntos de constelación) suministrados desde el desintercalador 163 de tiempo (es decir, decodifica los puntos de constelación) para la demodulación ortogonal, y suministra los datos resultantes (es decir, los símbolos) a un desintercalador 165 de bits.

El desintercalador 165 de bits realiza el desintercalado de bits sobre los datos (es decir, los símbolos) suministrados desde el decodificador 164 QAM, y suministra el código LDPC resultante a un decodificador 166 LDPC.

El decodificador 166 LDPC realiza una decodificación LDPC sobre el código LDPC suministrado desde el desintercalador 165 de bits, y suministra los datos LDPC objetivo resultantes (en el ejemplo ilustrado, un código BCH) a un decodificador 167 BCH.

5 El decodificador 167 BCH realiza una decodificación BCH sobre los datos LDPC objetivo suministrados desde el decodificador 155 de LDPC, y suministra los datos resultantes a un desaleatorizador 168 BB.

El desaleatorizador 168 BB realiza una desaleatorización BB sobre los datos suministrados desde el decodificador 167 BCH, y suministra los datos resultantes a una unidad 169 de eliminación de elementos nulos (eliminación de nulos).

10 La unidad 169 de eliminación de elementos nulos borra los elementos nulos añadidos por el elemento 112 relleno ilustrado en la Fig. 8, de los datos suministrados desde el desaleatorizador 168 BB, y suministra los datos resultantes a un demultiplexor 170.

El demultiplexor 170 separa una o más secuencias (datos objetivo) multiplexadas en los datos suministrados desde la unidad 169 de eliminación de elementos nulos, realiza el procesamiento necesario y emite los datos resultantes como secuencias de salida.

15 Cabe señalar que el dispositivo 12 de recepción puede ser configurado de manera que no incluya algunos de los bloques ilustrados en la Fig. 116. Más específicamente, por ejemplo, si el dispositivo 11 de transmisión (Fig. 8) está configurado de manera que no incluya el intercalador 118 de tiempo, el codificador 119 MISO/MIMO, el intercalador 120 de frecuencia y el intercalador 124 de frecuencia, el dispositivo 12 de recepción puede estar configurado de manera que no incluya el desintercalador 163 de tiempo, el decodificador 162 MISO/MIMO, el desintercalador 161 de frecuencia y el desintercalador 153 de frecuencia, que son los bloques correspondientes al intercalador 118 de tiempo, el codificador 119 MISO/MIMO, el intercalador 120 de frecuencia y el Intercalador 124 de frecuencia del dispositivo 11 de transmisión, respectivamente.

20

La Fig. 117 es un diagrama de bloques que ilustra una configuración ejemplar del desintercalador 165 de bits ilustrado en la Fig. 116.

25 El desintercalador 165 de bits incluye un multiplexor (MUX) 54 y un desintercalador 55 de torsión de columna, y realiza el desintercalado (de bits) sobre los bits de símbolo de los símbolos suministrados desde el decodificador 164 QAM (Fig. 116).

Más específicamente, el multiplexor 54 realiza un procesamiento de permutación inversa (que es el procedimiento de permutación inversa), correspondiente al procesamiento de permutación realizado por el demultiplexor 25 ilustrado en la Fig. 9, sobre los bits de símbolo de los símbolos suministrados desde el decodificador 164 QAM. Es decir, el multiplexor 54 realiza el procesamiento de permutación inversa para recuperar las posiciones de los bits de código (es decir, los bits de símbolo) del código LDPC permutado mediante el procesamiento de permutación a las posiciones originales, y suministra el código LDPC resultante al desintercalador 55 de torsión de columna.

30

El desintercalador 55 de torsión de columna realiza un desintercalado de torsión de columna (que es el inverso del intercalado de torsión de columna), correspondiente al intercalado de torsión de columna como el procesamiento de reordenación realizado por el intercalador 24 de torsión de columna ilustrado en la Fig. 9, sobre el código LDPC suministrado desde el multiplexor 54. Es decir, el desintercalador 55 de torsión de columna realiza un procesamiento de reordenación inversa, por ejemplo, un desintercalado de torsión de columna, para recuperar los bits de código del código LDPC cuyo orden ha sido cambiado mediante el intercalado de torsión de columna como procesamiento de reordenación al orden original.

35

40 Específicamente, el desintercalador 55 de torsión de columna realiza un desintercalado de torsión de columna mediante la escritura y la lectura de los bits de código del código LDPC en y desde una memoria para el desintercalado que tiene una configuración similar a la de la memoria 31 ilustrada, típicamente, en la Fig. 28.

45 Sin embargo, el desintercalador 55 de torsión de columna escribe bits de código en la memoria para el desintercalado en su dirección de fila usando, como dirección de escritura, la dirección de lectura en la que se ha leído un bit de código desde la memoria 31. Además, el desintercalador 55 de torsión de columna lee los bits de código desde la memoria para el desintercalado en su dirección de columna usando, como dirección de lectura, la dirección de escritura en la que se ha escrito un bit de código en la memoria 31.

El código LDPC obtenido como resultado del desintercalado de torsión de columna es suministrado desde el desintercalador 55 de torsión de columna al decodificador 166 LDPC.

50 Aquí, si el código LDPC suministrado desde el decodificador 164 QAM al desintercalador 165 de bits ha sido sometido a intercalado de paridad, intercalado de torsión de columna y procesamiento de permutación, el desintercalador 165 de bits puede realizar todas las operaciones inversas, es decir, el desintercalado de paridad correspondiente al intercalado

de paridad (que es la inversa de la operación de intercalado de paridad, es decir, desintercalado de paridad para recuperar los bits de código del código LDPC cuyo orden ha sido cambiado mediante el intercalado de paridad al orden original), el procesamiento de permutación inversa correspondiente al procesamiento de permutación, y el desintercalado de torsión de columna correspondiente al intercalado de torsión de columna.

5 Sin embargo, en el desintercalador 165 de bits ilustrado en la Fig. 117, el desintercalado de paridad no se realiza debido a que el desintercalador 165 de bits no incluye un bloque configurado para realizar el desintercalado de paridad correspondiente al intercalado de paridad, aunque incluye el multiplexor 54 que realiza el procesamiento de permutación inversa correspondiente al procesamiento de permutación y el desintercalador 55 de torsión de columna que realiza el desintercalado de torsión de columna correspondiente al intercalado de torsión de columna.

10 Por consiguiente, el código LDPC sobre el que se ha realizado el procedimiento de permutación inversa y el desintercalado de torsión de columna, pero sobre el que no se ha realizado el desintercalado de paridad, es suministrado desde (el desintercalador 55 de torsión de columna) del desintercalador 165 de bits al decodificador 166 LDPC.

15 El decodificador 166 LDPC realiza una decodificación LDPC sobre el código LDPC suministrado desde el desintercalador 165 de bits usando una matriz de comprobación de paridad transformada obtenida realizando al menos una permutación de columna correspondiente al intercalado de paridad en la matriz H de comprobación de paridad que el codificador 115 LDPC ilustrado en la Fig. 8 ha usado para la codificación LDPC, y emite los datos resultantes como resultado de la decodificación de los datos LDPC objetivo.

20 La Fig. 118 es un diagrama de flujo que representa un procesamiento realizado por el decodificador 164 QAM, el desintercalador 165 de bits y el decodificador 166 LDPC ilustrados en la Fig. 117.

En la etapa S111, el decodificador 164 QAM desmapea los símbolos (es decir, los símbolos mapeados a puntos de constelación) suministrados desde el desintercalador 163 de tiempo para la demodulación ortogonal, y suministra los datos resultantes al desintercalador 165 de bits. A continuación, el procedimiento pasa a la etapa S112.

25 En la etapa S112, el desintercalador 165 de bits realiza un desintercalado (es decir, un desintercalado de bits) sobre los bits de símbolo de los símbolos suministrados desde el decodificador 164 QAM. A continuación, el procedimiento pasa a la etapa S113.

Más específicamente, en la etapa S112, el multiplexor 54 en el desintercalador 165 de bits realiza un procesamiento de permutación inversa sobre los bits de símbolo de los símbolos suministrados desde el decodificador 164 QAM, y suministra los bits de código del código LDPC resultante al desintercalador 55 de torsión de columna.

30 El desintercalador 55 de torsión de columna realiza un desintercalado de torsión de columna sobre el código LDPC suministrado desde el multiplexor 54, y suministra el código LDPC resultante al decodificador 166 LDPC.

35 En la etapa S113, el decodificador 166 LDPC realiza una decodificación LDPC sobre el código LDPC suministrado desde el desintercalador 55 de torsión de columna usando la matriz H de comprobación de paridad que el codificador 115 LDPC ilustrado en la Fig. 8 ha usado para la codificación LDPC, es decir, usando una matriz de comprobación de paridad transformada obtenida realizando al menos una permutación de columna correspondiente al intercalado de paridad en la matriz H de comprobación de paridad, y emite los datos resultantes al decodificador 167 BCH como resultado de la decodificación de los datos LDPC objetivo.

40 Cabe señalar que, también en la Fig. 117, de manera similar al caso ilustrado en la Fig. 9, el multiplexor 54 que realiza el procesamiento de permutación inversa y el desintercalador 55 de torsión de columna que realiza el desintercalado de torsión de columna están configurados como unidades separadas, en aras de la conveniencia de la ilustración. Sin embargo, el multiplexor 54 y el desintercalador 55 de torsión de columna pueden estar integrados en una única unidad.

Además, si el intercalador 116 de bits ilustrado en la Fig. 9 no realiza el intercalado de torsión de columna, no es necesario proporcionar el desintercalador 55 de torsión de columna al desintercalador 165 de bits ilustrado en la Fig. 117.

45 A continuación, se describirá más detalladamente la decodificación LDPC realizada por el decodificador 166 LDPC ilustrado en la Fig. 116.

50 Tal como se ha descrito anteriormente, el decodificador 166 LDPC ilustrado en la Fig. 116 realiza una decodificación LDPC sobre el código LDPC suministrado desde el desintercalador 55 de torsión de columna, sobre el que se ha realizado un procesamiento de permutación inversa y un desintercalado de torsión de columna, pero sobre el que no se ha realizado un desintercalado de paridad usando una matriz de comprobación de paridad transformada obtenida realizando al menos una permutación de columna correspondiente al intercalado de paridad en la matriz H de comprobación de paridad que el codificador 115 LDPC ilustrado en la Fig. 8 ha usado para la codificación de LDPC.

Aquí, la decodificación LDPC puede ser realizada usando una matriz de comprobación de paridad transformada con el fin de mantener la frecuencia de operación dentro de un intervalo suficientemente factible mientras se reduce el tamaño de la circuitería. Dicha decodificación LDPC ha sido propuesto anteriormente (véase, por ejemplo, la patente japonesa N° 4224777).

5 Por consiguiente, en primer lugar, se describirá, con referencia a las Figs. 119 a 122, la decodificación LDPC usando una matriz de comprobación de paridad transformada, que ha sido propuesta anteriormente.

La Fig. 119 ilustra un ejemplo de una matriz H de comprobación de paridad de un código LDPC que tiene una longitud N de código de 90 y una tasa de codificación de 2/3.

10 Cabe señalar que, en la Fig. 119 (también en las Figs. 120 y 121, descritas a continuación), el "0" está representado por un punto (".").

En la matriz H de comprobación de paridad ilustrada en la Fig. 119, una matriz de paridad tiene una estructura escalonada.

15 La Fig. 120 ilustra una matriz H' de comprobación de paridad obtenida realizando una permutación de fila de la Expresión (11) y una permutación de columna de la Expresión (12) en la matriz H de comprobación de paridad ilustrada en la Fig. 119.

Permutación de fila: (6s+t+1)-ésima fila → (5t+s+1)-ésima fila

... (11)

Permutación de columna: (6x+y+61) -ésima columna → (5y+x+61) -ésima columna

... (12)

20 Cabe señalar que, en las Expresiones (11) y (12), s, t, x e y son números enteros en los intervalos de $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$ y $0 \leq y < 6$, respectivamente.

25 La permutación de la fila de la Expresión (11) permite una permutación de manera que las filas 1ª, 7ª, 13ª, 19ª y 25ª, cuyos números se dividen por 6, dando un resto de 1, se reemplazan por las filas 1ª, 2ª, 3ª, 4ª y 5ª, respectivamente, y las filas 2ª, 8ª, 14ª, 20ª y 26ª, cuyos números se dividen por 6 dando un resto de 2, se reemplazan por las filas 6ª, 7ª, 8ª, 9ª y 10ª, respectivamente.

30 Además, la permutación de columna de la Expresión (12) permite una permutación de manera que las columnas 61ª, 67ª, 73ª, 79ª y 85ª, cuyos números se dividen por 6, dando un resto de 1, de entre las columnas posteriores a la columna 61ª (matriz de paridad), se reemplazan con las columnas 61ª, 62ª, 63ª, 64ª y 65ª, respectivamente, y las columnas 62ª, 68ª, 74ª, 80ª y 86ª, cuyos números se dividen por 6, dando un resto de 2, se reemplazan con las columnas 66ª, 67ª, 68ª, 69ª y 70ª, respectivamente.

Una matriz obtenida realizando permutaciones de fila y columna en la matriz H de comprobación de paridad ilustrada en la Fig. 119 de la manera descrita anteriormente es la matriz H' de comprobación de paridad ilustrada en la Fig. 120.

Aquí, la permutación de fila de la matriz H de comprobación de paridad no afectaría al orden de los bits de código del código LDPC.

35 Además, la permutación de columna de la Expresión (12) corresponde al intercalado de paridad que se realiza para intercalar el (K+qx+y+1)-ésimo bit de código a la (K+Py+x+1)-ésima posición de bit de código tal como se ha descrito anteriormente, cuando la longitud K de información es 60, el número de columnas P unidad de la estructura cíclica es 5, y el divisor q (= M/P) de la longitud M de paridad (en el ejemplo ilustrado, 30) es 6.

40 Por consiguiente, la matriz H' de comprobación de paridad ilustrada en la Fig. 120 es una matriz de comprobación de paridad transformada obtenida realizando al menos una permutación de columna para reemplazar la (K+qx+y+1)-ésima columna de la matriz H de comprobación de paridad (en adelante, denominada "matriz de comprobación de paridad original", según sea apropiado) ilustrada en la Fig. 119 con la (K+Py+x+1)-ésima columna.

Multiplicando la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 120 mediante un código LDPC obtenido realizando la misma permutación que la de la Expresión (12) sobre el código LDPC de la matriz H de

- comprobación de paridad original ilustrada en la Fig. 119, se obtiene un vector cero. Más específicamente, si un vector de fila obtenido realizando la permutación de columna de la expresión (12) en un vector c de fila como un código LDPC (es decir, una palabra de código) de la matriz H de comprobación de paridad original se representa mediante c' , Hc'^T es un vector cero debido a la naturaleza de la matriz de comprobación de paridad y , por lo tanto, Hc'^T es también un vector cero.
- De esta manera, la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 120 es una matriz de comprobación de paridad de un código c' LDPC obtenido realizando una permutación de columna de la Expresión (12) en el código c LDPC de la matriz H de comprobación de paridad original.
- Por consiguiente, puede obtenerse un resultado de decodificación similar al obtenido mediante la decodificación del código LDPC de la matriz H de comprobación de paridad original usando la matriz H de verificación de paridad obtenida mediante la decodificación (decodificación LDPC) del código c' LDPC, que se obtiene realizando una permutación de columna de la Expresión (12) en el código c LDPC de la matriz H de comprobación de paridad original, usando la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 120 y a continuación realizando la inversa de la permutación de columna de la expresión (12) en el código c' LDPC decodificado.
- La Fig. 121 ilustra la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 120, cuyos elementos están separados entre sí en unidades de matrices 5×5 .
- En la Fig. 121, la matriz H' de comprobación de paridad transformada está representada por una combinación de matrices unidad 5×5 ($= P \times P$), matrices que tienen cada una uno o más elementos 1 en una matriz unidad que se reemplazan por elementos 0 (en adelante denominadas "matrices cuasi-unidad", según sea apropiado), matrices producidas desplazando cíclicamente una matriz unidad o una matriz cuasi-unidad (en adelante denominadas "matrices de desplazamiento" según sea apropiado), matrices cada una de las cuales es la suma de dos o más de entre una matriz unidad, una matriz cuasi-unidad y una matriz de desplazamiento (en adelante denominadas "matrices suma" según sea apropiado), y matrices cero 5×5 .
- Puede decirse que la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 121 está compuesta de matrices unidad, matrices cuasi-unidad, matrices de desplazamiento, matrices suma y matrices cero 5×5 . Estas matrices 5×5 (matrices unidad, matrices cuasi-unidad, matrices de desplazamiento, matrices suma y matrices cero) que constituyen la matriz H' de comprobación de paridad transformada se denominan en adelante "matrices componentes" según sea apropiado.
- Un código LDPC de una matriz de comprobación de paridad representada por matrices componentes $P \times P$ puede ser decodificado usando una arquitectura que realiza simultáneamente un cálculo de nodo de comprobación y un cálculo de nodo variable, cada uno para los nodos P .
- La Fig. 122 es un diagrama de bloques que ilustra una configuración ejemplar de un dispositivo de decodificación que realiza la operación de decodificación descrita anteriormente.
- Más específicamente, la Fig. 122 ilustra una configuración ejemplar de un dispositivo de decodificación configurado para decodificar un código LDPC usando la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 121, que se obtiene realizando al menos una permutación de columna de la Expresión (12) en la matriz H de comprobación de paridad original ilustrada en la Fig. 119.
- El dispositivo de decodificación ilustrado en la Fig. 122 incluye una memoria 300 de almacenamiento de datos de borde que tiene seis FIFOs 300₁ a 300₆, un selector 301 para seleccionar una de las FIFOs 300₁ a 300₆, una unidad 302 de cálculo de nodo de comprobación, dos circuitos 303 y 308 de desplazamiento cíclico, una memoria 304 de almacenamiento de datos de borde que tiene 18 FIFOs 304₁ a 304₁₈, un selector 305 para seleccionar una de las FIFOs 304₁ a 304₁₈, una memoria 306 de datos recibidos para almacenar los datos recibidos, una unidad 307 de cálculo de nodo variable, una unidad 309 de cálculo de palabras decodificadas, una unidad 310 de reordenación de los datos recibidos y una unidad 311 de reordenación de datos decodificados.
- Primero, se proporcionará una descripción de un procedimiento para almacenar los datos en las memorias 300 y 304 de almacenamiento de datos de borde.
- La memoria 300 de almacenamiento de datos de borde incluye los seis FIFOs 300₁ a 300₆, cuyo número es igual al valor obtenido al dividir el número de filas de la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 121, es decir, 30, por el número de filas de cada matriz componente (es decir, el número de columnas P de la estructura cíclica), es decir, 5. Cada una de las FIFOs 300 _{y} ($y = 1, 2, \dots, 6$) incluye áreas de almacenamiento de múltiples etapas, y está configurada de manera que los mensajes correspondientes a cinco bordes, cuyo número es igual al número de filas y al número de columnas de cada matriz componente (es decir, el número de columnas P unidad de la estructura cíclica), pueden ser leída y escrita simultáneamente desde/en el área de almacenamiento de

cada etapa. Además, el número de etapas de las áreas de almacenamiento de cada una de las FIFOs 300_y es 9, que es el máximo de los números de 1s (ponderaciones de Hamming) en la dirección de la fila de la matriz de comprobación de paridad transformada ilustrada en la Fig. 121.

5 Los datos (es decir, los mensajes v_i desde los nodos variables) correspondientes a las posiciones de 1s en las filas primera a quinta de la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 121 se almacenan en la FIFO 300₁ de manera que cada fila se llena con los elementos de datos en la dirección lateral (es decir, los 0s se ignoran). Más específicamente, si el elemento de la j-ésima fila y la i-ésima columna se representa mediante (j, i), los datos correspondientes a las posiciones de 1s en la matriz unidad de 5 x 5 de (1,1) a (5,5) de la matriz H' de comprobación de paridad transformada se almacenan en el área de almacenamiento de la primera etapa de la FIFO 300₁. Los datos correspondientes a las posiciones de 1s en la matriz de desplazamiento (que es una matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 hacia la derecha en tres elementos) de (1,21) a (5,25) de la matriz H' de comprobación de paridad transformada se almacenan en el área de almacenamiento de la segunda etapa. De manera similar, los datos se almacenan en las áreas de almacenamiento de las etapas tercera a octava en asociación con la matriz H' de comprobación de paridad transformada. Además, los datos correspondientes a las posiciones de 1s en la matriz de desplazamiento (que es una matriz de desplazamiento obtenida reemplazando los 1s en la primera fila con 0s en la matriz unidad de 5 x 5 y desplazando cíclicamente la matriz unidad de 5 x 5 hacia la izquierda en un elemento) de (1,86) a (5,90) de la matriz H' de comprobación de paridad transformada se almacenan en el área de almacenamiento de la novena etapa.

20 Los datos correspondientes a las posiciones de 1s en las filas sexta a décima de la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 121 se almacenan en la FIFO 300₂. Más específicamente, los datos correspondientes a las posiciones de 1s en una primera matriz de desplazamiento incluida en una matriz suma (que es una matriz suma que representa la suma de una primera matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 hacia la derecha en un elemento) y una segunda matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 hacia la derecha en dos elementos) de (6,1) a (10,5) de la matriz H' de comprobación de paridad transformada se almacenan en el área de almacenamiento de la primera etapa de la FIFO 300₂. Además, los datos correspondientes a las posiciones de 1s en la segunda matriz de desplazamiento incluidos en la matriz suma de (6,1) a (10,5) de la matriz H' de comprobación de paridad transformada se almacenan en el área de almacenamiento de la segunda etapa.

30 Más específicamente, en el caso de una matriz componente que tiene una ponderación de 2 o más, cuando la matriz componente está representada por la suma de dos o más de una matriz unidad P x P que tiene una ponderación de 1, una matriz cuasi-unidad producida reemplazando uno o más elementos 1 en la matriz unidad con elementos 0, y una matriz de desplazamiento producida desplazando cíclicamente la matriz unidad o la matriz cuasi-unidad, los datos correspondientes a las posiciones de 1s en la matriz unidad que tiene una ponderación de 1, la matriz cuasi-unidad o la matriz de desplazamiento (es decir, los mensajes correspondientes a los bordes que pertenecen a la matriz unidad, la matriz cuasi-unidad o la matriz de desplazamiento) se almacenan en la misma dirección (es decir, la misma FIFO de entre las FIFOs 300₁ a 300₆).

Los datos se almacenan también en las áreas de almacenamiento de las etapas tercera a novena subsiguientes en asociación con la matriz H' de comprobación de paridad transformada.

40 De manera similar, los datos se almacenan en las FIFOs 300₃ a 300₆ en asociación con la matriz H' de comprobación de paridad transformada.

45 La memoria 304 de almacenamiento de datos de borde incluye 18 FIFOs 304₁ a 304₁₈, cuyo número es igual a un valor obtenido dividiendo el número de columnas de la matriz H' de comprobación de paridad transformada, es decir, 90, por el número de columnas de cada matriz componente (es decir, el número de columnas P unidad de la estructura cíclica), es decir, 5. Cada una de las FIFOs 304_x (x = 1, 2, ..., 18) incluye áreas de almacenamiento de múltiples etapas, y está configurada de manera que los mensajes correspondientes a cinco bordes, cuyo número es igual al número de filas y al número de columnas de cada matriz componente (es decir, el número P de columnas unidad de la estructura cíclica), puede ser leída y escrita simultáneamente desde/en el área de almacenamiento de cada etapa.

50 Los datos (es decir, los mensajes u_j desde los nodos de comprobación) correspondientes a las posiciones de 1s en las columnas primera a quinta de la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 121 se almacenan en la FIFO 304₁ de manera que cada columna se llena con los elementos de datos en la dirección longitudinal (es decir, los 0s se ignoran). Específicamente, los datos correspondientes a las posiciones de 1s en la matriz unidad de 5 x 5 de (1,1) a (5,5) de la matriz H' de comprobación de paridad transformada se almacenan en el área de almacenamiento de la primera etapa de la FIFO 304₁. Los datos correspondientes a las posiciones de 1s en una primera matriz de desplazamiento incluida en una matriz suma (que es una matriz suma que representa la suma de una primera matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 hacia la derecha un elemento) y una segunda matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5

hacia la derecha en dos elementos) de (6,1) a (10,5) de la matriz H' de comprobación de paridad transformada se almacena en el área de almacenamiento de la segunda etapa. Además, los datos correspondientes a las posiciones de 1s en la segunda matriz de desplazamiento incluidos en la matriz suma de (6,1) a (10,5) de la matriz H' de comprobación de paridad transformada se almacenan en el área de almacenamiento de la tercera etapa.

5 Más específicamente, en el caso de una matriz componente que tiene una ponderación de 2 o más, cuando la matriz componente está representada por la suma de dos o más de entre una matriz unidad P x P que tiene una ponderación de 1, una matriz cuasi-unidad producida reemplazando uno o más elementos 1 en la matriz unidad con elementos 0 y una matriz de desplazamiento producida desplazando cíclicamente la matriz unidad o la matriz cuasi-unidad, los datos correspondientes a las posiciones de 1s en la matriz unidad tienen una ponderación de 1, la matriz cuasi-unidad o la
10 matriz de desplazamiento (es decir, los mensajes correspondientes a los bordes que pertenecen a la matriz unidad, la matriz cuasi-unidad o la matriz de desplazamiento) se almacenan en la misma dirección (es decir, la misma FIFO de entre las FIFOs 304₁ a 304₁₈).

Los datos se almacenan también en las áreas de almacenamiento de las etapas cuarta y quinta posteriores en asociación con la matriz H' de comprobación de paridad transformada. El número de etapas de las áreas de almacenamiento de la FIFO 304₁ es 5, que es el máximo de los números de 1s (ponderaciones de Hamming) en la
15 dirección de la fila en las columnas primera a quinta de la matriz H' de comprobación de paridad transformada.

De manera similar, los datos se almacenan también en las FIFOs 304₂ y 304₃ en asociación con la matriz H' de comprobación de paridad transformada, siendo las longitudes respectivas (el número de etapas) 5. Los datos se almacenan también en las FIFOs 304₄ a 304₁₂ en asociación con la matriz H' de comprobación de paridad transformada, siendo las longitudes respectivas 3. Los datos se almacenan también en las FIFOs 304₁₃ a 304₁₈ en asociación con la matriz H' de comprobación de paridad transformada, siendo las longitudes respectivas 2.
20

Ahora, se proporcionará una descripción del funcionamiento del dispositivo de decodificación ilustrado en la Fig. 122.

La memoria 300 de almacenamiento de datos de borde, que incluye las seis FIFOs 300₁ a 300₆, selecciona una FIFO para almacenar datos de entre las FIFOs 300₁ a 300₆ según la información (datos de matriz) D312 que indica a qué fila en la matriz H' de comprobación de paridad transformada ilustrada en la Fig. 121 pertenecen los cinco mensajes D311
25 suministrados desde el circuito 308 de desplazamiento cíclico situado aguas arriba de la memoria 300 de almacenamiento de datos de borde, y almacena colectivamente los cinco mensajes D311 en la FIFO seleccionada en orden. Además, durante la lectura de datos, la memoria 300 de almacenamiento de datos de borde lee cinco mensajes D300₁ de borde in orden desde la FIFO 300₁, y suministra los mensajes D300₁ leídos al selector 301 situado aguas abajo de la memoria 300 de almacenamiento de datos de borde. Una vez completada la lectura de mensajes desde la FIFO 300₁, la memoria 300 de almacenamiento de datos de borde lee también los mensajes en orden desde las FIFOs 300₂ a 300₆, y suministra los mensajes leídos al selector 301.
30

El selector 301 selecciona cinco mensajes recibidos desde una FIFO desde la cual se están leyendo datos actualmente de entre las FIFOs 300₁ a 300₆ según una señal D301 de selección, y suministra los mensajes seleccionados como mensajes D302 a la unidad 302 de cálculo de nodo de comprobación.
35

La unidad 302 de cálculo de nodo de comprobación incluye cinco elementos 302₁ a 302₅ de cálculo de nodo de comprobación, y realiza el cálculo de nodo de comprobación según la Expresión (7) usando los mensajes D302 (D302₁ a D302₅) (correspondientes a los mensajes v_i en Expresión (7)) suministrados mediante el selector 301. La unidad 302 de cálculo de nodo de comprobación suministra cinco mensajes D303 (D303₁ a D303₅) (correspondientes a los mensajes u_i en la Expresión (7)) obtenidos como resultado del cálculo del nodo de comprobación al circuito 303 de desplazamiento cíclico.
40

El circuito 303 de desplazamiento cíclico desplaza cíclicamente los cinco mensajes D303₁ a D303₅ determinados por la unidad 302 de cálculo de nodo de comprobación en base a la información (datos matriciales) D305 que indica el número de matrices unidad originales (o matrices cuasi-unidad) que han sido desplazadas cíclicamente en la matriz H' de comprobación de paridad transformada para obtener el borde correspondiente, y suministra los resultados a la memoria 304 de almacenamiento de datos de borde como mensajes D304.
45

La memoria 304 de almacenamiento de datos de borde, que incluye las 18 FIFOs 304₁ a 304₁₈, selecciona una FIFO para almacenar datos de entre las FIFOs 304₁ a 304₁₈ según la información D305 que indica a qué fila en la matriz H' de comprobación de paridad transformada pertenecen los cinco mensajes D304 suministrados desde el circuito 303 de desplazamiento de ciclo situado aguas arriba de la memoria 304 de almacenamiento de datos de borde y almacena colectivamente los cinco mensajes D304 en la FIFO seleccionada en orden. Además, durante la lectura de datos, la memoria 304 de almacenamiento de datos de borde lee cinco mensajes D306₁ en orden desde la FIFO 304₁, y suministra los mensajes D306₁ leídos al selector 305 situado aguas abajo de la memoria 304 de almacenamiento de datos de borde. Una vez completada la lectura de los datos desde la FIFO 304₁, la memoria 304 de almacenamiento de datos de borde lee también mensajes en orden desde las FIFOs 304₂ a 304₁₈, y suministra los mensajes leídos al
50
55

selector 305.

El selector 305 selecciona cinco mensajes desde una FIFO desde la que se están leyendo datos actualmente de entre las FIFOs 304₁ a 304₁₈ según una señal D307 de selección, y suministra los mensajes seleccionados como mensajes D308 a la unidad 307 de cálculo de nodo variable y a la unidad 309 de cálculo de palabras decodificadas.

5 Por otra parte, la unidad 310 de reordenación de datos recibidos reordena un código D313 LDPC correspondiente a la matriz H de comprobación de paridad ilustrada en la Fig. 119, que ha sido recibido a través de la ruta 13 de comunicación, realizando una permutación de columna de la Expresión (12), y suministra los datos resultantes como datos D314 recibidos a la memoria 306 de datos recibidos. La memoria 306 de datos recibidos calcula las LLRs (Log-Likelihood Ratios, relaciones de probabilidad logarítmica) de recepción a partir de datos D314 recibidos suministrados desde la unidad 310 de reordenación de datos recibidos, y almacena las LLRs de recepción. La unidad 310 de reordenación de datos recibidos suministra colectivamente además las LLR de recepción en unidades de cinco LLRs de recepción como valores D309 de recepción a la unidad 307 de cálculo de nodo variable y a la unidad 309 de cálculo de palabras decodificadas.

15 La unidad 307 de cálculo de nodo variable incluye cinco elementos 307₁ a 307₅ de cálculo de nodo variable, y realiza el cálculo de nodo variable según la Expresión (1) usando los mensajes D308 (D308₁ a D308₅) (es decir, los mensajes u_i en la Expresión (1)) suministrados a través del selector 305 y los cinco valores D309 de recepción (valores u_{0i} de recepción en la Expresión (1)) suministrados desde la memoria 306 de datos recibidos. La unidad 307 de cálculo de nodo variable suministra los mensajes D310 (D310₁ a D310₅) (es decir, los mensajes v_i en la Expresión (1)) obtenidos como resultado del cálculo del circuito 308 de desplazamiento cíclico.

20 El circuito 308 de desplazamiento cíclico desplaza cíclicamente los mensajes D310₁ a D310₅ calculados por la unidad 307 de cálculo de nodo variable en base a información que indica el número de matrices unidad originales (o matrices cuasi-unidad) que han sido desplazadas cíclicamente en la matriz H' de comprobación de paridad transformada para obtener el borde correspondiente, y suministra los resultados a la memoria 300 de almacenamiento de datos de borde como mensajes D311.

25 La serie de operaciones descritas anteriormente pueden ser realizadas una vez para realizar una decodificación única de un código LDPC (cálculo de nodo variable y cálculo de nodo de comprobación). Después de decodificar un código LDPC un cierto número de veces, el dispositivo de decodificación ilustrado en la Fig. 122 determina y emite los datos decodificados finales a través de la unidad 309 de cálculo de palabras decodificadas y la unidad 311 de reordenación de datos decodificados.

30 Más específicamente, la unidad 309 de cálculo de palabras decodificadas incluye cinco elementos 309₁ a 309₅ de cálculo de palabras decodificadas, y sirve como etapa final de una pluralidad de operaciones de decodificación para calcular los datos decodificados (es decir, una palabra decodificada) según la Expresión (5) usando los cinco mensajes D308 (D308₁ a D308₅) (es decir, los mensajes u_i en la Expresión (5)) emitidos desde el selector 305 y los cinco valores D309 de recepción (es decir, los valores u_{0i} de recepción en la Expresión (5)) suministrados desde la memoria 306 de datos recibidos. La unidad 309 de cálculo de palabras decodificadas suministra los datos D315 decodificados obtenidos como un resultado del cálculo a la unidad 311 de reordenación de datos decodificados.

35 La unidad 311 de reordenación de datos decodificados cambia el orden de los datos D315 decodificados suministrados desde la unidad 309 de cálculo de palabras decodificadas realizando la inversa de la permutación de columna de la Expresión (12), y emite los datos resultantes como datos D316 decodificados finales.

40 Tal como se ha descrito anteriormente, una o ambas de entre la permutación de fila y la permutación de columna se realizan en la matriz de comprobación de paridad (es decir, la matriz de comprobación de paridad original) para convertir la matriz de comprobación de paridad en una matriz de comprobación de paridad (es decir, una matriz de comprobación de paridad transformada) que puede ser representada mediante una combinación de matrices componentes, concretamente, una matriz unidad de $P \times P$, una matriz cuasi-unidad producida reemplazando uno o más elementos 1 con elementos 0, una matriz de desplazamiento producida desplazando cíclicamente la matriz unidad o la matriz cuasi-unidad, una matriz suma que representa la suma de dos o más de entre la matriz unidad, la matriz cuasi-unidad y la matriz de desplazamiento, y una matriz cero de $P \times P$. Esto permite la decodificación de un código LDPC usando una arquitectura que realiza simultáneamente el cálculo del nodo de comprobación y el cálculo del nodo variable, cada uno para P nodos, donde P es menor que el número de filas o el número de columnas de la matriz de comprobación de paridad. El uso de una arquitectura que realiza simultáneamente el cálculo de nodos (cálculo de nodos de comprobación y cálculo de nodos variables) para P nodos, donde P es menor que el número de filas o el número de columnas de una matriz de comprobación de paridad, hace posible realizar una decodificación repetitiva múltiple mientras se mantiene la frecuencia operativa dentro de un intervalo factible, en comparación con el caso en el que el cálculo de nodos se realiza simultáneamente para los nodos, cuyo número es igual al número de filas o al número de columnas de una matriz de comprobación de paridad.

De manera similar al dispositivo de decodificación ilustrado en la Fig. 122, el decodificador 166 LDPC incluido en el dispositivo 12 de recepción ilustrado en la Fig. 116 está configurado para realizar una decodificación LDPC, por ejemplo, realizando simultáneamente el cálculo del nodo de comprobación y el cálculo del nodo variable, cada uno para P nodos.

- 5 Más específicamente, se supone ahora que, en aras de facilitar la descripción, la matriz de comprobación de paridad del código LDPC emitido desde el codificador 115 LDPC incluida en el dispositivo 11 de transmisión ilustrado en la Fig. 8 es, por ejemplo, la matriz H de comprobación de paridad ilustrada en la Fig. 119 en la que una matriz de paridad tiene una estructura escalonada. En este caso, el intercalador 23 de paridad del dispositivo 11 de transmisión realiza un intercalado de paridad para intercalar el $(K+qx+y+1)$ -ésimo bit del código en la posición del $(K+Py+x+1)$ -ésimo bit de código, siendo la longitud K de información de 60, siendo el número de columnas P de la estructura cíclica 5 y siendo el divisor $q (= M/P)$ de la longitud M de paridad 6.

Tal como se ha descrito anteriormente, esta operación de intercalado de paridad corresponde a la permutación de columna de la Expresión (12). De esta manera, no es necesario que el decodificador 166 LDPC realice la permutación de columna de la Expresión (12).

- 15 Por lo tanto, en el dispositivo 12 de recepción ilustrado en la Fig. 116, tal como se ha descrito anteriormente, un código LDPC sobre el que no se ha realizado un desintercalado de paridad, es decir, un código LDPC sobre el que se ha realizado la permutación de columna de la Expresión (12), es suministrado desde el desintercalador 55 de torsión de columna al decodificador 166 LDPC. El decodificador 166 LDPC realiza un procesamiento similar al del dispositivo de decodificación ilustrado en la Fig. 122, excepto que no se realiza la permutación de columna de la Expresión (12).

- 20 Más específicamente, la Fig. 123 ilustra una configuración ejemplar del decodificador 166 LDPC ilustrado en la Fig. 116.

- 25 En la Fig. 123, el decodificador 166 LDPC tiene una configuración similar a la del dispositivo de decodificación ilustrado en la Fig. 122, excepto que la unidad 310 de reordenación de datos recibidos ilustrada en la Fig. 122 no está incluida, y realiza un procesamiento similar al del dispositivo de decodificación ilustrado en la Fig. 122, excepto que no se realiza la permutación de columna de la Expresión (12), que no se describe aquí.

Tal como se ha descrito anteriormente, el decodificador 166 LDPC puede estar configurado de manera que no incluya la unidad 310 de reordenación de datos recibidos, y puede tener un tamaño más pequeño que el dispositivo de decodificación ilustrado en la Fig. 122.

- 30 Cabe señalar que, en las Figs. 119 a 123, en aras de facilitar la ilustración, la longitud N de código de un código LDPC es 90, la longitud K de información es 60, el número de columnas P de la estructura cíclica (es decir, el número de filas y el número de columnas de una matriz componente) es 5, y el divisor $q (= M/P)$ de la longitud M de paridad es 6. Sin embargo, la longitud N de código, la longitud K de información, el número de columnas P de la estructura cíclica y el divisor $q (= M/P)$ no están limitados a los valores descritos anteriormente.

- 35 Más específicamente, el codificador 115 LDPC en el dispositivo 11 de transmisión ilustrado en la Fig. 8 emite un código LDPC, por ejemplo, con la longitud N de código de 64.800, 16.200, o similar, estando la longitud K de información determinada por $N - Pq (= N - M)$, el número de columnas P unidad de la estructura cíclica es 360 y el divisor q viene determinado por M/P. El decodificador 166 LDPC ilustrado en la Fig. 123 puede ser usado para realizar una decodificación LDPC sobre el código LDPC descrito anteriormente realizando simultáneamente el cálculo del nodo de comprobación y el cálculo del nodo variable, cada uno para los P nodos.

- 40 La Fig. 124 incluye diagramas que representan el procesamiento del multiplexor 54 incluido en el desintercalador 165 de bits ilustrado en la Fig. 117.

Más específicamente, la parte A de la Fig. 124 ilustra una configuración funcional ejemplar del multiplexor 54.

El multiplexor 54 incluye una unidad 1001 de permutación inversa y una memoria 1002.

- 45 El multiplexor 54 realiza un procesamiento de permutación inversa (que es el inverso del procedimiento de permutación), correspondiente al procesamiento de permutación realizado por el demultiplexor 25 del dispositivo 11 de transmisión, sobre los bits de símbolo de los símbolos suministrados por el decodificador 164 QAM situado aguas arriba del multiplexor 54. Es decir, el multiplexor 54 realiza un procesamiento de permutación inversa para recuperar las posiciones de los bits de código (bits de símbolo) del código LDPC que han sido permutados mediante el procesamiento de permutación a las posiciones originales, y suministra el código LDPC resultante al desintercalador 55 de torsión de columna situado aguas abajo del multiplexor 54.

- 50 Más específicamente, m_b bits $y_0, y_1, \dots, y_{m_b-1}$ de símbolo de b símbolos son suministrados a la unidad 1001 de permutación inversa en el multiplexor 54 en unidades de b símbolos (consecutivos).

La unidad 1001 de permutación inversa realiza una permutación inversa para recuperar los mb bits y_0 a y_{mb-1} del símbolo en el orden de los mb bits $b_0, b_1, \dots, b_{mb-1}$ de código originales (es decir, el orden de los bits b_0 a b_{mb-1} de código antes de que la unidad 32 de permutación incluida en el demultiplexor 25 en el lado del dispositivo 11 de transmisión realizara la permutación), y emite los mb bits b_0 a b_{mb-1} de código resultantes.

5 De manera similar a la memoria 31 incluida en el demultiplexor 25 en el lado del dispositivo 11 de transmisión, la memoria 1002 tiene una capacidad de almacenamiento para almacenar mb bits en su dirección de fila (horizontal) y $N/(mb)$ bits en su dirección de columna (vertical). En otras palabras, la memoria 1002 incluye mb columnas para almacenar $N/(mb)$ bits.

10 Cabe señalar que los bits de código del código LDPC emitidos desde la unidad 1001 de permutación inversa se escriben en la memoria 1002 en la dirección en la que se lee un bit de código desde la memoria 31 en el demultiplexor 25 del dispositivo 11 de transmisión, y los bits de código escritos en la memoria 1002 se leen desde la memoria 1002 en la dirección en la que se escribe un bit de código en la memoria 31.

15 Por consiguiente, tal como se ilustra en la parte A de la Fig. 124, el multiplexor 54 del dispositivo 12 de recepción escribe los bits de código del código LDPC emitido desde la unidad 1001 de permutación inversa en la dirección de fila en unidades de mb bits, donde la operación de escritura se mueve desde la parte superior a la parte inferior de la memoria 1002, empezando desde la primera fila.

Además, cuando se completa la escritura de los bits de código correspondientes a una longitud de código, el multiplexor 54 lee los bits de código desde la memoria 1002 en la dirección de la columna, y suministra los bits de código leídos al desintercalador 55 de torsión de columna situado corriente abajo del multiplexor 54.

20 Aquí, la parte B de la Fig. 124 es un diagrama que ilustra la lectura de los bits de código desde la memoria 1002.

El multiplexor 54 lee los bits de código del código LDPC (en la dirección de la columna) desde la parte superior a la parte inferior de cada una de las columnas de la memoria 1002, donde la operación de lectura se mueve hacia la derecha, empezando desde la columna de la izquierda.

25 La Fig. 125 es un diagrama que representa el procesamiento del desintercalador 55 de torsión de columna incluido en el desintercalador 165 de bits ilustrado en la Fig. 117.

Más específicamente, la Fig. 125 ilustra una configuración ejemplar de la memoria 1002 del multiplexor 54.

La memoria 1002 tiene una capacidad de almacenamiento para almacenar mb bits en su dirección de columna (vertical) y $N/(mb)$ bits en su dirección de fila (horizontal), e incluye mb columnas.

30 El desintercalador 55 de torsión de columna realiza un desintercalado de torsión de columna controlando una posición de inicio de lectura cuando los bits de código del código LDPC se escriben en la memoria 1002 en la dirección de la fila y se leen desde la memoria 1002 en la dirección de la columna.

35 Más específicamente, el desintercalador 55 de torsión de columna realiza un procesamiento de reordenación inversa para recuperar los bits de código cuyo orden ha sido cambiado mediante el intercalado de torsión de columna al orden original, cambiando la posición de inicio de lectura con la que se inicia la lectura de un bit de código, según se desee, para cada una de entre una pluralidad de columnas.

Aquí, la Fig. 125 ilustra una configuración ejemplar de la memoria 1002 en un caso en el que, tal como se ha descrito con referencia a la Fig. 28, el esquema de modulación es 16APSK, 16QAM o similar y el múltiplo b es 1. En este caso, el número m de bits de un símbolo es 4, y la memoria 1002 incluye 4 columnas ($= mb$).

40 En lugar del multiplexor 54, el desintercalador 55 de torsión de columna escribe los bits de código del código LDPC emitido desde la unidad 1001 de permutación inversa en la dirección de la fila, donde la operación de escritura se mueve hacia abajo secuencialmente desde la primera fila de la memoria 1002.

45 Además, cuando se completa la escritura de los bits de código correspondientes a una longitud de código, el desintercalador 55 de torsión de columna lee los bits de código desde la memoria 1002 (en la dirección de la columna) desde la parte superior a la parte inferior, donde la operación de lectura se mueve hacia la derecha, empezando desde la columna más a la izquierda.

Cabe señalar que el desintercalador 55 de torsión de columna lee los bits de código desde la memoria 1002, usando, como posición de inicio de lectura del bit de código, la posición de inicio de escritura desde la cual el intercalador 24 de torsión de columna en el lado del dispositivo 11 de transmisión escribe un bit de código.

Más específicamente, si la dirección de la posición de la primera (o parte superior) de cada columna está representada

- por 0 y las direcciones de las posiciones respectivas en la dirección de la columna están representadas por números enteros dispuestos en orden ascendente, el desintercalador 55 de torsión de columna establece la posición de inicio de lectura para la columna más a la izquierda a la posición en la dirección 0, la posición de inicio de lectura para la segunda columna (desde la izquierda) a la posición en la dirección 2, la posición de inicio de lectura para la tercera columna a la posición en la dirección 4 y la posición de inicio de lectura para la cuarta columna a la posición en la dirección 7 en un caso en el que el esquema de modulación es 16APSK o 16QAM y el múltiplo b es 1.
- Cabe señalar que, después de leer los bits de código hasta la parte inferior de la columna para la que la posición de inicio de lectura se establece en una posición distinta de la posición en la dirección 0, el desintercalador 55 de torsión de columna vuelve a la primera posición (es decir, la posición en la dirección 0), y lee los bits de código hasta la posición inmediatamente anterior a la posición de inicio de lectura. A continuación, el desintercalador 55 de torsión de columna realiza la lectura desde la columna subsiguiente (derecha).
- La operación de desintercalado de torsión de columna descrita anteriormente permite que el orden de los bits de código que han sido reordenados mediante el intercalado de torsión de columna vuelva al orden original.
- La Fig. 126 es un diagrama de bloques que ilustra otra configuración ejemplar del desintercalador 165 de bits ilustrado en la Fig. 116.
- Cabe señalar que, en la Fig. 126, a las partes correspondientes a las ilustradas en la Fig. 117 se les asignan los mismos números de referencia, y se omitirá una descripción posterior de las mismas, según sea apropiado.
- Más específicamente, el desintercalador 165 de bits ilustrado en la Fig. 126 tiene una configuración similar a la ilustrada en la Fig. 117, excepto que se incluye además un desintercalador 1011 de paridad.
- En la Fig. 126, el desintercalador 165 de bits incluye un multiplexor (MUX) 54, un desintercalador 55 de torsión de columna y un desintercalador 1011 de paridad, y realiza un desintercalado de bits en los bits de código del código LDPC suministrado desde el decodificador 164 QAM.
- Más específicamente, el multiplexor 54 realiza un procesamiento de permutación inversa (que es el inverso del procedimiento de permutación), correspondiente al procesamiento de permutación realizado por el demultiplexor 25 del dispositivo 11 de transmisión, sobre el código LDPC suministrado desde el decodificador 164 QAM. Es decir, el multiplexor 54 realiza un procesamiento de permutación inversa para recuperar las posiciones de los bits de código permutados mediante el procesamiento de permutación a las posiciones originales, y suministra el código LDPC resultante al desintercalador 55 de torsión de columna.
- El desintercalador 55 de torsión de columna realiza un desintercalado de torsión de columna, correspondiente al intercalado de torsión de columna como el procedimiento de reordenación realizado por el intercalador 24 de torsión de columna del dispositivo 11 de transmisión, sobre el código LDPC suministrado desde el multiplexor 54.
- El código LDPC obtenido como resultado del desintercalado de torsión de columna es suministrado desde el desintercalador 55 de torsión de columna al desintercalador 1011 de paridad.
- El desintercalador 1011 de paridad realiza un desintercalado de paridad (que es la inversa de la operación de intercalado de paridad), correspondiente al intercalado de paridad realizado por el intercalador 23 de paridad del dispositivo 11 de transmisión, sobre los bits de código sobre los que el desintercalador 55 de torsión de columna ha realizado el desintercalado de torsión de columna. Es decir, el desintercalador 1011 de paridad realiza un desintercalado de paridad para recuperar los bits de código del código LDPC cuyo orden ha sido cambiado mediante el intercalado de paridad al orden original.
- El código LDPC obtenido como resultado del desintercalado de paridad es suministrado desde el desintercalador 1011 de paridad al decodificador 166 LDPC.
- Por consiguiente, el desintercalador 165 de bits ilustrado en la Fig. 126 suministra un código LDPC sobre el que se ha realizado un procesamiento de permutación inversa, un desintercalado de torsión de columna y un desintercalado de paridad, es decir, un código LDPC obtenido mediante codificación LDPC según la matriz H de comprobación de paridad, al decodificador 166 LDPC.
- El decodificador 166 LDPC realiza una decodificación LDPC sobre el código LDPC suministrado desde el desintercalador 165 de bits usando la matriz H de comprobación de paridad que el codificador 115 LDPC del dispositivo 11 de transmisión ha usado para la codificación LDPC. Más específicamente, el decodificador 166 LDPC realiza una decodificación LDPC sobre el código LDPC suministrado desde el desintercalador 165 de bits usando la matriz H de comprobación de paridad que el codificador 115 LDPC del dispositivo 11 de transmisión ha usado para la codificación LDPC, o usando una matriz de comprobación de paridad transformada obtenida realizando al menos una permutación de columna, correspondiente al intercalado de paridad, en la matriz H de comprobación de paridad.

Aquí, en la Fig. 126, un código LDPC obtenido mediante la codificación LDPC según la matriz H de comprobación de paridad es suministrado desde (el desintercalador 1011 de paridad de) el desintercalador 165 de bits al decodificador 166 LDPC. Por consiguiente, en un caso en el que la decodificación LDPC del código LDPC es realizada usando la matriz H de comprobación de paridad que el codificador 115 LDPC del dispositivo 11 de transmisión ha usado para la codificación LDPC, el decodificador 166 LDPC puede ser implementado, por ejemplo, como un dispositivo de decodificación configurado para realizar una decodificación LDPC usando un procedimiento de decodificación en serie completa para realizar secuencialmente el cálculo de los mensajes (es decir, los mensajes de nodos de comprobación y los mensajes de nodos variables) nodo por nodo, o un dispositivo de decodificación configurado para realizar una decodificación LDPC usando un procedimiento de decodificación paralelo completo para realizar simultáneamente (o en paralelo) el cálculo de los mensajes para todos los nodos.

Además, en un caso en el que el decodificador 166 LDPC realiza una decodificación LDPC sobre un código LDPC usando una matriz de comprobación de paridad transformada obtenida realizando al menos una permutación de columna, correspondiente al intercalado de paridad, en la matriz H de comprobación de paridad que el codificador 115 LDPC del transmisor 11 ha usado para la codificación LDPC, el decodificador 166 LDPC puede estar implementado como un dispositivo de decodificación que tiene una arquitectura que realiza simultáneamente el cálculo de los nodos de comprobación y el cálculo de los nodos variables, cada uno para P (o un divisor de P distinto de 1) nodos, que es el dispositivo de decodificación (Fig. 122) que incluye la unidad 310 de reordenación de datos recibidos configurada para realizar una permutación de columna similar a la permutación de columna para obtener una matriz de comprobación de paridad transformada sobre un código LDPC para reordenar los bits de código del código LDPC.

Cabe señalar que, en la Fig. 126, el multiplexor 54 que realiza el procesamiento de permutación inversa, el desintercalador 55 de torsión de columna que realiza el desintercalado de torsión de columna y el desintercalador 1011 de paridad que realiza el desintercalado de paridad están configurados como unidades separadas, en aras de la conveniencia de ilustración. Sin embargo, dos o más de entre el multiplexor 54, el desintercalador 55 de torsión de columna y el desintercalador 1011 de paridad pueden ser integrados en una única unidad, de manera similar al intercalador 23 de paridad, el intercalador 24 de torsión de columna y el demultiplexor 25 del dispositivo 11 de transmisión.

Además, si el intercalador 116 de bits (Fig. 8) del dispositivo 11 de transmisión está configurado de manera que no incluya el intercalador 23 de paridad o el intercalador 24 de torsión de columna, el desintercalador 165 de bits ilustrado en la Fig. 126 puede estar configurado de manera que no incluya el desintercalador 55 de torsión de columna o el desintercalador 1011 de paridad.

También en este caso, el decodificador 166 LDPC puede ser implementado como un dispositivo de decodificación del tipo de decodificación en serie completa que realiza una decodificación LDPC usando la matriz H de comprobación de paridad, un dispositivo de decodificación del tipo de decodificación paralela completa que realiza la decodificación LDPC usando la propia matriz H de comprobación de paridad, o el dispositivo de decodificación (Fig. 122) que incluye la unidad 310 de reordenación de datos recibidos configurada para realizar una decodificación LDPC realizando simultáneamente el cálculo de nodo de comprobación y el cálculo de nodo variable cada uno para los P nodos usando una matriz H' de comprobación de paridad transformada.

[Configuración ejemplar del sistema de recepción]

La Fig. 127 es un diagrama de bloques que ilustra una primera configuración ejemplar de un sistema de recepción al que puede aplicarse el dispositivo 12 de recepción.

En la Fig. 127, el sistema de recepción incluye una unidad 1101 de adquisición, una unidad 1102 de procesamiento de decodificación de ruta de transmisión y una unidad 1103 de procesamiento de decodificación de fuente de información.

La unidad 1101 de adquisición adquiere una señal que incluye un código LDPC obtenido realizando al menos una codificación LDPC sobre los datos LDPC objetivo, tales como datos de imagen y datos de audio de un programa, a través de una ruta de transmisión (o ruta de comunicación) (no ilustrada), tal como una difusión digital terrestre, una difusión digital satelital, una red CATV, Internet o cualquier otra red adecuada, y suministra la señal a la unidad 1102 de procesamiento de decodificación de ruta de transmisión.

Aquí, en un caso en el que la unidad 1101 de adquisición adquiere una señal transmitida, por ejemplo, desde una estación de difusión terrestre, satelital, CATV (Cable Television, televisión por cable) o cualquier otra red, la unidad 1101 de adquisición puede ser implementada como un sintonizador, un STB (Set Top Box, codificador) o similar. Además, en un caso en el que la unidad 1101 de adquisición adquiere una señal transmitida usando, por ejemplo, tecnología de multidifusión tal como IPTV (Internet Protocol Television, televisión bajo protocolo de internet) desde un servidor web, la unidad 1101 de adquisición puede ser implementada como una red I/F (Interfaz), tal como como NIC (Network Interface Card, tarjeta de interfaz de red).

- La unidad 1102 de procesamiento de decodificación de ruta de transmisión corresponde al dispositivo 12 de recepción. La unidad 1102 de procesamiento de decodificación de ruta de transmisión realiza un procedimiento de decodificación de ruta de transmisión, que incluye al menos un procesamiento para corregir los errores causados en una ruta de transmisión, sobre la señal adquirida por la unidad 1101 de adquisición a través de una ruta de transmisión, y suministra la señal resultante a la unidad 1103 de procesamiento de decodificación de ruta de transmisión.
- Más específicamente, la señal adquirida por la unidad 1101 de adquisición a través de una ruta de transmisión es una señal obtenida realizando al menos una codificación de corrección de errores para corregir los errores causados en una ruta de transmisión. La unidad 1102 de procesamiento de decodificación de ruta de transmisión realiza un procedimiento de decodificación de ruta de transmisión, tal como un procedimiento de corrección de errores sobre la señal descrita anteriormente.
- Aquí, los ejemplos de la codificación de corrección de errores incluyen la codificación LDPC y la codificación BCH. Aquí, se realiza al menos la codificación LDPC como codificación de corrección de errores.
- Además, el procedimiento de decodificación de ruta de transmisión puede incluir, por ejemplo, una demodulación de las señales de modulación.
- La unidad 1103 de procesamiento de decodificación de fuente de información realiza un procedimiento de decodificación de fuente de información, que incluye al menos un procesamiento para expandir la información comprimida a la información original, sobre la señal sobre la que se ha realizado el procedimiento de decodificación de ruta de transmisión.
- Más específicamente, la señal adquirida por la unidad 1101 de adquisición a través de una ruta de transmisión puede haber sido sometida a codificación de compresión para comprimir la información con el fin de reducir la cantidad de datos, tales como datos de imagen y datos de audio, como información. En este caso, la unidad 1103 de procesamiento de decodificación de fuente de información realiza un procedimiento de decodificación de fuente de información, tal como un procesamiento para expandir la información comprimida a la información original (es decir, el procesamiento de expansión), sobre la señal sobre la que se ha realizado el procedimiento de decodificación de ruta de transmisión.
- Cabe señalar que, si la señal adquirida por la unidad 1101 de adquisición a través de una ruta de transmisión no ha sido sometida a codificación de compresión, la unidad 1103 de procesamiento de decodificación de fuente de información no realiza un procesamiento para expandir la información comprimida a la información original.
- Aquí, los ejemplos del procedimiento de expansión incluyen la decodificación MPEG. Además, el procedimiento de decodificación de ruta de transmisión puede incluir una desaleatorización, etc. además del procesamiento de expansión.
- En el sistema de recepción que tiene la configuración descrita anteriormente, la unidad 1101 de adquisición adquiere una señal obtenida realizando una codificación de compresión, tal como una codificación MPEG, y una codificación de corrección de errores, tal como la codificación LDPC sobre datos, tales como datos de imagen y datos de audio, a través de una ruta de transmisión, y suministra la señal adquirida a la unidad 1102 de procesamiento de decodificación de ruta de transmisión.
- La unidad 1102 de procesamiento de decodificación de ruta de transmisión realiza un procedimiento de decodificación de ruta de transmisión, por ejemplo, un procesamiento similar al realizado por el dispositivo 12 de recepción, sobre la señal suministrada desde la unidad 1101 de adquisición, y suministra la señal resultante a la unidad 1103 de procesamiento de decodificación de fuente de información.
- La unidad 1103 de procesamiento de decodificación de fuente de información realiza un procedimiento de decodificación de fuente de información, tal como una decodificación de MPEG, sobre la señal suministrada desde la unidad 1102 de procesamiento de decodificación de ruta de transmisión, y emite las imágenes o el audio resultantes.
- El sistema de recepción ilustrado en la Fig. 127, tal como se describió anteriormente, puede ser aplicado, por ejemplo, a un sintonizador de televisión o un elemento similar que recibe la difusión de televisión como difusión digital.
- Cabe señalar que la unidad 1101 de adquisición, la unidad 1102 de procesamiento de decodificación de ruta de transmisión y la unidad 1103 de procesamiento de decodificación de fuente de información pueden ser construidas como dispositivos independientes individuales (módulos de hardware (tales como circuitos integrados) o de software).
- Además, la unidad 1101 de adquisición, la unidad 1102 de procesamiento de decodificación de ruta de transmisión y la unidad 1103 de procesamiento de decodificación de fuente de información pueden estar configuradas de manera que la combinación de la unidad 1101 de adquisición y la unidad 1102 de procesamiento de decodificación de ruta de transmisión, la combinación de la unidad 1102 de procesamiento de decodificación de ruta de transmisión y la unidad

1103 de procesamiento de decodificación de fuente de información, o la combinación de la unidad 1101 de adquisición, la unidad 1102 de procesamiento de decodificación de ruta de transmisión y la unidad 1103 de procesamiento de decodificación de fuente de información estén construidas como un único dispositivo independiente.

5 La Fig. 128 es un diagrama de bloques que ilustra una segunda configuración ejemplar del sistema de recepción al cual puede aplicarse el dispositivo 12 de recepción.

Cabe señalar que, en la Fig. 128, a las partes correspondientes a las ilustradas en la Fig. 127 se les asignan los mismos números de referencia, y su descripción se omitirá a continuación, según sea apropiado.

10 El sistema de recepción ilustrado en la Fig. 128 es común al ilustrado en la Fig. 127 en el sentido de que la unidad 1101 de adquisición, la unidad 1102 de procesamiento de decodificación de ruta de transmisión y la unidad 1103 de procesamiento de decodificación de fuente de información están incluidas, y es diferente de la ilustrada en la Fig. 127 en que está incluida además una unidad 1111 de salida.

15 La unidad 1111 de salida puede ser, por ejemplo, un dispositivo de visualización configurado para mostrar una imagen o un altavoz configurado para emitir audio, y emite imágenes, audio o similares como señales emitidas desde la unidad 1103 de procesamiento de decodificación de fuente de información. En otras palabras, la unidad 1111 de salida muestra imágenes o emite audio.

El sistema de recepción ilustrado en la Fig. 128, tal como se ha descrito anteriormente, puede ser aplicado, por ejemplo, a un conjunto de televisión (receptor de televisión) que recibe una difusión de televisión como una difusión digital o un receptor de radio que recibe una difusión de radio.

20 Cabe señalar que, si la señal adquirida por la unidad 1101 de adquisición no ha sido sometida a codificación de compresión, una señal emitida desde la unidad 1102 de procesamiento de decodificación de ruta de transmisión es suministrada a la unidad 1111 de salida.

La Fig. 129 es un diagrama de bloques que ilustra una tercera configuración ejemplar del sistema de recepción al cual puede aplicarse el dispositivo 12 de recepción.

25 Cabe señalar que, en la Fig. 129, a las partes correspondientes a las ilustradas en la Fig. 127 se les asigna los mismos números de referencia, y su descripción se omitirá más adelante, según sea apropiado.

El sistema de recepción ilustrado en la Fig. 129 es común al ilustrado en la Fig. 127 en el sentido de que se incluyen la unidad 1101 de adquisición y la unidad 1102 de procesamiento de decodificación de ruta de transmisión.

30 Sin embargo, el sistema de recepción ilustrado en la Fig. 129 es diferente del ilustrado en la Fig. 127 en que la unidad 1103 de procesamiento de decodificación de fuente de información no está incluida y en que se incluye además una unidad 1121 de grabación.

La unidad 1121 de grabación graba (o almacena) la señal (por ejemplo, paquetes TS de una secuencia MPEG TS) emitida desde la unidad 1102 de procesamiento de decodificación de ruta de transmisión sobre (o en) un medio de grabación (o almacenamiento) tal como un disco óptico, un disco duro (disco magnético) o una memoria flash.

35 El sistema de recepción ilustrado en la Fig. 129, tal como se ha descrito anteriormente, puede ser aplicado, por ejemplo, a una grabadora que graba difusiones de televisión.

Cabe señalar que, en la Fig. 129, el sistema de recepción puede incluir la unidad 1103 de procesamiento de decodificación de fuente de información, y la unidad 1121 de grabación es capaz de grabar una señal que ha sido sometida a un procedimiento de decodificación de fuente de información por la unidad 1103 de procesamiento de decodificación de fuente de información, es decir, una imagen o audio obtenidos mediante decodificación.

40 [Realización de ordenador]

A continuación, la serie de procedimientos descritos anteriormente puede ser realizada mediante hardware o software. Si la serie de procedimientos es realizada mediante software, un programa que constituye el software es instalado en un ordenador de propósito general o similar.

45 De esta manera, la Fig. 130 ilustra una configuración ejemplar de una realización de un ordenador en el que hay instalado un programa para ejecutar la serie de procedimientos descritos anteriormente.

El programa puede ser grabado por adelantado en un disco 705 duro o en una ROM 703 que sirve como un medio de grabación incorporado en el ordenador.

De manera alternativa, el programa puede ser almacenado de manera temporal o persistente (o puede ser grabado) en

un medio 711 de grabación extraíble, tal como un disco flexible, un CD-ROM (Compact Disc Read Only Memory, memoria de disco compacto de solo lectura), un disco MO (Magneto Optical, magneto óptico), un DVD (Digital Versatile Disc, disco versátil digital), un disco magnético o una memoria semiconductora. El medio 711 de grabación extraíble puede ser proporcionado como un paquete de software.

5 El programa puede ser instalado en el ordenador desde el medio 711 de grabación extraíble descrito anteriormente, o puede ser transferido de manera inalámbrica al ordenador desde un sitio de descarga a través de un satélite artificial para difusión digital por satélite o puede ser transferido al ordenador a través de una red, tal como una LAN (Red de área local) o Internet mediante conexión por cable. En el ordenador, el programa transferido de la manera descrita anteriormente puede ser recibido por una unidad 708 de comunicación y puede ser instalado en el disco 705 duro
10 incorporado en el ordenador.

El ordenador tiene una CPU (Central Processing Unit, unidad central de procesamiento) 702 incorporada en el mismo. Una interfaz 710 de entradas/salidas está conectada a la CPU 702 a través de un bus 701. Cuando un usuario introduce una instrucción, por ejemplo, operando una unidad 707 de entrada que incluye un teclado, un ratón, un micrófono, etc., a través de la interfaz 710 de entradas/salidas, la CPU 702 ejecuta un programa almacenado en la
15 ROM (Read Only Memory, memoria de solo lectura) 703 según las instrucciones. De manera alternativa, la CPU 702 carga un programa almacenado en el disco 705 duro, un programa transferido desde un satélite o una red, recibido por la unidad 708 de comunicación e instalado en el disco 705 duro, o un programa leído desde el medio 711 de grabación extraíble colocado en una unidad 709 es instalado en el disco 705 duro en una RAM (Random Access Memory, memoria de acceso aleatorio) 704, y ejecuta el programa cargado. Por consiguiente, la CPU 702 realiza el
20 procesamiento según los diagramas de flujo descritos anteriormente o el procesamiento realizado con las configuraciones en los diagramas de bloques descritos anteriormente. A continuación, la CPU 702 emite un resultado del procesamiento, si es necesario, por ejemplo, desde una unidad 706 de salida que incluye una pantalla LCD (Liquid Crystal Display, pantalla de cristal líquido), un altavoz, etc., a través de la interfaz 710 de entradas/salidas, transmite el resultado desde la unidad 708 de comunicación o graba el resultado en el disco 705 duro.

25 Cabe señalar en la presente memoria, que es posible que las etapas de procesamiento, que describen un programa para causar que un ordenador realice diversos tipos de procesamiento, no sean procesadas necesariamente en serie en el tiempo según el orden descrito en la presente memoria en los diagramas de flujo, y pueden incluir también procedimientos ejecutados en paralelo o individualmente (por ejemplo, procesamiento paralelo o procesamiento basado en objetos).

30 Además, un programa puede ser procesado por un único ordenador, o puede ser procesado por una pluralidad de ordenadores de manera distribuida. Además, un programa puede ser transferido y ejecutado también por un ordenador remoto.

Cabe señalar que las realizaciones de la tecnología actual no están limitadas a las realizaciones descritas anteriormente, y que pueden realizarse una diversidad de cambios sin apartarse del alcance de la presente tecnología.

35 Más específicamente, por ejemplo, (las tablas de valores iniciales de la matriz de comprobación de paridad de) los nuevos códigos LDPC descritos anteriormente pueden usarse independientemente de si la ruta 13 de comunicación (Fig. 7) es un enlace satelital, un enlace terrestre, un cable (línea cableada) o cualquier otra unidad. Además, los nuevos códigos LDPC pueden usarse también para una transmisión de datos distinta de una difusión digital.

Lista de signos de referencia

40 11 dispositivo de transmisión, 12 dispositivo de recepción, 23 intercalador de paridad, 24 intercalador de torsión de columna, 25 demultiplexor, 31 memoria, 32 unidad de permutación, 54 multiplexor, 55 intercalador de torsión de columna, 111 elemento de adaptación de modo/multiplexor, 112 elemento relleno ("padder"), 113 codificador BB, 114 codificador BCH, 115 codificador LDPC, 116 intercalador de bits, 117 codificador QAM, 118 intercalador de tiempo, 119 codificador MISO/MIMO, 120 intercalador de frecuencia, 121 codificador BCH, 122 codificador LDPC, 123
45 codificador QAM, 124 intercalador de frecuencia, 131 unidad generadora de tramas y de asignación de recursos, 132 unidad de generación OFDM, 151 unidad de procesamiento OFDM, 152 unidad de gestión de tramas, 153 desintercalador de frecuencia, 154 decodificador QAM, 155 decodificador LDPC, 156 decodificador BCH, 161 desintercalador de frecuencias, 162 decodificador MISO/MIMO, 163 desintercalador de tiempo, 164 decodificador QAM, 165 desintercalador de bits, 166 decodificador LDPC, 167 decodificador BCH, 168 desaleatorizador BB, 169 unidad de
50 eliminación de elementos nulos, 170 demultiplexor, 300 memoria de almacenamiento de datos de borde, 301 selector, 302 unidad de cálculo de nodo de comprobación, 303 circuito de desplazamiento cíclico, 304 memoria de almacenamiento de datos de borde, 305 selector, 306 memoria de datos recibidos, 307 unidad de cálculo de nodo variable, 308 circuito de desplazamiento cíclico, 309 unidad de cálculo de palabra decodificada, 310 unidad de reordenación de datos recibidos, 311 unidad de reordenación de datos decodificados, 601 unidad de procesamiento de
55 codificación, 602 almacenamiento unidad, 611 unidad de establecimiento de tasa de codificación, 612 unidad de

5 lectura de tabla de valores iniciales, 613 unidad generadora de matrices de comprobación de paridad, 614 unidad de lectura de bits de información, 615 unidad de cálculo de paridad de codificación, 616 unidad de control, 701 bus, 702 CPU, 703 ROM, 704 RAM, 705 disco duro, 706 unidad de salida, 707 unidad de entrada, 708 unidad de comunicación, 709 unidad, 710 interfaz de entradas/salidas, 711 medio de grabación extraíble, 1001 unidad de permutación inversa, 1002 memoria, 1011 desintercalador de paridad, 1101 unidad de adquisición, 1101 unidad de procesamiento decodificación de ruta de transmisión, 1103 unidad de procesamiento de decodificación de fuente de información, 1111 unidad de salida, 1121 unidad de grabación.

10

REIVINDICACIONES

1. Aparato de procesamiento de datos que comprende:

5 una unidad (115) de codificación configurada para codificar bits de información a un código comprobación de paridad de baja densidad, LDPC (Low Density Parity Check), que tiene una longitud de código de 64.800 bits y una tasa de codificación de 18/30 en base a una matriz de comprobación de paridad del código LDPC, en el que el código LDPC incluye bits de información y bits de paridad,

la matriz de comprobación de paridad incluye una parte de matriz de información de dimensión MxK correspondiente a los bits de información y una parte de matriz de paridad de dimensión MxM correspondiente a los bits de paridad, y

10 en el que $K = 38.880$ y $M = 25.920$, y

dicha parte de la matriz de paridad tiene una estructura escalonada, en la que los elementos "1" están dispuestos de manera escalonada, en el que la ponderación de fila es 1 en una primera fila y 2 en las filas restantes y en el que la ponderación de columna es 1 en la última columna y 2 en las columnas restantes,

15 la parte de la matriz de información está representada por una tabla de valores iniciales de la matriz de comprobación de paridad, y

en el que la tabla de valores iniciales de la matriz de comprobación de paridad es una tabla que muestra en su i -ésima fila, $1 \leq i \leq 108$, las posiciones de los elementos "1" en la $(1+360x(i-1))$ -ésima columna de la parte de la matriz de información, y en el que, en base a cada $(1+360x(i-1))$ -ésima columna, $1 \leq i \leq 108$, las columnas $(2+360x(i-1))$ a $(360xi)$ de la parte de la matriz de información se determinan desplazando hacia abajo cíclicamente la columna anterior respectiva $M/360$ posiciones, y es para una tasa de codificación de 18/30:

20 113 1557 3316 5680 6241 10407 13404 13947 14040 14353 15522 15698 16079 17363 19374 19543 20530 22833 24339

271 1361 6236 7006 7307 7333 12768 15441 15568 17923 18341 20321 21502 22023 23938 25351 25590 25876 25910

25 73 605 872 4008 6279 7653 10346 10799 12482 12935 13604 15909 16526 19782 20506 22804 23629 24859 25600

1445 1690 4304 4851 8919 9176 9252 13783 16076 16675 17274 18806 18882 20819 21958 22451 23869 23999 24177

30 1290 2337 5661 6371 8996 10102 10941 11360 12242 14918 16808 20571 23374 24046 25045 25060 25662 25783 25913

28 42 1926 3421 3503 8558 9453 10168 15820 17473 19571 19685 22790 23336 23367 23890 24061 25657 25680

0 1709 4041 4932 5968 7123 8430 9564 10596 11026 14761 19484 20762 20858 23803 24016 24795 25853 25863

35 29 1625 6500 6609 16831 18517 18568 18738 19387 20159 20544 21603 21941 24137 24269 24416 24803 25154 25395

55 66 871 3700 11426 13221 15001 16367 17601 18380 22796 23488 23938 25476 25635 25678 25807 25857 25872

40 1 19 5958 8548 8860 11489 16845 18450 18469 19496 20190 23173 25262 25566 25668 25679 25858 25888 25915

7520 7690 8855 9183 14654 16695 17121 17854 18083 18428 19633 20470 20736 21720 22335 23273 25083 25293 25403

48 58 410 1299 3786 10668 18523 18963 20864 22106 22308 23033 23107 23128 23990 24286 24409 24595 25802

45 12 51 3894 6539 8276 10885 11644 12777 13427 14039 15954 17078 19053 20537 22863 24521 25087 25463

ES 2 697 695 T3

25838

3509 8748 9581 11509 15884 16230 17583 19264 20900 21001 21310 22547 22756 22959 24768 24814 25594
25626 25880

21 29 69 1448 2386 4601 6626 6667 10242 13141 13852 14137 18640 19951 22449 23454 24431 25512 25814

5 18 53 7890 9934 10063 16728 19040 19809 20825 21522 21800 23582 24556 25031 25547 25562 25733
25789 25906

4096 4582 5766 5894 6517 10027 12182 13247 15207 17041 18958 20133 20503 22228 24332 24613 25689
25855 25883

0 25 819 5539 7076 7536 7695 9532 13668 15051 17683 19665 20253 21996 24136 24890 25758 25784 25807

10 34 40 44 4215 6076 7427 7965 8777 11017 15593 19542 22202 22973 23397 23423 24418 24873 25107 25644

1595 6216 22850 25439

1562 15172 19517 22362

7508 12879 24324 24496

6298 15819 16757 18721

15 11173 15175 19966 21195

59 13505 16941 23793

2267 4830 12023 20587

8827 9278 13072 16664

14419 17463 23398 25348

20 6112 16534 20423 22698

493 8914 21103 24799

6896 12761 13206 25873

2 1380 12322 21701

11600 21306 25753 25790

25 8421 13076 14271 15401

9630 14112 19017 20955

212 13932 21781 25824

5961 9110 16654 19636

58 5434 9936 12770

30 6575 11433 19798

2731 7338 20926

14253 18463 25404

21791 24805 25869

2 11646 15850

35 6075 8586 23819

18435 22093 24852

ES 2 697 695 T3

2103 2368 11704
10925 17402 18232
9062 25061 25674
18497 20853 23404
5 18606 19364 19551
7 1022 25543
6744 15481 25868
9081 17305 25164
8 23701 25883
10 9680 19955 22848
56 4564 19121
5595 15086 25892
3174 17127 23183
19397 19817 20275
15 12561 24571 25825
7111 9889 25865
19104 20189 21851
549 9686 25548
6586 20325 25906
20 3224 20710 21637
641 15215 25754
13484 23729 25818
2043 7493 24246
16860 25230 25768
25 22047 24200 24902
9391 18040 19499
7855 24336 25069
23834 25570 25852
1977 8800 25756
30 6671 21772 25859
3279 6710 24444
24099 25117 25820
5553 12306 25915
48 11107 23907
35 10832 11974 25773

- 2223 17905 25484
- 16782 17135 20446
- 475 2861 3457
- 16218 22449 24362
- 5 11716 22200 25897
- 8315 15009 22633
- 13 20480 25852
- 12352 18658 25687
- 3681 14794 23703
- 10 30 24531 25846
- 4103 22077 24107
- 23837 25622 25812
- 3627 13387 25839
- 908 5367 19388
- 15 0 6894 25795
- 20322 23546 25181
- 8178 25260 25437
- 2449 13244 22565
- 31 18928 22741
- 20 1312 5134 14838
- 6085 13937 24220
- 66 14633 25670
- 47 22512 25472
- 8867 24704 25279
- 25 6742 21623 22745
- 147 9948 24178
- 8522 24261 24307
- 19202 22406 24609.

2. Aparato de procesamiento de datos que comprende:

- 30 una unidad (155) de decodificación configurada para decodificar un código de verificación de paridad de baja densidad, LDPC, que tiene una longitud de código de 64.800 bits y una tasa de codificación de 18/30 en base a una matriz de comprobación de paridad del código LDPC, en el que
 - el código LDPC incluye bits de información y bits de paridad,
- 35 la matriz de comprobación de paridad incluye una parte de matriz de información de dimensión $M \times K$ correspondiente a los bits de información y una parte de matriz de paridad de dimensión $M \times M$ correspondiente a los bits de paridad, y
 - en el que $K = 38.880$ y $M = 25.920$, y

ES 2 697 695 T3

dicha parte de la matriz de paridad tiene una estructura escalonada, en la que los elementos "1" están dispuestos de manera escalonada, en el que la ponderación de fila es 1 en una primera fila y 2 en las filas restantes y en el que la ponderación de columna es 1 en la última columna y 2 en las columnas restantes,

- 5 la parte de la matriz de información está representada por una tabla de valores iniciales de la matriz de comprobación de paridad, y
- en el que la tabla de valores iniciales de la matriz de comprobación de paridad es una tabla que muestra en su i -ésima fila, $1 \leq i \leq 108$, las posiciones de los elementos "1" en la $(1+360x(i-1))$ -ésima columna de la parte de matriz de información, y en el que, en base a cada $(1+360x(i-1))$ -ésima columna, $1 \leq i \leq 108$, las columnas $(2+360x(i-1))$ a $(360xi)$ de la parte de matriz de información se determinan desplazando hacia abajo cíclicamente la columna anterior respectiva en $M/360$ posiciones, y es
- 10 113 1557 3316 5680 6241 10407 13404 13947 14040 14353 15522 15698 16079 17363 19374 19543 20530
22833 24339
- 271 1361 6236 7006 7307 7333 12768 15441 15568 17923 18341 20321 21502 22023 23938 25351 25590
25876 25910
- 15 73 605 872 4008 6279 7653 10346 10799 12482 12935 13604 15909 16526 19782 20506 22804 23629 24859
25600
- 1445 1690 4304 4851 8919 9176 9252 13783 16076 16675 17274 18806 18882 20819 21958 22451 23869
23999 24177
- 20 1290 2337 5661 6371 8996 10102 10941 11360 12242 14918 16808 20571 23374 24046 25045 25060 25662
25783 25913
- 28 42 1926 3421 3503 8558 9453 10168 15820 17473 19571 19685 22790 23336 23367 23890 24061 25657
25680
- 0 1709 4041 4932 5968 7123 8430 9564 10596 11026 14761 19484 20762 20858 23803 24016 24795 25853
25863
- 25 29 1625 6500 6609 16831 18517 18568 18738 19387 20159 20544 21603 21941 24137 24269 24416 24803
25154 25395
- 55 66 871 3700 11426 13221 15001 16367 17601 18380 22796 23488 23938 25476 25635 25678 25807 25857
25872
- 30 1 19 5958 8548 8860 11489 16845 18450 18469 19496 20190 23173 25262 25566 25668 25679 25858 25888
25915
- 7520 7690 8855 9183 14654 16695 17121 17854 18083 18428 19633 20470 20736 21720 22335 23273 25083
25293 25403
- 48 58 410 1299 3786 10668 18523 18963 20864 22106 22308 23033 23107 23128 23990 24286 24409 24595
25802
- 35 12 51 3894 6539 8276 10885 11644 12777 13427 14039 15954 17078 19053 20537 22863 24521 25087 25463
25838
- 3509 8748 9581 11509 15884 16230 17583 19264 20900 21001 21310 22547 22756 22959 24768 24814 25594
25626 25880
- 21 29 69 1448 2386 4601 6626 6667 10242 13141 13852 14137 18640 19951 22449 23454 24431 25512 25814
- 40 18 53 7890 9934 10063 16728 19040 19809 20825 21522 21800 23582 24556 25031 25547 25562 25733
25789 25906
- 4096 4582 5766 5894 6517 10027 12182 13247 15207 17041 18958 20133 20503 22228 24332 24613 25689
25855 25883
- 0 25 819 5539 7076 7536 7695 9532 13668 15051 17683 19665 20253 21996 24136 24890 25758 25784 25807
- 45 34 40 44 4215 6076 7427 7965 8777 11017 15593 19542 22202 22973 23397 23423 24418 24873 25107 25644

ES 2 697 695 T3

1595 6216 22850 25439
1562 15172 19517 22362
7508 12879 24324 24496
6298 15819 16757 18721
5 11173 15175 19966 21195
59 13505 16941 23793
2267 4830 12023 20587
8827 9278 13072 16664
14419 17463 23398 25348
10 6112 16534 20423 22698
493 8914 21103 24799
6896 12761 13206 25873
2 1380 12322 21701
11600 21306 25753 25790
15 8421 13076 14271 15401
9630 14112 19017 20955
212 13932 21781 25824
5961 9110 16654 19636
58 5434 9936 12770
20 6575 11433 19798
2731 7338 20926
14253 18463 25404
21791 24805 25869
2 11646 15850
25 6075 8586 23819
18435 22093 24852
2103 2368 11704
10925 17402 18232
9062 25061 25674
30 18497 20853 23404
18606 19364 19551
7 1022 25543
6744 15481 25868
9081 17305 25164
35 8 23701 25883

ES 2 697 695 T3

9680 19955 22848
56 4564 19121
5595 15086 25892
3174 17127 23183
5 19397 19817 20275
12561 24571 25825
7111 9889 25865
19104 20189 21851
549 9686 25548
10 6586 20325 25906
3224 20710 21637
641 15215 25754
13484 23729 25818
2043 7493 24246
15 16860 25230 25768
22047 24200 24902
9391 18040 19499
7855 24336 25069
23834 25570 25852
20 1977 8800 25756
6671 21772 25859
3279 6710 24444
24099 25117 25820
5553 12306 25915
25 48 11107 23907
10832 11974 25773
2223 17905 25484
16782 17135 20446
475 2861 3457
30 16218 22449 24362
11716 22200 25897
8315 15009 22633
13 20480 25852
12352 18658 25687
35 3681 14794 23703

- 30 24531 25846
 4103 22077 24107
 23837 25622 25812
 3627 13387 25839
- 5 908 5367 19388
 0 6894 25795
 20322 23546 25181
 8178 25260 25437
 2449 13244 22565
- 10 31 18928 22741
 1312 5134 14838
 6085 13937 24220
 66 14633 25670
 47 22512 25472
- 15 8867 24704 25279
 6742 21623 22745
 147 9948 24178
 8522 24261 24307
 19202 22406 24609.
- 20 3. Aparato de procesamiento de datos según la reivindicación 1 o 2, en el que
 para la $\{1+360 \times (i-1)\}$ -ésima columna de la matriz de comprobación de paridad,
 una i -ésima fila de la tabla de valores iniciales de la matriz de comprobación de paridad representa un número de fila de un elemento 1 en la $\{1+360 \times (i-1)\}$ -ésima columna de la matriz de comprobación de paridad, y
 para cada una de las columnas $\{2+360 \times (i-1)\}$ -ésima a $(360 \times i)$ -ésima, que son columnas distintas de la $\{1+360 \times (i-1)\}$ -ésima columna de la matriz de comprobación de paridad,
 un número H_{w-j} de fila de un elemento 1 en una w -ésima columna de la matriz de comprobación de paridad, que es una columna distinta de la $\{1+360 \times (i-1)\}$ -ésima columna de la matriz de comprobación de paridad, se representa mediante la ecuación $H_{w-j} = \text{mod} \{h_{i,j} + \text{mod} ((w-1), 360) \times M/360, M\}$,
 donde $h_{i,j}$ denota un valor en la i -ésima fila y una j -ésima columna de la tabla de valores iniciales de la matriz de comprobación de paridad, y H_{w-j} denota un número de fila de un j -ésimo elemento 1 en la w -ésima columna de la matriz H de comprobación de paridad.
- 30 4. Aparato de procesamiento de datos según la reivindicación 1, que comprende, además:
 una unidad (23) de intercalado de paridad configurada para intercalar solo los bits de paridad del código LDPC.
5. Aparato de procesamiento de datos según la reivindicación 1 o 4, que comprende, además:
 una unidad (24) de intercalado de torsión de columna configurada para realizar un intercalado de torsión de columna de los bits de código del código LDPC.
- 35 6. Aparato de procesamiento de datos según la reivindicación 1 o 4, que comprende, además:
 una unidad (32) de permutación configurada para permutar bits de código del código LDPC y para emitir los bits

de código permutados como bits de símbolo de un símbolo correspondiente a uno de un determinado número de puntos de constelación definidos por un determinado esquema de modulación digital.

7. Aparato de procesamiento de datos según la reivindicación 6, en el que

5 la unidad (32) de permutación permuta los bits de código que se almacenan en una memoria (31) en la dirección de columna y que se leen desde la memoria (31) en una dirección de fila.

8. Aparato de procesamiento de datos según la reivindicación 2, que comprende, además:

una unidad (55) de desintercalado de torsión de columna configurada para realizar un desintercalado de torsión de columna de los bits de código del código LDPC.

9. Aparato de procesamiento de datos según la reivindicación 2 u 8, que comprende, además:

10 una unidad (1001) de permutación inversa configurada para realizar un procesamiento de permutación inversa sobre el código LDPC, en un caso en el que se ha realizado un procesamiento de permutación sobre el código LDPC para emitir bits de código permutados del código LDPC como bits de símbolo de un símbolo correspondiente a uno de un determinado número de puntos de constelación definidos por un determinado esquema de modulación digital, para recuperar los bits de código que han sido permutados y emitidos como los bits de símbolo a las posiciones originales.

15

10. Aparato de procesamiento de datos según la reivindicación 9, en el que

la unidad (1001) de permutación inversa está configurada para realizar un procesamiento de permutación inversa para recuperar los bits de código que se almacenan en una memoria (1002) en una dirección de fila y que se leen desde la memoria (1002) en una dirección de columna a las posiciones originales.

20 11. Procedimiento de procesamiento de datos que comprende:

una etapa de codificación de los bits de información de codificación a un código de verificación de paridad de baja densidad, LDPC, que tiene una longitud de código de 64.800 bits y una tasa de codificación de 18/30 en base a una matriz de comprobación de paridad del código LDPC, en el que

el código LDPC incluye bits de información y bits de paridad,

25 la matriz de comprobación de paridad incluye una parte de matriz de información de dimensión $M \times K$ correspondiente a los bits de información y una parte de matriz de paridad de dimensión $M \times M$ correspondiente a los bits de paridad, y

en el que $K = 38.880$ y $M = 25.920$, y

30 dicha parte de matriz de paridad tiene una estructura escalonada, en la que los elementos "1" están dispuestos de manera escalonada, en el que la ponderación de la fila es 1 en una primera fila y 2 en las filas restantes y en el que la ponderación de la columna es 1 en la última columna y 2 en las columnas restantes,

la parte de matriz de información está representada por una tabla de valores iniciales de la matriz de comprobación de paridad, y

35 en el que la tabla de valores iniciales de la matriz de comprobación de paridad es una tabla que muestra en su i -ésima fila, $1 \leq i \leq 108$, las posiciones de los elementos "1" en la $(1+360x(i-1))$ -ésima columna de la parte de matriz de información, y en el que, en base a cada $(1+360x(i-1))$ -ésima columna, $1 \leq i \leq 108$, las columnas $(2+360x(i-1))$ a $(360xi)$ de la parte de matriz de información se determinan desplazando hacia abajo cíclicamente la columna precedente respectiva en $M/360$ posiciones, y es

40 113 1557 3316 5680 6241 10407 13404 13947 14040 14353 15522 15698 16079 17363 19374 19543 20530
22833 24339

271 1361 6236 7006 7307 7333 12768 15441 15568 17923 18341 20321 21502 22023 23938 25351 25590
25876 25910

73 605 872 4008 6279 7653 10346 10799 12482 12935 13604 15909 16526 19782 20506 22804 23629 24859
25600

45 1445 1690 4304 4851 8919 9176 9252 13783 16076 16675 17274 18806 18882 20819 21958 22451 23869
23999 24177

ES 2 697 695 T3

1290 2337 5661 6371 8996 10102 10941 11360 12242 14918 16808 20571 23374 24046 25045 25060 25662
25783 25913

28 42 1926 3421 3503 8558 9453 10168 15820 17473 19571 19685 22790 23336 23367 23890 24061 25657
25680

5 0 1709 4041 4932 5968 7123 8430 9564 10596 11026 14761 19484 20762 20858 23803 24016 24795 25853
25863

29 1625 6500 6609 16831 18517 18568 18738 19387 20159 20544 21603 21941 24137 24269 24416 24803
25154 25395

10 55 66 871 3700 11426 13221 15001 16367 17601 18380 22796 23488 23938 25476 25635 25678 25807 25857
25872

1 19 5958 8548 8860 11489 16845 18450 18469 19496 20190 23173 25262 25566 25668 25679 25858 25888
25915

7520 7690 8855 9183 14654 16695 17121 17854 18083 18428 19633 20470 20736 21720 22335 23273 25083
25293 25403

15 48 58 410 1299 3786 10668 18523 18963 20864 22106 22308 23033 23107 23128 23990 24286 24409 24595
25802

12 51 3894 6539 8276 10885 11644 12777 13427 14039 15954 17078 19053 20537 22863 24521 25087 25463
25838

3509 8748 9581 11509 15884 16230 17583 19264 20900 21001 21310 22547 22756 22959 24768 24814 25594
25626 25880

20 21 29 69 1448 2386 4601 6626 6667 10242 13141 13852 14137 18640 19951 22449 23454 24431 25512 25814

18 53 7890 9934 10063 16728 19040 19809 20825 21522 21800 23582 24556 25031 25547 25562 25733
25789 25906

4096 4582 5766 5894 6517 10027 12182 13247 15207 17041 18958 20133 20503 22228 24332 24613 25689
25855 25883

25 0 25 819 5539 7076 7536 7695 9532 13668 15051 17683 19665 20253 21996 24136 24890 25758 25784 25807

34 40 44 4215 6076 7427 7965 8777 11017 15593 19542 22202 22973 23397 23423 24418 24873 25107 25644

1595 6216 22850 25439

1562 15172 19517 22362

30 7508 12879 24324 24496

6298 15819 16757 18721

11173 15175 19966 21195

59 13505 16941 23793

2267 4830 12023 20587

35 8827 9278 13072 16664

14419 17463 23398 25348

6112 16534 20423 22698

493 8914 21103 24799

6896 12761 13206 25873

40 2 1380 12322 21701

ES 2 697 695 T3

11600 21306 25753 25790
8421 13076 14271 15401
9630 14112 19017 20955
212 13932 21781 25824
5 5961 9110 16654 19636
58 5434 9936 12770
6575 11433 19798
2731 7338 20926
14253 18463 25404
10 21791 24805 25869
2 11646 15850
6075 8586 23819
18435 22093 24852
2103 2368 11704
15 10925 17402 18232
9062 25061 25674
18497 20853 23404
18606 19364 19551
7 1022 25543
20 6744 15481 25868
9081 17305 25164
8 23701 25883
9680 19955 22848
56 4564 19121
25 5595 15086 25892
3174 17127 23183
19397 19817 20275
12561 24571 25825
7111 9889 25865
30 19104 20189 21851
549 9686 25548
6586 20325 25906
3224 20710 21637
641 15215 25754
35 13484 23729 25818

ES 2 697 695 T3

2043 7493 24246
16860 25230 25768
22047 24200 24902
9391 18040 19499
5 7855 24336 25069
23834 25570 25852
1977 8800 25756
6671 21772 25859
3279 6710 24444
10 24099 25117 25820
5553 12306 25915
48 11107 23907
10832 11974 25773
2223 17905 25484
15 16782 17135 20446
475 2861 3457
16218 22449 24362
11716 22200 25897
8315 15009 22633
20 13 20480 25852
12352 18658 25687
3681 14794 23703
30 24531 25846
4103 22077 24107
25 23837 25622 25812
3627 13387 25839
908 5367 19388
0 6894 25795
20322 23546 25181
30 8178 25260 25437
2449 13244 22565
31 18928 22741
1312 5134 14838
6085 13937 24220
35 66 14633 25670

47 22512 25472
 8867 24704 25279
 6742 21623 22745
 147 9948 24178
 5 8522 24261 24307
 19202 22406 24609.

12. Procedimiento de procesamiento de datos que comprende:

10 una etapa de decodificación de un código de comprobación de paridad de baja densidad, LDPC, que tiene una longitud de código de 64.800 bits y una tasa de codificación de 18/30 en base a una matriz de comprobación de paridad del código LDPC, en el que

el código LDPC incluye bits de información y bits de paridad,

la matriz de comprobación de paridad incluye una parte de matriz de información de dimensión $M \times K$ correspondiente a los bits de información y una parte de matriz de paridad de dimensión $M \times M$ correspondiente a los bits de paridad, y

15 en el que $K = 38.880$ y $M = 25.920$, y

dicha parte de matriz de paridad tiene una estructura escalonada, en el que los elementos "1" están dispuestos de manera escalonada, en el que la ponderación de la fila es 1 en una primera fila y 2 en las filas restantes y en el que la ponderación de la columna es 1 en la última columna y 2 en las columnas restantes,

20 la parte de matriz de información está representada por una tabla de valores iniciales de la matriz de comprobación de paridad, y

25 en el que la tabla de valores iniciales de la matriz de comprobación de paridad es una tabla que muestra en su i -ésima fila, $1 \leq i \leq 108$, las posiciones de los elementos "1" en la $(1+360x(i-1))$ -ésima columna de la parte de matriz de información, y en el que, en base a cada $(1+360x(i-1))$ -ésima columna, $1 \leq i \leq 108$, las columnas $(2+360x(i-1))$ a $(360xi)$ de la parte de matriz de información se determinan desplazando hacia abajo cíclicamente la columna precedente respectiva en $M/360$ posiciones, y es

113 1557 3316 5680 6241 10407 13404 13947 14040 14353 15522 15698 16079 17363 19374 19543 20530
 22833 24339

271 1361 6236 7006 7307 7333 12768 15441 15568 17923 18341 20321 21502 22023 23938 25351 25590
 25876 25910

30 73 605 872 4008 6279 7653 10346 10799 12482 12935 13604 15909 16526 19782 20506 22804 23629 24859
 25600

1445 1690 4304 4851 8919 9176 9252 13783 16076 16675 17274 18806 18882 20819 21958 22451 23869
 23999 24177

35 1290 2337 5661 6371 8996 10102 10941 11360 12242 14918 16808 20571 23374 24046 25045 25060 25662
 25783 25913

28 42 1926 3421 3503 8558 9453 10168 15820 17473 19571 19685 22790 23336 23367 23890 24061 25657
 25680

0 1709 4041 4932 5968 7123 8430 9564 10596 11026 14761 19484 20762 20858 23803 24016 24795 25853
 25863

40 29 1625 6500 6609 16831 18517 18568 18738 19387 20159 20544 21603 21941 24137 24269 24416 24803
 25154 25395

55 66 871 3700 11426 13221 15001 16367 17601 18380 22796 23488 23938 25476 25635 25678 25807 25857
 25872

1 19 5958 8548 8860 11489 16845 18450 18469 19496 20190 23173 25262 25566 25668 25679 25858 25888

ES 2 697 695 T3

25915

7520 7690 8855 9183 14654 16695 17121 17854 18083 18428 19633 20470 20736 21720 22335 23273 25083
25293 25403

5 48 58 410 1299 3786 10668 18523 18963 20864 22106 22308 23033 23107 23128 23990 24286 24409 24595
25802

12 51 3894 6539 8276 10885 11644 12777 13427 14039 15954 17078 19053 20537 22863 24521 25087 25463
25838

3509 8748 9581 11509 15884 16230 17583 19264 20900 21001 21310 22547 22756 22959 24768 24814 25594
25626 25880

10 21 29 69 1448 2386 4601 6626 6667 10242 13141 13852 14137 18640 19951 22449 23454 24431 25512 25814

18 53 7890 9934 10063 16728 19040 19809 20825 21522 21800 23582 24556 25031 25547 25562 25733
25789 25906

4096 4582 5766 5894 6517 10027 12182 13247 15207 17041 18958 20133 20503 22228 24332 24613 25689
25855 25883

15 0 25 819 5539 7076 7536 7695 9532 13668 15051 17683 19665 20253 21996 24136 24890 25758 25784 25807

34 40 44 4215 6076 7427 7965 8777 11017 15593 19542 22202 22973 23397 23423 24418 24873 25107 25644

1595 6216 22850 25439

1562 15172 19517 22362

7508 12879 24324 24496

20 6298 15819 16757 18721

11173 15175 19966 21195

59 13505 16941 23793

2267 4830 12023 20587

8827 9278 13072 16664

25 14419 17463 23398 25348

6112 16534 20423 22698

493 8914 21103 24799

6896 12761 13206 25873

2 1380 12322 21701

30 11600 21306 25753 25790

8421 13076 14271 15401

9630 14112 19017 20955

212 13932 21781 25824

5961 9110 16654 19636

35 58 5434 9936 12770

6575 11433 19798

2731 7338 20926

14253 18463 25404

ES 2 697 695 T3

21791 24805 25869
2 11646 15850
6075 8586 23819
18435 22093 24852
5 2103 2368 11704
10925 17402 18232
9062 25061 25674
18497 20853 23404
18606 19364 19551
10 7 1022 25543
6744 15481 25868
9081 17305 25164
8 23701 25883
9680 19955 22848
15 56 4564 19121
5595 15086 25892
3174 17127 23183
19397 19817 20275
12561 24571 25825
20 7111 9889 25865
19104 20189 21851
549 9686 25548
6586 20325 25906
3224 20710 21637
25 641 15215 25754
13484 23729 25818
2043 7493 24246
16860 25230 25768
22047 24200 24902
30 9391 18040 19499
7855 24336 25069
23834 25570 25852
1977 8800 25756
6671 21772 25859
35 3279 6710 24444

24099 25117 25820
5553 12306 25915
48 11107 23907
10832 11974 25773
5 2223 17905 25484
16782 17135 20446
475 2861 3457
16218 22449 24362
11716 22200 25897
10 8315 15009 22633
13 20480 25852
12352 18658 25687
3681 14794 23703
30 24531 25846
15 4103 22077 24107
23837 25622 25812
3627 13387 25839
908 5367 19388
0 6894 25795
20 20322 23546 25181
8178 25260 25437
2449 13244 22565
31 18928 22741
1312 5134 14838
25 6085 13937 24220
66 14633 25670
47 22512 25472
8867 24704 25279
6742 21623 22745
30 147 9948 24178
8522 24261 24307
19202 22406 24609.

13. Procedimiento de procesamiento de datos según la reivindicación 12, que comprende, además:

35 una etapa de permutación inversa para realizar un procesamiento de permutación inversa sobre el código LDPC, en el caso en el que se ha realizado un procesamiento de permutación sobre el código LDPC para emitir los bits de código permutado del código LDPC como bits de símbolo de un símbolo correspondiente a uno de un

determinado número de puntos de constelación definidos por un determinado esquema de modulación digital, para recuperar los bits de código que han sido permutados y emitidos como los bits de símbolo a las posiciones originales.

5 14. Receptor de televisión que incluye un aparato de procesamiento de datos según una cualquiera de las reivindicaciones 2 u 8 a 10.

15. Programa de ordenador que comprende medios de código de programa para causar que un ordenador lleve a cabo las etapas del procedimiento de procesamiento de datos según la reivindicación 11, 12 o 13 cuando dicho programa de ordenador es llevado a cabo en el ordenador.

FIG. 1

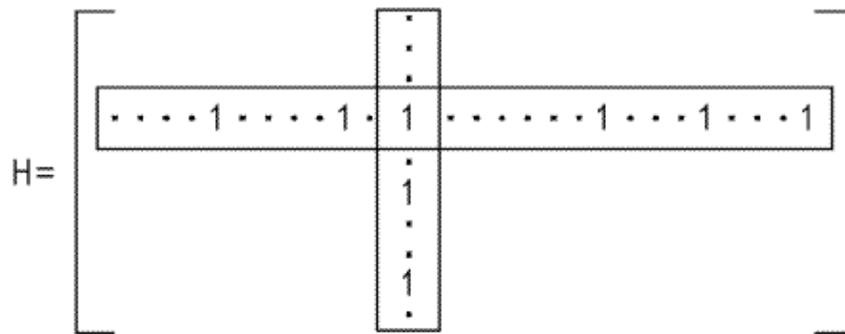


FIG. 2

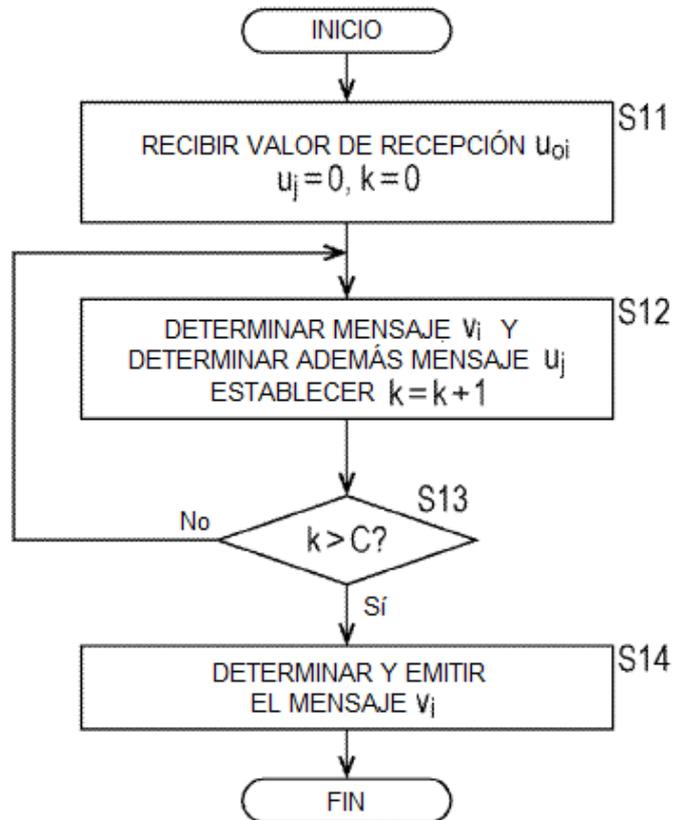


FIG. 3

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

FIG. 4

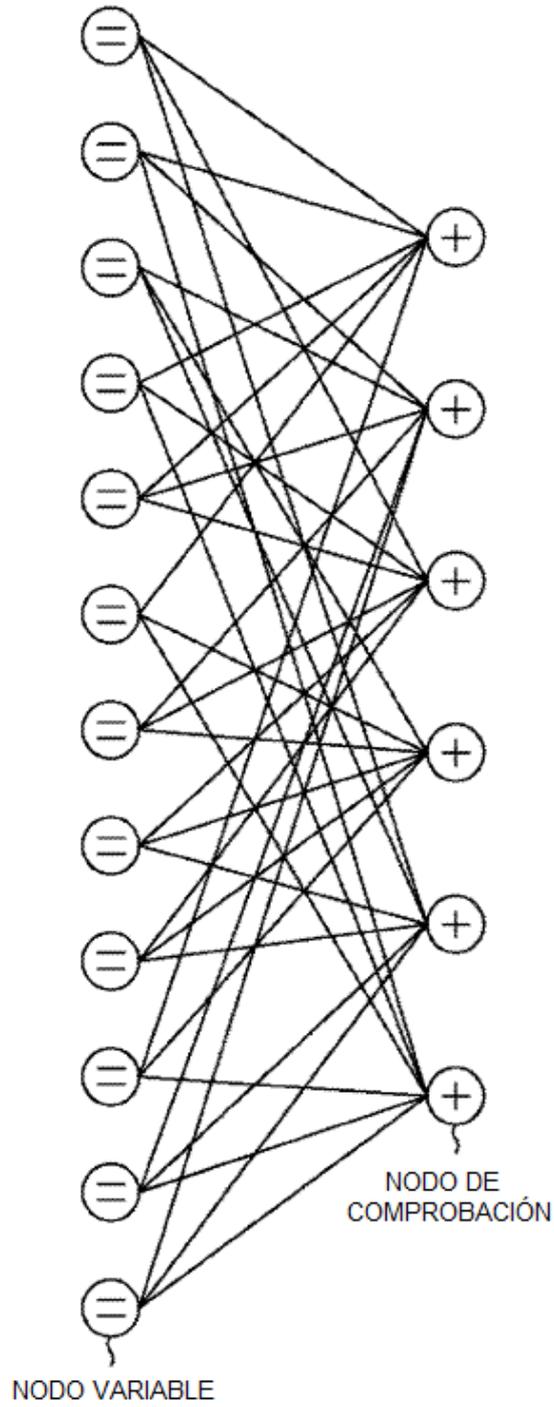


FIG. 5

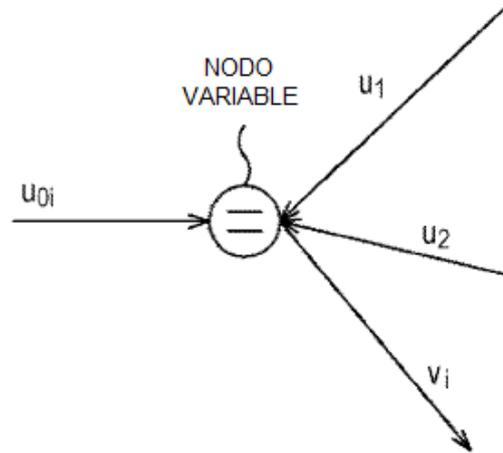


FIG. 6

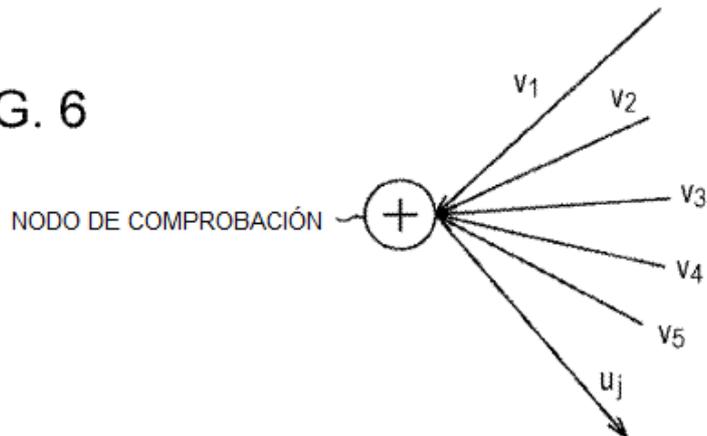


FIG. 7

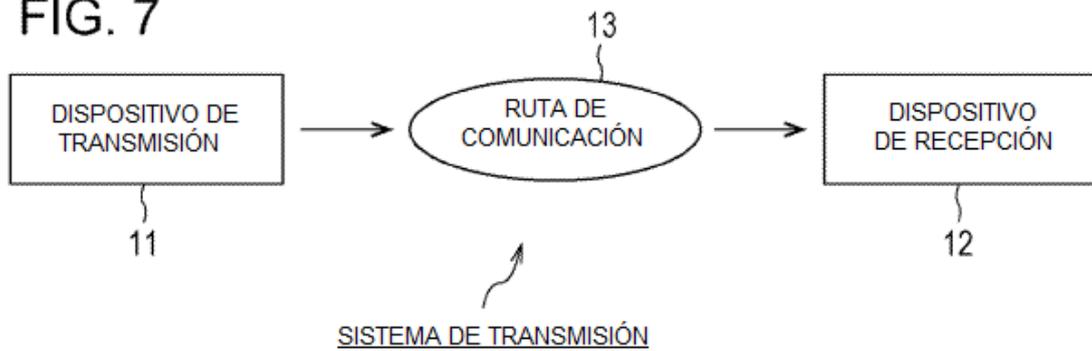


FIG. 8

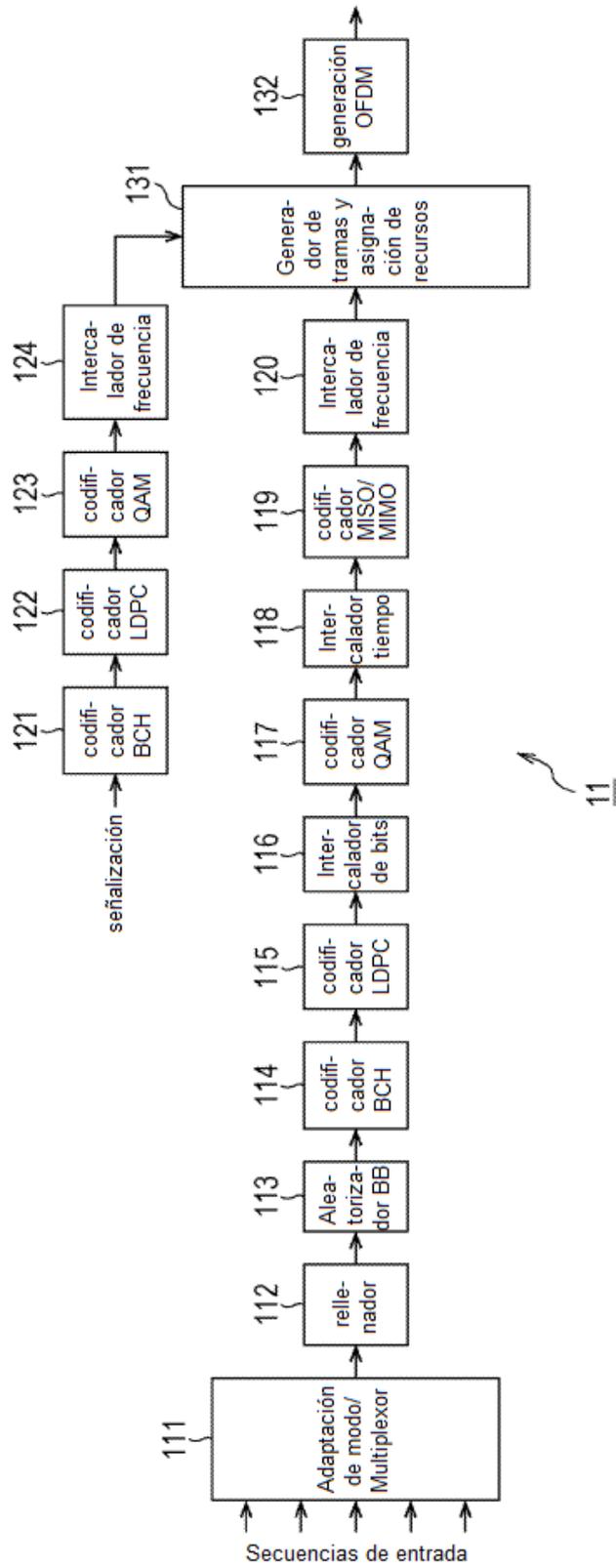


FIG. 9

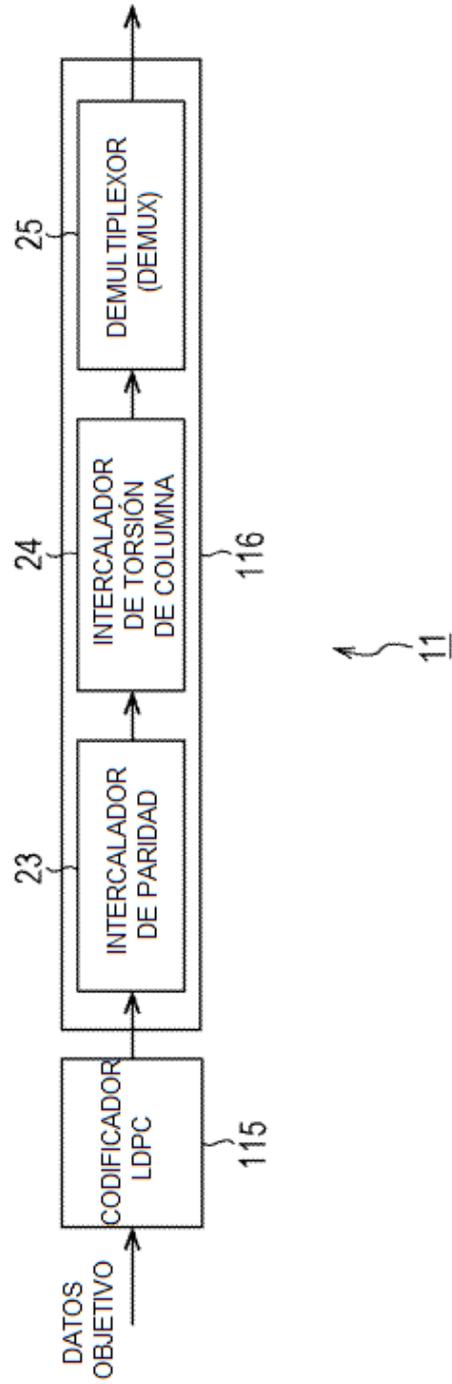


FIG. 10

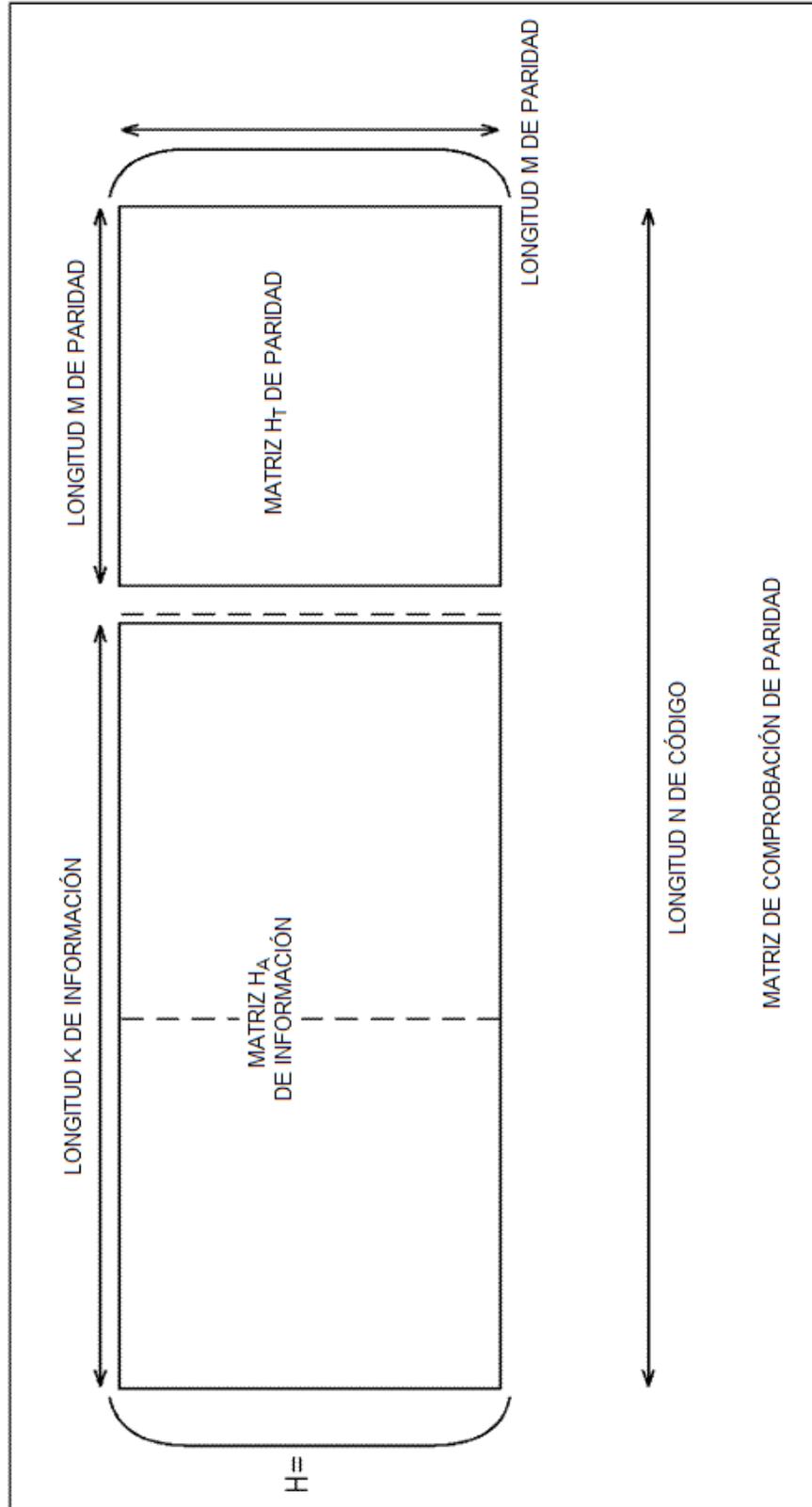


FIG. 11

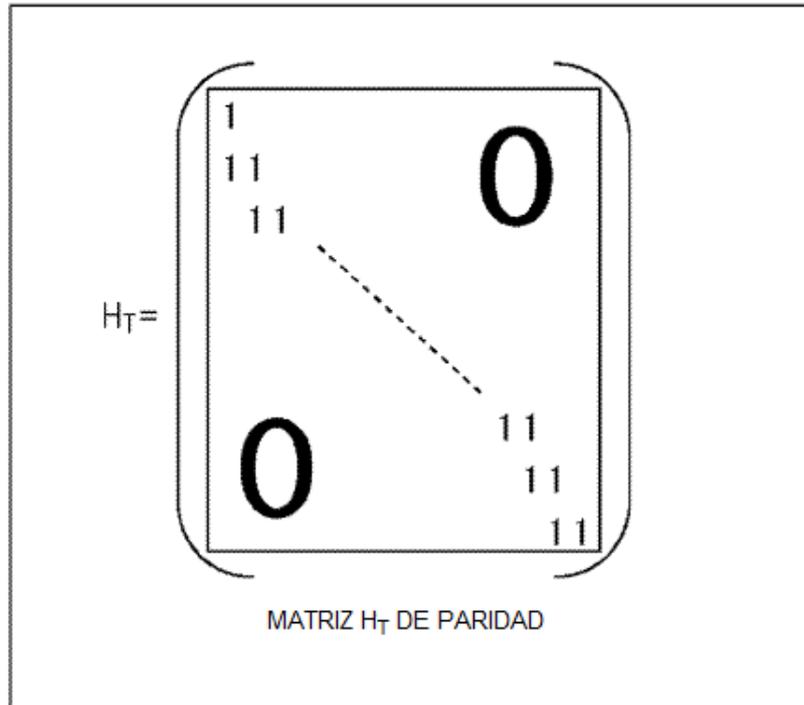


FIG. 12

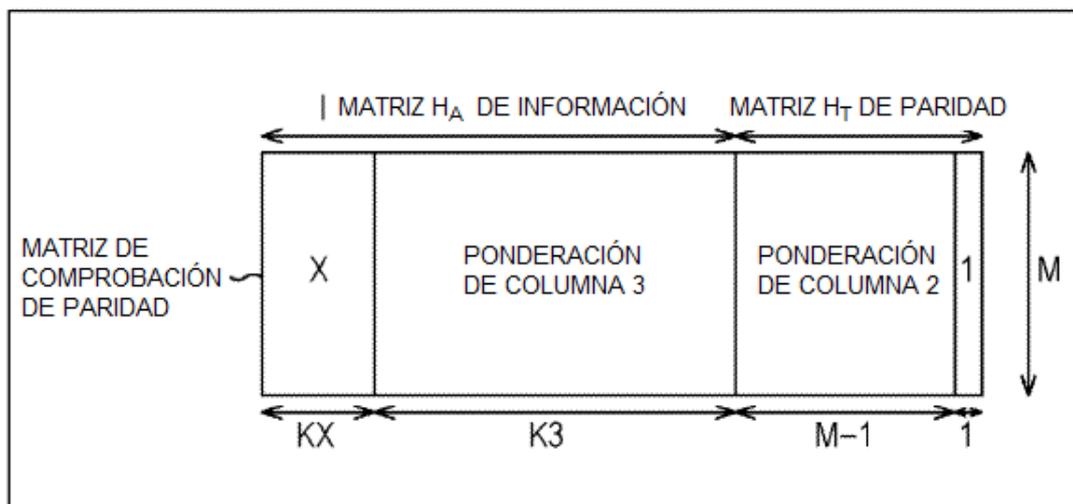


FIG. 13

TASA DE CODIFICACIÓN Nominal	N=64800				N=16200			
	X	KX	K3	M	X	KX	K3	M
1/4	12	5400	10800	48600	12	1440	1800	12960
1/3	12	7200	14400	43200	12	1800	3600	10800
2/5	12	8640	17280	38880	12	2160	4320	9720
1/2	8	12960	19440	32400	8	1800	5400	9000
3/5	12	12960	25920	25920	12	3240	6480	6480
2/3	13	4320	38880	21600	13	1080	9720	5400
3/4	12	5400	43200	16200	12	360	11520	4320
4/5	11	6480	45360	12960	-	0	12600	3600
5/6	13	5400	48600	10800	13	360	12960	2880
8/9	4	7200	50400	7200	4	1800	12600	1800
9/10	4	6480	51840	6480	---	---	---	---

NÚMERO DE COLUMNAS PARA CADA PONDERACIÓN DE COLUMNA

FIG. 14

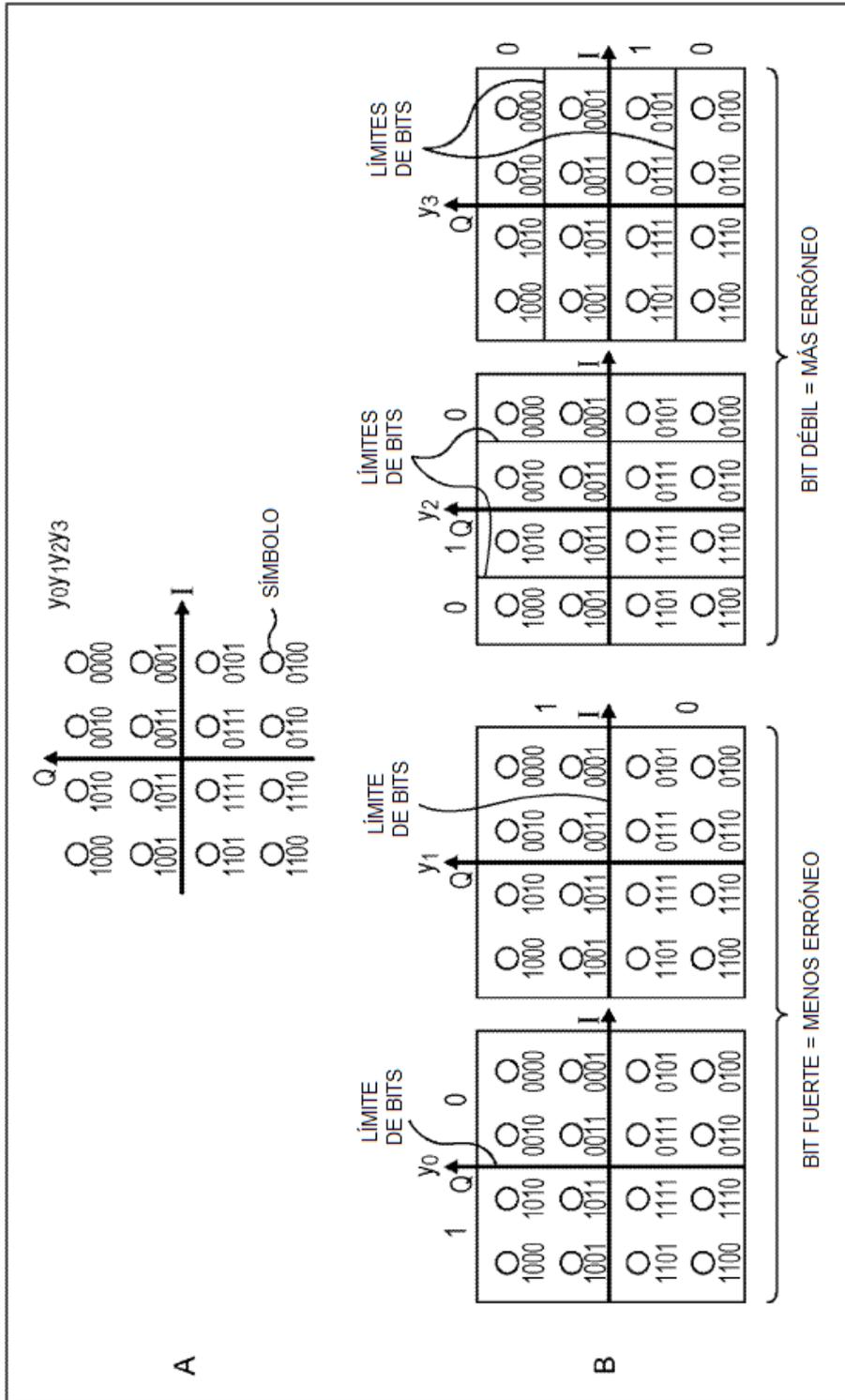


FIG. 15

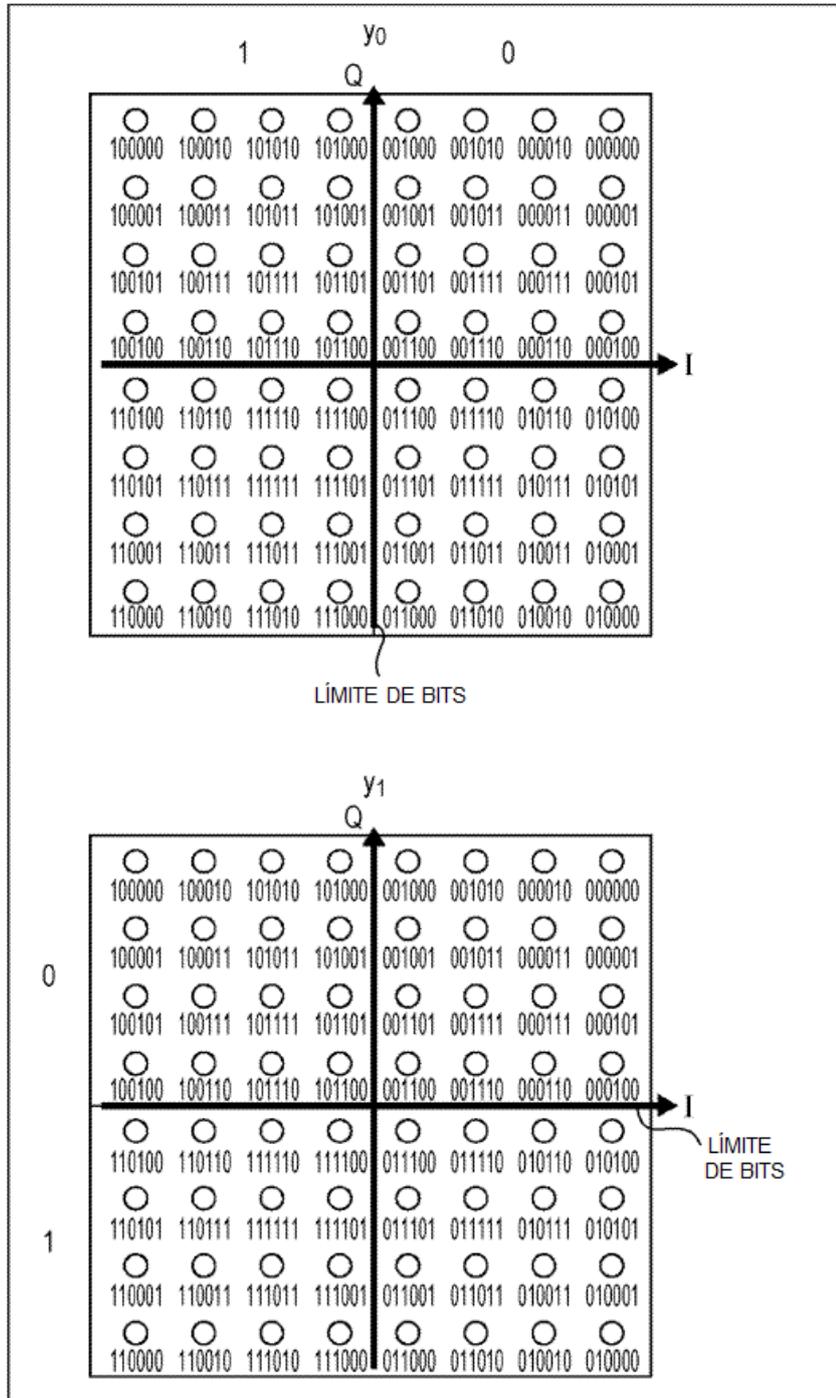


FIG. 16

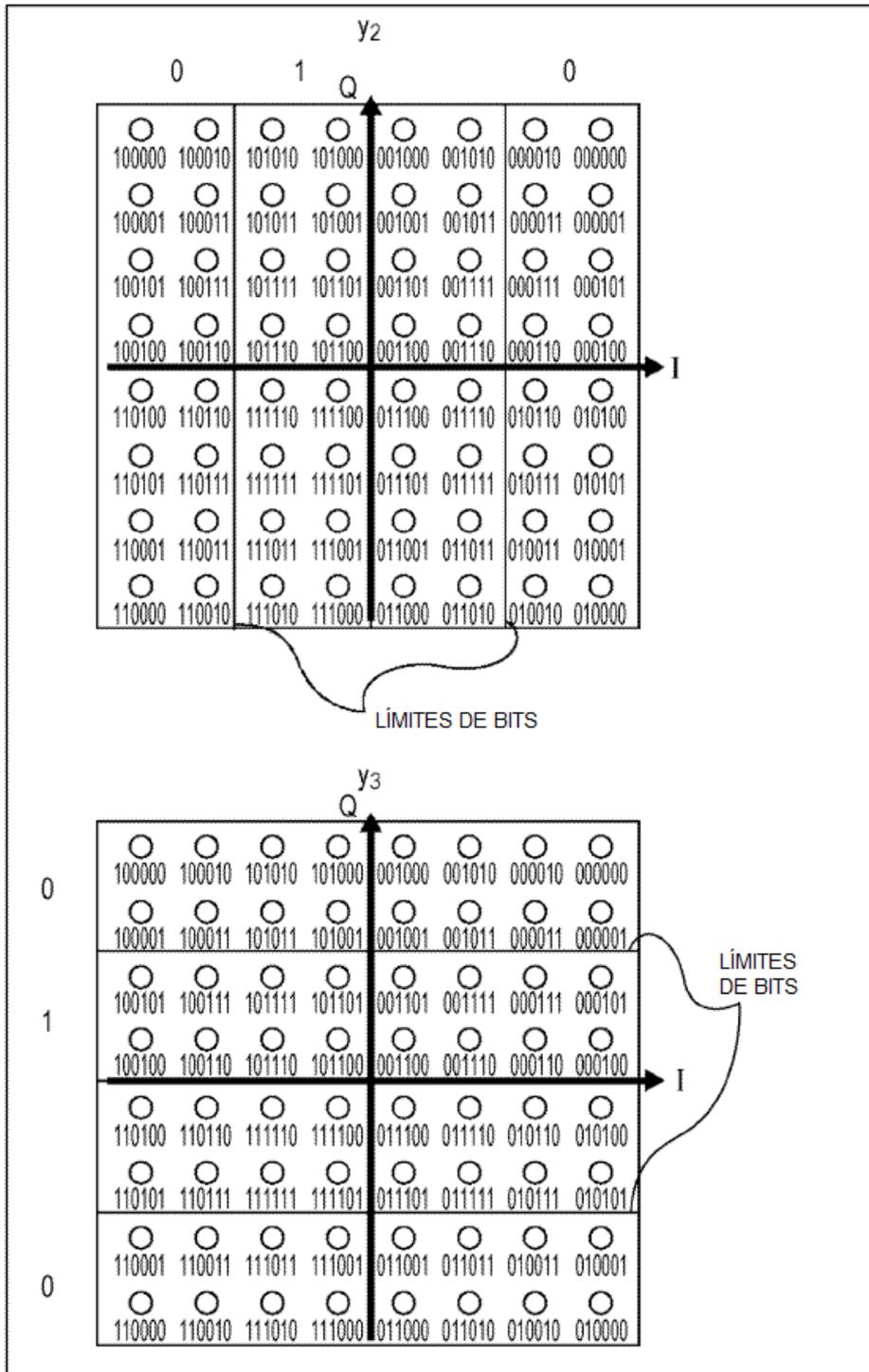


FIG. 17

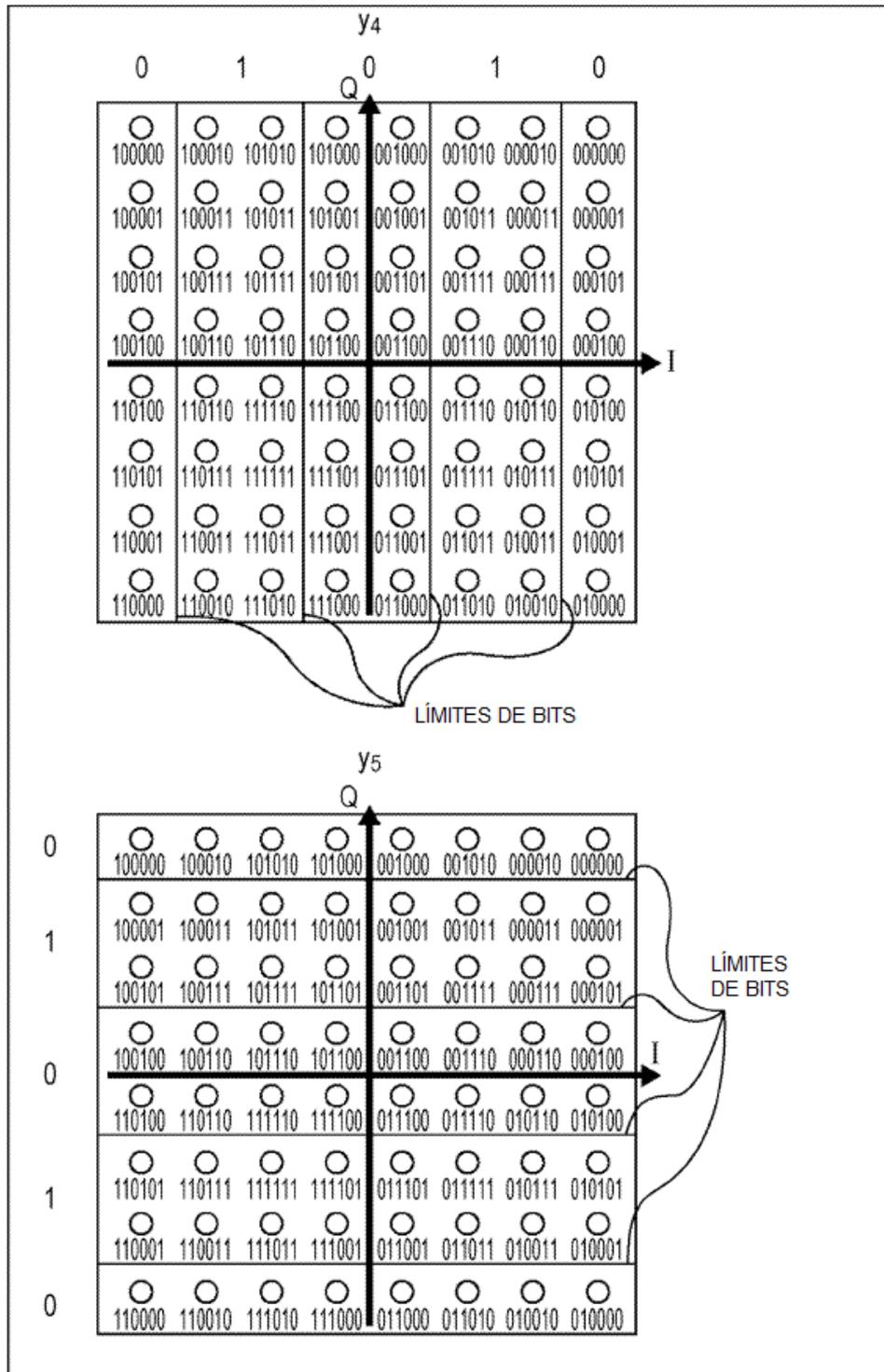


FIG. 18

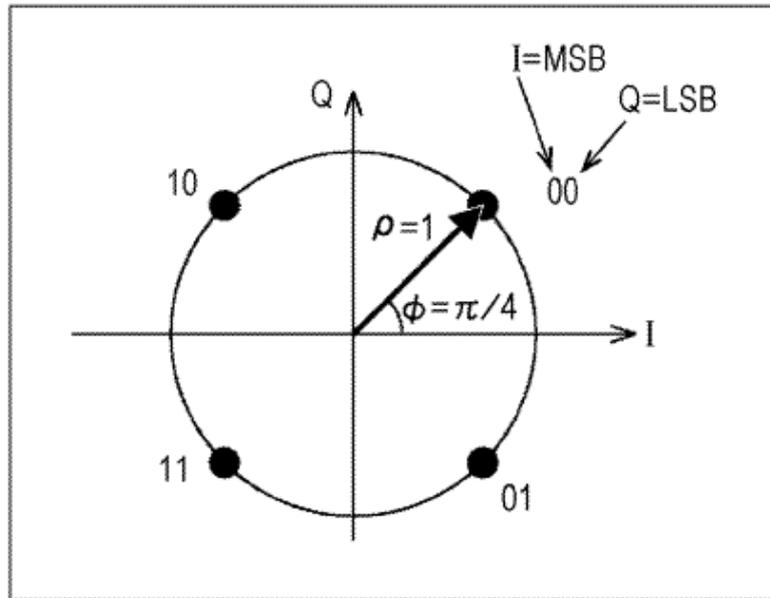


FIG. 19

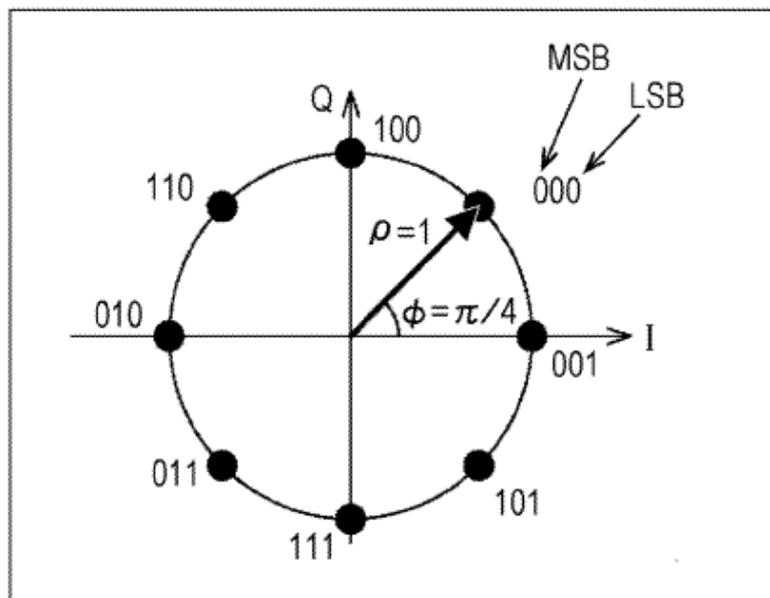


FIG. 20

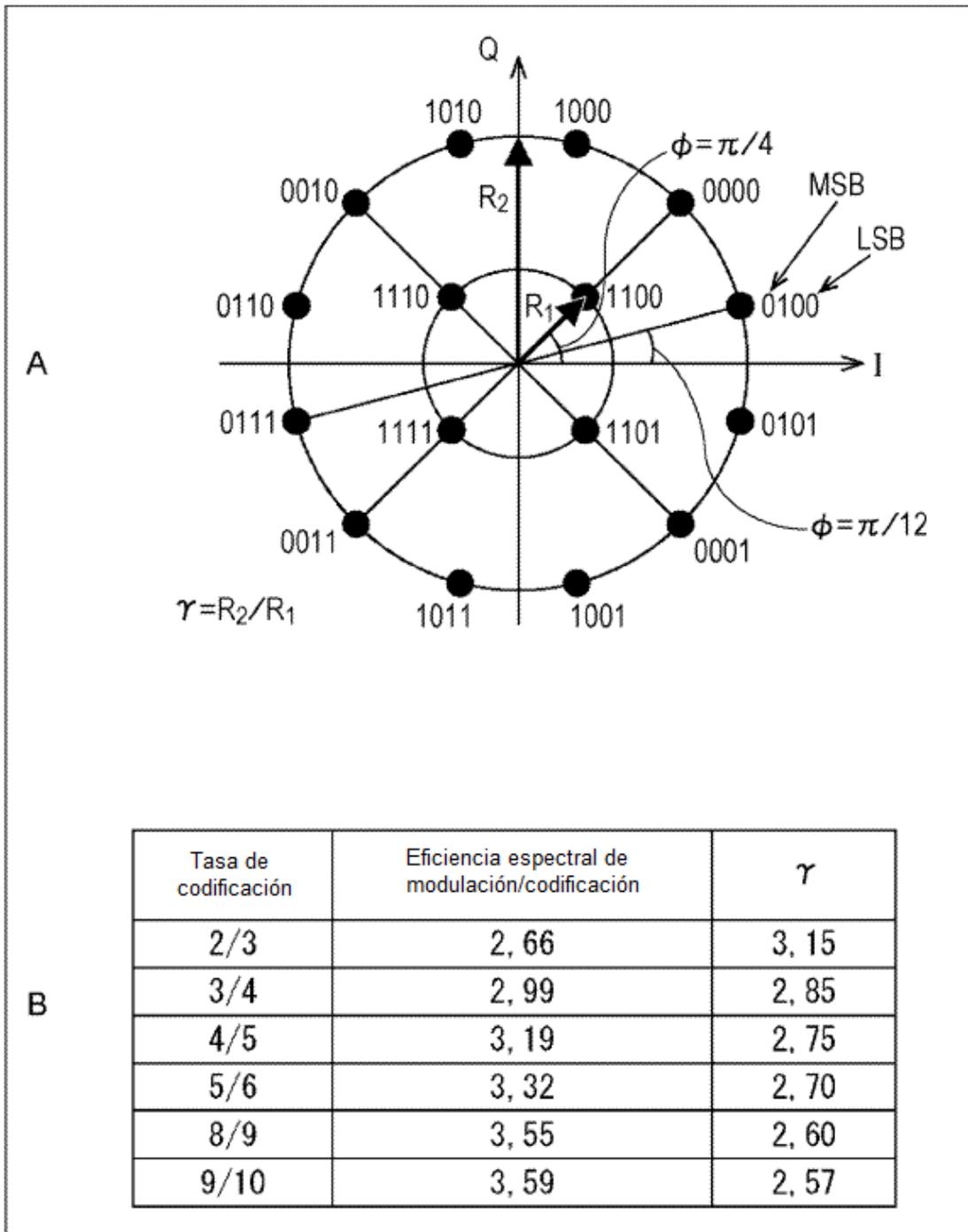


FIG. 21

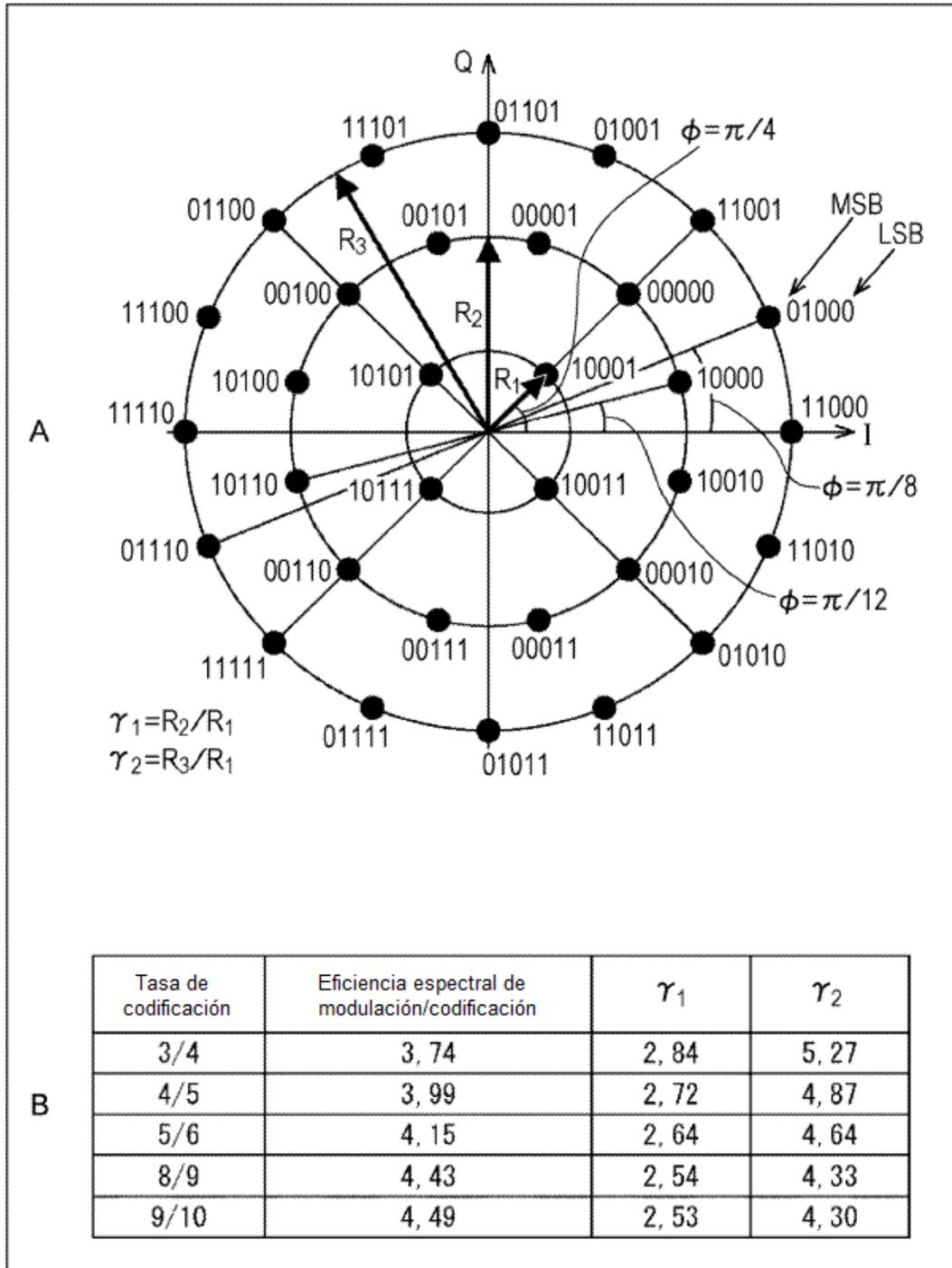


FIG. 22

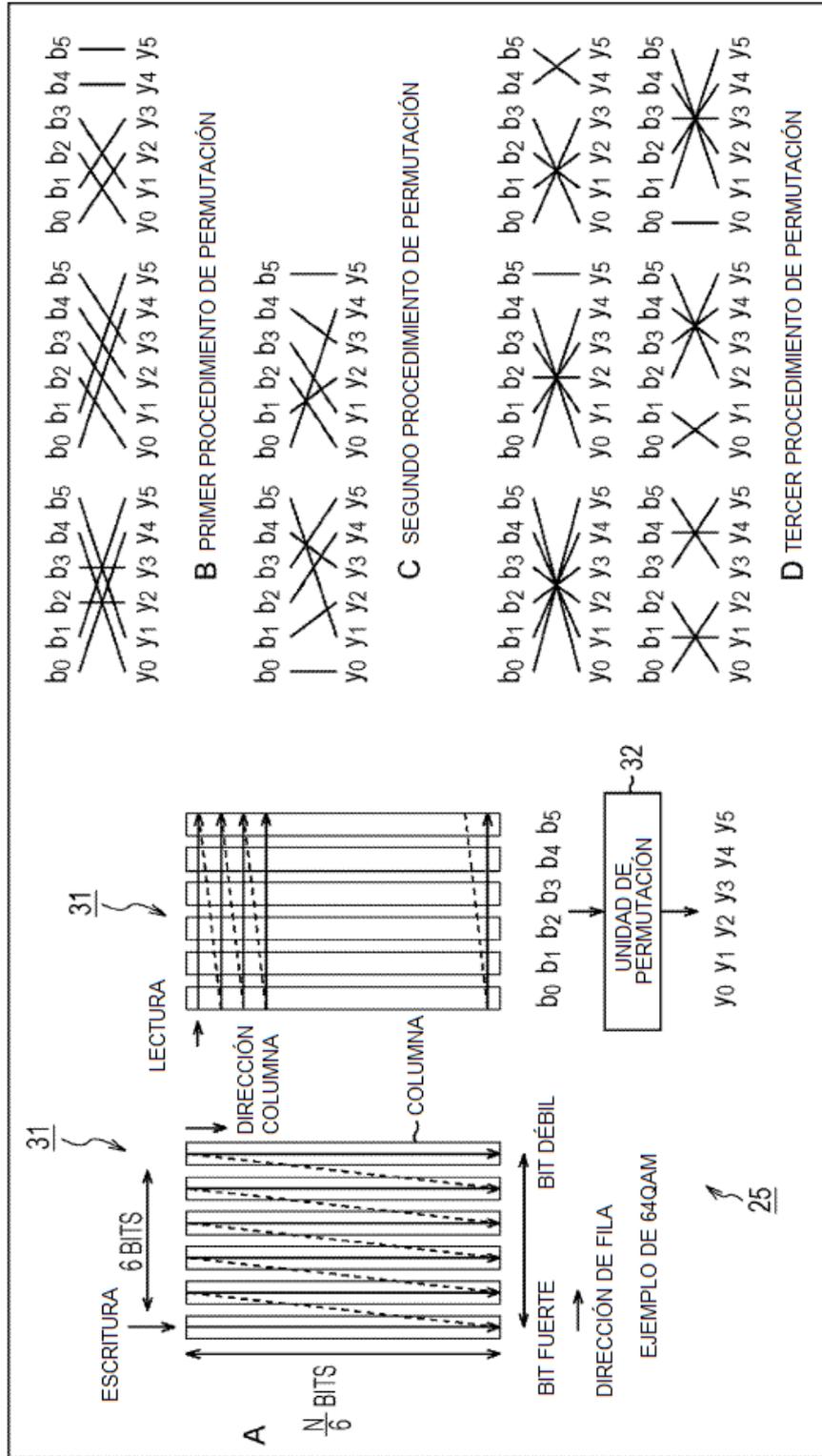


FIG. 23

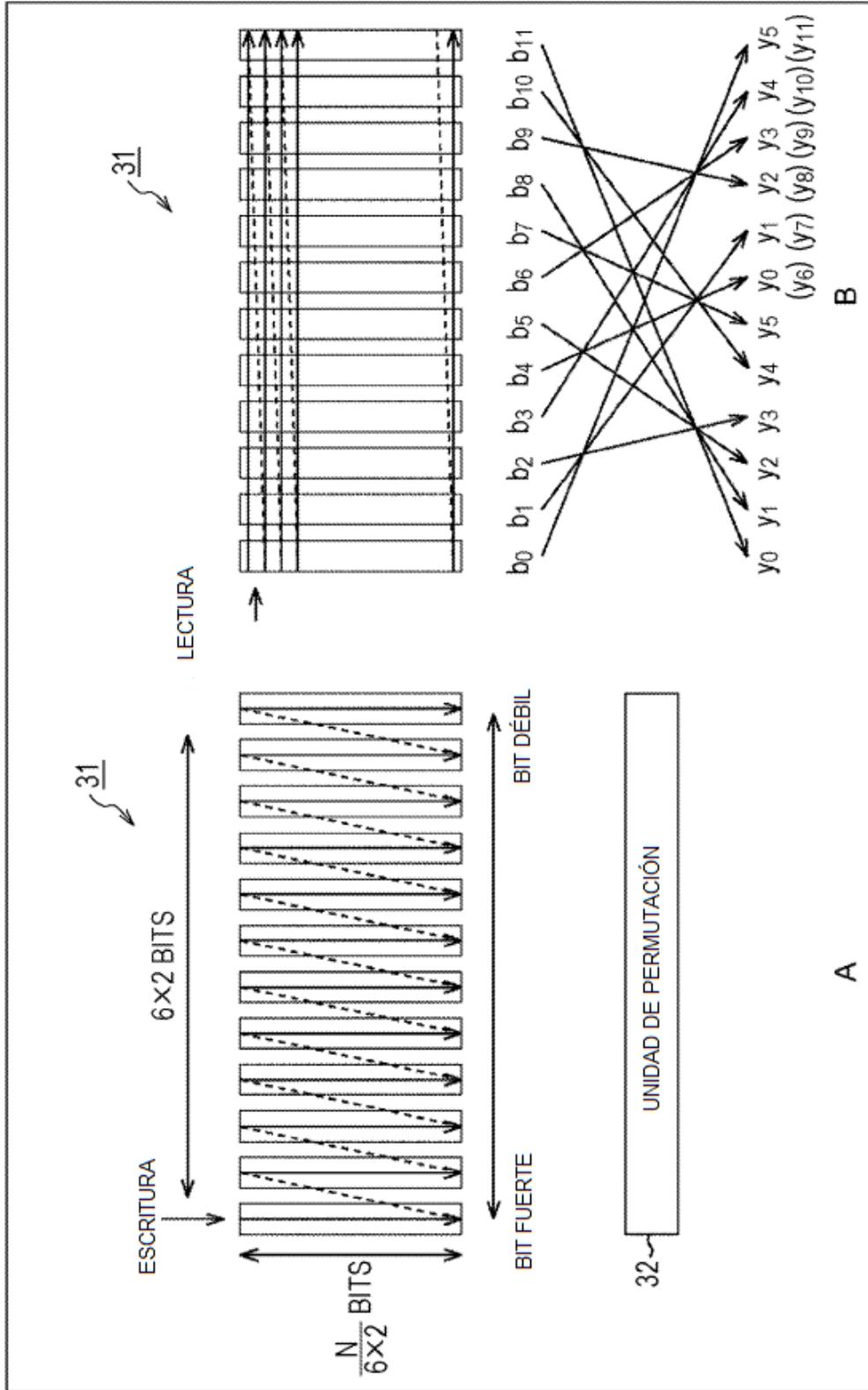


FIG. 24

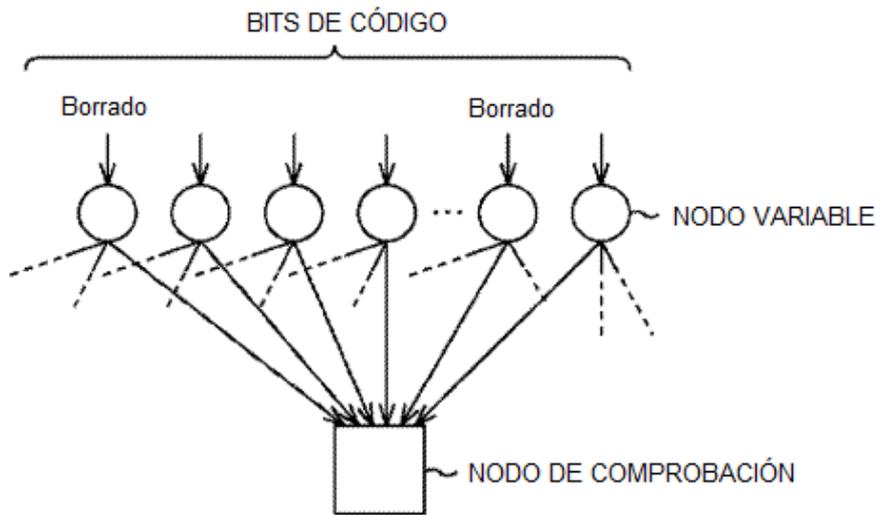
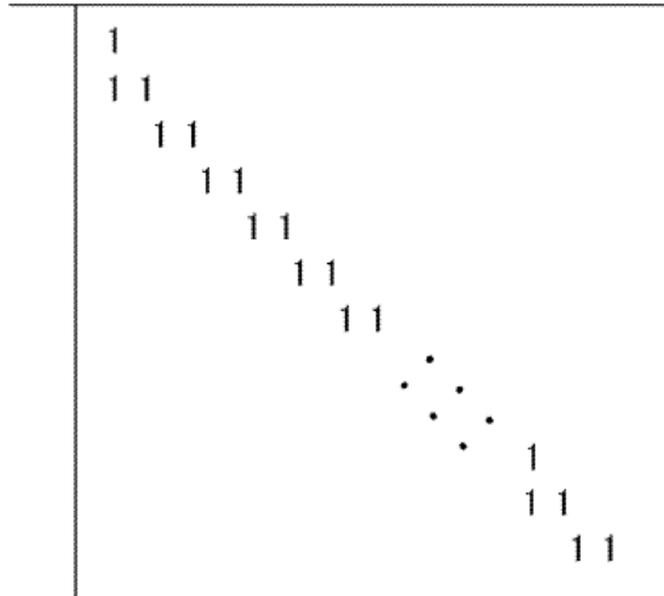
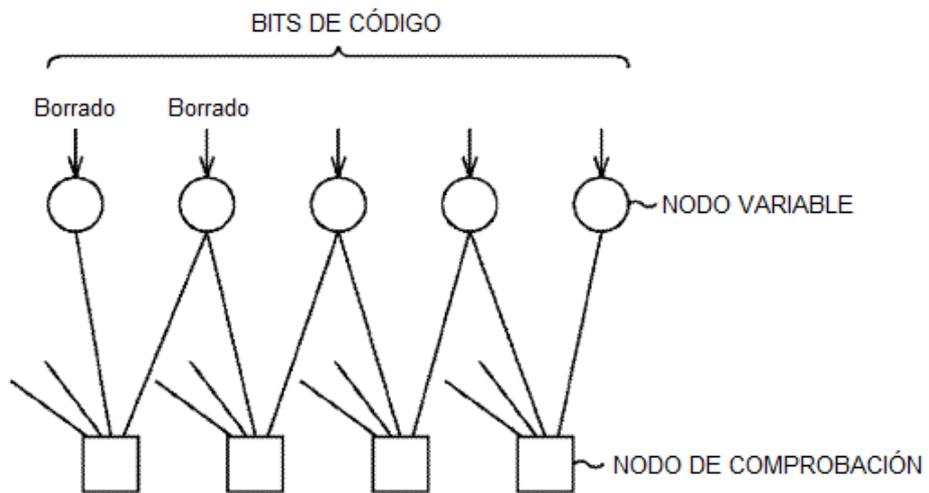


FIG. 25



ESTRUCTURA ESCALONADA DE LA MATRIZ DE PARIDAD

A



PARTE DE ESTRUCTURA ESCALONADA DE GRÁFICO DE TANNER

B

FIG. 26

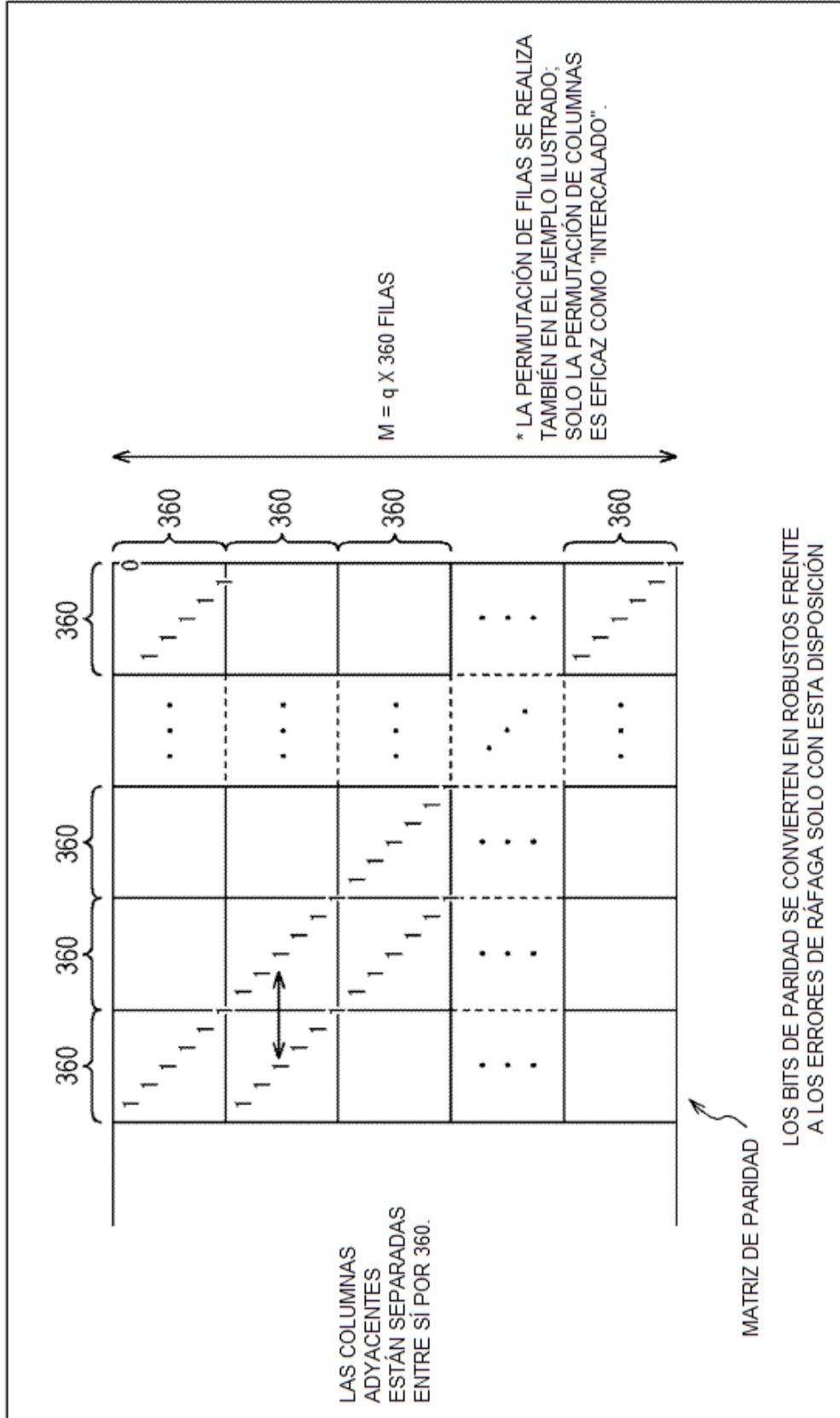


FIG. 27

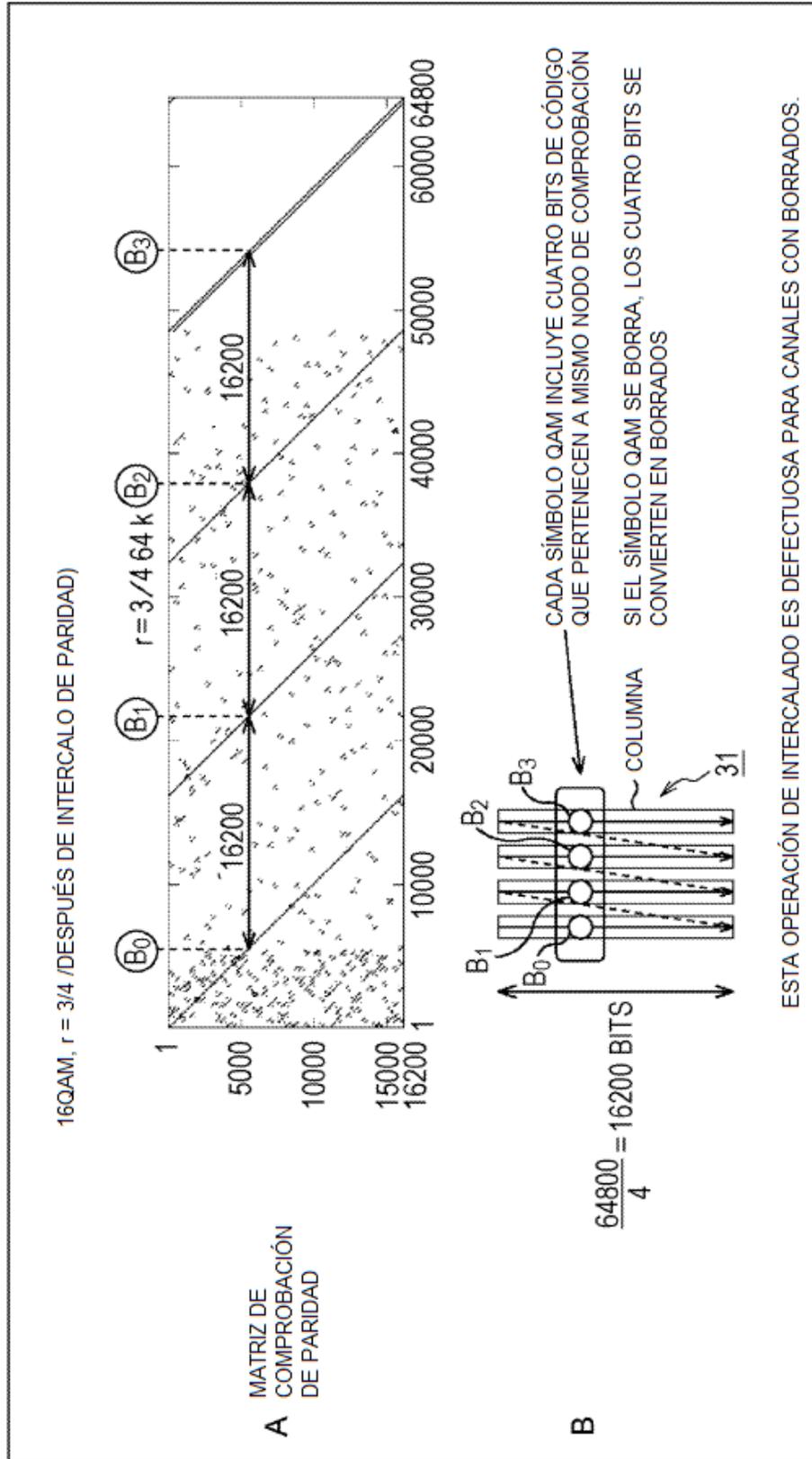


FIG. 28

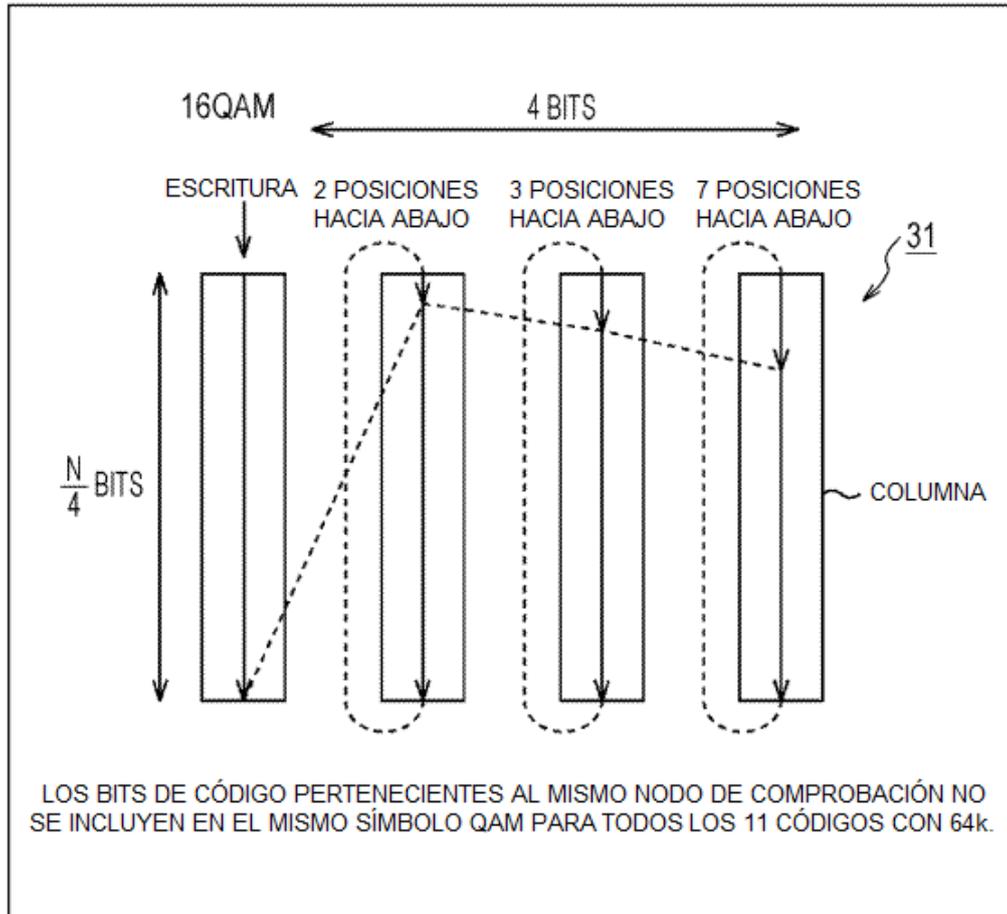


FIG. 30

NÚMERO DE COLUMNAS DE MEMORIA m_b NECESARIAS	$b = 1$ (PROCED. DE PERMUTACIÓN PRIMERO A TERCERO)	$b = 2$ (CUARTO PROC. DE PERMUT.)	POSICIONES DE INICIO DE ESCRITURA RESPECTIVAS EN m_b COLUMNAS																							
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	0																						
4	16QAM	QPSK	0	2	3	3																				
6	64QAM		0	0	2	3	7	7																		
8	256QAM	16QAM	0	0	0	1	7	20	20	21																
10	1024QAM		0	1	2	2	3	3	4	4	5	7														
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7												
20		1024QAM	0	0	0	2	2	2	2	2	2	5	5	5	5	7	7	7	7	8	8	10				
24		4096QAM	0	0	0	0	0	0	0	1	1	1	1	2	2	2	3	7	9	9	10	10	10	10	11	

FIG. 31

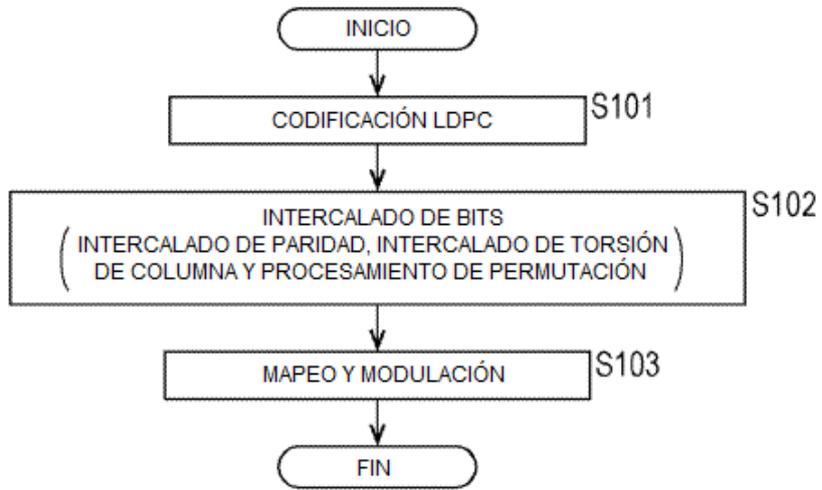
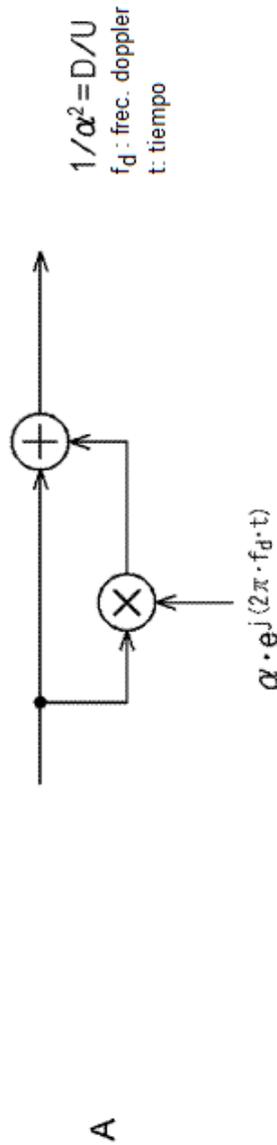
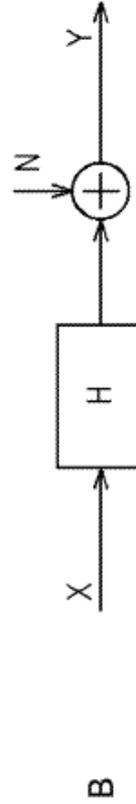


FIG. 32

MODELO REDUCIDO EQUIVALENTE DE FLUCTUACIÓN



SE REALIZARON SIMULACIONES USANDO UN MODULO OBTENIDO MEDIANTE LA EXTRACCIÓN DE UNA PORTADORA EN EL LADO DE RECEPCIÓN DESPUÉS DE REALIZAR UNA FFT SOBRE EL SIMBOLO OFDM QUE SE TRANSMITIÓ ES ESTE CANAL.



$$Y = \left[1 + \alpha \cdot \exp \left(j2\pi \cdot m \cdot f_d \cdot T_s + j2\pi \cdot \frac{(Nu-1) \cdot f_d \cdot Tu}{Nu} \right) \cdot \frac{\text{sinc}(\pi \cdot f_d \cdot Tu)}{\text{sinc}(\pi \cdot f_d \cdot Tu / Nu)} \right] \cdot X + N$$

H

$$E[N^2] = \alpha^2 \cdot \left(1 - \left| \frac{\text{sinc}(\pi \cdot f_d \cdot Tu)}{\text{sinc}(\pi \cdot f_d \cdot Tu / Nu)} \right|^2 \right)$$

POTENCIA DE ICJ: APROXIMADA MEDIANTE AWGN

- m: número de símbolos
- T_s : longitud de símbolo (seg.)
- T_u : longitud de símbolo efectiva (seg.)
- Nu: número de portadoras OFDM

FIG. 33

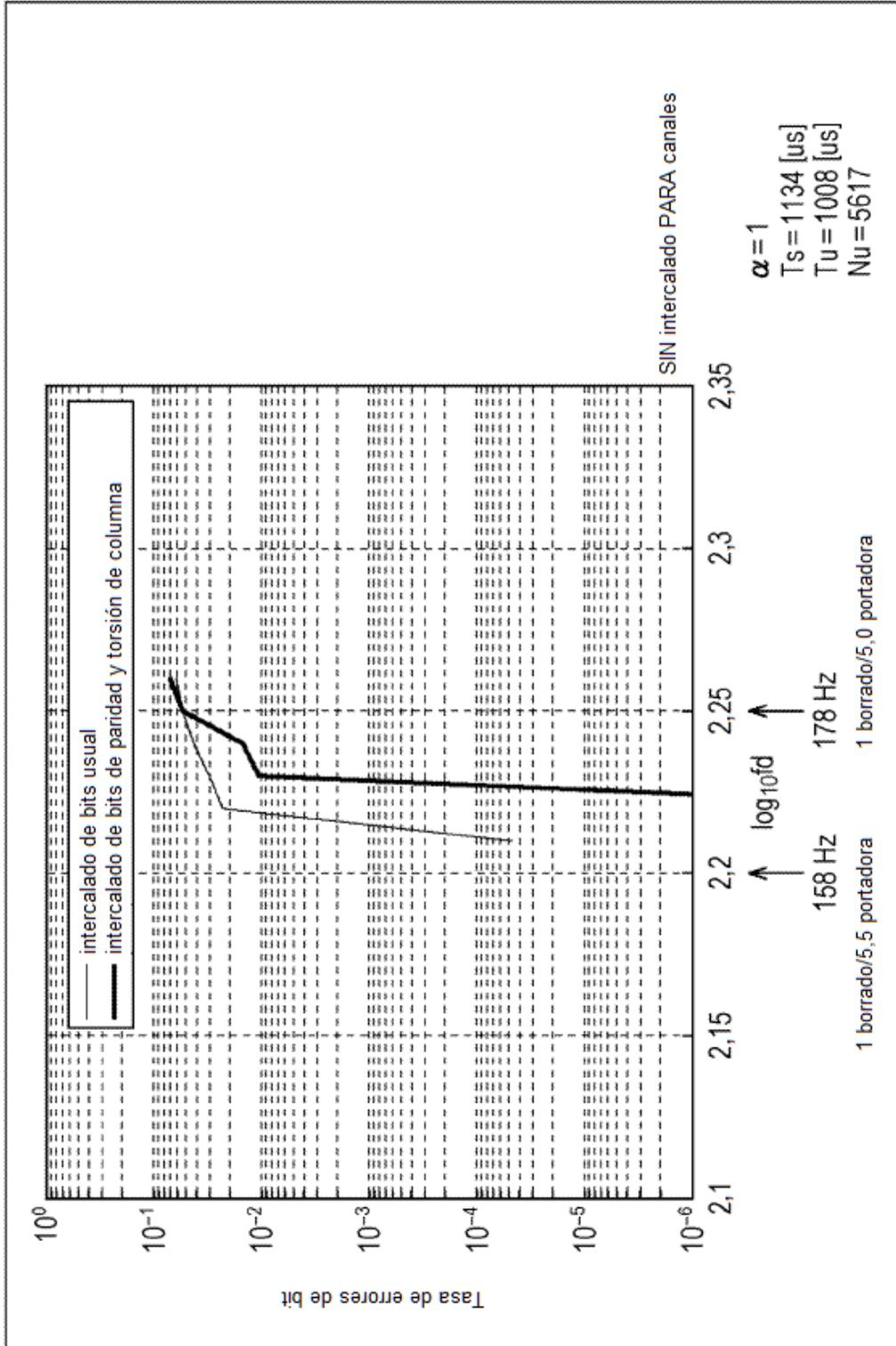


FIG. 34

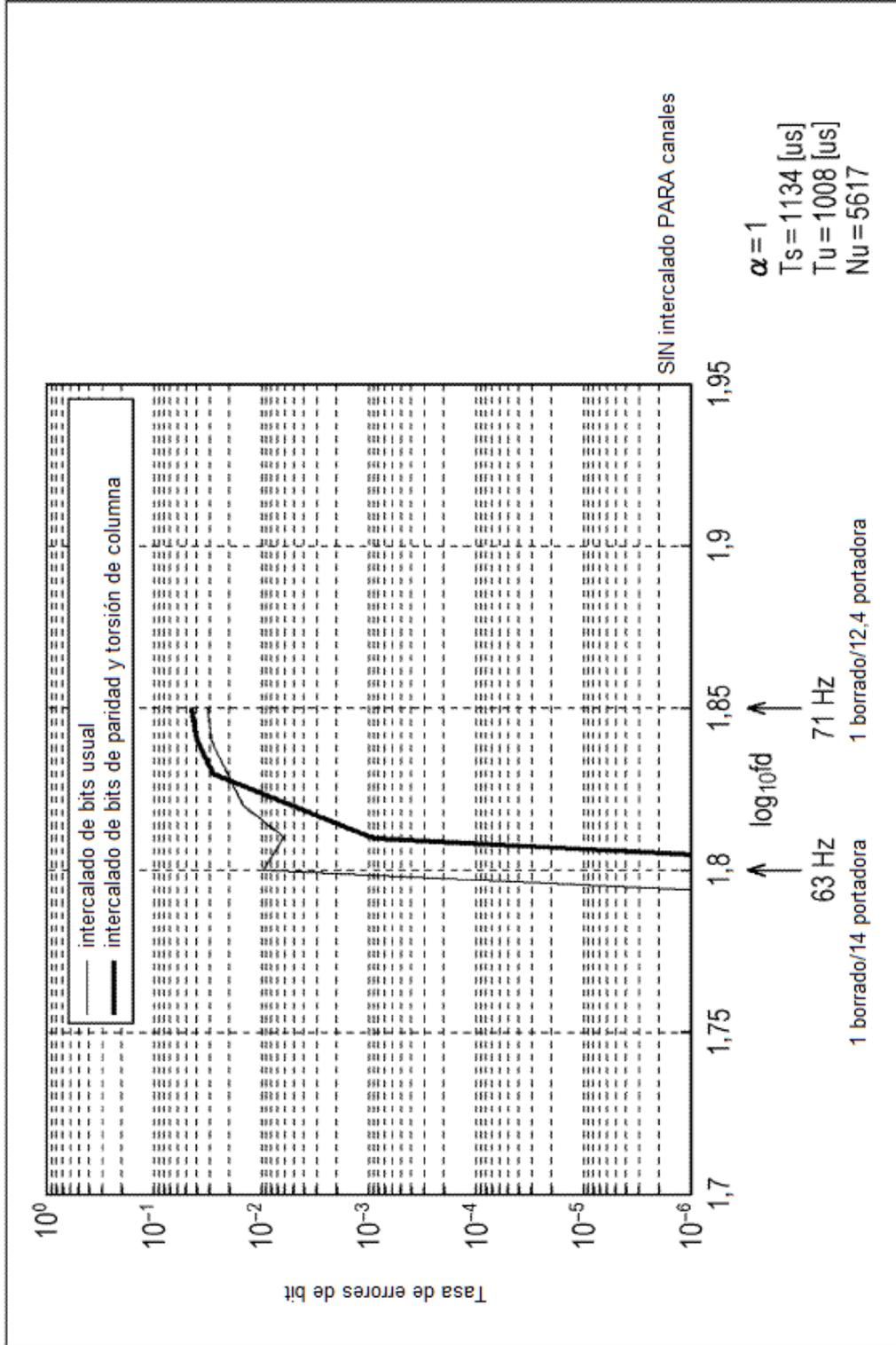


FIG. 35

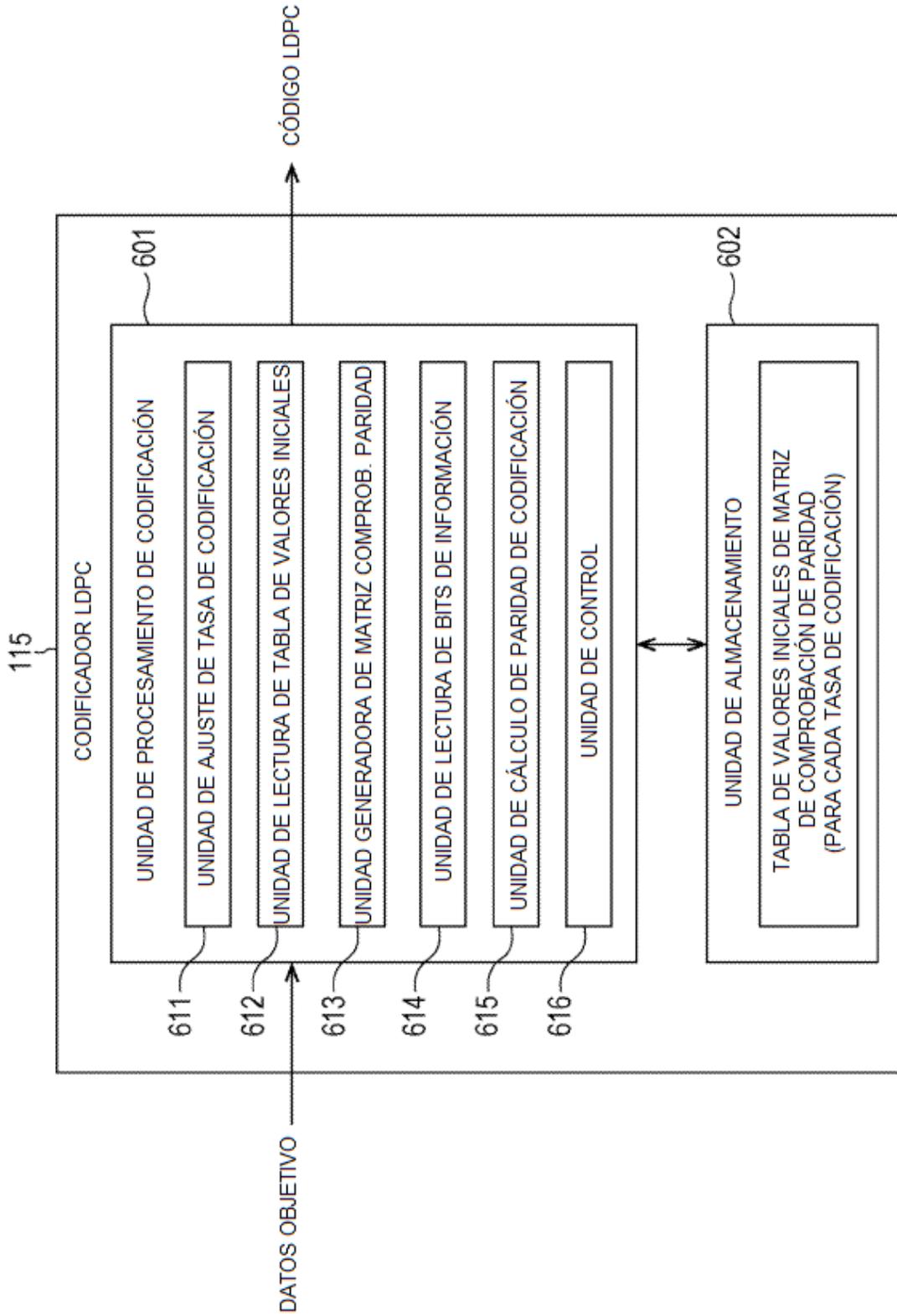


FIG. 36

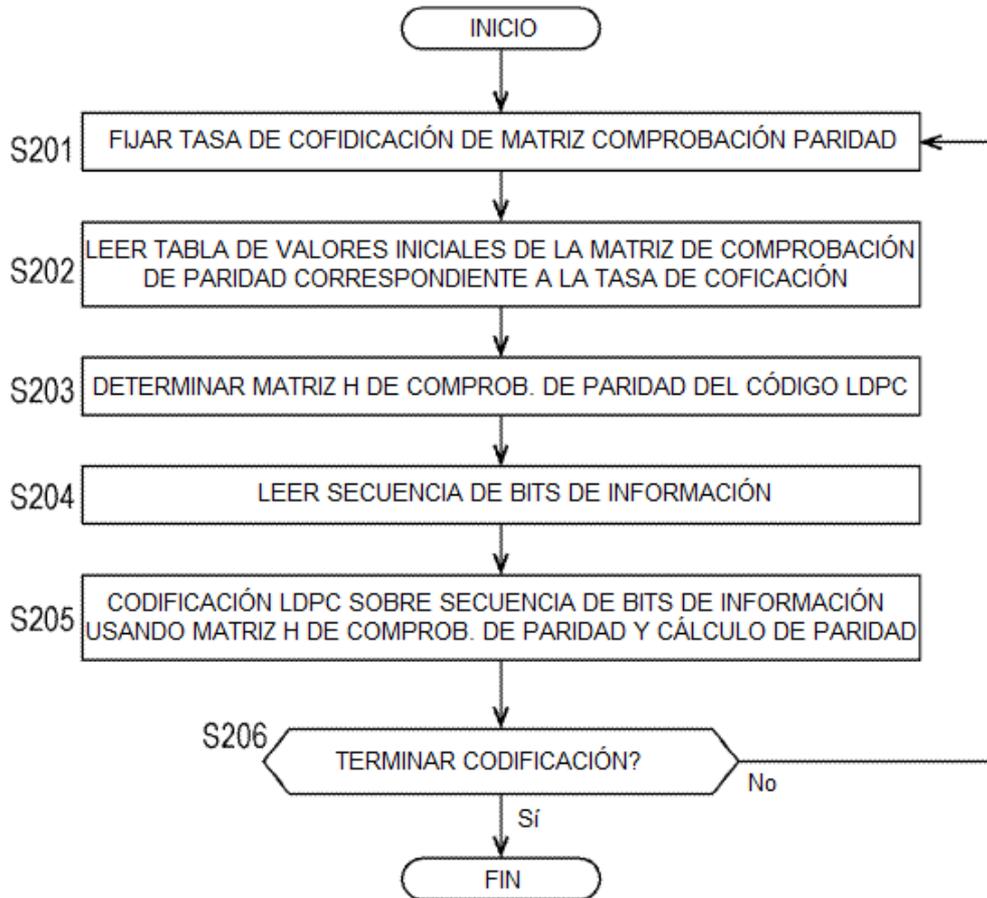


FIG. 37

r1/4 16 k

6295	9626	304	7695	4839	4936	1660	144	11203	5567	6347	12557
10691	4988	3859	3734	3071	3494	7687	10313	5964	8069	8296	11090
10774	3613	5208	11177	7676	3549	8746	6583	7239	12265	2674	4292
11869	3708	5981	8718	4908	10650	6805	3334	2627	10461	9285	11120
7844	3079	10773									
3385	10854	5747									
1360	12010	12202									
6189	4241	2343									
9840	12726	4977									

FIG. 38

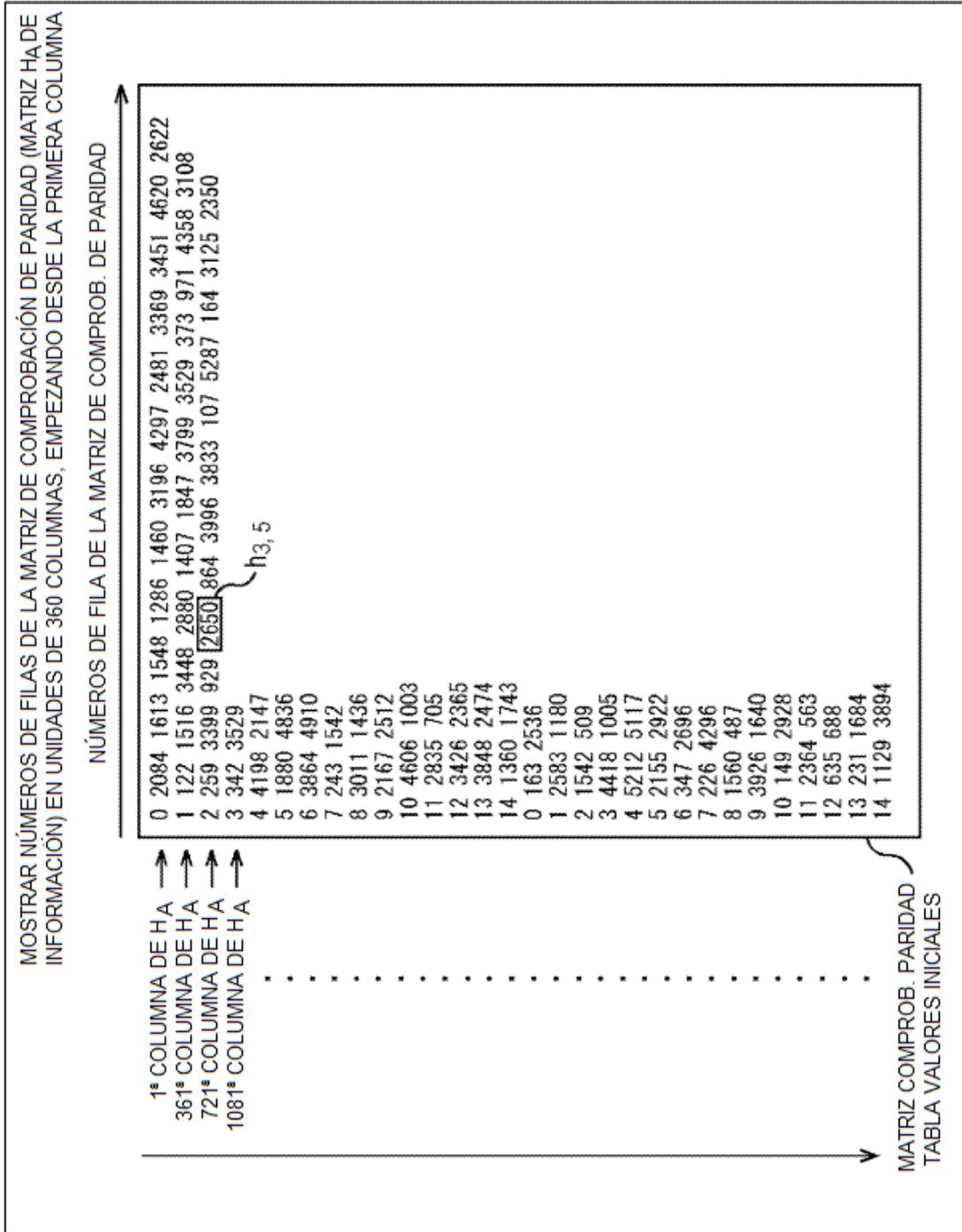


FIG. 39

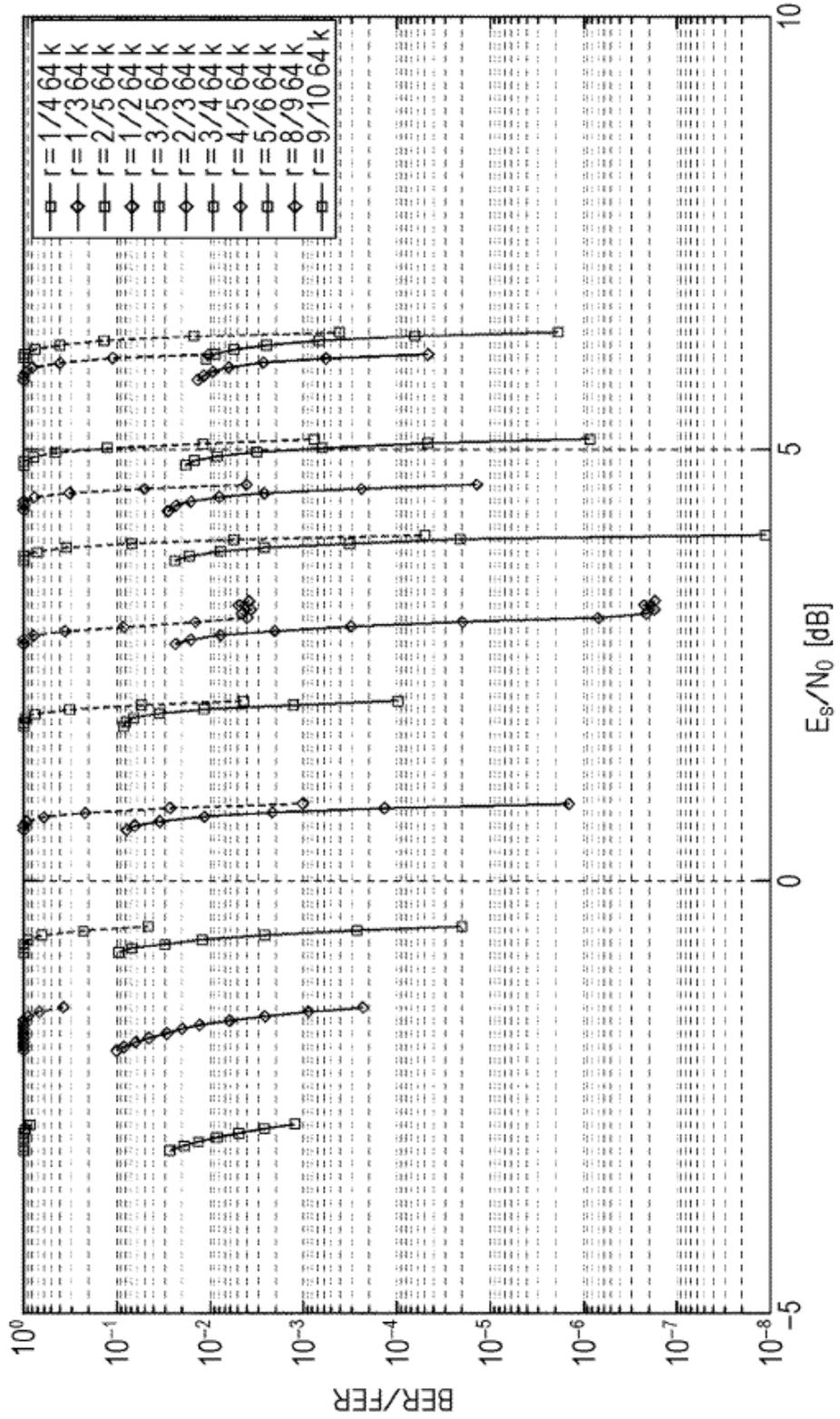


FIG. 40

N=64800, tasa =2/30

30 251 2458 3467 9897 12052 12191 15073 15949 16328 16972 17704 20672 22200 22276 25349
 26106 28258 29737 30518 30951 32440 43031 46622 47113 52077 52609 52750 54295 55384 56954
 57155 57853 59942
 6985 7975 8681 10628 10866 13223 14882 18449 19570 24418 24538 24556 25926 26162 26947
 28181 30049 33678 35497 37980 41276 43443 44124 48684 50382 51223 53635 57661 58040 59128
 59300 59614 60200 60329
 1896 5169 7347 10895 14434 14583 15125 15279 17169 18374 20805 25203 29509 30267 30925
 33774 34653 34827 35707 36868 38136 38926 42690 43464 44624 46562 50291 50321 51544 56470
 56532 58199 58398 60423
 144 152 1236 8826 11983 12930 13349 19562 20564 30203 31766 35635 40367 40905 41792 41872
 42428 43828 44359 47973 48041 49046 50158 50786 55527 55541 57260 57353 57821 58770 59098
 59407 60358 60475
 2085 28320 37838 50085
 6903 21724 38880 59861
 17156 20293 21231 44440
 16799 38095 41049 44269
 11939 30310 39689 47323
 10563 17282 45331 60186
 19860 23595 59085 60417
 10403 19812 27225 48006

FIG. 41

N=64800, tasa =3/30

153 2939 6037 11618 12401 17787 18472 22673 25220 26245 29839 35106 36915 37622 37655
 45425 55595 56308 56726 58286
 146 160 9060 12867 16536 20818 31754 35546 36480 36698 56314 56509 56837 57342 57373
 57895 57947 58163 58202 58262
 58 1555 10183 10446 12204 16197 16830 17382 19144 19565 21476 29121 41158 49953 51531
 55642 57423 57587 57627 57974
 120 9906 12466 21668 26856 27304 28451 29413 30168 31274 33309 33499 37486 38265 43457
 50299 55218 56971 57059 58115
 80 6649 9541 12490 14153 14346 19926 20677 23672 42397 45629 46288 55935 56115 56555
 56865 56993 57921 58049 58190
 46 152 3536 7134 9040 10474 10504 11549 17066 19102 27486 29364 39577 39995 48289 56236
 57279 57560 57608 57930
 19824 21165 34427 58143
 22747 50215 50864 58176
 2943 31340 39711 57281
 1186 20802 27612 33409
 1347 20868 29222 48776
 19 8548 46255 56946
 10762 20467 48519
 39 7401 34355
 142 10827 17009
 1822 29424 39439
 5944 11349 28870
 4981 14731 15377

FIG. 42

N=64800, tasa =4/30

7248	8578	11266	16015	17433	18038	20159	20848	22164	23848	24516	25093	25888	28382	31701		
33259	33540	34615	36428	38595	38683	38814	41592	44323	44522	44859	45857	48657	49686	53354		
54260	54853	55069	55426	56127												
715	1505	3314	5537	6377	6750	11039	11271	15840	16615	24045	24314	24435	26992	28524	28745	
28935	32956	33359	34964	36217	37546	38189	42599	44326	49694	54236	54779	55501	55543	55721		
55865	55961	55966	55988													
70	116	613	2482	6204	6608	7392	13585	14175	14228	17842	20004	20142	21324	22575	24443	
24497	25394	26585	30222	37825	38548	41709	44999	50925	52186	53793	54177	54705	55096	55489		
55584	56019	56055	56151													
9	2054	3493	3584	3989	5916	11915	14323	15091	16998	17631	18645	18882	20510	27499	28990	
30054	32231	36556	37437	39651	41543	41963	42798	42937	44864	48056	48971	53104	54511	54610		
55151	55216	55470	55736													
30	81	110	294	1636	2152	4312	6098	9415	12105	14021	15226	15618	18614	21368	23154	28913
29260	36969	37792	39386	42362	42949	43758	43765	44572	45877	46424	46948	47683	47903	48245		
51804	52166	53264														
3	50	987	1771	4255	9714	9907	13728	17807	20438	24206	24326	24458	26039	26898	35691	36875
37877	38103	38398	38671	39288	40642	41533	41753	42069	45374	46377	48016	48165	48805	49392		
50660	51907	51968														
138	441	4163	6450	7419	10743	11330	14962	14984	15032	24819	28987	29221	33223	35464	37535	
38213	39085	39223	39925	41220	41341	41643	44944	46330	46870	47142	48577	49387	50732	52578		
53839	54085	55426	56132													
3773	41938	55428	55720													
8833	47844	49437	50265													
7054	31403	48642	53739													
2286	22401	42270	53546													
14435	24811	29047	36135													
21010	23783	55073	55612													
20516	27533	51132	52391													
884	22844	25100	56123													
1150	12133	44416	53752													
9761	38585	52021	55545													
1476	5057	49721	50744													
16334	39503	40494	43840													
24	31960	33866	53369													
22065	22989	32356	52287													
111	155	3706	13753													
17878	18240	27828	55776													
13582	47019	54558	55557													

FIG. 43

N=64800. tasa=5/30

2035 5424 6737 8778 10775 15496 17467 21825 23901 27869 28939 29614 34298 34951 35578
37326 39797 44488 45293 45900 49239 53415 53900
2090 4170 12643 12925 13383 17659 23995 24520 25766 26042 26585 29531 31126 34856 43610
49028 49872 50309 50455 51586 52161 52207 53263
819 1629 5521 8339 8501 18663 22208 24768 25082 35272 35560 40387 40618 42891 44288
46834 47264 47458 47561 48563 49141 49583 51837
100 564 4861 9130 15954 22395 23542 26105 27127 31905 33977 35256 37679 40472 40912
42224 43230 44945 45473 52217 52707 52953 53468
73 86 6004 9799 13581 14067 14910 14944 15502 22412 26032 27498 27746 27993 28590 35442
38766 44649 47956 48653 48724 50247 52165
108 1173 5321 6132 7304 15477 18466 19091 20238 23398 26431 34944 36899 40209 42997 48433
48762 49752 49826 50984 51319 53634 53657
4541 7635 11720 12065 16896 28028 28457 30950 35156 38740 39045 43153 43802 44180 45186
45716 45794 46645 48679 49071 49181 53212 53489
6118 8633 11204 11448 15114 19954 24570 26810 28236 39277 43584 46042 47499 48573 48715
49697 50511 51228 51563 51635 53410 53760 53851
1223 4008 8948 9130 16129 17767 22039 23572 24550 28200 29157 32730 33821 38449 39758
48433 49362 52582 53129 53282 53407 53414 53972
176 10948 11719 12340 13870 15842 18928 20987 24540 24852 28366 30017 36547 37426 38667
40361 44725 48275 48825 51211 52901 53737 53868
21792 35759 44481 53371
147 33771 34263 35853
15696 41236 46244 46674
48208 52868 53324 53794
34077 36441 49909 53506
34932 51666 53755 53974
18455 38927 49349 51201
3836 31114 37755 53469
31831 42633 46626 52743
21053 28415 46538 53154
5752 19363 42484
719 48444 52185
25502 53443 53739
11596 53495 53635
43934 52112 53323
42015 52196 52288
72 129 52340
9 17870 43153
24743 41406 53180
23388 48087 52441

FIG. 44

N=64800, tasa=6/30

13033 14477 15028 17763 19244 20156 22458 24073 32202 32591 33531 33552 35823 41495
46351 49442 51612
44 66 8422 8760 14694 18768 20943 27806 29012 33594 36262 36820 40434 47704 49355 51729
51758
4233 16270 18958 20915 21313 27009 28249 33438 33855 34475 34541 37093 38835 42139 42169
44757 50122
82 10760 14292 17911 18008 23008 33152 34162 35749 36166 37411 37523 40838 42786 43581
46177 48829
4661 5201 5824 6014 8283 12840 22044 22103 29657 29722 32246 32893 34131 36007 40779
44900 51089
5869 12204 14095 26632 27101 27300 32344 33761 35081 38057 40709 46805 47733 48220 49806
51318 51691
87 5764 16204 20947 23257 31579 38832 40942 43112 43239 44602 49032 49482 49727 49929
50186 50593
880 1883 8876 9204 12370 21536 32858 35875 36247 36319 37151 38601 48914 49533 51239
51399 51824
20 129 2841 5695 8176 15720 26066 26197 34149 35814 36477 37478 45338 48988 50675 51071
51774
7252 14498 19246 20257 20693 22336 26037 29523 29844 34015 35828 38232 40999 41437 43343
44109 49883
4859 8000 9342 16137 21600 24083 36364 37038 38988 44465 45445 46589 48994 50591 51065
51166 51268
7728 9766 11199 11244 13877 14245 23083 27064 28433 28810 34979 39031 42939 44517 45730
48365 51374
67 135 1601 6123 9100 22043 24498 25417 30186 34430 34535 37216 40359 42794 47908 50685
51501
1006 10492 18259 51816
27272 49144 51574 51631
23 5636 38161 39514
9490 41564 46463 51162
33623 41959 50610
11626 22027 50936
28345 39504 45097
46639 50046 50319
74 18582 27985
102 17060 43142
38765 49453 51242
6102 41272 51729
24686 33446 49011
19634 49837 50000
569 22448 25746
33986 50729 51301
9883 14876 29601
9142 29505 50604
22623 40979 51260
23109 33398 51819
163 50643 50984
47021 47381 50970
16215 20964 21588

FIG. 45

N=64800, tasa=7/30

548 9528 12205 12770 22023 22082 25884 27421 33215 36046 43580 43953 47539
 919 2623 5098 5514 5645 6348 9666 13795 14555 43224 44048 44948 47964
 995 7270 17753 21272 29228 29916 31634 34055 35205 37499 37777 47490 49301
 645 3803 8836 9470 11054 20253 29417 31243 31990 36468 38715 39932 43045
 14572 18646 21100 26617 32033 32410 37195 38586 43833 44577 45584 46453 49515
 6004 16982 17829 24616 28056 29646 32944 39051 42517 47086 48585 48772 49247
 1306 1447 4898 7781 18587 25724 26672 35062 35202 37080 39781 46111 47595
 92 3231 13043 22258 24198 28923 33303 37846 43610 44857 47322 48914 49291
 298 12557 13469 14451 21917 23539 26310 29839 37050 38507 41377 46971 48155
 12582 13044 21039 30600 34202 34947 37120 39108 39203 43449 46941 48542 49354
 871 12218 12680 14152 17171 25797 29021 37783 43728 47519 48794 48898 48980
 35 4623 13422 15881 16692 17463 23675 28063 31248 41997 44246 47992 48339
 7150 13015 17950 18214 20659 23579 25714 28328 32658 39717 39995 43322 45884
 82 11054 11845 19085 24174 26694 41530 45954 46508 46892 48832 49097 49420
 5789 13839 18512 25596 26478 26736 29431 32349 33384 41765 46661 49206 49543
 13805 17786 17798 29653 30310 34870 40176 40391 43227 45292 46423 46855 49454
 12433 27119 34645
 32065 34998 44021
 5158 16546 34359
 44 33285 39929
 39032 39296 40317
 9885 45251 47640
 14383 43446 44478
 31280 39945 48472
 27961 38221 48391
 2927 37404 38716
 19461 42462 46162
 24909 25915 40636
 11029 35538 45381
 26880 34179 48775
 192 6032 26853
 4563 14952 24256
 10003 30853 43811
 749 36334 41363
 100 17006 24982
 9507 20228 31214
 41691 44310 47083
 24070 30411 46982
 2727 28251 49289
 16689 21167 32590
 40813 41198 46175
 8336 32714 43075

FIG. 46

N=64800, tasa=8/30

100 3433 4111 9089 13360 24012 26305 30252 31430 31769 34689 34917 36091 40873 41983
 42689 43835 44318 47109
 3 48 124 2240 7029 21694 24565 29302 39777 42706 43631 43784 46033 47064 47079 47141
 47239 47439 47479
 2 5675 7056 12715 24128 26596 30571 38210 38586 41138 42272 43336 43444 43917 45812 46840
 47245 47286 47510
 2103 4285 10068 10702 12693 17619 18711 21309 22191 22999 37432 45646 46275 46338 46777
 46860 46963 47432 47472
 6827 8209 8606 10412 15670 19469 22205 22215 25425 29565 34843 34985 37686 39277 44625
 45016 45623 47069 47250
 58 114 1751 7913 24642 26995 40734 41486 43133 44804 45490 45725 46122 46412 47019 47080
 47103 47495 47506
 96 5952 9078 9786 17738 17888 17986 31657 34430 34763 35450 37276 42395 43223 43283
 44261 45648 47014 47276
 106 5405 9614 20500 21633 23242 28875 37238 38854 41778 42292 43883 45909 46558 46826
 47292 47353 47436 47504
 32 11217 12153 26818 27616 38783 39976 40842 43581 43703 44287 44435 44576 44774 46080
 46098 46801 46813 47168
 65 102 111 3879 11224 11772 23623 27306 28726 34663 34873 36288 39196 42003 45279 45629
 46836 47021 47419
 77 131 11275 18964 20418 22364 22635 27727 28689 29720 29781 32110 41597 42046 43952
 44786 46416 46808 47200
 87 8637 10829 23737 24117 26486 29603 34389 35509 35872 38948 40643 42698 45949 46159
 46660 47041 47165 47220
 2 58 3110 7539 8886 10422 11597 13385 27870 35895 38120 43546 44948 46272 46369 46596
 47199 47317 47351
 78 18119 27780 32231 38973 39088 40118 40231 43170 44131 44203 44878 45905 46250 47011
 47113 47195 47303 47427
 2960 6685 8830 11107 11843 12811 30030 36574 36850 36920 37706 38025 41007 43554 44109
 44643 45874 46469 46565
 125 366 10175 29860
 45 17503 44634 45789
 6272 19614 34408 37248
 14785 41017 44274 46858
 19935 22960 44726 44919
 15247 17925 33947 37392
 34631 39148 43287 45443
 8544 26457 30996 38672
 11725 31442 42167 45461
 22357 41743 46702 47285
 13786 26288 41358 43082
 7306 21352 43298 47359
 77 5188 20988 45572
 10334 23790 40878
 9304 29379 47450
 22048 44762 47300
 8529 8825 47443
 40831 41328 46415
 26715 43038 46498
 26925 30797 43181
 32434 45624 47460

FIG. 47

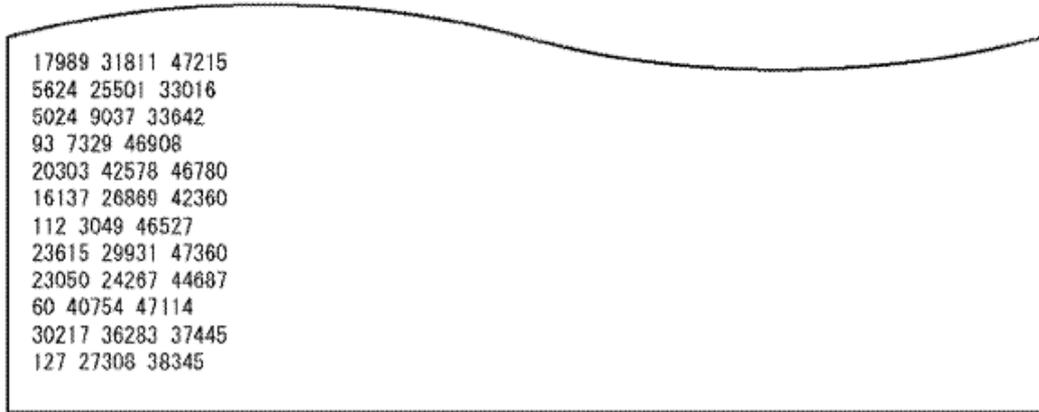


FIG. 48

N=64800, tasa=9/30

339 4777 5366 7623 13034 13260 15107 17772 20338 21178 25914 27663 29948 37489 41021
 3871 5812 9795 23437 24079 27699 33471 39878 40302 41038 41217 42316 42765 43675 45118
 3699 4072 16553 21492 26210 29839 30322 34139 38227 39696 40762 41156 41269 45168 45350
 995 12194 12494 16542 20423 21950 23519 26215 26708 30587 38352 38840 39729 41645 43210
 3963 4315 6832 11354 21042 21084 21108 25595 33109 34029 34448 35129 38018 39012 44791
 164 887 2902 9021 9193 16705 17850 19241 25893 33427 37416 41024 41355 44381 45303
 1367 1495 5495 14440 18026 18130 18178 21946 24057 25663 29216 31965 38107 43907 44278
 10763 13722 13975 18294 20813 23028 23353 24211 37366 38805 40985 41792 42495 43259

43528

1580 12448 21464 31246 33058 34794 35760 36021 36426 37138 37478 38199 42138 42335 45207
 83 112 12225 15224 18205 21345 28488 34362 37195 39660 42371 42814 44509 45201 45244
 6836 7635 11644 16591 17121 19307 21456 23544 30596 37887 38141 38581 43607 44246 45097
 9174 14934 17131 29762 30243 31656 33251 35498 37106 37655 41462 44002 44649 45032 45230
 33 5376 13536 17068 18581 23478 32021 32074 33716 38434 39452 42166 44305 44979 45306
 6013 7553 10023 19354 23126 25427 27665 30239 32699 34123 36171 38898 38972 41974 45213
 41 98 3088 8522 26252 29602 30009 30138 30948 32190 32428 32498 34273 34955 45311
 2000 15664 20677 20792 22980 25111 31491 37611 37981 39872 41668 42336 43602 43828 45329
 23 87 97 5339 8121 8583 20647 25425 32305 37158 40968 41578 43492 44929 45273
 1643 3496 5121 6546 15643 16423 20602 39950 43178 43252 43683 43992 44001 44611 45125
 11093 19172 20548 24518 28289 29246 30148 34884 40403 40745 42723 43064 44448 44723

44812

12748 12799 28567 41605
 1965 4087 31879
 27178 33638 38344
 9580 13096 45337
 2672 22800 43869
 28287 31407 31975
 2823 5108 9945
 5891 30848 42082
 23 41944 44909
 909 2311 45162
 24998 37829 44704
 35339 40087 45019
 16928 26505 35256
 26462 27297 37766
 19658 35067 38586
 6958 17172 41412
 72 26012 37231
 15259 16044 30243
 2879 12148 34601
 36173 39731 42668
 20670 35816 43266
 22570 27213 30404
 40284 44171 45313
 17765 22514 39347
 24711 39892 45132
 13741 34633 44535
 15209 31692 45280
 11189 43771 45303
 28294 31110 32287
 29085 39876 45246

FIG. 49

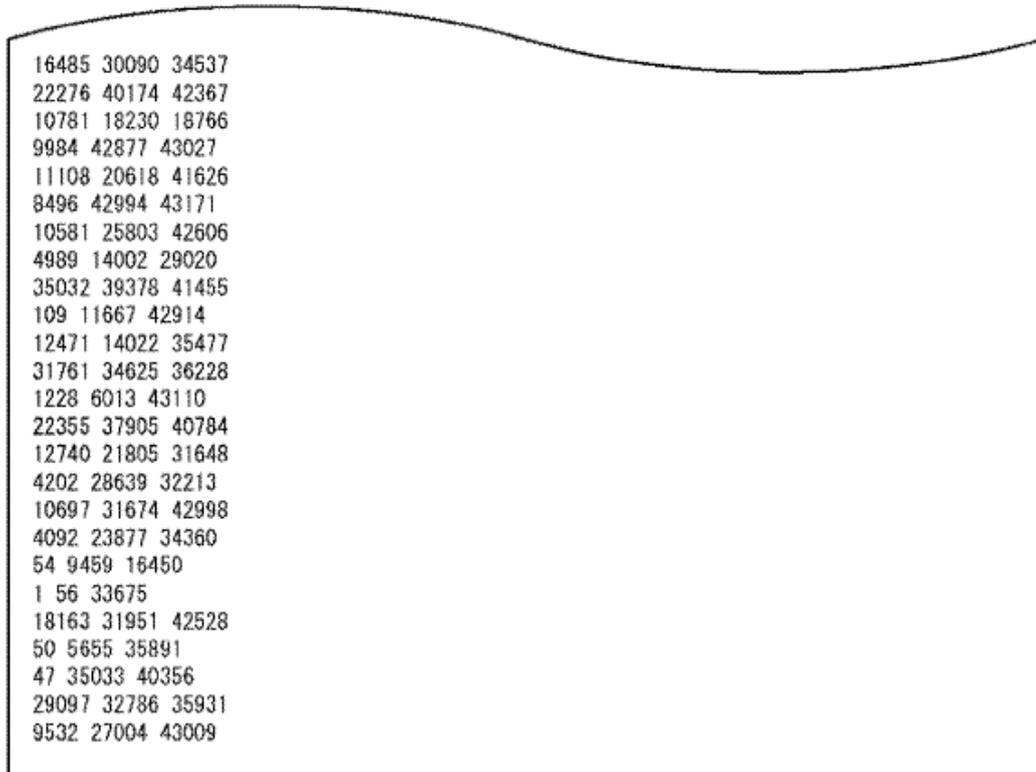


FIG. 50

N=64800, tasa =10/30

867 2733 2978 8947 10214 11810 13566 15922 18838 20543 25845 29179 30055 31284 33447
 34330 35081 35605 36268 39563 42331 43174
 2765 6017 6394 6769 12351 13567 15195 19900 23094 27077 28626 28914 32219 33106 33662
 33905 34878 37861 39749 39862 40976 42690
 2343 4231 7603 7789 8396 8783 15636 16221 20591 21538 24008 25117 25663 26817 29692 30937
 31472 32070 33793 39506 41763 43172
 8536 10705 10960 11206 12513 15399 17108 17224 17512 20180 25288 27824 28958 30600 36792
 36828 38891 39575 39581 42342 42914 42961
 9 107 681 1195 9957 14055 21420 23279 26129 32044 35750 37065 37092 37165 37179 40127
 40835 41476 41564 41571 42576 42910
 86 1760 6842 8119 8904 12644 17603 18189 20018 22259 22654 25620 27606 27833 28002 31053
 31814 31848 35573 36133 40698 41370
 28 115 4354 9276 11229 11252 13848 21112 22851 29912 32453 34693 37344 37420 40926 40992
 41063 41782 41856 42012 42642 43045
 1589 7190 7221 7668 11805 14071 14367 14629 17087 19579 19861 25505 35471 35514 37495
 38375 40286 40330 40402 41662 42638 43126
 76 99 3237 5137 7982 9598 13470 14045 26680 27058 32025 32235 34601 35658 36841 38408
 40517 40987 41400 41861 42691 42772
 54 2470 2728 3177 3484 8267 9351 17523 18513 21119 22947 23771 26569 27308 31217 35887
 36449 38529 40424 41873 42146 42706
 39 80 385 1386 3397 5234 14733 16955 17656 23262 23463 25340 31638 31676 32683 37130
 37641 39064 41839 42193 42495 43063
 62 573 11847 14616 16033 16064 16302 18776 19434 23845 23873 25937 27741 32244 32612
 33554 38445 38480 38610 40933 42386 42520
 33 183 968 5477 6173 7363 10358 12597 14468 18025 23369 23387 24723 25254 28299 28989
 31675 32776 35077 40241 41572 42035
 36 2529 2543 3891 7108 9002 9481 16496 19796 26687 27343 33300 35495 37070 39247 40126
 41758 41892 42124 42622 42738 43100
 91 6897 8794 9581 12922 15711 18539 19227 21592 22906 26449 29804 30895 31538 31930 33392
 38006 38294 38705 38952 39005 42120
 64 76 709 1155 3162 7099 8740 9670 12678 21126 29239 29844 31248 32001 35243 36814 38008
 42050 42149 42631 42705 43119
 17670 40897 42359
 17471 20895 32101
 5458 5508 30504
 17291 19627 27186
 14600 41106 43103
 18059 28398 40623
 23776 30190 32880
 4676 13593 21791
 19 2832 27959
 6193 21762 42854
 64 16088 42982
 29425 35004 42209
 14338 31982 41789
 21572 42838 42923
 5 87 6639
 5529 42541 43173
 15512 31740 35801
 44 86 43183
 26027 26995 36455

FIG. 51



16485	30090	34537
22276	40174	42367
10781	18230	18766
9984	42877	43027
11108	20618	41626
8496	42994	43171
10581	25803	42606
4989	14002	29020
35032	39378	41455
109	11667	42914
12471	14022	35477
31761	34625	36228
1228	6013	43110
22355	37905	40784
12740	21805	31648
4202	28639	32213
10697	31674	42998
4092	23877	34360
54	9459	16450
1	56	33675
18163	31951	42528
50	5655	35891
47	35033	40356
29097	32786	35931
9532	27004	43009

FIG. 52

N=64800, tasa =11/30

3208 6587 9493 9539 12368 12501 14811 15784 17625 18654 18721 19471 19503 20079 20411
 20876 21493 22083 22430 27275 29322 32758 33227 33347 33715 34472 34711 38450 39151 39709
 39862 40093 40497 40912

42 1118 3086 5466 6379 8483 9051 9330 13250 13898 14055 15033 18094 21429 22652 25251
 28709 29909 30233 30472 30635 31367 32603 33614 33708 36404 36530 37039 37782 38115 38307
 40225 40597 40822

5939 11990 15027 15162 16503 17171 17806 17902 18031 18077 21216 22134 22660 24170 28558
 29364 30003 31128 32674 33103 33361 34196 34435 34626 34991 35974 36022 37459 38170 38709
 39774 39960 40571 40858

63 3871 9148 10328 12830 12912 18361 18839 20122 23126 23795 28612 30350 32251 32750
 33762 33866 36188 36979 37562 37836 38536 38705 38829 39609 40219 40324 40336 40367 40638
 40699 40809 40987 41019

36 70 104 3737 5028 19023 19575 19746 23840 24611 24661 26741 27749 30359 31027 31509
 32621 32859 33830 34619 35281 35479 36796 37344 37555 38993 39088 39445 40276 40299 40762
 40771 40835 40967

113 2313 4411 5858 9909 10426 18955 21663 21884 24105 24472 26944 27826 28574 28689 29579
 30903 32352 33334 36408 36795 36805 37112 37121 38731 39080 39739 40007 40326 40356 40472
 40476 40622 40778

54 84 3529 5202 9825 9900 10846 12104 13332 14493 14584 23772 24084 25786 25963 26145
 28306 29514 30050 30060 33171 33416 33657 33951 34908 37715 37854 38088 38966 39148 40166
 40633 40746 40939

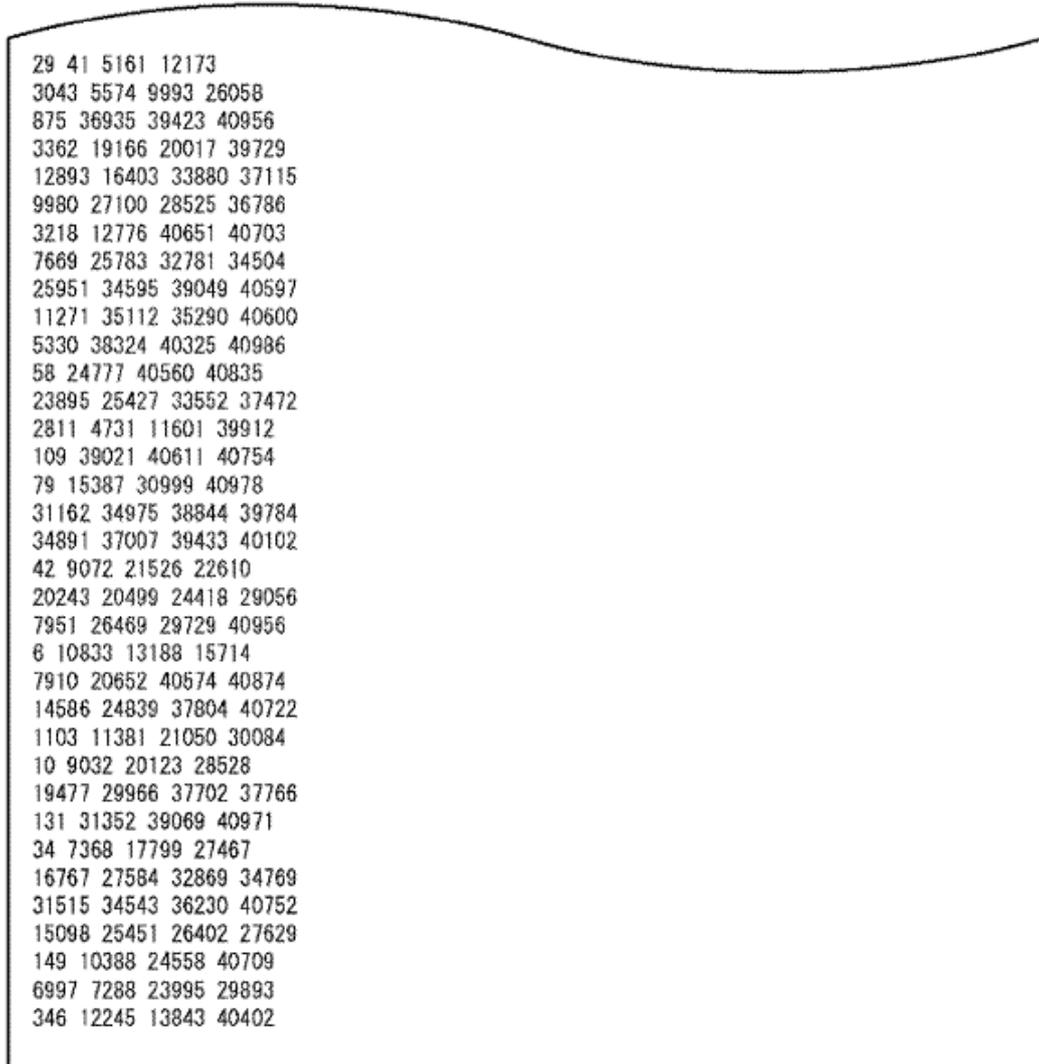
105 8722 10244 12148 13029 16368 18186 19660 19830 21616 22256 22534 23100 23219 25473
 26585 29858 32350 33305 34290 34356 34675 35297 37052 37144 37934 38201 39867 40270 40539
 40781 40804 40944 40966

53 61 82 96 2665 6552 9517 15693 17214 17588 18347 19039 20679 21962 24255 25861 27117
 27919 30691 36195 36379 37031 37309 37535 37793 38198 38212 38595 38808 38911 39474 39677
 40135 40935

15 67 723 2962 4991 5285 11583 13398 16301 16338 20996 21510 25697 28214 29143 30539
 30573 31108 32500 32506 32727 32755 36134 37226 37655 37799 39219 39626 39980 40093 40105
 40628 40634 40816

18854 37884 40104 40772
 35209 40379 40447 40508
 3049 36078 39403 40402
 19118 27981 35730 36649
 20465 28570 39076 40910
 24047 31275 39790 40126
 31041 33526 34162 39092
 1152 8976 24071 35698
 3 27991 31485 40934
 5245 20676 30579 38823
 47 11196 38674 38894
 14920 15270 16047 40928
 23974 30146 39805 40911
 8791 16641 25060 31681
 1147 4233 34386 37802
 58 5354 22265 41018
 869 3078 39882 40730
 1071 6322 9163 10642
 7235 32596 35540 37487
 26910 35537 40830 41035
 81 11905 16179 19558

FIG. 53



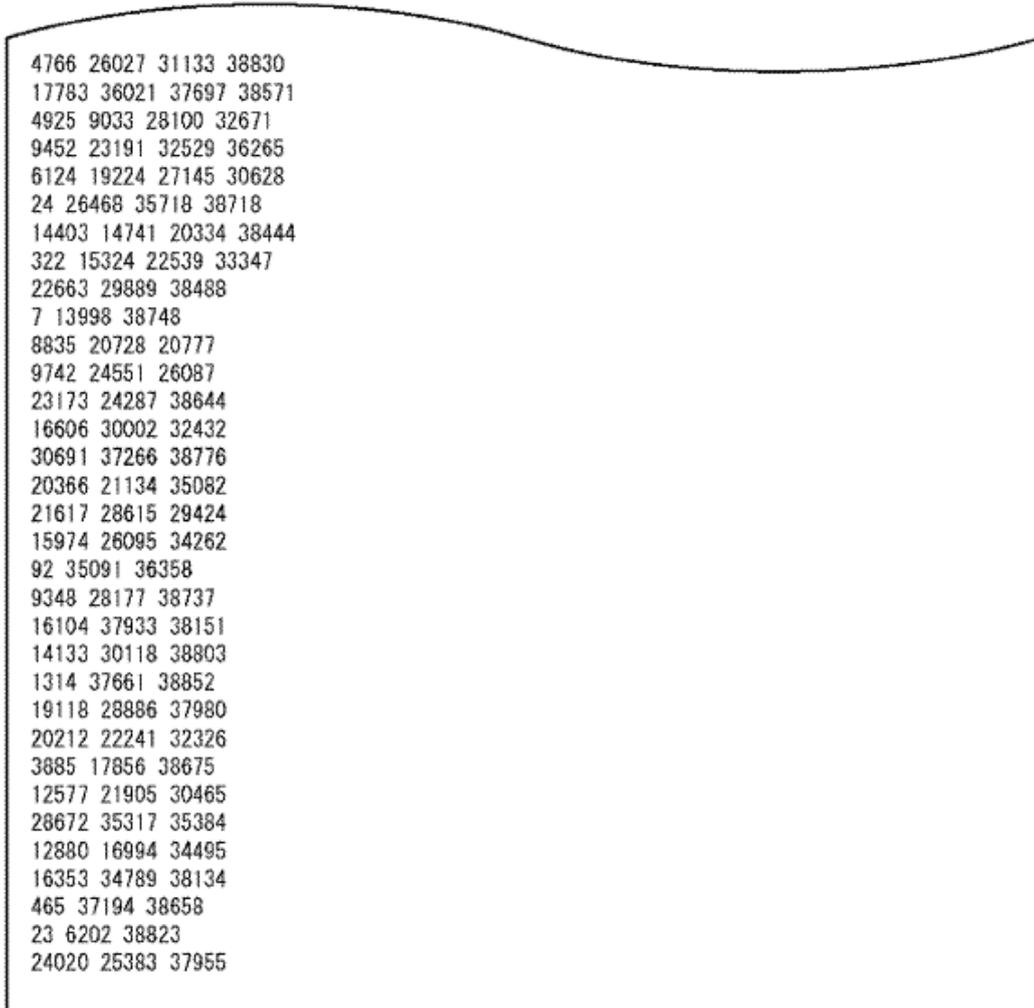
29	41	5161	12173
3043	5574	9993	26058
875	36935	39423	40956
3362	19166	20017	39729
12893	16403	33880	37115
9980	27100	28525	36786
3218	12776	40651	40703
7669	25783	32781	34504
25951	34595	39049	40597
11271	35112	35290	40600
5330	38324	40325	40986
58	24777	40560	40835
23895	25427	33552	37472
2811	4731	11601	39912
109	39021	40611	40754
79	15387	30999	40978
31162	34975	38844	39784
34891	37007	39433	40102
42	9072	21526	22610
20243	20499	24418	29056
7951	26469	29729	40956
6	10833	13188	15714
7910	20652	40574	40874
14586	24839	37804	40722
1103	11381	21050	30084
10	9032	20123	28528
19477	29966	37702	37766
131	31352	39069	40971
34	7368	17799	27467
16767	27584	32869	34769
31515	34543	36230	40752
15098	25451	26402	27629
149	10388	24558	40709
6997	7288	23995	29893
346	12245	13843	40402

FIG. 54

N=64800, tasa=12/30

2455 2650 6184 7016 7280 7409 7507 8261 8591 8829 11277 13729 14302 15883 17754 18506
 19816 19940 22442 23981 26881 26981 28760 29688 31138 31497 32673 35889 37690 38665
 50 327 3574 4465 5954 9702 10606 11684 11715 12627 14132 14951 20099 24111 24283 27026
 27473 28162 30076 31032 31476 35031 36675 36914 37008 37425 37530 37689 38830 38856
 59 102 5278 5548 5850 11840 13813 16641 19597 20543 24088 24298 25171 25224 26925 28312
 28867 31551 31898 32849 33616 34486 34562 35252 35931 36107 37950 38494 38537 38547
 79 2084 2361 2922 3048 3525 5712 9376 10012 10463 11842 15200 18443 19223 20476 21361
 22584 24343 24594 28001 28304 28475 28969 31149 31528 32574 33007 35120 38245 38253
 821 2803 8187 8501 10063 10497 14472 14570 15613 18469 19620 23034 24029 24578 26538
 31025 32621 34134 34508 34988 35201 35907 36693 36793 37608 37998 38090 38506 38611 38682
 9 50 88 1222 2430 2824 7233 9972 10225 15762 18283 18961 20711 28455 29946 32016 35611
 35763 37263 37325 38287 38360 38416 38471 38518 38551 38643 38759 38763 38818
 33 38 151 2523 3787 5069 6710 7667 8501 11083 17631 19589 24263 24684 24940 28493 30646
 31916 33741 35060 35810 36284 36394 36400 38209 38312 38340 38782 38825 38858
 8 49 84 381 4009 6978 9983 14028 14051 16325 17393 24325 25130 25838 30998 35159 36135
 37516 37636 37837 37927 38433 38620 38647 38650 38699 38733 38784 38804 38862
 44 76 4362 4480 8679 8833 13730 16493 16507 22419 24544 25614 25671 33032 33120 35219
 35986 36415 36505 38169 38173 38327 38371 38468 38508 38546 38551 38747 38761 38853
 16 683 1013 8364 8665 12213 12279 12643 13134 15450 16703 17846 20656 21664 22896 23487
 25022 32049 32482 33647 35029 35197 36636 37162 38376 38408 38430 38520 38721 38734
 3 760 1052 6377 8526 9014 11769 12589 16661 18156 20521 21303 23361 27434 32315 34602
 34892 35078 35262 35639 36655 37893 38063 38578 38602 38719 38737 38748 38837 38861
 15 30 79 99 16844 19586 24117 24702 25088 26129 27790 28383 30976 33472 34613 35266 35337
 36278 36841 36980 37214 37651 37817 38085 38216 38338 38396 38432 38760 38812
 12483 24049 35782 38706
 12146 19270 23193 38389
 26418 34831 37893 38601
 25045 36512 37567 38487
 15238 33547 38210 38696
 14 6773 17384 38679
 14367 16694 16867 38453
 15371 37498 37910 38610
 2509 18705 27907 28422
 21246 37360 38125 38868
 11357 23312 24884 36318
 14467 19559 22338 37893
 26899 35264 36300 37973
 17311 28273 32934 38607
 0 14452 16264 38585
 6736 19801 31034 38279
 35256 36593 38204 38655
 10037 29019 32956 38670
 96 17138 28233 37750
 576 4888 14014 23030
 2003 2470 18968 38841
 1042 4623 8098 9963
 61 3037 9719 27052
 15129 26628 31307 37604
 9791 11904 12369 34528
 7996 15467 21456 38165
 7644 12741 34083 38851

FIG. 55



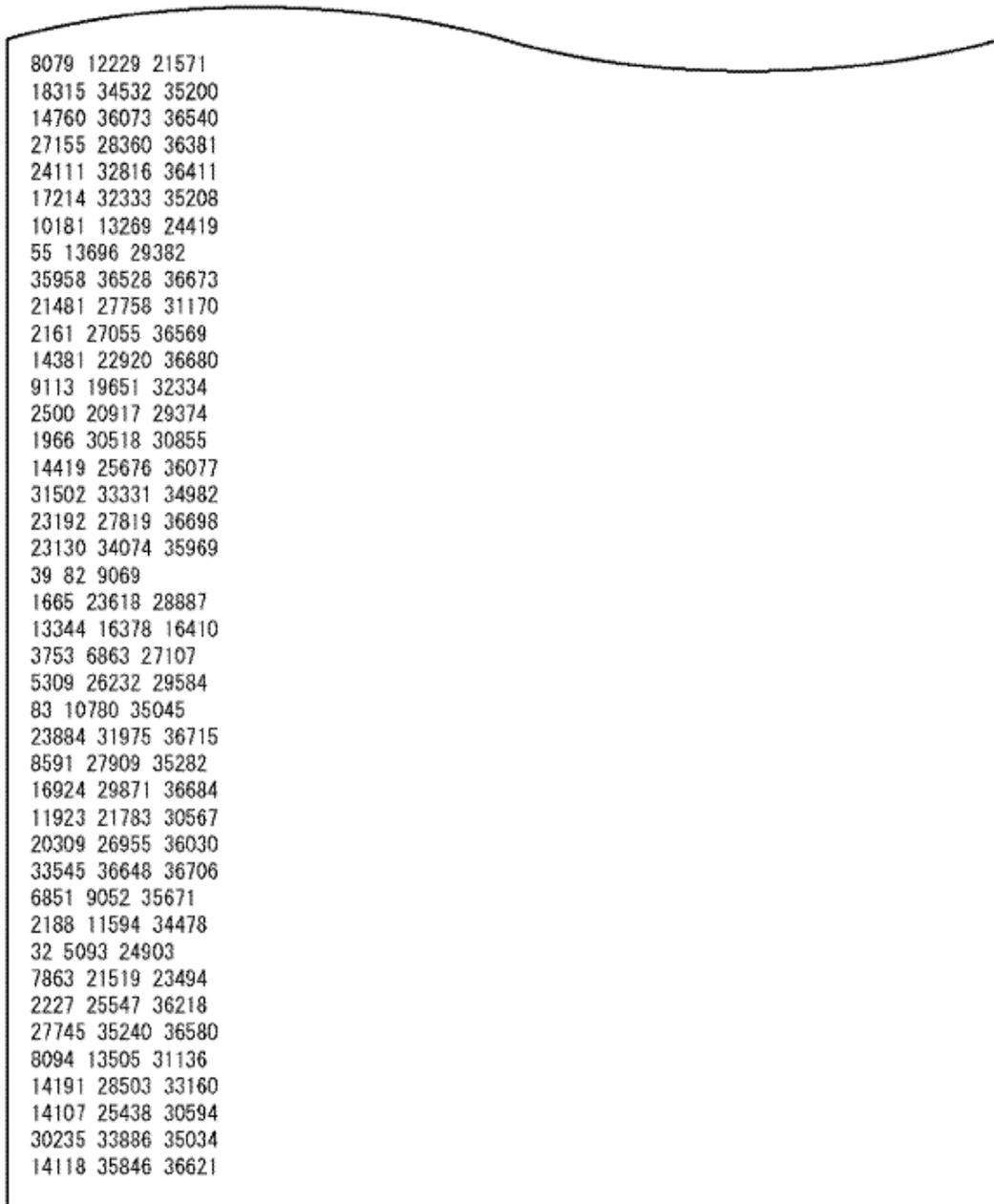
4766	26027	31133	38830
17783	36021	37697	38571
4925	9033	28100	32671
9452	23191	32529	36265
6124	19224	27145	30628
24	26468	35718	38718
14403	14741	20334	38444
322	15324	22539	33347
22663	29889	38488	
7	13998	38748	
8835	20728	20777	
9742	24551	26087	
23173	24287	38644	
16606	30002	32432	
30691	37266	38776	
20366	21134	35082	
21617	28615	29424	
15974	26095	34262	
92	35091	36358	
9348	28177	38737	
16104	37933	38151	
14133	30118	38803	
1314	37661	38852	
19118	28886	37980	
20212	22241	32326	
3885	17856	38675	
12577	21905	30465	
28672	35317	35384	
12880	16994	34495	
16353	34789	38134	
465	37194	38658	
23	6202	38823	
24020	25383	37955	

FIG. 56

N=64800, tasa=13/30

1153	2676	2759	5782	7192	10887	11573	11888	12383	18472	20695	21466	21753	23630	24580			
25006	25182	25636	25887	29615	29677	31968	32188	32277	33135								
935	5609	7730	9427	9519	10465	11182	12164	15765	17266	18156	20309	20542	21193	21697	22913		
22989	23780	27048	30762	31731	35754	36161	36379	36710									
644	2718	6995	7088	7898	11242	13921	14068	14328	15840	19581	19919	21938	22749	23311	23767		
25945	26731	27405	27830	31023	32589	33239	33957	34456									
17	131	2331	6624	10568	12965	16184	17665	19575	20690	22609	23378	24385	28281	30808	33083		
34435	34509	36016	36355	36525	36580	36586	36636	36644									
5	42	59	80	100	3327	4882	5238	6588	15417	17416	17476	18307	19336	20336	22770	33204	33302
34207	35133	35594	35650	36090	36619	36659											
46	141	308	995	2267	2645	5224	5839	7945	8336	10865	14607	21285	22062	23225	23772	24190	
25324	26738	29253	29674	33264	35593	36564	36608										
55	2316	8545	13623	14353	14516	15773	18442	20172	21970	22319	26595	27849	29185	30141			
31195	33614	34586	35699	35994	36309	36445	36516	36662	36665								
17	59	82	955	5050	7239	17495	19753	23481	25131	30124	32434	33042	34583	35231	35786	36232	
36336	36518	36530	36541	36584	36592	36629	36648										
1	16	78	717	5622	7351	7729	9200	10674	12647	22946	24316	25268	28139	31794	32278	33243	
34217	34485	34505	34929	35450	35865	36340	36565										
15	36	73	2381	4118	6829	9453	11705	12402	14884	17442	19226	21328	25523	26538	29300	34635	
35066	35547	35617	36285	36343	36599	36607	36708										
27	58	3657	8026	9245	11874	14579	15588	16280	16426	22682	25061	27788	29797	31776	34992		
35324	35529	36295	36298	36469	36608	36626	36661	36679									
13	36	78	3785	5888	10015	13647	14824	18283	20262	26268	26890	27517	33128	33659	34191		
35729	35965	36196	36381	36385	36501	36593	36659	36667									
0	6	63	1713	8050	11113	18981	20118	22082	23210	24401	27239	31104	32963	33846	34334	35232	
35626	36159	36424	36441	36457	36523	36609	36640										
39	60	64	92	438	4764	6022	9256	14471	20458	23327	26872	30944	34061	34882	35249	35586	35642
35680	36092	36126	36548	36626	36633	36649											
40	67	6336	8195	9735	19400	20396	21095	22015	28597	31367	33511	33932	34732	34847	35247		
35543	36020	36258	36619	36651	36688	36693	36709	36717									
13990	15734	24992	35907														
448	14650	29725	36141														
27195	27825	34118	35317														
2514	7964	31027	31885														
12966	22180	24997	33406														
13568	17438	18377	36038														
76	15846	25385	35720														
1	758	23751	36083														
2238	8449	29406	31840														
80	14882	15923	33878														
86	18320	24636	36111														
5392	24119	31102	34507														
6485	8182	14790	21264														
13702	29065	35939	36554														
9160	11429	36663	36691														
9153	12051	20063	25493														
37	3918	13758	18923														
18643	24675	31646	33893														
3941	9238	30160	36584														
26037	31006	35886															
115	8925	13728															

FIG. 57



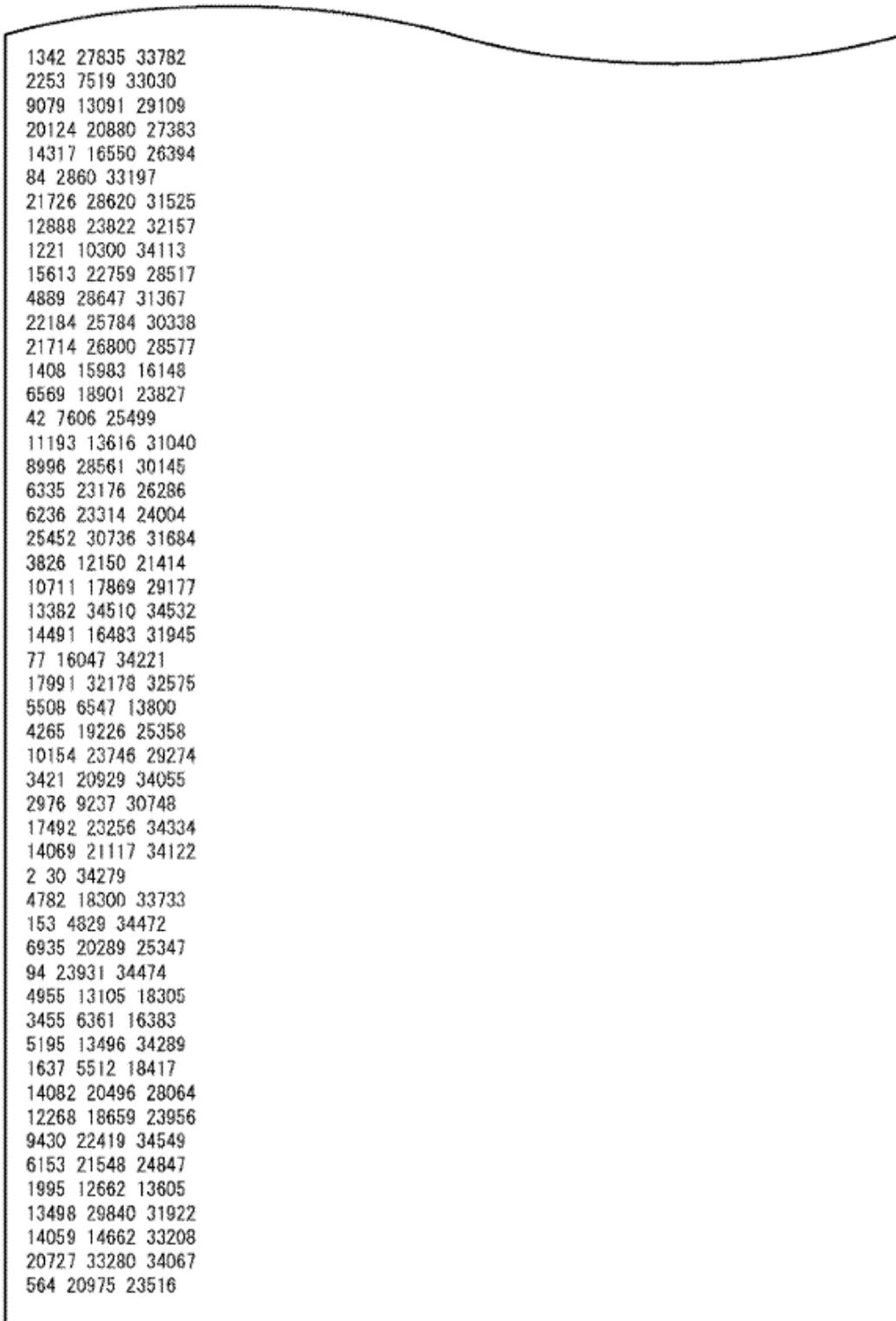
8079	12229	21571
18315	34532	35200
14760	36073	36540
27155	28360	36381
24111	32816	36411
17214	32333	35208
10181	13269	24419
55	13696	29382
35958	36528	36673
21481	27758	31170
2161	27055	36569
14381	22920	36680
9113	19651	32334
2500	20917	29374
1966	30518	30855
14419	25676	36077
31502	33331	34982
23192	27819	36698
23130	34074	35969
39	82	9069
1665	23618	28887
13344	16378	16410
3753	6863	27107
5309	26232	29584
83	10780	35045
23884	31975	36715
8591	27909	35282
16924	29871	36684
11923	21783	30567
20309	26955	36030
33545	36648	36706
6851	9052	35671
2188	11594	34478
32	5093	24903
7863	21519	23494
2227	25547	36218
27745	35240	36580
8094	13505	31136
14191	28503	33160
14107	25438	30594
30235	33886	35034
14118	35846	36621

FIG. 58

N=64800, tasa=14/30

2422 2919 3173 3795 4428 12681 13428 14654 17367 17687 19587 20017 23588 24353 25280
27167 29853 32040 32473 33170 33375
34 79 817 12478 12769 14798 15383 16688 16739 17538 21654 22792 25145 25588 26995 27388
31655 32133 32601 33452 34471
88 986 1907 2868 3657 6826 8595 11922 14704 17681 19503 20604 24251 28125 28612 29976
30687 31208 31464 33686 33909
526 3853 4486 6507 10616 11300 11453 13385 20007 21420 21441 22554 23794 24581 24959
27083 28710 30235 32852 34179 34327
43 1775 4405 5644 6553 8885 10337 11178 14114 15108 16189 16192 18490 18801 21475 22748
28269 28970 30758 31968 33554
27 624 1191 1470 4277 5054 5695 9632 10911 11365 13339 21097 23810 26677 27822 28433
29878 31026 32525 33335 33873
14 45 760 1098 1567 2003 6710 10195 12052 13024 13337 19088 22647 25050 25899 27035 28844
29927 33916 34033 34490
30 94 4493 11928 14051 17759 18541 20842 21277 24587 24948 25790 27442 31120 31205 31526
32107 32283 33696 34393 34529
3 4245 5284 7791 10196 10922 13992 14397 14947 16908 21032 24585 27219 30300 30981 32732
33362 33658 33725 34424 34537
78 6958 8297 15781 23302 23386 23863 25570 25734 31844 31919 32100 32815 33345 33531
33561 33889 34348 34504 34512 34530
52 90 775 3760 4099 6945 8954 11931 16578 20804 23252 26583 29420 32461 33695 33874 33964
34018 34177 34483 34506
81 1162 3084 3986 4494 8523 10309 10934 12819 16784 23113 23803 25952 29134 29930 30530
32021 33343 33400 33664 33685
0 35 57 1564 9062 19694 24489 24737 26422 27021 30630 31513 33317 33425 33545 33624 33743
33869 33875 34046 34519
58 639 2340 3613 19319 21917 24284 29214 29430 29736 32496 32785 32830 32835 33176 33323
33711 33967 34197 34438 34468
71 77 88 953 4233 7365 8395 15176 16662 18280 21989 24348 26847 27645 31050 31890 34119
34223 34235 34548 34551
163 4304 4697 7470 11857 12787 12837 18000 18472 18489 19730 27014 29653 29740 30070
30252 32769 33637 34382 34394 34555
7 29 79 7321 9770 11315 15354 16240 18888 19559 27783 28220 28924 30659 31474 33084 33310
33644 34282 34452 34557
8 24 41 4491 11252 14225 18230 25845 30258 30801 31349 32655 32932 32951 33058 33794
33889 34150 34338 34463 34494
13 13092 15747 23904 29675 29732 30199 31273 31928 32211 32704 32959 33056 33374 33646
33931 34043 34203 34426 34429 34509
6 11188 19937
11738 14763 34508
11 4674 25431
6346 9658 31716
13231 32283 33193
19187 31166 33846
297 27886 32712
74 8683 24435
2200 20501 21571
25 10097 29631
4515 32145 33245
13010 26434 29967
0 30598 33940

FIG. 59



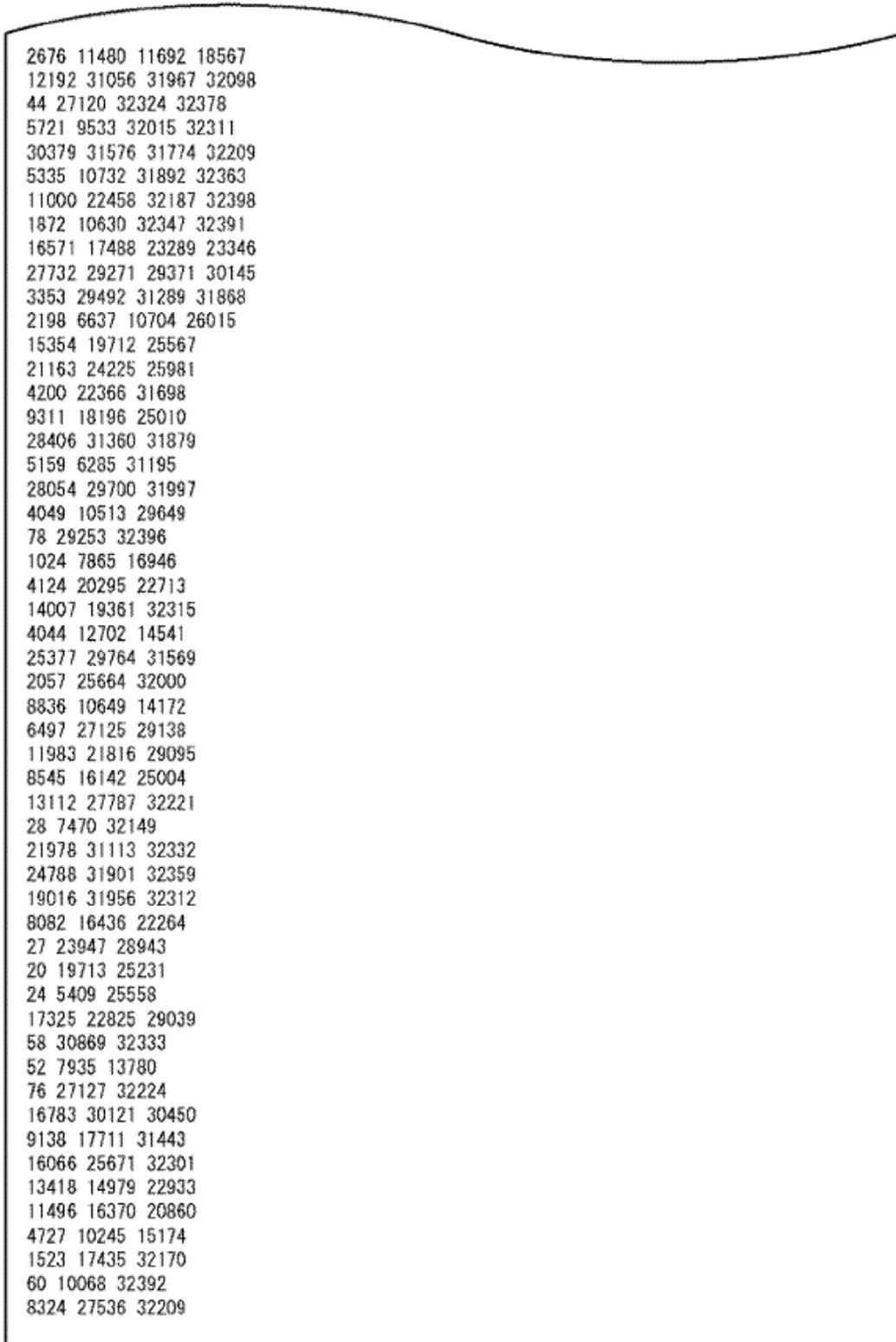
1342	27835	33782
2253	7519	33030
9079	13091	29109
20124	20880	27383
14317	16550	26394
84	2860	33197
21726	28620	31525
12888	23822	32157
1221	10300	34113
15613	22759	28517
4889	28647	31367
22184	25784	30338
21714	26800	28577
1408	15983	16148
6569	18901	23827
42	7606	25499
11193	13616	31040
8996	28561	30145
6335	23176	26286
6236	23314	24004
25452	30736	31684
3826	12150	21414
10711	17869	29177
13382	34510	34532
14491	16483	31945
77	16047	34221
17991	32178	32575
5508	6547	13800
4265	19226	25358
10154	23746	29274
3421	20929	34055
2976	9237	30748
17492	23256	34334
14069	21117	34122
2	30	34279
4782	18300	33733
153	4829	34472
6935	20289	25347
94	23931	34474
4955	13105	18305
3455	6361	16383
5195	13496	34289
1637	5512	18417
14082	20496	28064
12268	18659	23956
9430	22419	34549
6153	21548	24847
1995	12662	13605
13498	29840	31922
14059	14662	33208
20727	33280	34067
564	20975	23516

FIG. 60

N=64800, tasa=15/30

760	874	3785	6601	10266	14790	16713	18014	18215	20992	21237	21250	24161	24295	25360
25380	26306	28764	30139	30708	31719	31730	32179							
191	7294	12316	12887	15172	15688	16749	18425	21102	25133	25875	25892	26013	26763	27058
29510	29746	30265	30326	30386	31467	31665	32391							
76	2184	4641	6139	8656	9053	10603	15456	15797	15853	19689	21857	23984	24703	24732
26912	27714	27978	28627	30815	31332	31701								
13	5917	11178	13332	13401	16567	18144	18332	21502	22585	26654	27287	27474	27580	28266
28949	30045	30669	30950	31388	31786	31820	32319							
723	9266	11501	12279	14691	14757	16829	18863	19022	19311	21466	22322	23441	23479	26959
29450	29621	30075	30305	32044	32050	32110	32387							
42	3584	3807	6900	8188	12414	14341	20161	20466	23466	23722	26503	28207	29006	30745
30942	31023	31647	31668	31908	32130	32332	32338							
2108	6363	8375	8971	10744	12734	15004	16460	16558	21479	22043	23858	24423	27887	28871
30000	30089	30596	30926	31378	31525	32333	32355							
28	948	5841	6154	6643	10141	11528	12498	12525	13792	15031	18762	20383	20443	23824
25767	27445	27558	27979	31402	32064	32133	32394							
14	19	2616	3474	4620	5333	6095	8507	8656	9411	13922	17800	18897	23695	25311
29891	30342	31067	31124	31139	31467	32019	32240							
0	1082	2189	4147	8496	8986	10062	11294	16960	20197	23516	23989	24429	25718	29296
30293	31195	31351	31665	31820	32073	32355	32376							
1661	4207	5859	14432	17329	18592	20431	20758	23186	23573	29558	29974	30107	30295	30396
30635	30935	31185	31534	31650	31685	31960	32007							
89	4834	5934	6765	7256	7928	9025	12135	14585	23859	25231	25332	26519	26921	30891
31001	31486	31625	31700	31730	31852	32022	32224							
5460	6506	6639	10691	16488	20520	21627	22863	25303	26209	26647	27502	27898	28112	28982
29023	29188	31060	31193	31673	31911	32200	32343							
4652	9366	12753	13047	16124	19840	19846	19928	22041	26095	27473	28784	29506	29827	29958
30347	31018	31027	31904	32274	32300	32383	32387							
2265	3996	4208	6150	7258	9151	9983	12269	12788	12986	15469	17063	26727	26859	28941
30162	30172	30616	30714	31315	31357	31818	32284							
6518	11111	24325	32103											
72	12699	23236	30992											
8360	19792	19940	32358											
14197	21794	25358	27036											
4398	6859	18988	32137											
841	22129	27876	31949											
6974	7937	17758	27732											
7040	9749	9755	32242											
2949	17069	29881	30587											
1373	9669	30875	32281											
11884	12078	27981	32205											
7736	24771	25380	32163											
74	3602	19540	25410											
16273	30193	32344	32355											
1315	13197	20672	25600											
13	9947	14814	27294											
21919	29940	31822	32276											
11	3234	17261	27366											
18543	21226	24436	32375											
18492	19557	22383	30490											
24	17620	23927	32049											
14847	22301	22903	29032											

FIG. 61



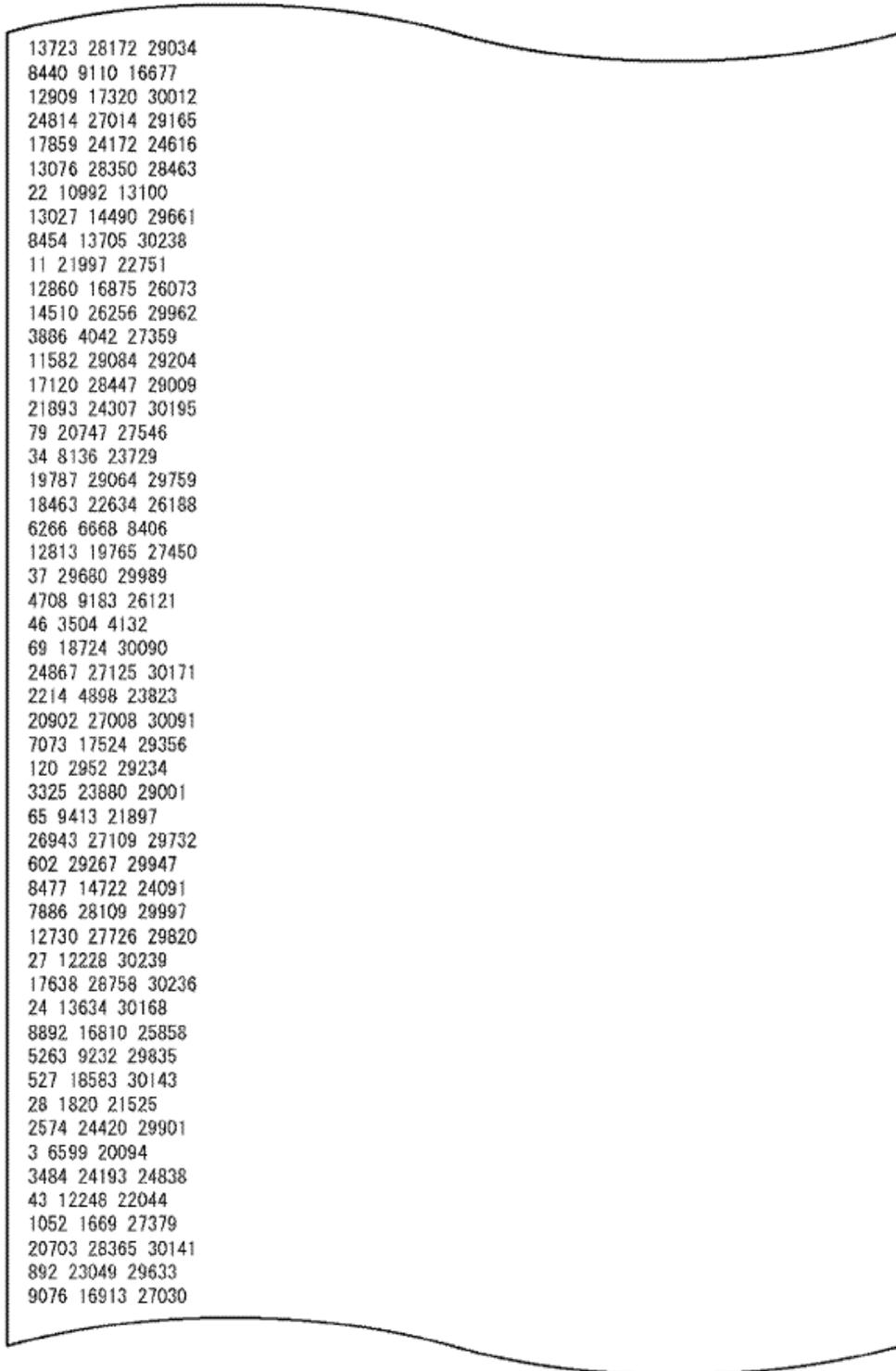
2676 11480 11692 18567
12192 31056 31967 32098
44 27120 32324 32378
5721 9533 32015 32311
30379 31576 31774 32209
5335 10732 31892 32363
11000 22458 32187 32398
1872 10630 32347 32391
16571 17488 23289 23346
27732 29271 29371 30145
3353 29492 31289 31868
2198 6637 10704 26015
15354 19712 25567
21163 24225 25981
4200 22366 31698
9311 18196 25010
28406 31360 31879
5159 6285 31195
28054 29700 31997
4049 10513 29649
78 29253 32396
1024 7865 16946
4124 20295 22713
14007 19361 32315
4044 12702 14541
25377 29764 31569
2057 25664 32000
8836 10649 14172
6497 27125 29138
11983 21816 29095
8545 16142 25004
13112 27787 32221
28 7470 32149
21978 31113 32332
24788 31901 32359
19016 31956 32312
8082 16436 22264
27 23947 28943
20 19713 25231
24 5409 25558
17325 22825 29039
58 30869 32333
52 7935 13780
76 27127 32224
16783 30121 30450
9138 17711 31443
16066 25671 32301
13418 14979 22933
11496 16370 20860
4727 10245 15174
1523 17435 32170
60 10068 32392
8324 27536 32209

FIG. 62

N=64800, tasa=16/30

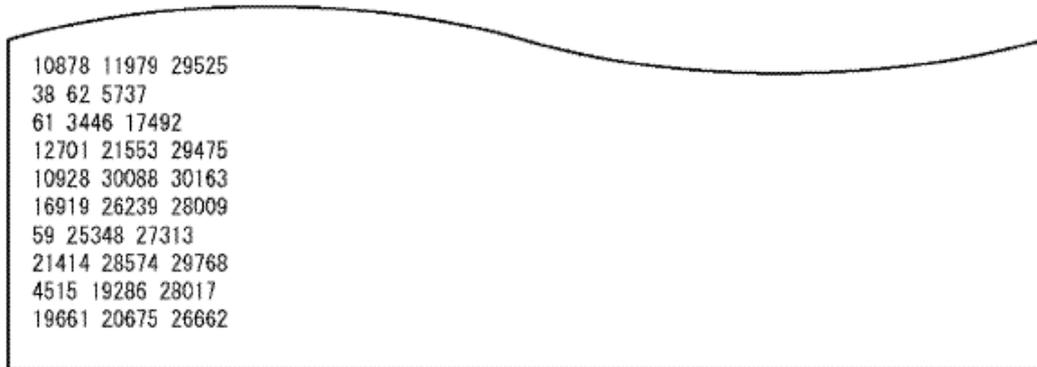
3111	4871	6505	6799	7635	11197	14052	14348	14826	15557	15659	18613	21220	22340	22401	
27614	28374	29255	29841												
3361	4302	5676	9039	12309	14206	14677	15432	18320	20678	22348	23548	24612	27694	28211	
28562	29155	29406	29548												
5	53	3037	4529	5584	5648	17104	18025	18489	20393	24434	24500	24814	25552	25565	26415
27851	29090	29780													
5161	5493	5523	10121	12283	13234	14979	17374	18240	20035	24222	25047	26289	26734	28216	
28403	28465	28810	29385												
43	186	1836	4590	11586	12799	13507	13724	14711	15317	21647	23476	24193	24699	25994	28699
29940	30122	30203													
2003	3800	5130	6577	9365	10145	11356	15819	15932	16104	18223	19103	20631	22002	23366	
26895	28896	28976	30165												
23	9657	11412	13196	15347	15358	16644	17463	18784	19185	26582	28301	28342	28525	28922	
29224	29957	30116	30120												
2206	3177	4177	6441	7458	11162	15727	16894	19718	20753	20946	22516	22660	26757	26827	
26850	28909	29822	30046												
739	3969	4582	14549	15188	15831	21294	22417	22460	23015	25237	25515	26568	26656	27187	
27924	28526	29071	29734												
4208	4241	4427	6512	14103	18082	22518	23522	24048	24879	27014	28704	28753	29196	29438	
29571	29695	29829	30174												
13	32	3455	8111	10978	13661	13856	18718	19398	20224	22663	23517	26241	27440	28748	28817
28979	29377	30187													
1463	3641	4046	6345	6676	10287	12165	13506	15052	15192	20449	23322	23426	24120	25788	
26284	27049	28460	30124												
1569	3052	3370	5187	6418	12733	15343	15725	16555	19231	25563	26273	27866	28411	28938	
29006	29339	29387	29566												
77	4306	7810	12815	18400	19686	19803	20446	20940	21189	22144	23248	24200	25226	28695	
28801	29268	30118	30206												
45	649	1691	4421	8406	9642	10567	11550	12441	15117	17109	18327	19727	24980	26328	27075
27235	28892	30221													
12483	13895	20152	20245	20655	21468	22162	22961	24057	24365	24605	25411	26180	26761		
27446	29507	30100	30181	30216											
44	1264	3026	7950	8626	14270	17615	17922	18819	23010	23725	25137	25284	25409	27704	28128
28675	29774	30092													
55	2812	7572	7825	8647	19309	20122	20243	20787	22630	22612	24719	24955	25546	26352	26396
26477	29301	29918													
6419	11660	28980	30169												
62	7613	22157	25645												
3958	5559	27517	28608												
2395	6628	21235	27555												
750	14167	14443	29001												
14265	15570	28940	29039												
77	600	7982	16623												
19331	26506	29810	30208												
1269	1541	23861	27282												
19	12841	24031	27927												
1666	14901	16818	28517												
3189	11786	18478	23399												
6495	10934	16584	25011												
8	28009	28559	30049												
58	1288	17394	18565												

FIG. 63



13723	28172	29034
8440	9110	16677
12909	17320	30012
24814	27014	29165
17859	24172	24616
13076	28350	28463
22	10992	13100
13027	14490	29661
8454	13705	30238
11	21997	22751
12860	16875	26073
14510	26256	29962
3886	4042	27359
11582	29084	29204
17120	28447	29009
21893	24307	30195
79	20747	27546
34	8136	23729
19787	29064	29759
18463	22634	26188
6266	6668	8406
12813	19765	27450
37	29680	29989
4708	9183	26121
46	3504	4132
69	18724	30090
24867	27125	30171
2214	4898	23823
20902	27008	30091
7073	17524	29356
120	2952	29234
3325	23880	29001
65	9413	21897
26943	27109	29732
602	29267	29947
8477	14722	24091
7886	28109	29997
12730	27726	29820
27	12228	30239
17638	28758	30236
24	13634	30168
8892	16810	25858
5263	9232	29835
527	18583	30143
28	1820	21525
2574	24420	29901
3	6599	20094
3484	24193	24838
43	12248	22044
1052	1669	27379
20703	28365	30141
892	23049	29633
9076	16913	27030

FIG. 64



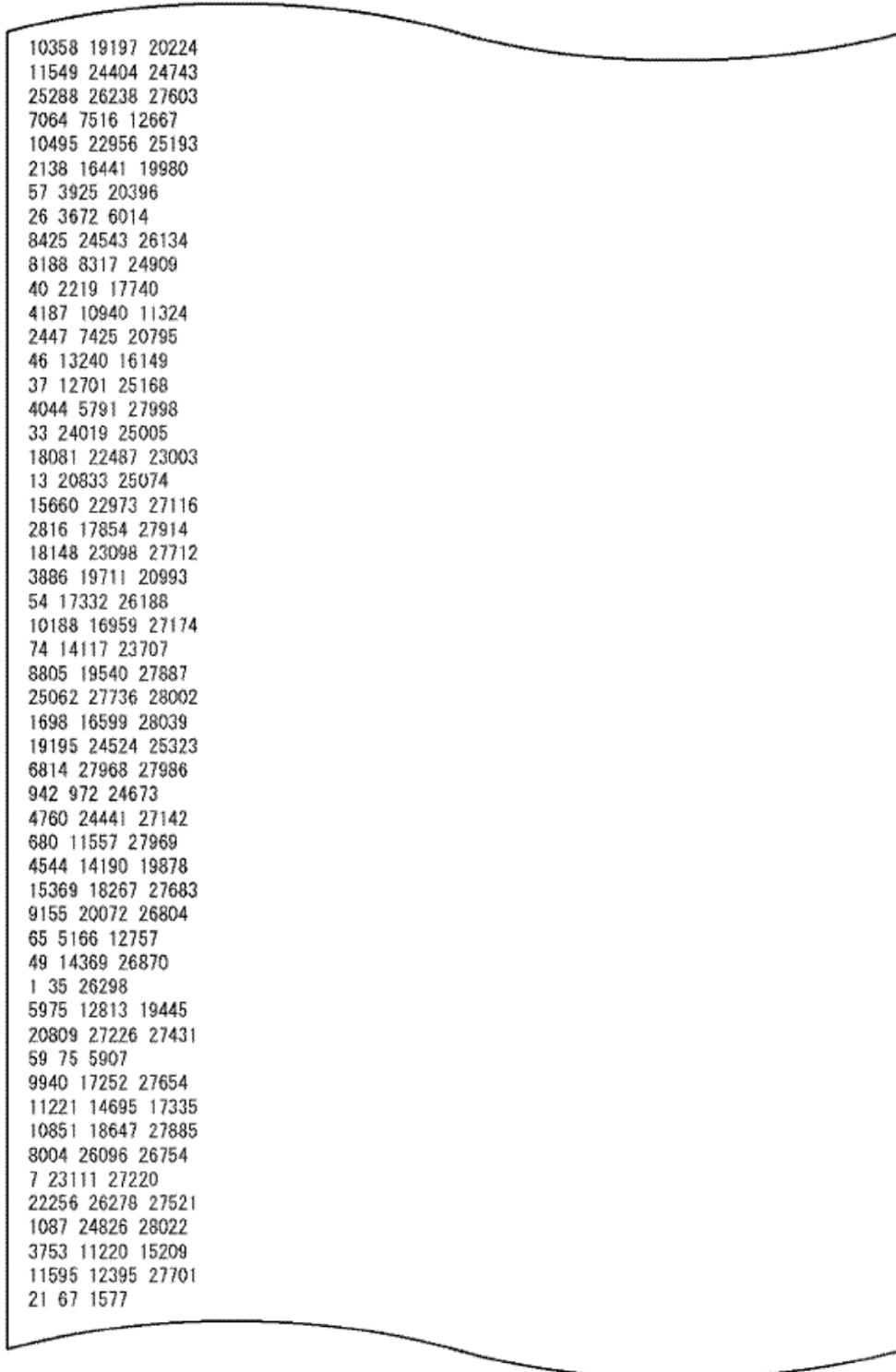
10878	11979	29525
38	62	5737
61	3446	17492
12701	21553	29475
10928	30088	30163
16919	26239	28009
59	25348	27313
21414	28574	29768
4515	19286	28017
19661	20675	26662

FIG. 65

N=64800, tasa =17/30

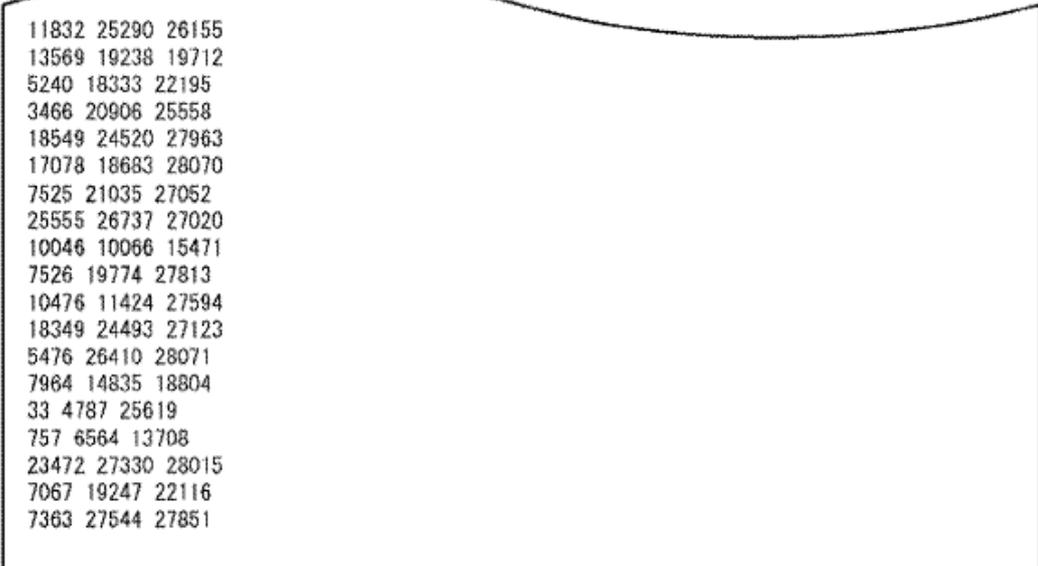
3638 3722 7015 10458 11119 12197 14103 14536 17412 18774 22287 22612 22713 25635 27548
 27686 27778 27826
 5324 7803 10924 11606 12282 12502 12860 16739 22141 23364 23709 23875 25369 26285 26862
 26922 26948 27844
 118 2886 8188 8567 8753 10752 11895 11939 12361 12739 14031 15749 16127 16638 18517 22030
 23682 27925
 158 489 824 1854 2935 4257 6997 11791 15452 15664 16719 19672 24085 25188 25240 25283
 25636 27011
 2918 5981 6349 7833 12983 14033 14242 14344 17083 17405 19655 21959 22550 23777 27153
 27827 27848 27921
 3265 5089 6050 6323 10714 18435 20910 21582 24038 24361 24712 25131 25484 26901 27073
 27174 27309 27693
 17 26 32 3083 10749 11918 11982 12657 13842 14454 18559 20569 23993 27282 27712 27732
 27772 27820
 3991 4273 5550 8223 9048 10163 12392 15961 19676 20564 20586 21360 24139 26555 27189
 27334 27708 27844
 1611 3553 6046 9278 10150 13220 13670 14436 17764 19828 20986 21353 21723 25542 25691
 26339 27591 27823
 6173 6835 7028 7803 8388 8626 11307 15884 17784 18339 19512 24249 26438 27137 27255 27594
 27770 28072
 67 486 3205 5487 10201 11054 14546 20328 23045 23272 23873 25248 25527 25802 26578 27235
 27872 27971
 23 3605 3873 13976 16258 18335 18529 20465 22508 24880 24946 25672 26326 26479 26514
 27758 28026 28047
 2183 7317 10716 11014 11637 20111 21269 22729 23581 25870 25891 27176 27185 27709 27747
 27912 28003 28024
 12 31 53 68 1492 9988 15395 19124 20807 23692 25299 25979 26394 27022 27028 27092 27576
 28041
 18 52 4442 12761 15481 17938 20286 24312 24821 25137 25916 26131 26642 26851 27065 27311
 27697 27937
 49 4516 5076 12930 15048 20703 21360 22615 25025 25577 25997 26353 26659 26701 27206
 27655 28030 28037
 36 1654 2703 8738 13150 15338 18464 20505 21404 25826 25911 27400 27433 27513 27891 28011
 28015 28043
 40 54 6027 11231 14164 15995 17839 19890 22537 25509 26043 26700 27141 27166 27182 27660
 27893 27990
 2840 11826 14170 15701 15758 17947 19094 23029 26232 26528 26556 26849 27015 27456 27761
 27881 27987 28036
 30 680 1541 5734 8251 19767 20127 21120 22480 25861 25867 26517 26755 26821 27220 27547
 27793 27875
 1630 5956 7702 9606 10458 10541 17763 19609 21908 23593 24189 24356 24896 25180 26091
 27038 27081 27422
 2459 2748 22536 23254
 597 7455 22226 26562
 12250 13286 13325 25013
 8523 13590 27754
 39 19867 24723
 19403 21896 22752
 8491 20514 23236
 4300 25422 27311
 11586 19002 28004

FIG. 66



10358	19197	20224
11549	24404	24743
25288	26238	27603
7064	7516	12667
10495	22956	25193
2138	16441	19980
57	3925	20396
26	3672	6014
8425	24543	26134
8188	8317	24909
40	2219	17740
4187	10940	11324
2447	7425	20795
46	13240	16149
37	12701	25168
4044	5791	27998
33	24019	25005
18081	22487	23003
13	20833	25074
15660	22973	27116
2816	17854	27914
18148	23098	27712
3886	19711	20993
54	17332	26188
10188	16959	27174
74	14117	23707
8805	19540	27887
25062	27736	28002
1698	16599	28039
19195	24524	25323
6814	27968	27986
942	972	24673
4760	24441	27142
680	11557	27969
4544	14190	19878
15369	18267	27683
9155	20072	26804
65	5166	12757
49	14369	26870
1	35	26298
5975	12813	19445
20809	27226	27431
59	75	5907
9940	17252	27654
11221	14695	17335
10851	18647	27885
8004	26096	26754
7	23111	27220
22256	26278	27521
1087	24826	28022
3753	11220	15209
11595	12395	27701
21	67	1577

FIG. 67



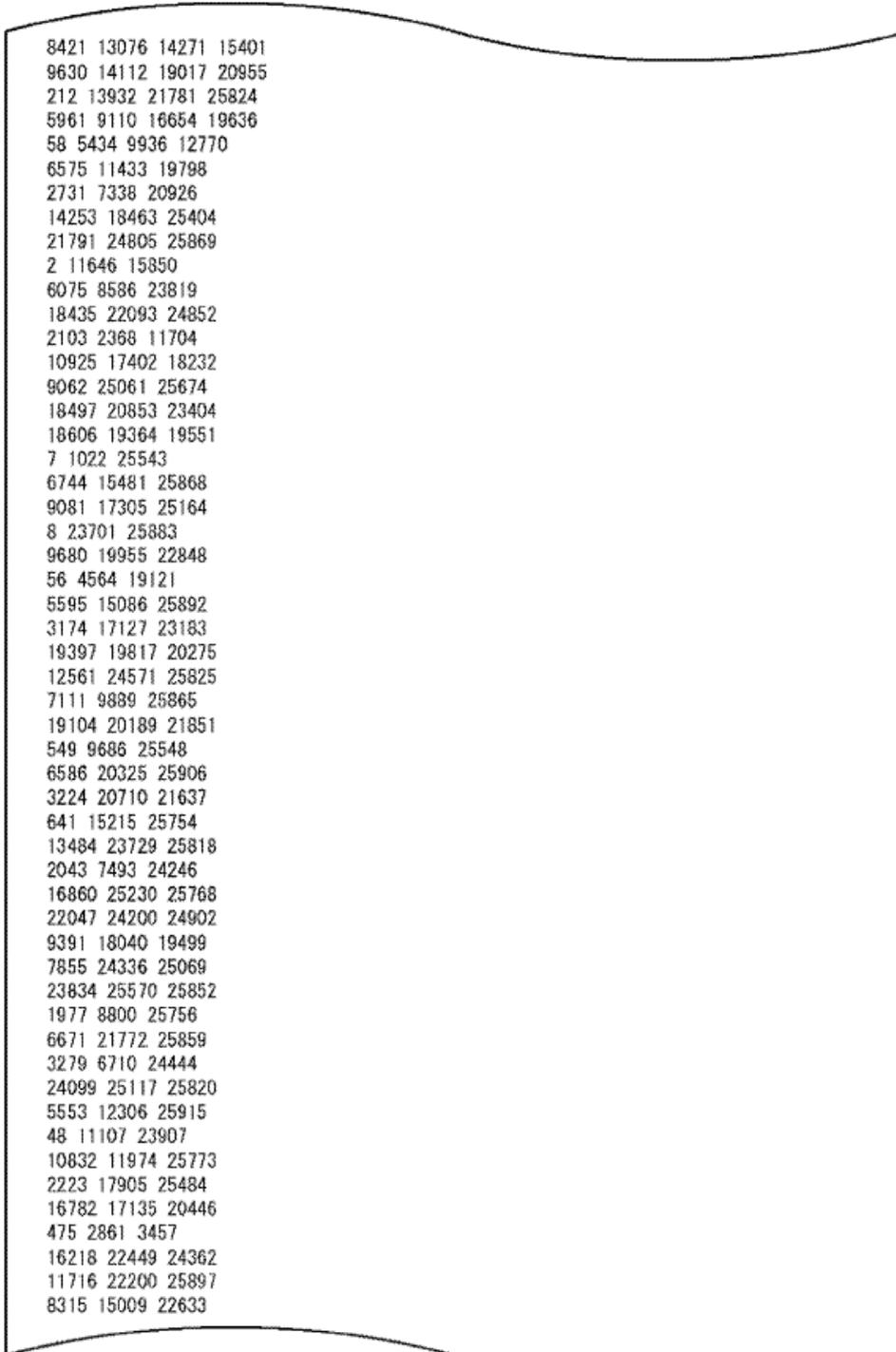
11832	25290	26155
13569	19238	19712
5240	18333	22195
3466	20906	25558
18549	24520	27963
17078	18683	28070
7525	21035	27052
25555	26737	27020
10046	10066	15471
7526	19774	27813
10476	11424	27594
18349	24493	27123
5476	26410	28071
7964	14835	18804
33	4787	25619
757	6564	13708
23472	27330	28015
7067	19247	22116
7363	27544	27851

FIG. 68

N=64800, tasa =18/30

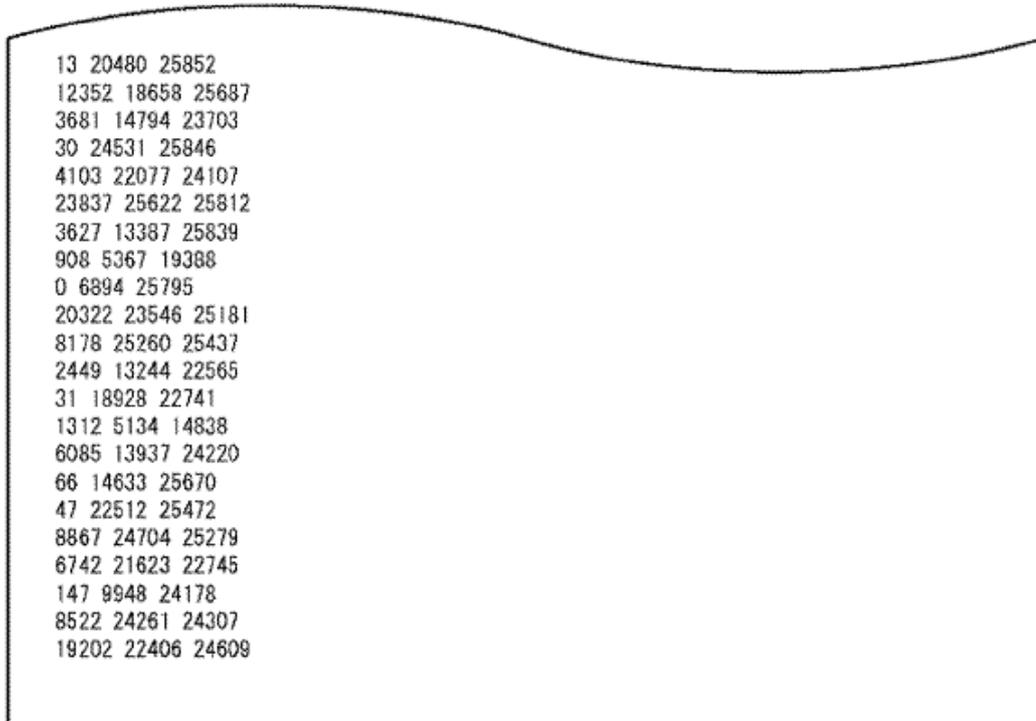
113 1557 3316 5680 6241 10407 13404 13947 14040 14353 15522 15698 16079 17363 19374 19543
20530 22833 24339
271 1361 6236 7006 7307 7333 12768 15441 15568 17923 18341 20321 21502 22023 23938 25351
25590 25876 25910
73 605 872 4008 6279 7653 10346 10799 12482 12935 13604 15909 16526 19782 20506 22804
23629 24859 25600
1445 1690 4304 4851 8919 9176 9252 13783 16076 16675 17274 18806 18882 20819 21958 22451
23889 23999 24177
1290 2337 5661 6371 8996 10102 10941 11360 12242 14918 16808 20571 23374 24046 25045
25060 25662 25783 25913
28 42 1926 3421 3503 8558 9453 10168 15820 17473 19571 19685 22790 23336 23367 23890
24061 25657 25680
0 1709 4041 4932 5968 7123 8430 9564 10596 11026 14761 19484 20762 20858 23803 24016
24795 25853 25863
29 1625 6500 6609 16831 18517 18568 18738 19387 20159 20544 21603 21941 24137 24269
24416 24803 25154 25395
55 66 871 3700 11426 13221 15001 16367 17601 18380 22796 23488 23938 25476 25635 25678
25807 25857 25872
1 19 5958 8548 8860 11489 16845 18450 18469 19496 20190 23173 25262 25566 25668 25679
25858 25888 25915
7520 7690 8855 9183 14654 16695 17121 17854 18083 18428 19633 20470 20736 21720 22335
23273 25083 25293 25403
48 58 410 1299 3786 10668 18523 18963 20864 22106 22308 23033 23107 23128 23990 24286
24409 24595 25802
12 51 3894 6539 8276 10885 11644 12777 13427 14039 15954 17078 19053 20537 22863 24521
25087 25463 25838
3509 8748 9581 11509 15884 16230 17583 19264 20900 21001 21310 22547 22756 22959 24768
24814 25594 25626 25880
21 29 69 1448 2386 4601 6626 6667 10242 13141 13852 14137 18640 19951 22449 23454 24431
25512 25814
18 53 7890 9934 10063 16728 19040 19809 20825 21522 21800 23582 24556 25031 25547 25562
25733 25789 25906
4096 4582 5766 5894 6517 10027 12182 13247 15207 17041 18858 20133 20503 22228 24332
24613 25689 25855 25883
0 25 819 5539 7076 7536 7695 9532 13668 15051 17683 19665 20253 21996 24136 24890 25758
25784 25807
34 40 44 4215 6076 7427 7965 8777 11017 15593 19542 22202 22973 23397 23423 24418 24873
25107 25644
1595 6216 22850 25439
1562 15172 19517 22362
7508 12879 24324 24496
6298 15819 16757 18721
11173 15175 19966 21195
59 13505 16941 23793
2267 4830 12023 20587
8827 9278 13072 16664
14419 17463 23398 25348
6112 16534 20423 22698
493 8914 21103 24799
6896 12761 13206 25873
2 1380 12322 21701
11600 21306 25753 25790

FIG. 69



8421	13076	14271	15401
9630	14112	19017	20955
212	13932	21781	25824
5961	9110	16654	19636
58	5434	9936	12770
6575	11433	19798	
2731	7338	20926	
14253	18463	25404	
21791	24805	25869	
2	11646	15850	
6075	8586	23819	
18435	22093	24852	
2103	2368	11704	
10925	17402	18232	
9062	25061	25674	
18497	20853	23404	
18606	19364	19551	
7	1022	25543	
6744	15481	25868	
9081	17305	25164	
8	23701	25883	
9680	19955	22848	
56	4564	19121	
5595	15086	25892	
3174	17127	23183	
19397	19817	20275	
12561	24571	25825	
7111	9889	25865	
19104	20189	21851	
549	9686	25548	
6586	20325	25906	
3224	20710	21637	
641	15215	25754	
13484	23729	25818	
2043	7493	24246	
16860	25230	25768	
22047	24200	24902	
9391	18040	19499	
7855	24336	25069	
23834	25570	25852	
1977	8800	25756	
6671	21772	25859	
3279	6710	24444	
24099	25117	25820	
5553	12306	25915	
48	11107	23907	
10832	11974	25773	
2223	17905	25484	
16782	17135	20446	
475	2861	3457	
16218	22449	24362	
11716	22200	25897	
8315	15009	22633	

FIG. 70



13	20480	25852
12352	18658	25687
3681	14794	23703
30	24531	25846
4103	22077	24107
23837	25622	25812
3627	13387	25839
908	5367	19388
0	6894	25795
20322	23546	25181
8178	25260	25437
2449	13244	22565
31	18928	22741
1312	5134	14838
6085	13937	24220
66	14633	25670
47	22512	25472
8867	24704	25279
6742	21823	22745
147	9948	24178
8522	24261	24307
19202	22406	24609

FIG. 71

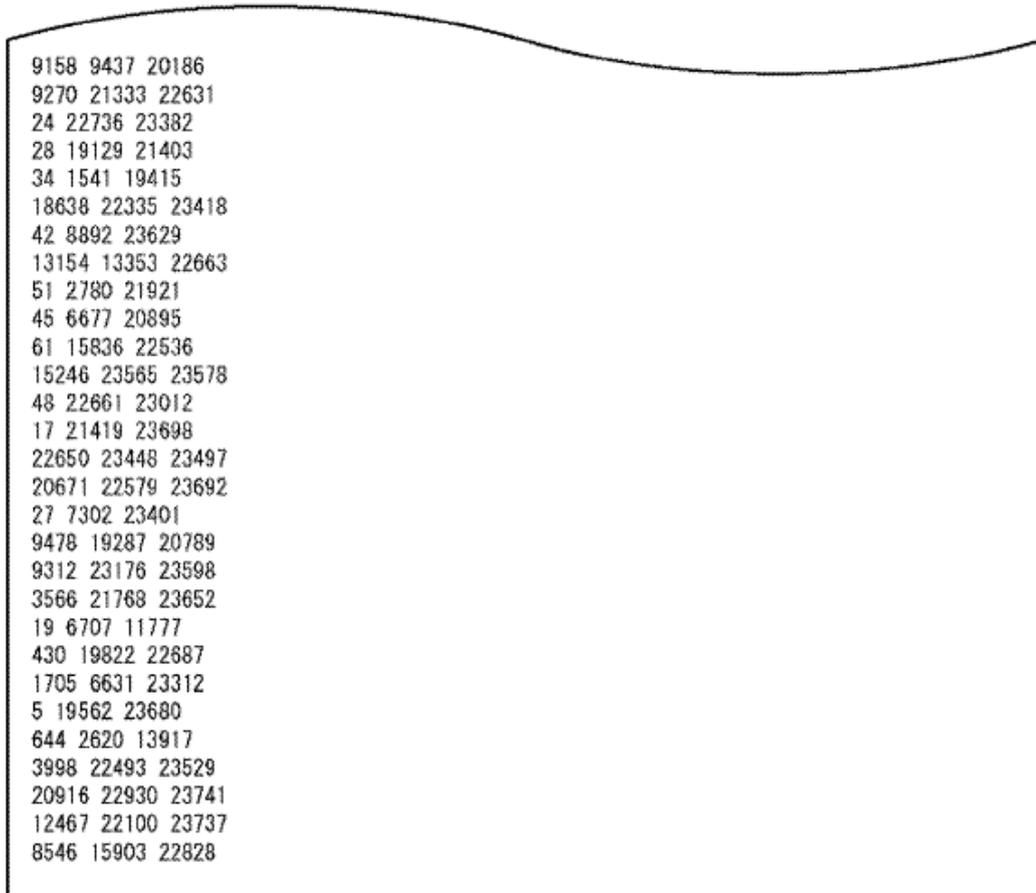
N=64800, tasa=19/30

354	794	1214	1640	8278	9195	11069	11580	11911	13276	13438	14495	14734	15741	19195	19537																				
21951	4657	5351	5887	6634	7718	8327	10300	10815	11822	13506	16746	19429	19920	21548	22087	23650																			
23712	4603	5160	6345	7259	8428	8937	9665	11623	11864	13590	13613	17117	18678	19118	21126	21884																			
23054	27	2157	3039	3219	4191	5651	7098	12555	12634	13791	14885	15505	16163	16664	19792	20437																			
23588	30	49	2768	3314	4345	6972	8994	15294	16653	18282	18808	19324	20597	21510	21643	23741																			
23748	1	553	2228	4277	4499	5818	10580	10823	12135	14102	14923	15980	15995	16319	18577	22838																			
23058	4	2307	2764	3075	4755	8064	9673	12150	21139	21224	21572	21682	23415	23598	23703	23710																			
23739	4	9	13	5867	6028	7730	10859	14755	14879	15746	21166	21643	22777	23409	23502	23511	23734																		
23744	13	28	481	7146	8144	13768	15081	19349	20187	20858	21913	22025	23134	23472	23506	23711	23744																		
23689	12	24	36	1004	3080	3496	7356	7834	16011	16492	19536	20918	22833	22937	23717	23745	23749																		
23186	31	378	812	1578	1957	5163	14759	16701	16829	18111	22931	23253	23314	23351	23584	23660	23689																		
23715	25	38	1183	6573	9556	12523	14303	14412	18209	18530	21334	21770	21809	22630	22734	23154	23186																		
23617	57	3497	6667	9653	10168	12771	15082	19365	19415	19514	19611	19785	21242	22974	23107	23690	23715																		
23707	2456	2562	6223	7150	12652	14580	14807	20072	20513	21091	21201	21922	23010	23046	23215	23514	23663																		
23753	5	635	3760	4981	6824	8425	13532	14618	19654	20026	21439	21884	22023	23027	23499	23691	23707																		
23617	8	3018	4509	9002	11537	17156	17490	17779	20182	22018	22416	23348	23497	23575	23685	23708	23753																		
23719	3	19	60	9502	12512	12907	17118	20225	20508	21429	21695	22010	22187	22347	23574	23608	23617																		
23756	2	5	22	61	6583	15302	17930	18081	18562	19427	21204	21744	22713	23422	23503	23597	23730																		
23754	15	4333	9774	11921	15075	20998	21581	21622	22468	22638	23104	23530	23593	23613	23645	23648	23719																		
23756	16	48	65	2563	3079	12594	17391	17524	20302	21062	21809	22772	23189	23501	23625	23628	23756																		
23715	59	4288	6124	13237	13580	13607	19899	20348	21481	22380	22510	22883	23114	23233	23709	23715	23735																		
23754	46	2949	3278	6100	9887	10255	19509	19883	20022	21147	21422	21915	22489	22777	23422	23750	23754																		
23748	761	8196	8895	23472	10842	15470	23658	23748	13	16585	19888	21445	13341	17522	18603	20826	2932	8194	19093	21220	6202	9623	23715	2288	21290	22116	5143	10529	19731	15559	16069	23704	137	11927	20849

FIG. 72

11 5997 11214
1212 9635 22820
8785 10770 15217
14930 15004 19622
15 9351 22137
6984 10545 18086
17 5394 22378
5666 17493 23525
2788 2962 18427
15308 18638 23694
6477 21407 23683
5907 22795 23101
3398 17256 18334
3010 12780 18130
2912 12048 19907
10071 21798 22747
9806 23050 23683
13541 23317 23733
11998 12007 17363
9401 16372 23473
16221 19981 21929
32 7499 20187
17718 22377 23147
17276 21344 22014
21779 22541 23607
16248 18722 23096
4225 19889 20582
21394 23463 23652
10428 11323 12984
60 23098 23752
8941 12692 20396
3909 12976 23323
4172 13704 21088
4252 20334 23229
5669 9953 23616
747 22117 23391
1201 17300 19083
6226 22684 23382
8854 14713 23706
18391 19269 20334
15856 16811 23747
39 3964 14259
11159 17884 18130
11388 23637 23738
12481 16865 23422
17762 22000 23602
13515 19709 21596
45 16207 16302
2011 13753 23611
20451 23564 23756
13 10379 16323
20 14421 16684
11082 19565 22082

FIG. 73



9158	9437	20186
9270	21333	22631
24	22736	23382
28	19129	21403
34	1541	19415
18638	22335	23418
42	8892	23629
13154	13353	22663
51	2780	21921
45	6677	20895
61	15836	22536
15246	23565	23578
48	22661	23012
17	21419	23698
22650	23448	23497
20671	22579	23692
27	7302	23401
9478	19287	20789
9312	23176	23598
3566	21768	23652
19	6707	11777
430	19822	22687
1705	6631	23312
5	19562	23680
644	2620	13917
3998	22493	23529
20916	22930	23741
12467	22100	23737
8546	15903	22828

FIG. 74

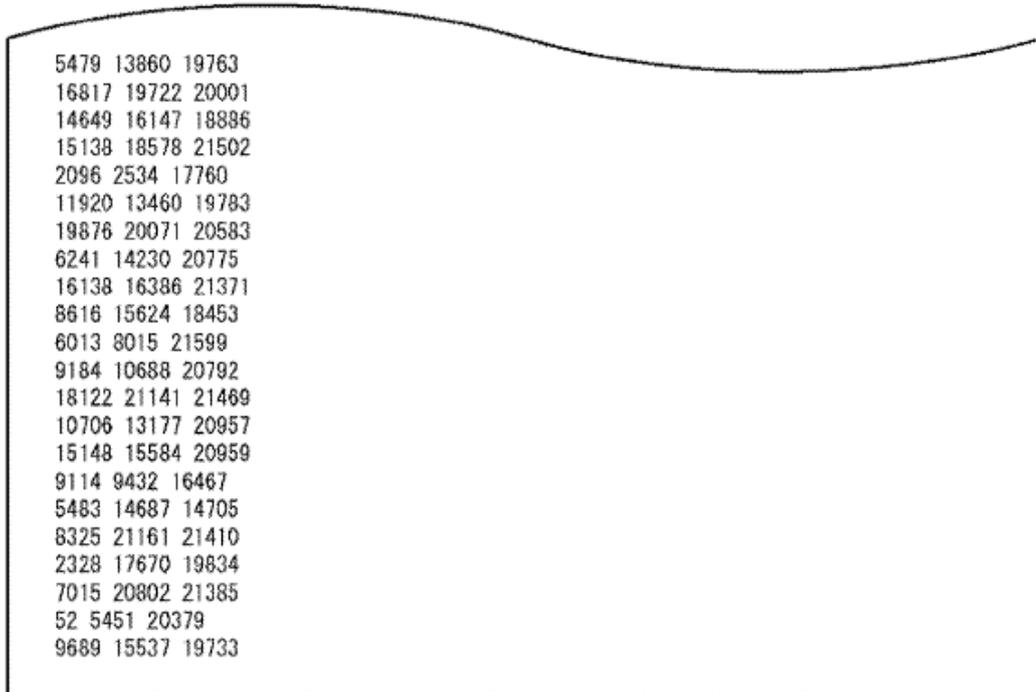
N=64800, tasa =20/30

692	1779	1973	2726	5151	6088	7921	9618	11804	13043	15975	16214	16889	16980	18585	18648
13	4090	4319	5288	8102	10110	10481	10527	10953	11185	12069	13177	14217	15963	17661	20959
2330	2516	2902	4087	6338	8015	8638	9436	10294	10843	11802	12304	12371	14095	18486	18996
125	586	5137	5701	6432	6500	8131	8327	10488	11032	11334	11449	12504	16000	20753	21317
30	480	2681	3635	3898	4058	12803	14734	20252	20306	20680	21329	21333	21466	21562	21568
20	44	738	4965	5516	7659	8464	8759	12216	14630	18241	18711	19093	20217	21316	21490
31	43	3554	5289	5667	8687	14885	16579	17883	18384	18486	19142	20785	20932	21131	21308
7054	9276	10435	12324	12354	13849	14285	16482	19212	19217	19221	20499	20831	20925	21195	
21247															
9	13	4099	10353	10747	14884	15492	17650	19291	19394	20356	20658	21068	21117	21183	21586
28	2250	2980	8988	10282	12503	13301	18351	20546	20622	21006	21293	21344	21472	21530	
21542															
17	32	2521	4374	5098	7525	13035	14437	15283	18635	19136	20240	21147	21179	21300	21349
57	4735	5657	7649	8807	12375	16092	16178	16379	17545	19461	19489	20321	20530	21453	21457
35	55	5333	14423	14670	15438	19468	19667	20823	21084	21241	21344	21447	21520	21554	21586
13	20	2025	11854	12516	14938	15929	18081	19730	19929	20408	21338	21391	21425	21468	21546
54	7451	8176	10136	15240	16442	16482	19431	19483	19762	20647	20839	20966	21512	21579	
21592															
26	465	3604	4233	9831	11741	13692	18953	18974	21021	21039	21133	21282	21488	21532	21558
1	7	16	59	6979	7675	7717	9791	12370	13050	18534	18729	19846	19864	20127	20165
15	31	11089	12360	13640	14237	17937	18043	18410	19443	21107	21444	21449	21528	21576	21584
32	51	9768	17848	18095	19326	19594	19618	19765	20440	20482	20582	21236	21338	21563	21587
44	55	4864	10253	11306	12117	13076	13901	15610	17057	18205	19794	20939	21132	21267	21573
3436	11304	15361	16511	16860	18238	18639	19341	20106	20123	20407	21200	21290	21452	21526	
21569															
679	8822	11045	14403	16588	17838	19117	19453	20265	20558	21374	21396	21428	21442	21529	
21590															
391	13002	13140	14314	17169	17175	17846	18122	19447	20075	20212	20436	20583	21330	21359	
21403															
7601	10257	20060	21285												
4419	9150	18097	20315												
4675	13376	21435													
610	1238	16704													
5732	7096	21104													
5690	13531	14545													
4334	14839	17357													
8	2814	17674													
2392	8128	18369													
502	7403	15133													
343	13624	20673													
13188	15687	21593													
321	16866	21347													
1242	4261	17449													
4691	8086	8691													
8500	11538	20278													
6269	12905	18192													
5984	15452	17111													
11541	18717	21534													
16	10780	16107													
12310	12959	20390													
1365	18306	19634													

FIG. 75

6125 19132 20242
3012 17233 21533
5816 13021 21440
13207 17811 18798
2762 7586 12139
3949 5545 13584
11374 18279 19241
2736 10989 21209
4095 20677 21395
8251 10084 20498
7628 8875 21406
2743 8943 9090
1817 7788 15767
9333 9838 21268
6203 9480 12042
5747 21187 21468
2553 18281 21500
3179 9155 15222
12498 18109 20326
14106 21209 21592
7454 17484 20791
20804 21120 21574
5754 18178 20935
30 4322 21381
11905 20416 21397
12452 19899 21497
1917 6028 16868
9891 18710 18953
912 21083 21446
370 14355 18069
16519 19003 20902
11163 17558 18424
8427 14396 21405
8885 11796 21361
4960 15431 20653
11944 16839 21236
9967 14529 17208
14144 19354 19745
7986 12680 21396
6097 11501 13028
33 13803 21038
3177 20124 20803
2692 6841 18655
971 5892 14354
3887 19455 21271
17214 17315 21148
6539 13910 21526
3809 5153 15793
3865 21438 21510
7129 17787 19636
5972 13150 14182
7078 14906 16911
15705 21160 21482

FIG. 76



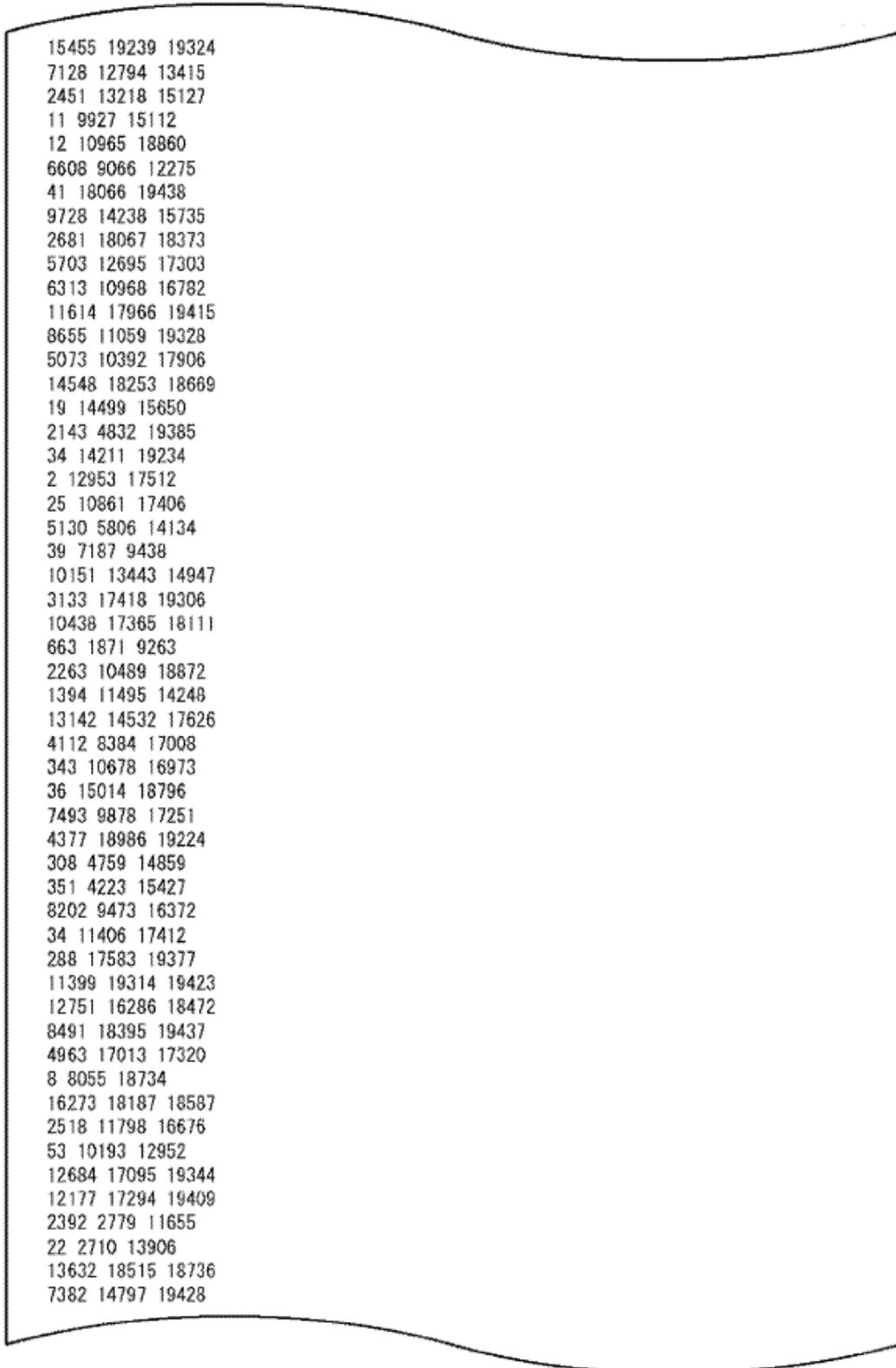
5479	13860	19763
16817	19722	20001
14649	16147	18886
15138	18578	21502
2096	2534	17760
11920	13460	19783
19876	20071	20583
6241	14230	20775
16138	16386	21371
8616	15624	18453
6013	8015	21599
9184	10688	20792
18122	21141	21469
10706	13177	20957
15148	15584	20959
9114	9432	16467
5483	14687	14705
8325	21161	21410
2328	17670	19834
7015	20802	21385
52	5451	20379
9689	15537	19733

FIG. 77

N=64800, tasa =21/30

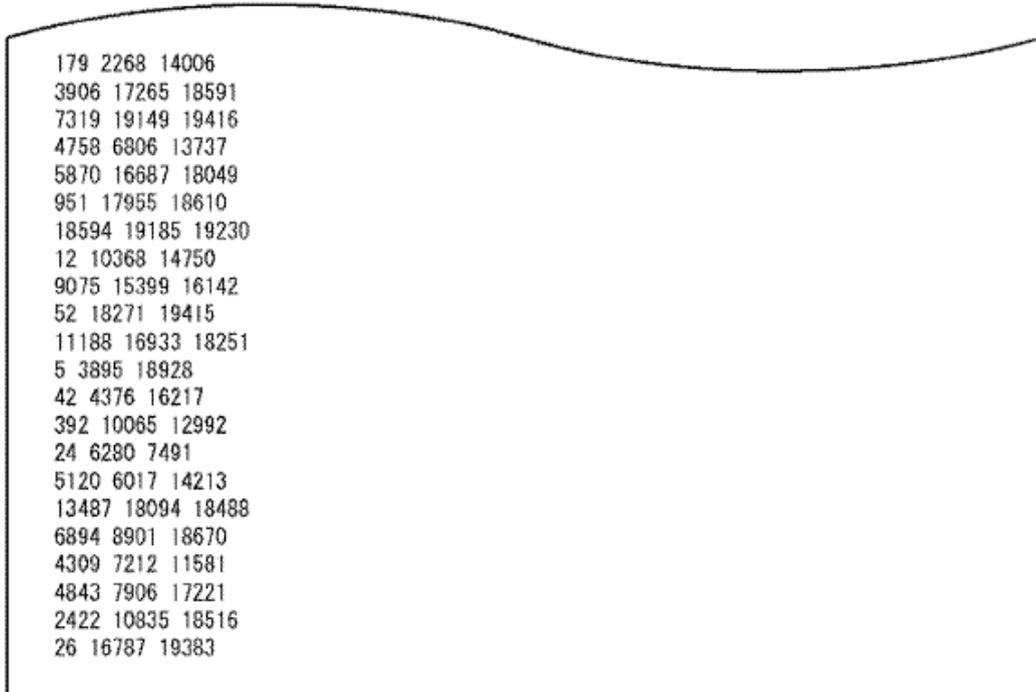
549 611 1357 3717 5079 5412 5964 10310 13716 16028 16067 16726 16856 18095 18515
 25 163 1310 4468 5938 8348 9208 11118 13355 13539 14004 14869 16512 17878 19194
 9 3271 4816 5091 5642 6704 8049 8431 8513 9264 10118 10905 17317 19047 19204
 1775 2009 2741 3978 5427 6376 8143 9682 12173 13086 13232 14386 15220 17433 19332
 18 519 4261 4265 6356 6409 11253 12973 14592 16637 17039 18474 19112 19202 19214
 874 2918 3977 8791 9100 10391 10623 11738 16545 16968 17928 19049 19251 19295 19384
 15 2832 4906 5010 7208 7315 8266 12524 14718 14789 16532 16637 17333 19314 19361
 1 44 169 967 3980 7358 8489 9672 11731 12519 19027 19030 19156 19348 19434
 32 112 2611 5885 6907 9231 9890 10047 10456 17955 17959 19236 19361 19395 19419
 5 13 38 51 1307 6348 7275 10351 11869 13074 17179 17889 18802 18957 18963
 45 1114 1822 13768 13968 16002 17945 18577 18944 19097 19142 19191 19211 19280 19410
 16 25 31 6527 7318 10336 11522 11826 12038 17843 19218 19270 19346 19365 19428
 44 3166 11719 13946 14592 16659 17881 18127 18335 18401 18672 19025 19093 19218 19233
 3890 4804 10421 11575 15260 15641 15738 15835 16462 17085 17902 18650 19131 19328 19336
 40 4635 6324 12215 13030 14029 15387 16287 18128 18893 18939 19138 19409 19416 19422
 26 10421 10487 11386 12158 13231 16951 17521 18100 18309 18468 18689 18745 18862 19350
 33 1635 8499 10728 12209 15641 16482 17298 18157 18247 18498 18885 19018 19304 19340
 155 7584 9130 9253 10095 14414 15396 16572 16660 18942 19031 19287 19319 19334 19418
 0 452 4180 6281 7401 13527 13855 14524 16190 18133 18346 18428 18983 19370 19377
 43 5974 9711 10621 11296 13782 16955 17413 17514 17949 18441 18465 18800 19368 19380
 20 2462 6141 6157 7855 13754 17444 17900 18517 19099 19217 19392 19416 19419 19436
 44 3197 6827 8627 12967 13503 14327 15070 16306 17079 18212 18283 19000 19021 19318
 0 9 24 784 875 2519 3900 5797 13090 13395 18070 18095 18767 19024 19212
 27 1943 4688 5617 7512 7773 10220 13453 15976 15984 17284 17785 18950 19187 19422
 2095 17203 18559
 29 10616 15594
 14366 14924 16179
 5487 7882 14228
 1228 19301 19420
 2144 9744 10245
 47 12037 16969
 4990 8811 19259
 13271 13624 18766
 11793 15199 18405
 13618 15135 16272
 9174 15906 19070
 10882 15172 19435
 2925 5216 18611
 8983 16271 19303
 5729 11533 19203
 3507 5159 11003
 11001 13292 17253
 101 1300 14833
 8847 16410 19344
 38 3941 11470
 10236 12322 19338
 1260 12919 18542
 14 1600 18816
 7291 10840 19376
 13341 17748 18862
 2024 16189 16472

FIG. 78



15455 19239 19324
7128 12794 13415
2451 13218 15127
11 9927 15112
12 10965 18860
6608 9066 12275
41 18066 19438
9728 14238 15735
2681 18067 18373
5703 12695 17303
6313 10968 16782
11614 17966 19415
8655 11059 19328
5073 10392 17906
14548 18253 18669
19 14499 15650
2143 4832 19385
34 14211 19234
2 12953 17512
25 10861 17406
5130 5806 14134
39 7187 9438
10151 13443 14947
3133 17418 19306
10438 17365 18111
663 1871 9263
2263 10489 18872
1394 11495 14248
13142 14532 17626
4112 8384 17008
343 10678 16973
36 15014 18796
7493 9878 17251
4377 18986 19224
308 4759 14859
351 4223 15427
8202 9473 16372
34 11406 17412
288 17583 19377
11399 19314 19423
12751 16286 18472
8491 18395 19437
4963 17013 17320
8 8055 18734
16273 18187 18587
2518 11798 16676
53 10193 12952
12684 17095 19344
12177 17294 19409
2392 2779 11655
22 2710 13906
13632 18515 18736
7382 14797 19428

FIG. 79



179	2268	14006
3906	17265	18591
7319	19149	19416
4758	6806	13737
5870	16687	18049
951	17955	18610
18594	19185	19230
12	10368	14750
9075	15399	16142
52	18271	19415
11188	16933	18251
5	3895	18928
42	4376	16217
392	10065	12992
24	6280	7491
5120	6017	14213
13487	18094	18488
6894	8901	18670
4309	7212	11581
4843	7906	17221
2422	10835	18516
26	16787	19383

FIG. 80

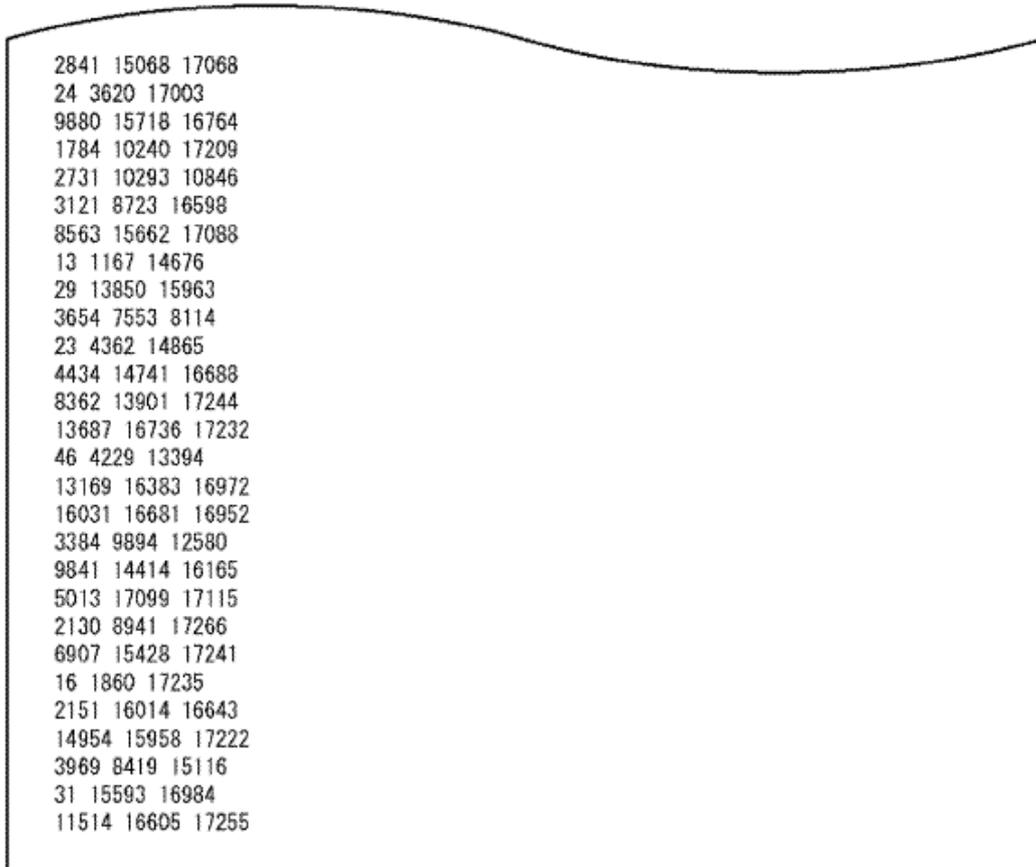
N=64800, tasa =22/30

696 989 1238 3091 3116 3738 4269 6406 7033 8048 9157 10254 12033 16456 16912
 444 1488 6541 8626 10735 12447 13111 13706 14135 15195 15947 16453 16916 17137 17268
 401 460 992 1145 1576 1678 2238 2320 4280 6770 10027 12486 15363 16714 17157
 1161 3108 3727 4508 5092 5348 5582 7727 11793 12515 12917 13362 14247 16717 17205
 542 1190 6883 7911 8349 8835 10489 11631 14195 15009 15454 15482 16632 17040 17063
 17 487 776 880 5077 6172 9771 11446 12798 16016 16109 16171 17087 17132 17226
 1337 3275 3462 4229 9246 10180 10845 10866 12250 13633 14482 16024 16812 17186 17241
 15 980 2305 3674 5971 8224 11499 11752 11770 12897 14082 14836 15311 16391 17209
 0 3926 5869 8696 9351 9391 11371 14052 14172 14636 14974 16619 16961 17033 17237
 3033 5317 6501 8579 10698 12168 12966 14019 15392 15806 15991 16493 16690 17062 17090
 981 1205 4400 6410 11003 13319 13405 14695 15846 16297 16492 16563 16616 16862 16953
 1725 4276 8869 9588 14062 14486 15474 15548 16300 16432 17042 17050 17060 17175 17273
 1807 5921 9960 10011 14305 14490 14872 15852 16054 16061 16306 16799 16833 17136 17262
 2826 4752 6017 6540 7016 8201 14245 14419 14716 15983 16569 16652 17171 17179 17247
 1662 2516 3345 5229 8086 9686 11456 12210 14595 15808 16011 16421 16825 17112 17195
 2890 4821 5987 7226 8823 9869 12468 14694 15352 15805 16075 16462 17102 17251 17263
 3751 3890 4382 5720 10281 10411 11350 12721 13121 14127 14980 15202 15335 16735 17123
 26 30 2805 5457 6630 7188 7477 7556 11065 16608 16859 16909 16943 17030 17103
 40 4524 5043 5566 9645 10204 10282 11696 13080 14837 15607 16274 17034 17225 17266
 904 3157 6284 7151 7984 11712 12887 13767 15547 16099 16753 16829 17044 17250 17259
 7 311 4876 8334 9249 11267 14072 14559 15003 15235 15686 16331 17177 17238 17253
 4410 8066 8596 9631 10369 11249 12610 15769 16791 16960 17018 17037 17062 17165 17204
 24 8261 9691 10138 11607 12782 12786 13424 13933 15262 15795 16476 17084 17193 17220
 88 11622 14705 15890
 304 2026 2638 6018
 1163 4268 11620 17232
 9701 11785 14463 17260
 4118 10952 12224 17006
 3647 10823 11521 12060
 1717 3753 9199 11642
 2187 14280 17220
 14787 16903 17061
 381 3534 4294
 3149 6947 8323
 12562 16724 16881
 7289 9997 15306
 5615 13152 17260
 5666 16926 17027
 4190 7798 16831
 4778 10629 17180
 10001 13684 15453
 6 2237 8203
 7831 15144 15160
 9186 17204 17243
 9435 17168 17237
 42 5701 17159
 7812 14259 15715
 39 4513 6658
 38 9368 11273
 1119 4785 17182
 5620 16521 16729

FIG. 81

16 6685 17242
210 3452 12383
466 14462 16250
10548 12633 13962
1452 6005 16453
22 4120 13684
5195 11563 16522
5518 16705 17201
12233 14552 15471
6067 13440 17248
8660 8967 17061
8673 12176 15051
5959 15767 16541
3244 12109 12414
31 15913 16323
3270 15686 16653
24 7346 14675
12 1531 8740
6228 7565 16667
16936 17122 17162
4868 8451 13183
3714 4451 16919
11313 13801 17132
17070 17191 17242
1911 11201 17186
14 17190 17254
11760 16008 16832
14543 17033 17278
16129 16765 17155
6891 15561 17007
12741 14744 17116
8992 16661 17277
1861 11130 16742
4822 13331 16192
13281 14027 14989
38 14887 17141
10698 13452 15674
4 2539 16877
857 17170 17249
11449 11906 12867
285 14118 16831
15191 17214 17242
39 728 16915
2469 12969 15579
16644 17151 17164
2592 8280 10448
9236 12431 17173
9064 16892 17233
4526 16146 17038
31 2116 16083
15837 16951 17031
5362 8382 16618
6137 13199 17221

FIG. 82



2841	15068	17068
24	3620	17003
9880	15718	16764
1784	10240	17209
2731	10293	10846
3121	8723	16598
8563	15662	17088
13	1167	14676
29	13850	15963
3654	7553	8114
23	4362	14865
4434	14741	16688
8362	13901	17244
13687	16736	17232
46	4229	13394
13169	16383	16972
16031	16681	16952
3384	9894	12580
9841	14414	16165
5013	17099	17115
2130	8941	17266
6907	15428	17241
16	1860	17235
2151	16014	16643
14954	15958	17222
3969	8419	15116
31	15593	16984
11514	16605	17255

FIG. 83

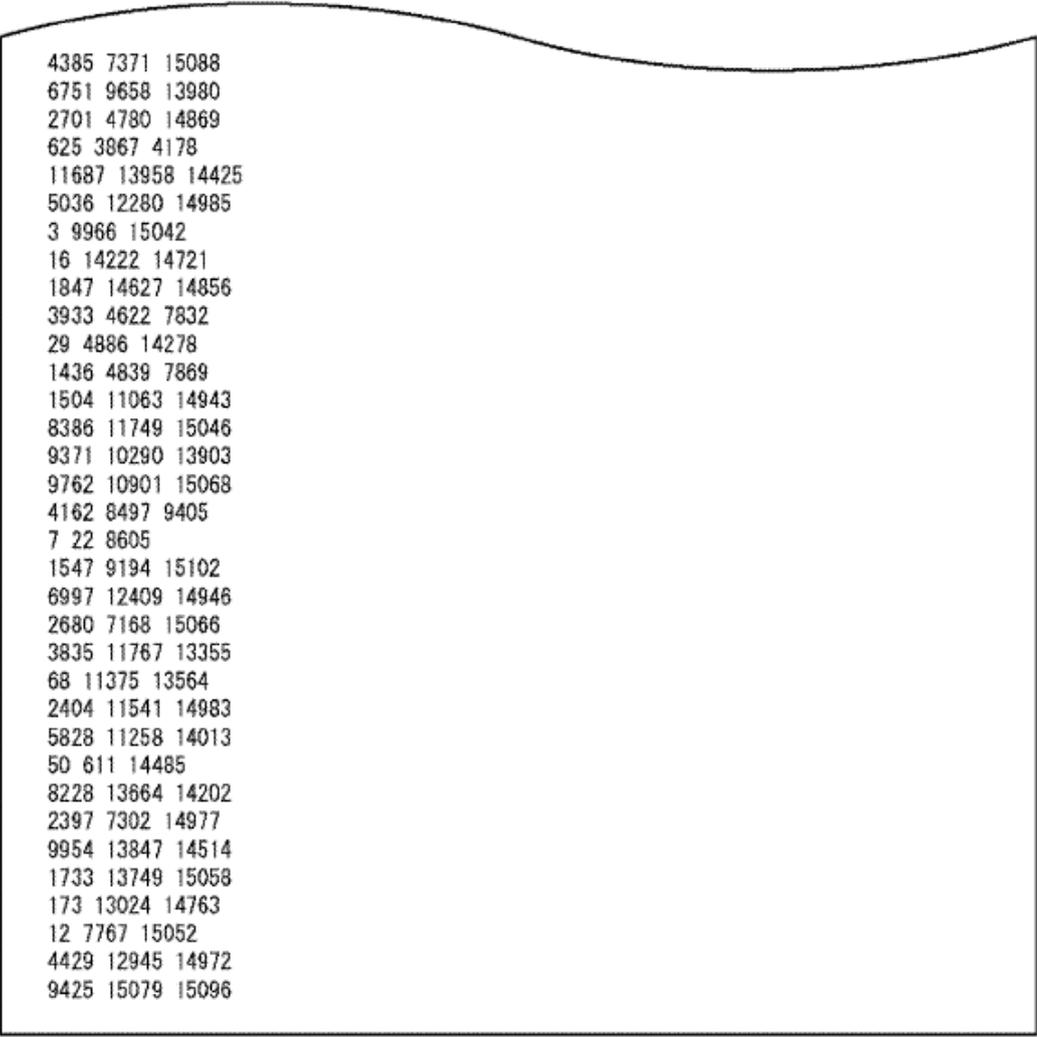
N=64800, tasa=23/30

310 1729 3466 4343 5079 5360 6486 7268 8660 8684 9687 10496 12682 13283 14142
 10 35 3137 4489 4906 5614 6655 9072 10341 10512 11699 12547 12992 15098 15103
 20 28 1671 4321 8051 8676 9003 10395 11047 11259 12221 13005 14041 14459 15078
 82 329 2415 3798 8856 11071 11483 12210 12283 13592 14111 14118 14890 15043 15080
 38 3425 4256 5892 6586 9088 10029 10168 10845 13170 13742 14143 14505 14648 14949
 24 1462 5755 9371 9921 10303 11838 13574 13755 13982 14821 14848 14916 15082 15088
 27 4818 7432 7508 8148 9725 10575 13009 13205 13469 14264 14707 14967 15029 15092
 4118 6906 8252 10421 11578 12851 13114 13662 13815 14535 14795 14971 15007 15019 15094
 34 5330 7799 9336 10563 11473 11624 13103 13490 13664 14286 14782 15013 15075 15089
 30 1833 4359 7535 10347 10691 12403 13357 14063 14358 14554 14563 14611 14886 14894
 2 11 2662 3363 5469 5674 8489 9870 11571 12625 14094 14602 14962 14972 15016
 2666 3305 4681 8359 9701 9970 10838 11432 12869 13053 13873 14664 14703 14928 14998
 3164 5920 5949 9228 10188 11757 12119 12878 13410 13951 14398 14652 14910 14967 15103
 7840 9295 9875 11112 12316 12463 12771 13094 13197 13712 14085 14444 14707 14947 14987
 1110 1223 3530 6281 10867 13008 14412 14528 14628 14753 14901 14938 15063 15087 15112
 21 791 3863 5611 8101 10837 12988 13585 13731 14228 14435 14843 14910 15052 15082
 40 1358 6434 9368 9892 10005 11561 11996 12506 13093 13167 14607 14674 14844 15030
 803 1072 4593 6553 8291 8954 10035 11469 13719 14077 14173 14771 14812 14888 14992
 6 5334 7322 7499 9560 10116 11560 11795 11874 11994 13936 14284 14376 14671 14863
 41 5509 7768 9585 9698 10441 11621 12907 13092 13535 13832 14759 14887 14903 14972
 4836 6794 8298 8883 10019 11625 12322 12563 13084 14192 14431 14526 14611 14883 15044
 39 2210 7759 8572 8654 13258 13651 14070 14115 14279 14418 14566 14718 14811 15004
 19 3975 4451 5642 6685 7975 8633 9640 9811 10753 10890 11243 11269 12598 14952
 6363 6545 9439 9791 9818 13695 14229 14556 14711 14730 14744 14758 14844 14962 15032
 6068 6472 6852 7431
 3260 8709 11880 14644
 8072 10635 12785 14902
 936 12069 14934 14957
 31 3503 7561 14443
 4377 13028 14483 14513
 397 6963 12232
 8743 10726 14721
 2600 3819 12560
 11057 13202 15084
 2256 4829 13796
 2759 3104 14683
 139 10014 12174
 3531 9304 14860
 3890 5170 13556
 10401 13606 14910
 4070 4564 7583
 13749 14399 15019
 2025 13882 15031
 10616 11730 14148
 2890 6342 12520
 2071 6431 14496
 8209 9125 13522
 6008 7161 12442
 14655 14792 15037
 9054 14297 15119
 5028 6219 12074

FIG. 84

4932 6117 12187
12826 13557 14731
29 3332 10904
3244 5024 14841
1049 2209 13864
5834 7363 9300
8811 13949 15067
2676 14611 14917
4002 8661 14258
2371 3303 13028
3752 8981 15017
4942 10910 14170
3468 7594 8043
36 10685 12755
9662 11320 15033
9492 9545 15037
2896 12060 14451
702 9889 14014
645 2309 8254
4 10526 14294
24 6849 9207
4757 8294 14632
4831 14801 15043
10 6249 12881
4410 14983 15118
2286 7820 11208
7426 14880 14989
1509 10463 12060
1178 5443 8507
8631 9398 13789
6338 14601 15113
7697 10138 15054
3320 4956 8415
3367 13345 14874
13 2297 12215
610 10921 13983
7774 9106 13675
14 6002 6695
10257 13816 15090
12630 13922 14694
11114 14476 15105
32 9315 14962
5 3297 5106
3295 5972 10033
2417 14325 14447
2402 13380 13428
18 3172 14813
25 2268 9077
8145 8932 9014
2603 12606 12669
28 6315 14074
2569 3887 13526
2849 4358 15087

FIG. 85



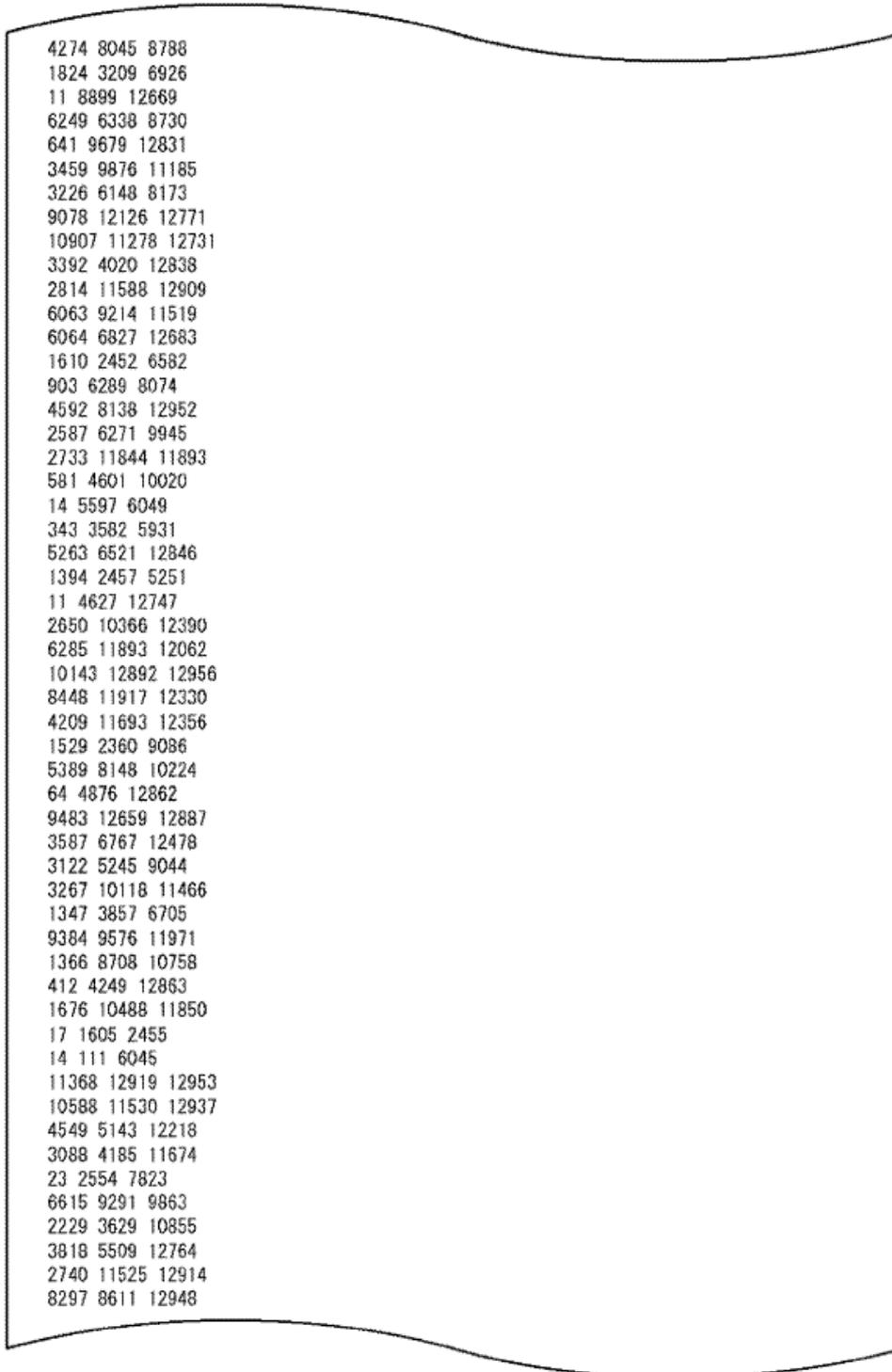
4385 7371 15088
6751 9658 13980
2701 4780 14869
625 3867 4178
11687 13958 14425
5036 12280 14985
3 9966 15042
16 14222 14721
1847 14627 14856
3933 4622 7832
29 4886 14278
1436 4839 7869
1504 11063 14943
8386 11749 15046
9371 10290 13903
9762 10901 15068
4162 8497 9405
7 22 8605
1547 9194 15102
6997 12409 14946
2680 7168 15066
3835 11767 13355
68 11375 13564
2404 11541 14983
5828 11258 14013
50 611 14485
8228 13664 14202
2397 7302 14977
9954 13847 14514
1733 13749 15058
173 13024 14763
12 7767 15052
4429 12945 14972
9425 15079 15096

FIG. 86

N=64800, tasa =24/30

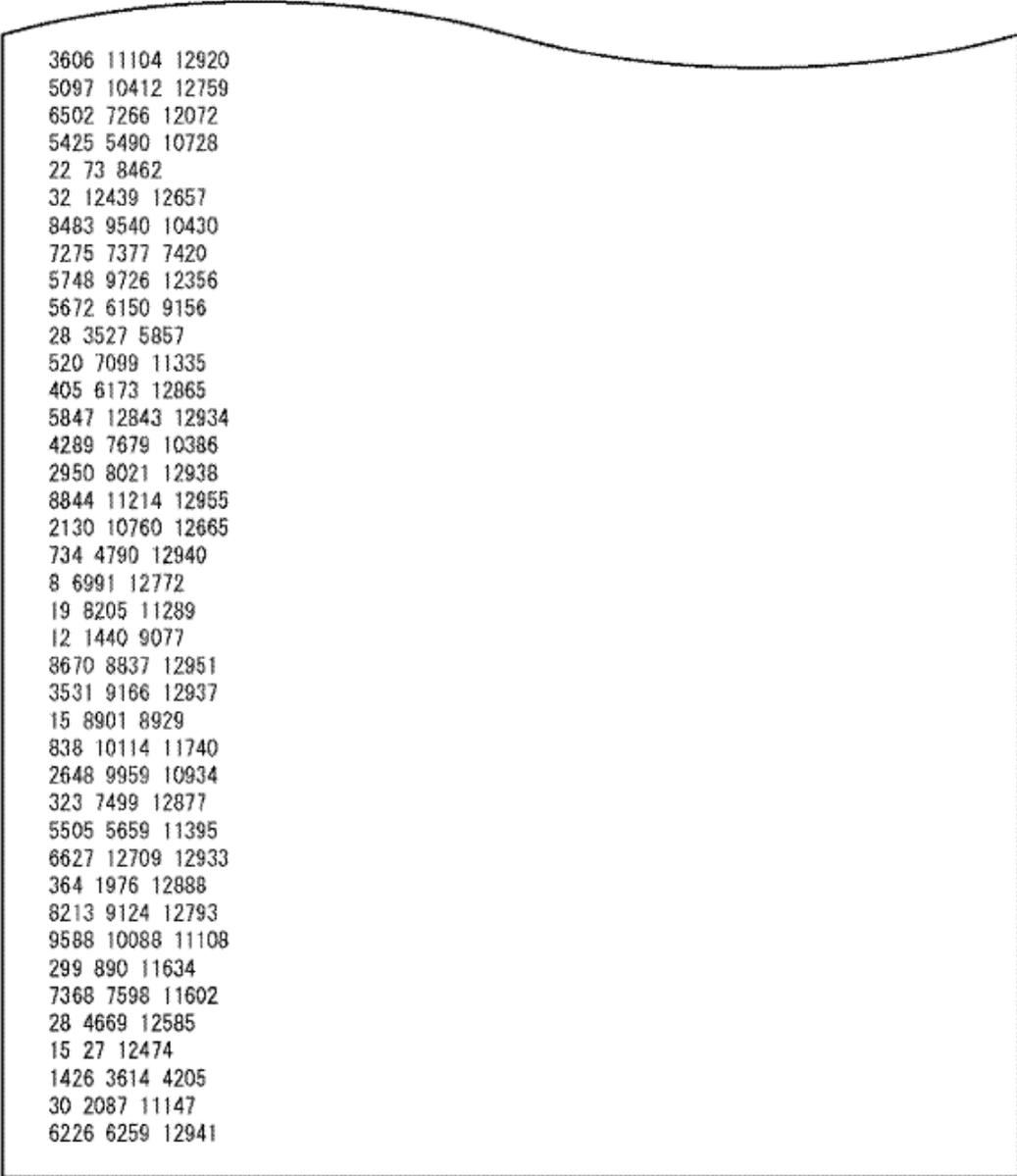
1504 2103 2621 2840 3869 4594 5246 6314 7327 7364 10425 11934 12898 12954
 27 1903 3923 4513 7812 8098 8428 9789 10519 11345 12032 12157 12573 12930
 17 191 660 2451 2475 2976 3398 3616 5769 6724 8641 10046 11552 12842
 13 1366 4993 6468 7689 8563 9131 10012 10914 11574 11837 12203 12715 12946
 432 872 2603 3286 3306 3385 4137 5563 7540 9339 9948 12315 12656 12929
 1113 1394 4104 4186 7240 8827 11522 11833 12359 12363 12629 12821 12904 12946
 14 441 1432 1677 2432 8981 11478 11507 12599 12783 12793 12912 12922 12943
 1579 1806 7971 8586 9845 10357 11600 12007 12020 12339 12576 12817 12830 12904
 20 546 3672 5538 6944 8052 8781 9743 12269 12393 12418 12549 12555 12718
 1 3540 4397 5011 6626 8617 9587 10360 10602 11402 11983 12068 12495 12838
 30 1572 4908 7421 8041 8910 8963 11005 11930 12240 12340 12467 12892 12933
 33 2060 3907 4215 5545 8306 8655 8743 8806 9315 9364 10685 11954 12959
 1338 2596 4876 5207 9555 10421 10929 11648 11739 12375 12416 12643 12742 12754
 9469 10544 10932 11250 11426 11582 11846 12139 12202 12210 12356 12378 12873 12929
 2681 3337 3616 6113 7078 8167 8624 9697 10908 11781 11855 12095 12475 12659
 28 4086 5432 6555 6848 7368 8794 11483 11572 12414 12816 12894 12936 12957
 5 5044 5572 9023 9192 9589 9979 10009 10855 10991 11715 12314 12610 12945
 17 272 602 5681 6530 9572 9886 11061 11496 12238 12265 12483 12885 12955
 22 2245 4282 4469 5007 6650 6733 10151 10401 11571 12004 12261 12805 12844
 23 3270 4468 8621 9662 11240 11934 12091 12444 12691 12717 12858 12888 12917
 740 1519 4923 8191 7878 8350 9293 10778 11020 11287 11630 12792 12862 12920
 12 28 3584 6072 7079 8075 10477 11130 11383 11780 12341 12667 12818 12927
 14 118 5283 5382 8301 9097 9413 9664 10437 10701 11124 12685 12730 12734
 32 1426 3078 4325 5353 7780 9042 9928 10077 10377 10679 11191 11750 12611
 1 669 3831 3980 5381 5412 6552 8453 9435 10243 11546 11821 11987 12807
 232 483 919 1232 2156 2396 2990 3774 8539 8704 8819 10810 11868 12634
 2381 7309 9334
 348 6494 12623
 4872 6257 11090
 7 11970 11986
 6615 12788 12855
 1173 5269 12647
 1944 7738 8116
 17 4828 9175
 2329 6034 12642
 1254 2366 5013
 2984 5078 5664
 7423 10265 11528
 1656 8526 8716
 22 287 2837
 18 100 3079
 299 3171 12169
 33 5920 11144
 1286 3650 9309
 2283 8809 12588
 3199 8242 9081
 2507 6846 8113
 5211 8722 12689
 1064 2592 8659
 6136 6925 12958
 1256 12789 12932

FIG. 87



4274	8045	8788
1824	3209	6926
11	8899	12669
6249	6338	8730
641	9679	12831
3459	9876	11185
3226	6148	8173
9078	12126	12771
10907	11278	12731
3392	4020	12838
2814	11588	12909
6063	9214	11519
6064	6827	12683
1610	2452	6582
903	6289	8074
4592	8138	12952
2587	6271	9945
2733	11844	11893
581	4601	10020
14	5597	6049
343	3582	5931
5263	6521	12846
1394	2457	5251
11	4627	12747
2650	10366	12390
6285	11893	12062
10143	12892	12956
8448	11917	12330
4209	11693	12356
1529	2360	9086
5389	8148	10224
64	4876	12862
9483	12659	12887
3587	6767	12478
3122	5245	9044
3267	10118	11466
1347	3857	6705
9384	9576	11971
1366	8708	10758
412	4249	12863
1676	10488	11850
17	1605	2455
14	111	6045
11368	12919	12953
10588	11530	12937
4549	5143	12218
3088	4185	11674
23	2554	7823
6615	9291	9863
2229	3629	10855
3818	5509	12764
2740	11525	12914
8297	8611	12948

FIG. 88



3606 11104 12920
5097 10412 12759
6502 7266 12072
5425 5490 10728
22 73 8462
32 12439 12657
8483 9540 10430
7275 7377 7420
5748 9726 12356
5672 6150 9156
28 3527 5857
520 7099 11335
405 6173 12865
5847 12843 12934
4289 7679 10386
2950 8021 12938
8844 11214 12955
2130 10760 12665
734 4790 12940
8 6991 12772
19 8205 11289
12 1440 9077
8670 8837 12951
3531 9166 12937
15 8901 8929
838 10114 11740
2648 9959 10934
323 7499 12877
5505 5659 11395
6627 12709 12933
364 1976 12888
8213 9124 12793
9588 10088 11108
299 890 11634
7368 7598 11602
28 4669 12585
15 27 12474
1426 3614 4205
30 2087 11147
6226 6259 12941

FIG. 89

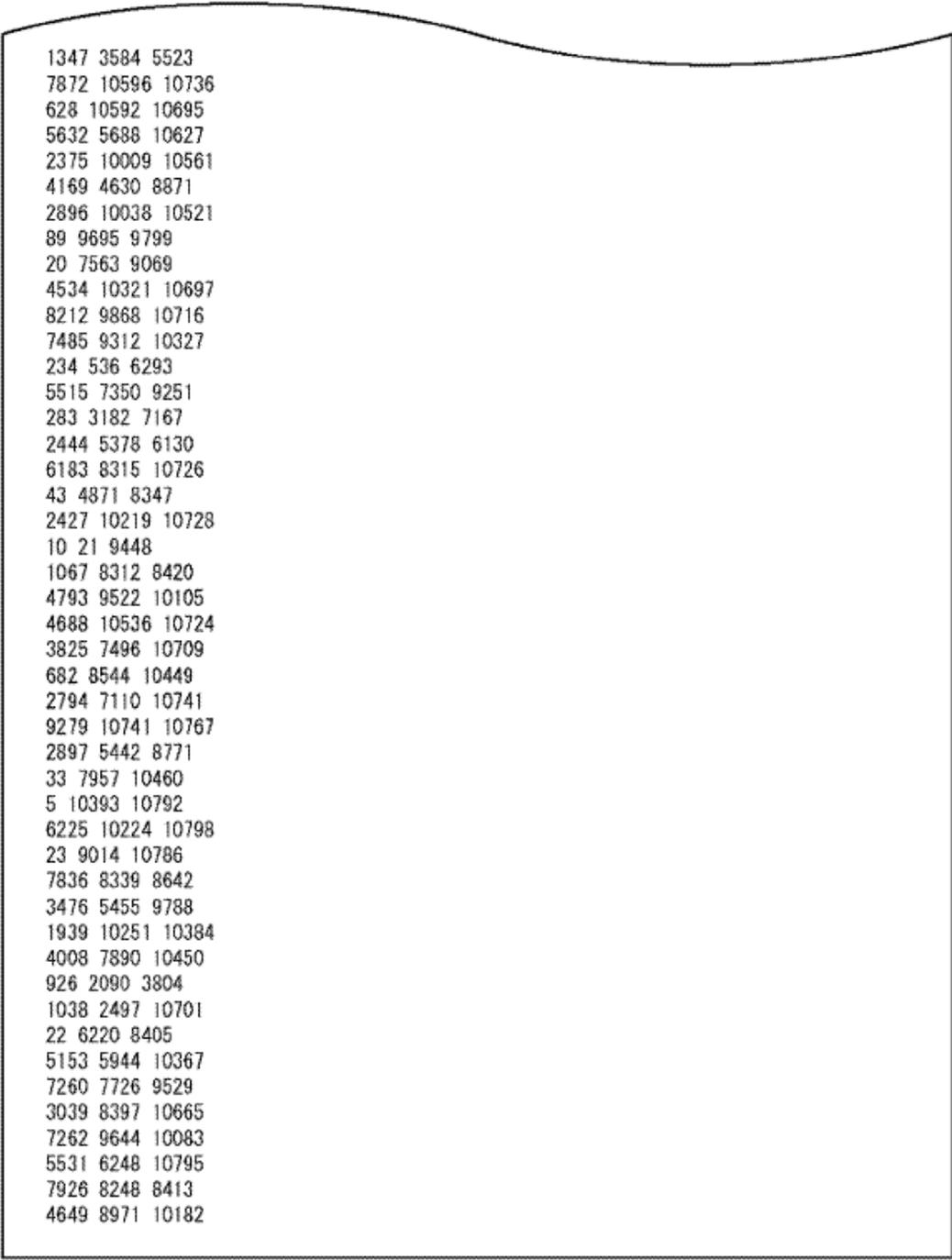
N=64800, tasa =25/30

1860 2354 3967 4292 4488 5243 5373 5766 8378 9111 10468 10505 10774
 24 2266 2380 3282 4255 4779 8729 9140 9566 10102 10661 10711 10797
 605 650 1108 1669 2251 3133 5847 6197 6902 7545 10521 10600 10773
 1016 1428 1612 2335 3102 3810 4926 5953 9964 10246 10569 10734 10784
 3195 6308 8029 9030 9397 9461 9833 10239 10499 10675 10736 10757 10773
 2 27 3641 4566 7332 9318 9323 9916 10365 10438 10561 10581 10750
 2405 2458 4820 6232 6254 6347 7139 7474 8623 8779 8798 10747 10794
 3164 4736 6474 7162 7420 7517 7835 8238 8412 8489 9006 10113 10440
 20 2372 5561 5649 6907 8393 8505 9181 9567 9595 10388 10483 10714
 1071 2899 5135 5780 6616 7111 7773 8582 9015 9912 10139 10387 10768
 292 2833 5490 6011 6136 6713 7517 9096 10128 10328 10407 10525 10736
 1044 3711 4421 5140 5207 8118 8749 8884 9205 10359 10372 10746 10784
 3241 5696 6440 7240 7419 8613 8878 9593 9959 9997 10401 10404 10754
 3133 4647 5912 6065 6694 7208 7346 8227 9465 9739 10452 10516 10770
 2254 6444 7449 8095 8120 8710 9030 9162 9643 9968 10101 10571 10678
 918 1445 2217 4262 4623 5401 5749 7446 7907 9539 10125 10514 10726
 6 1341 1788 3105 4359 5263 5470 7552 8249 8644 10609 10674 10733
 1994 3000 3151 3173 7742 8335 8438 8741 9232 9296 9817 10023 10257
 467 1674 3016 3950 4055 5399 6688 7113 7273 8658 8702 9642 10545
 2007 2541 3125 7380 7550 8122 8501 8665 9882 10403 10519 10594 10696
 334 587 709 1540 2023 2876 6218 8768 9328 9481 10424 10507 10779
 2165 4185 4306 5019 6961 7386 8447 9082 9837 10091 10461 10559 10570
 7 903 2948 6312 6654 7738 7980 8312 9104 9743 10070 10278 10406
 3047 3154 4160 4378 5461 8711 8809 9040 9173 9252 9537 9995 10735
 2018 2355 3828 3854 6201 6696 8313 8459 8550 8833 9586 10202 10224
 1402 1908 4286 4660 6029 6115 6737 7538 9495 9517 10055 10509 10644
 3442 3589 3868 5051 5322 5580 8725 9046 9170 10041 10613 10681 10689
 2733 7826 10622
 3597 4753 7086
 1394 7297 10264
 2848 7502 10304
 1649 2405 10783
 647 2911 9069
 2572 4006 7508
 1361 8887 10103
 3681 4023 9090
 1496 4962 6325
 2016 5120 9747
 3954 5260 8568
 3364 8719 10035
 4208 4806 9973
 29 3361 3490
 1835 2317 10436
 7312 8177 9041
 7728 8097 10761
 2109 7902 9685
 5424 8943 9436
 4369 7643 9152
 2240 10140 10528
 3435 6124 10604
 8962 9357 10040

FIG. 90

26 1931 8629
8275 10455 10643
8 24 4952
3995 6456 10633
28 10300 10337
4894 9286 9429
5587 6721 9120
1859 9198 9762
6374 6453 7011
1319 4530 5442
1507 10711 10798
2115 3445 3641
6668 9139 10163
4038 8117 10295
1479 3403 8247
2522 2934 3562
1526 5073 9650
2136 9820 10636
4214 8464 9891
8018 10330 10610
8984 10209 10647
3414 7272 8599
4883 9077 9525
22 8173 8425
2941 6536 10126
29 6540 7361
5 3787 10468
4264 4818 6906
3903 7041 10412
6078 7661 10619
6922 9723 9890
5112 5416 6253
5925 9961 10447
9 10311 10598
8790 8814 10793
4768 5466 10664
10 10675 10766
6814 8705 10737
17 769 6692
1503 10696 10742
1285 4632 8976
4279 4973 7907
4650 4775 10785
28 729 10331
1914 5240 10723
3569 4921 9561
4 9442 10796
494 2328 9507
1717 8768 10750
9540 10599 10774
11 10075 10644
10246 10607 10753
5510 7088 9053

FIG. 91



1347 3584 5523
7872 10596 10736
628 10592 10695
5632 5688 10627
2375 10009 10561
4169 4630 8871
2896 10038 10521
89 9695 9799
20 7563 9069
4534 10321 10697
8212 9868 10716
7485 9312 10327
234 536 6293
5515 7350 9251
283 3182 7167
2444 5378 6130
6183 8315 10726
43 4871 8347
2427 10219 10728
10 21 9448
1067 8312 8420
4793 9522 10105
4688 10536 10724
3825 7496 10709
682 8544 10449
2794 7110 10741
9279 10741 10767
2897 5442 8771
33 7957 10460
5 10393 10792
6225 10224 10798
23 9014 10786
7836 8339 8642
3476 5455 9788
1939 10251 10384
4008 7890 10450
926 2090 3804
1038 2497 10701
22 6220 8405
5153 5944 10367
7260 7726 9529
3039 8397 10665
7262 9644 10083
5531 6248 10795
7926 8248 8413
4649 8971 10182

FIG. 92

N=64800, tasa =26/30

142 2307 2598 2650 4028 4434 5781 5881 6016 6323 6681 6698 8125
 2932 4928 5248 5256 5983 6773 6828 7789 8426 8494 8534 8539 8583
 899 3295 3833 5399 6820 7400 7753 7890 8109 8451 8529 8564 8602
 21 3060 4720 5429 5636 5927 6966 8110 8170 8247 8355 8365 8616
 20 1745 2838 3799 4380 4418 4646 5059 7343 8161 8302 8456 8631
 9 6274 6725 6792 7195 7333 8027 8186 8209 8273 8442 8548 8632
 494 1365 2405 3799 5188 5291 7644 7926 8139 8458 8504 8594 8625
 192 574 1179 4387 4695 5089 5831 7673 7789 8298 8301 8612 8632
 11 20 1406 6111 6176 6256 6708 6834 7828 8232 8457 8495 8602
 6 2654 3554 4483 4966 5866 6795 8069 8249 8301 8497 8509 8623
 21 1144 2355 3124 6773 6805 6887 7742 7994 8358 8374 8580 8611
 335 4473 4883 5528 6096 7543 7586 7921 8197 8319 8394 8489 8636
 2919 4331 4419 4735 6366 6393 6844 7193 8165 8205 8544 8586 8617
 12 19 742 930 3009 4330 6213 6224 7292 7430 7792 7922 8137
 710 1439 1588 2434 3516 5239 6248 6827 8230 8448 8515 8581 8619
 200 1075 1868 5581 7349 7642 7698 8037 8201 8210 8320 8391 8526
 3 2501 4252 5256 5292 5567 6136 6321 6430 6486 7571 8521 8636
 3062 4599 5885 6529 6616 7314 7319 7567 8024 8153 8302 8372 8598
 105 381 1574 4351 5452 5603 5943 7467 7788 7933 8362 8513 8587
 787 1857 3386 3659 6550 7131 7965 8015 8040 8312 8484 8525 8537
 15 1118 4226 5197 5575 5761 6762 7038 8260 8338 8444 8512 8568
 36 5216 5368 5616 6029 6591 8038 8067 8299 8351 8565 8578 8585
 1 23 4300 4530 5426 5532 5817 6967 7124 7979 8022 8270 8437
 629 2133 4828 5475 5875 5890 7194 8042 8345 8385 8518 8598 8612
 11 1065 3782 4237 4993 7104 7863 7904 8104 8228 8321 8383 8565
 2131 2274 3168 3215 3220 5597 6347 7812 8238 8354 8527 8557 8614
 5600 6591 7491 7696
 1766 8281 8626
 1725 2280 5120
 1650 3445 7652
 4312 6911 8626
 15 1013 5892
 2263 2546 2979
 1545 5873 7406
 67 726 3697
 2860 6443 8542
 17 911 2820
 1561 4580 8052
 79 5269 7134
 22 2410 2424
 3501 5642 8627
 808 6950 8571
 4099 6389 7482
 4023 5000 7833
 5476 5765 7917
 1008 3194 7207
 20 495 5411
 1703 8388 8635
 6 4395 4921
 200 2053 8206
 1089 5126 5562

FIG. 93

10 4193 7720
1967 2151 4608
22 738 3513
3385 5066 8152
440 1118 8537
3429 6058 7716
5213 7519 8382
5564 8365 8620
43 3219 8603
4 5409 5815
5 6376 7654
4091 5724 5953
5348 6754 8613
1634 6398 6632
72 2058 8605
3497 5811 7579
3846 6743 8559
15 5933 8629
2133 5859 7068
4151 4617 8566
2960 8270 8410
2059 3617 8210
544 1441 6895
4043 7482 8592
294 2180 8524
3058 8227 8373
364 5756 8617
5383 8555 8619
1704 2480 4181
7338 7929 7990
2615 3905 7981
4298 4548 8296
8262 8319 8630
892 1893 8028
5694 7237 8595
1487 5012 5810
4335 8593 8624
3509 4531 5273
10 22 830
4161 5208 6280
275 7063 8634
4 2725 3113
2279 7403 8174
1637 3328 3930
2810 4939 5624
3 1234 7687
2799 7740 8616
22 7701 8636
4302 7857 7993
7477 7794 8592
9 6111 8591
5 8606 8628
347 3497 4033

FIG. 94

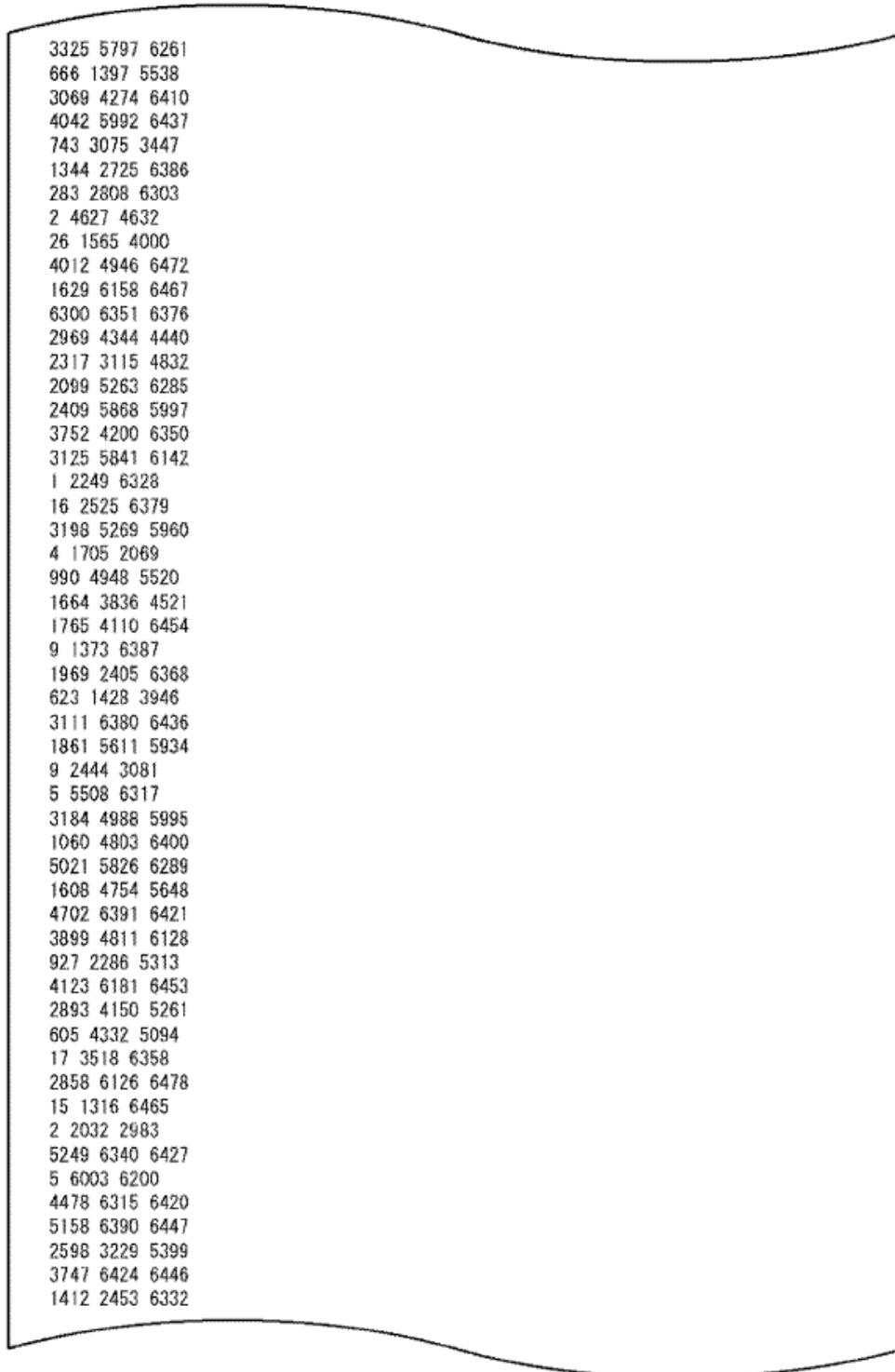
1747 2613 8636
1827 5600 7042
580 1822 6842
232 7134 7783
4629 5000 7231
951 2806 4947
571 3474 8577
2437 2496 7945
23 5873 8162
12 1168 7686
8315 8540 8596
1766 2506 4733
929 1516 3338
21 1216 6555
782 1452 8617
8 6083 6087
667 3240 4583
4030 4661 5790
559 7122 8553
3202 4388 4909
2533 3673 8594
1991 3954 6206
6835 7900 7980
189 5722 8573
2680 4928 4998
243 2579 7735
4281 8132 8566
7656 7671 8609
1116 2291 4166
21 388 8021
6 1123 8369
311 4918 8511
0 3248 6290
13 6762 7172
4209 5632 7563
49 127 8074
581 1735 4075
0 2235 5470
2178 5820 6179
16 3575 6054
1095 4564 6458
9 1581 5953
2537 6469 8552
14 3874 4844
0 3269 3551
2114 7372 7926
1875 2388 4057
3232 4042 6663
9 401 583
13 4100 6584
2299 4190 4410
21 3670 4979

FIG. 95

N=64800, tasa=27/30

658 706 898 1149 2577 2622 2772 3266 3329 5243 6079 6271
 289 784 1682 3584 3995 4821 4856 5063 5974 6168 6437 6453
 658 1426 2043 2065 2986 4118 4284 5394 5444 5477 5727 6018
 641 928 1225 2841 4052 4840 4992 5268 5533 6249 6461 6475
 2312 2917 3713 3849 4059 4241 4610 5440 5727 6101 6397 6444
 1165 1592 1891 2154 3981 4817 5181 5748 5788 6012 6266 6350
 13 2758 3069 4233 4697 5100 5279 5677 5919 5969 6280 6422
 818 1500 2125 2340 3774 4707 4901 5170 5744 6008 6316 6353
 857 3054 3409 3496 3704 4868 5326 6211 6292 6356 6367 6381
 0 7 12 1709 2166 3418 3723 4887 5770 6043 6069 6431
 2481 3379 4650 4900 4919 5060 5410 5425 6056 6173 6283 6386
 15 814 854 1871 2934 3387 3915 5180 5303 5442 5581 5665
 146 1882 3076 4458 4848 5252 5602 5778 5821 6213 6251 6401
 2 947 1419 1566 3437 3646 4615 4634 4735 5819 5943 6280
 1231 2309 2920 4158 4185 4298 4711 5082 5757 5762 6204 6209
 257 297 337 2783 3230 4134 4480 4749 5295 5689 5921 6202
 1436 2151 2629 3217 3930 4078 5386 5799 5906 6146 6226 6366
 133 530 2448 4745 5000 5020 5224 5273 6211 6266 6431 6453
 13 2644 3895 3898 4485 4722 5142 5462 5951 6031 6084 6351
 6 3000 3873 3995 4680 5158 5504 5692 5755 6255 6338 6359
 166 465 1658 2549 2941 4244 5071 5149 5452 5874 5939 6038
 2309 2937 4282 4628 5113 5454 6731 5825 6021 6171 6402 6472
 3 1077 2116 2426 2830 4853 5066 5571 5850 5916 6389 6421
 817 1608 2229 2925 3281 4393 5042 5058 5377 5464 5588 6448
 1848 3871 4381 4776 5366 5578 5648 6143 6389 6434 6465 6473
 1263 1616 3150 3497 3759 4078 5530 5665 5694 5913 6397 6420
 11 813 2185 2795 3349 4852 4878 5078 5504 6011 6286 6387
 3060 3161 4584 4996 5143 5542 5697 5937 6141 6155 6342 6445
 1638 2333 2632 3450 3505 3911 4399 4454 5499 5860 6044 6360
 650 1744 4517
 5772 6071 6471
 3582 3622 5776
 6153 6380 6446
 3977 5932 6447
 2071 4597 4891
 11 1428 3776
 1111 3874 5048
 1410 2144 4445
 4681 5481 6462
 4044 5037 5497
 2716 2891 6411
 3299 4384 6224
 1843 6087 6400
 4664 5009 5856
 1548 4383 5055
 3172 4190 6373
 5899 6443 6470
 2572 3647 6240
 1295 2158 6466
 5604 6269 6368
 3 5551 6454

FIG. 96



3325	5797	6261
666	1397	5538
3069	4274	6410
4042	5992	6437
743	3075	3447
1344	2725	6386
283	2808	6303
2	4627	4632
26	1565	4000
4012	4946	6472
1629	6158	6467
6300	6351	6376
2969	4344	4440
2317	3115	4832
2099	5263	6285
2409	5868	5997
3752	4200	6350
3125	5841	6142
1	2249	6328
16	2525	6379
3198	5269	5960
4	1705	2069
990	4948	5520
1664	3836	4521
1765	4110	6454
9	1373	6387
1969	2405	6368
623	1428	3946
3111	6380	6436
1861	5611	5934
9	2444	3081
5	5508	6317
3184	4988	5995
1060	4803	6400
5021	5826	6289
1608	4754	5648
4702	6391	6421
3899	4811	6128
927	2286	5313
4123	6181	6453
2893	4150	5261
605	4332	5094
17	3518	6358
2858	6126	6478
15	1316	6465
2	2032	2983
5249	6340	6427
5	6003	6200
4478	6315	6420
5158	6390	6447
2598	3229	5399
3747	6424	6446
1412	2453	6332

FIG. 97

5256 5715 6455
2137 3421 4368
15 3880 5245
17 3156 5638
3227 3798 6230
2094 3129 6458
1412 5573 5932
175 1182 6304
3555 6407 6463
583 1654 6339
14 6261 6449
3553 5383 5679
2092 2744 4153
0 4466 6472
11 3840 4354
17 5457 6222
1467 6083 6220
3449 3858 6337
3782 5318 6426
417 5038 5790
3571 5638 5873
6117 6241 6476
1898 5680 6219
3235 3817 6429
2095 4194 6224
2 4092 6448
5 6330 6383
285 5075 6334
10 505 2867
1183 5956 6466
839 4716 6471
984 3254 6432
1501 4790 6465
8 1457 1707
1660 1969 6438
4349 6182 6305
1423 3848 5490
1651 2969 6345
344 4164 6298
2397 6027 6274
2233 2778 6161
13 1778 2977
9 1916 3377
0 3 6190
395 4893 6394
3512 4098 6400
3490 6281 6473
12 1359 6465
4202 5179 6412
3007 3542 4271
2400 3350 6351
7 5490 5716
4695 5231 6266

FIG. 98



FIG. 99

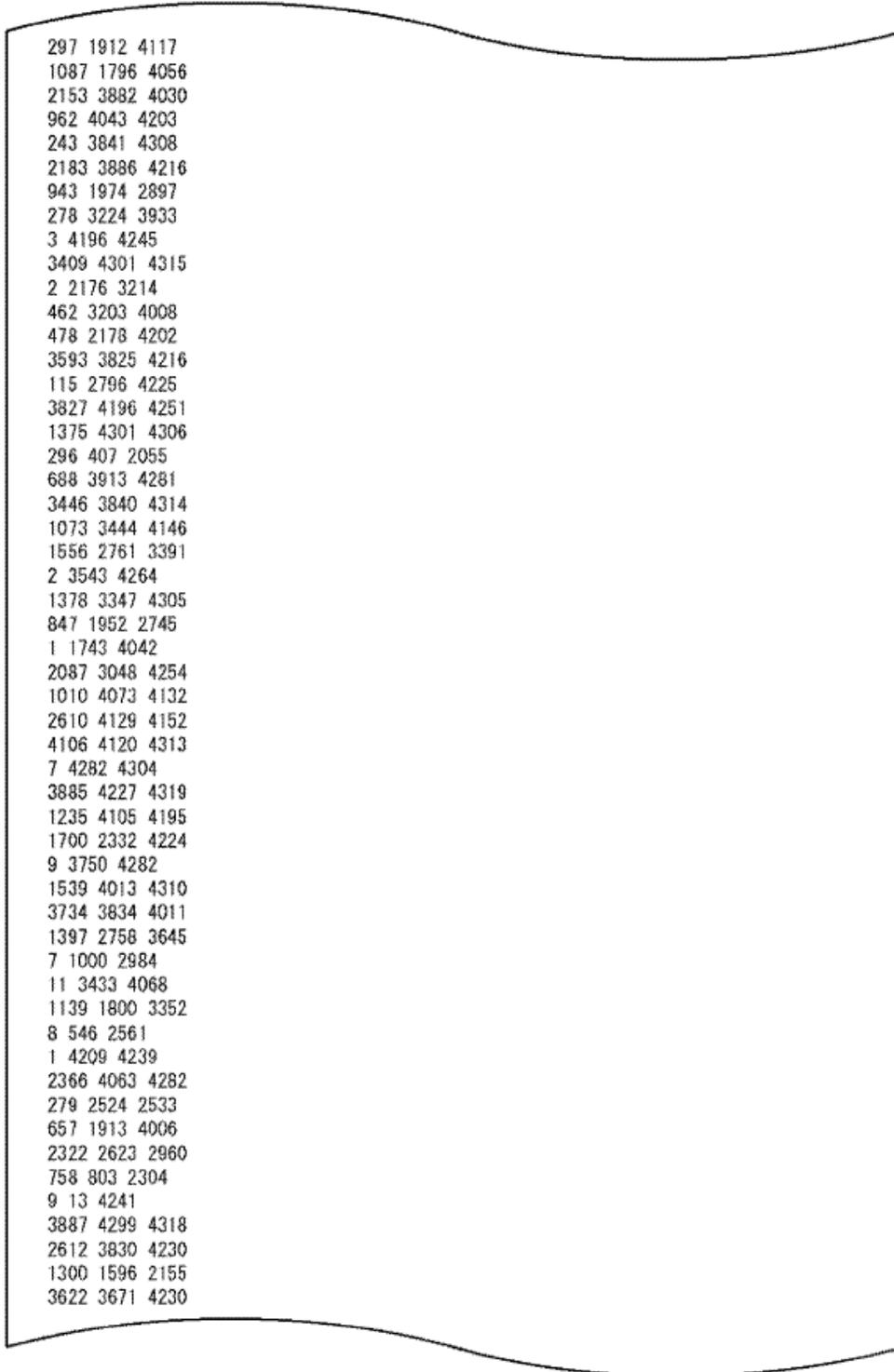
N=64800, tasa=28/30

85 314 1602 1728 1929 2295 2729 2924 3779 4054 4276
 918 1378 1838 1903 2399 2524 2937 3615 3740 4140 4213
 1361 1430 2639 2648 2910 3418 3511 3543 4177 4209 4248
 472 1143 1318 1545 1830 2228 2249 2256 3626 3839 3991
 226 1401 2154 2318 2851 3317 3468 3944 3983 4047 4093
 490 1145 1247 1851 2671 2776 3152 3229 3345 3758 3786
 522 1393 1473 2196 2707 3052 3398 3814 3827 4148 4301
 417 1982 2176 2336 2459 2806 3005 3771 3870 4080 4243
 112 1040 1596 1621 1685 2118 2571 3359 3945 4034 4171
 646 1705 2181 2439 2808 2851 2987 3044 3494 4049 4312
 6 11 115 245 663 1773 2624 3444 3601 3952 4246
 11 541 1020 1326 2259 2347 2750 2861 3328 3428 4126
 515 941 1233 1804 2295 2528 3265 3826 4002 4022 4224
 46 484 679 1949 2342 2929 3555 3860 3918 4068 4113
 1832 2023 2279 2376 2965 3278 3318 3549 3640 3843 3910
 241 943 1222 1583 1637 2745 3338 4080 4086 4203 4300
 11 1419 1841 2398 2920 3409 3703 3768 3878 4052 4254
 878 2049 2123 2431 2657 2704 3135 3342 3728 4141 4162
 16 837 1267 1410 2100 3026 3099 3107 4042 4129 4157
 133 646 1367 1394 2118 2311 2676 2956 3195 3536 3657
 698 1444 2129 2432 2494 2793 2947 3852 3985 4254 4319
 11 1076 1618 1995 2332 2743 2934 3009 3565 4169 4188
 14 20 808 2629 2681 3090 3491 3835 4017 4068 4083
 433 1386 2416 2570 2950 3611 3869 3969 4248 4251 4316
 384 1292 1534 2610 2617 3559 3638 3964 4131 4293 4313
 271 564 1719 2288 2597 2674 3429 3455 3793 4074 4286
 133 190 815 955 1485 2000 2880 3000 3734 4013 4287
 559 771 1762 2537 2764 2816 3186 3806 3933 4224 4271
 11 733 1198 1735 1856 2668 2754 3218 4070 4113 4311
 4 806 1832 2047 2058 2724 3387 3793 3833 4005 4319
 506 1456 2339 3069 3343 3442 3889 3939 4013 4212 4278
 2038 3980 4313
 64 2373 4080
 800 1535 4166
 1030 3759 4002
 1687 3269 4225
 1219 2632 3878
 719 2916 4277
 1261 1930 3459
 777 1568 1914
 4 397 3290
 10 3451 4115
 3629 3885 4155
 2652 3668 4026
 135 3172 4319
 1426 1970 3657
 199 1268 2064
 570 845 2761
 41 1067 3498
 1588 2482 2750
 1615 2013 2715

FIG. 100

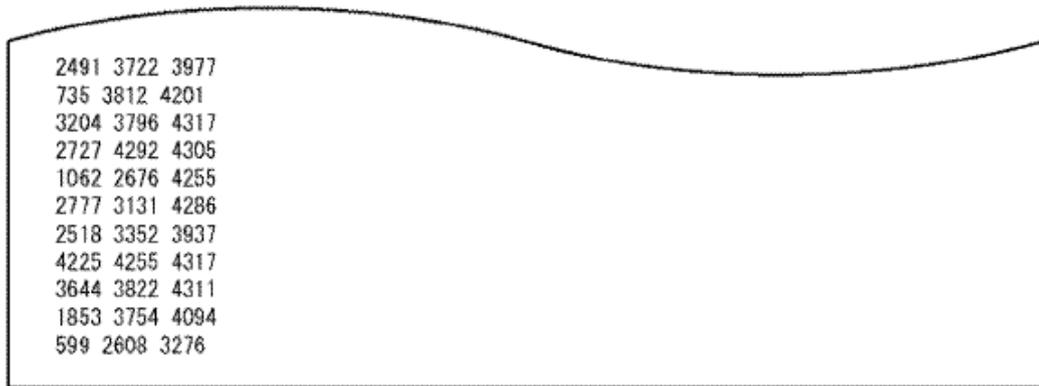
121 1812 2588
10 992 1082
1929 4225 4279
6 1967 3760
593 1812 4107
891 2146 4158
924 2282 3585
592 2971 4235
260 3493 4313
2423 3180 3449
2042 3118 3625
2877 3064 3882
7 2139 4316
4 7 2954
1398 3947 4272
3675 4253 4318
1561 1977 2432
2531 4192 4209
1032 1102 4268
75 1718 3438
925 1073 4171
2124 2762 4148
4 3455 4069
3 1279 3382
1277 1746 3969
2727 3127 4230
584 1108 3454
9 2057 3061
1608 4103 4310
2673 3164 3713
1379 4072 4318
950 3447 4146
2509 4255 4296
819 1352 3371
3562 3865 4041
940 1217 3607
114 2544 4310
4 2178 4213
2035 4246 4251
272 1236 2733
953 2762 4115
1853 3496 4309
1119 3740 4318
2051 4058 4317
0 3162 4207
2389 4034 4111
4 3395 4301
3716 4089 4198
6 4272 4311
1 4 1854
4238 4299 4305
7 10 3737
11 3764 4296

FIG. 101



297	1912	4117
1087	1796	4056
2153	3882	4030
962	4043	4203
243	3841	4308
2183	3886	4216
943	1974	2897
278	3224	3933
3	4196	4245
3409	4301	4315
2	2176	3214
462	3203	4008
478	2178	4202
3593	3825	4216
115	2796	4225
3827	4196	4251
1375	4301	4306
296	407	2055
688	3913	4281
3446	3840	4314
1073	3444	4146
1556	2761	3391
2	3543	4264
1378	3347	4305
847	1952	2745
1	1743	4042
2087	3048	4254
1010	4073	4132
2610	4129	4152
4106	4120	4313
7	4282	4304
3885	4227	4319
1235	4105	4195
1700	2332	4224
9	3750	4282
1539	4013	4310
3734	3834	4011
1397	2758	3645
7	1000	2984
11	3433	4068
1139	1800	3352
8	546	2561
1	4209	4239
2366	4063	4282
279	2524	2533
657	1913	4006
2322	2623	2960
758	803	2304
9	13	4241
3887	4299	4318
2612	3830	4230
1300	1596	2155
3622	3671	4230

FIG. 102

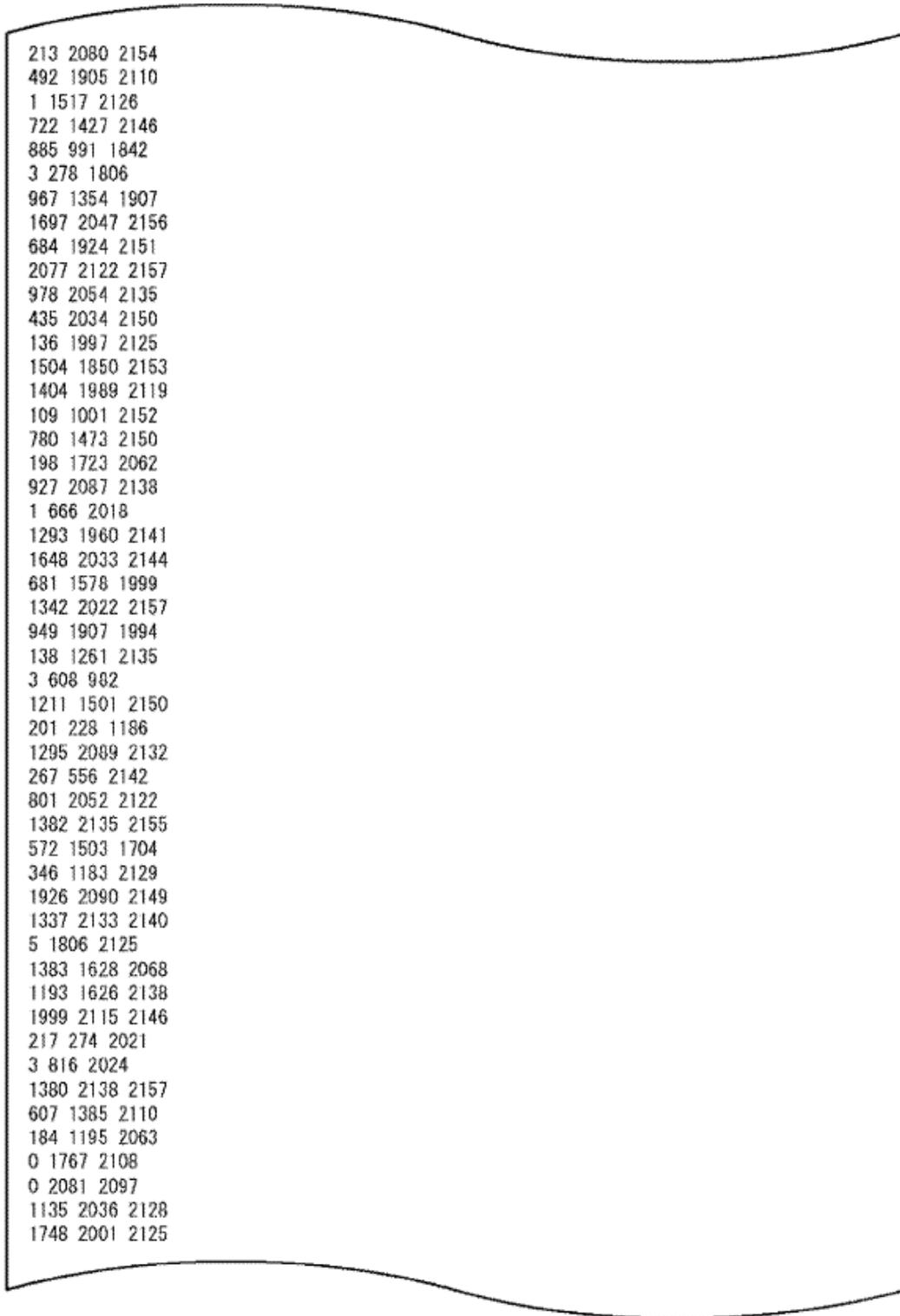


2491	3722	3977
735	3812	4201
3204	3796	4317
2727	4292	4305
1062	2676	4255
2777	3131	4286
2518	3352	3937
4225	4255	4317
3644	3822	4311
1853	3754	4094
599	2608	3276

FIG. 103

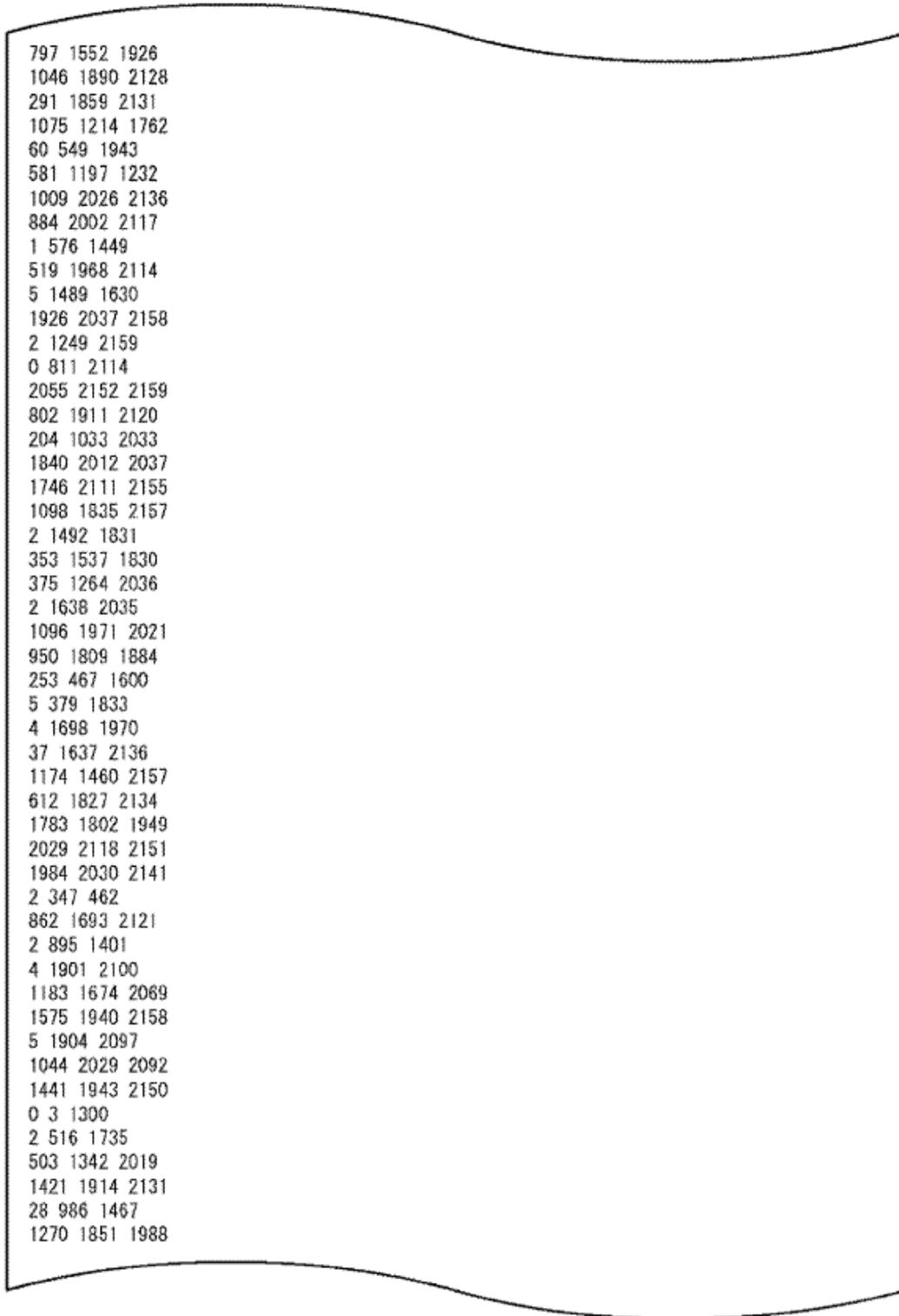
N=64800, tasa=29/30
212 499 911 940 1392
316 563 1527 2006 2077
2 1906 2043 2112 2123
537 901 1582 1812 1955
5 978 1280 1933 2145
5 2035 2044 2108 2121
5 939 1874 1974
4 1069 1758
694 2096 2106
1129 1511 1659
1564 2089 2159
2 1605 2004
474 1341 2003
103 2128 2150
1656 1993 2153
1881 2122 2138
1088 1968 2141
1 298 2073
1042 1724 2137
1253 1758 2145
1209 1566 2123
1466 2116 2155
43 2008 2049
592 1806 1865
3 143 2149
1158 1448 2002
1422 2152 2157
485 2119 2150
371 1831 2086
204 2042 2151
174 544 974
1469 1795 1995
13 708 1683
5 1144 2030
486 1309 1576
165 2030 2147
504 2073 2126
263 565 1798
239 861 1861
862 1610 1716
1346 1971 2128
5 804 1399
2139 2144 2155
4 2136 2159
1485 2059 2158
50 1091 1332
373 1730 2092
59 1086 1401
1166 1781 2065

FIG. 104



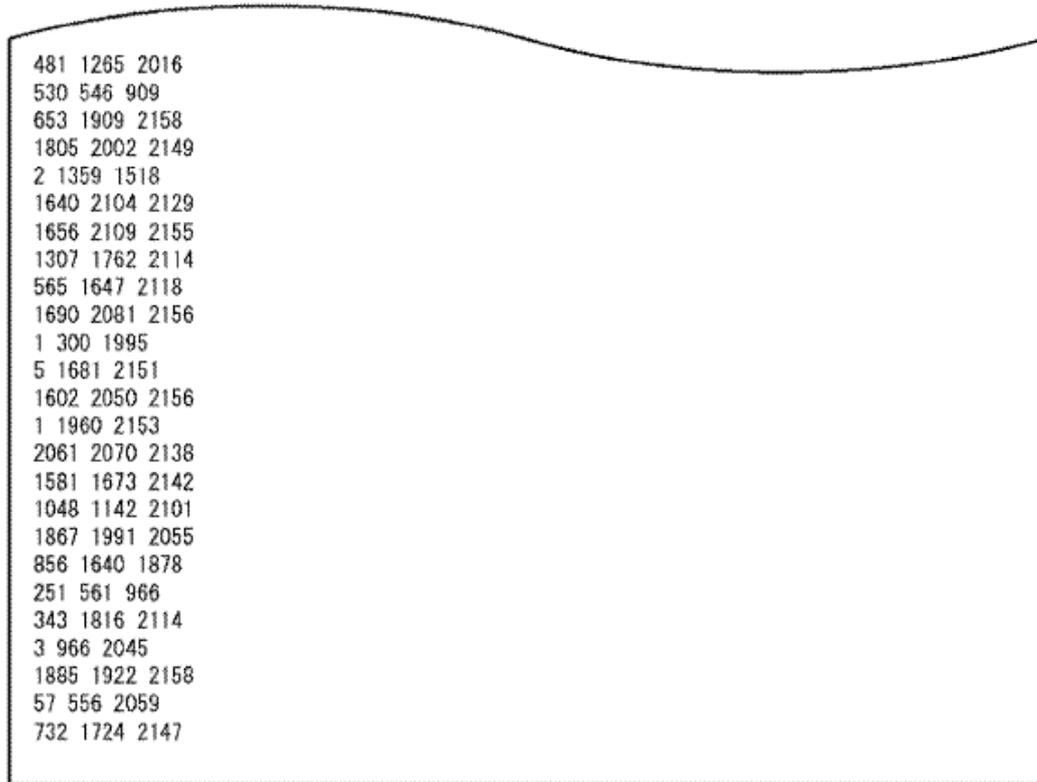
213	2080	2154
492	1905	2110
1	1517	2126
722	1427	2146
885	991	1842
3	278	1806
967	1354	1907
1697	2047	2156
684	1924	2151
2077	2122	2157
978	2054	2135
435	2034	2150
136	1997	2125
1504	1850	2153
1404	1989	2119
109	1001	2152
780	1473	2150
198	1723	2062
927	2087	2138
1	666	2018
1293	1960	2141
1648	2033	2144
681	1578	1999
1342	2022	2157
949	1907	1994
138	1261	2135
3	608	982
1211	1501	2150
201	228	1186
1295	2089	2132
267	556	2142
801	2052	2122
1382	2135	2155
572	1503	1704
346	1183	2129
1926	2090	2149
1337	2133	2140
5	1806	2125
1383	1628	2068
1193	1626	2138
1999	2115	2146
217	274	2021
3	816	2024
1380	2138	2157
607	1385	2110
184	1195	2063
0	1767	2108
0	2081	2097
1135	2036	2128
1748	2001	2125

FIG. 105



797	1552	1926
1046	1890	2128
291	1859	2131
1075	1214	1762
60	549	1943
581	1197	1232
1009	2026	2136
884	2002	2117
1	576	1449
519	1968	2114
5	1489	1630
1926	2037	2158
2	1249	2159
0	811	2114
2055	2152	2159
802	1911	2120
204	1033	2033
1840	2012	2037
1746	2111	2155
1098	1835	2157
2	1492	1831
353	1537	1830
375	1264	2036
2	1638	2035
1096	1971	2021
950	1809	1884
253	467	1600
5	379	1833
4	1698	1970
37	1637	2136
1174	1460	2157
612	1827	2134
1783	1802	1949
2029	2118	2151
1984	2030	2141
2	347	462
862	1693	2121
2	895	1401
4	1901	2100
1183	1674	2069
1575	1940	2158
5	1904	2097
1044	2029	2092
1441	1943	2150
0	3	1300
2	516	1735
503	1342	2019
1421	1914	2131
28	986	1467
1270	1851	1988

FIG. 106



481 1265 2016
530 546 909
653 1909 2158
1805 2002 2149
2 1359 1518
1640 2104 2129
1656 2109 2155
1307 1762 2114
565 1647 2118
1690 2081 2156
1 300 1995
5 1681 2151
1602 2050 2156
1 1960 2153
2061 2070 2138
1581 1673 2142
1048 1142 2101
1867 1991 2055
856 1640 1878
251 561 966
343 1816 2114
3 966 2045
1885 1922 2158
57 556 2059
732 1724 2147

FIG. 107

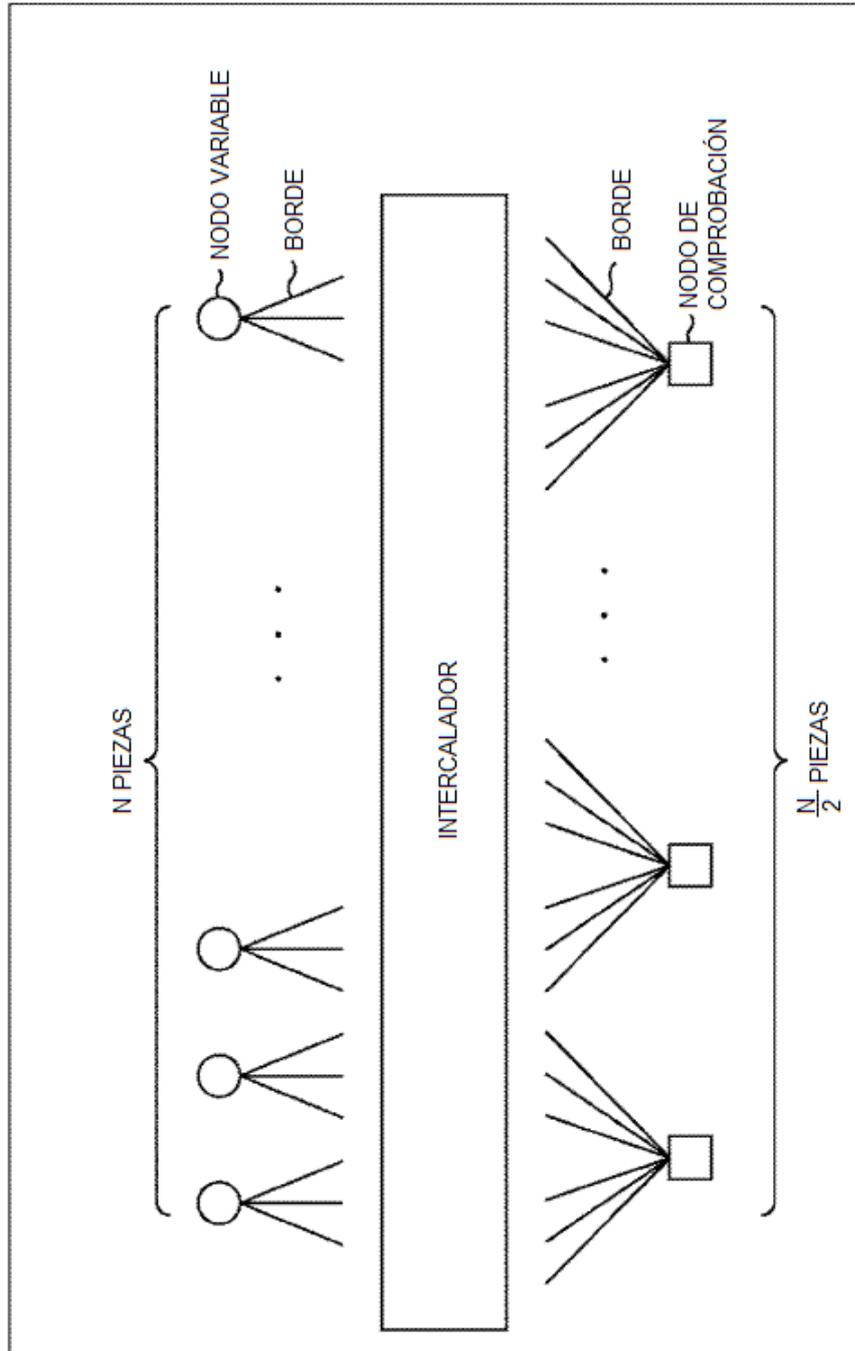


FIG. 108

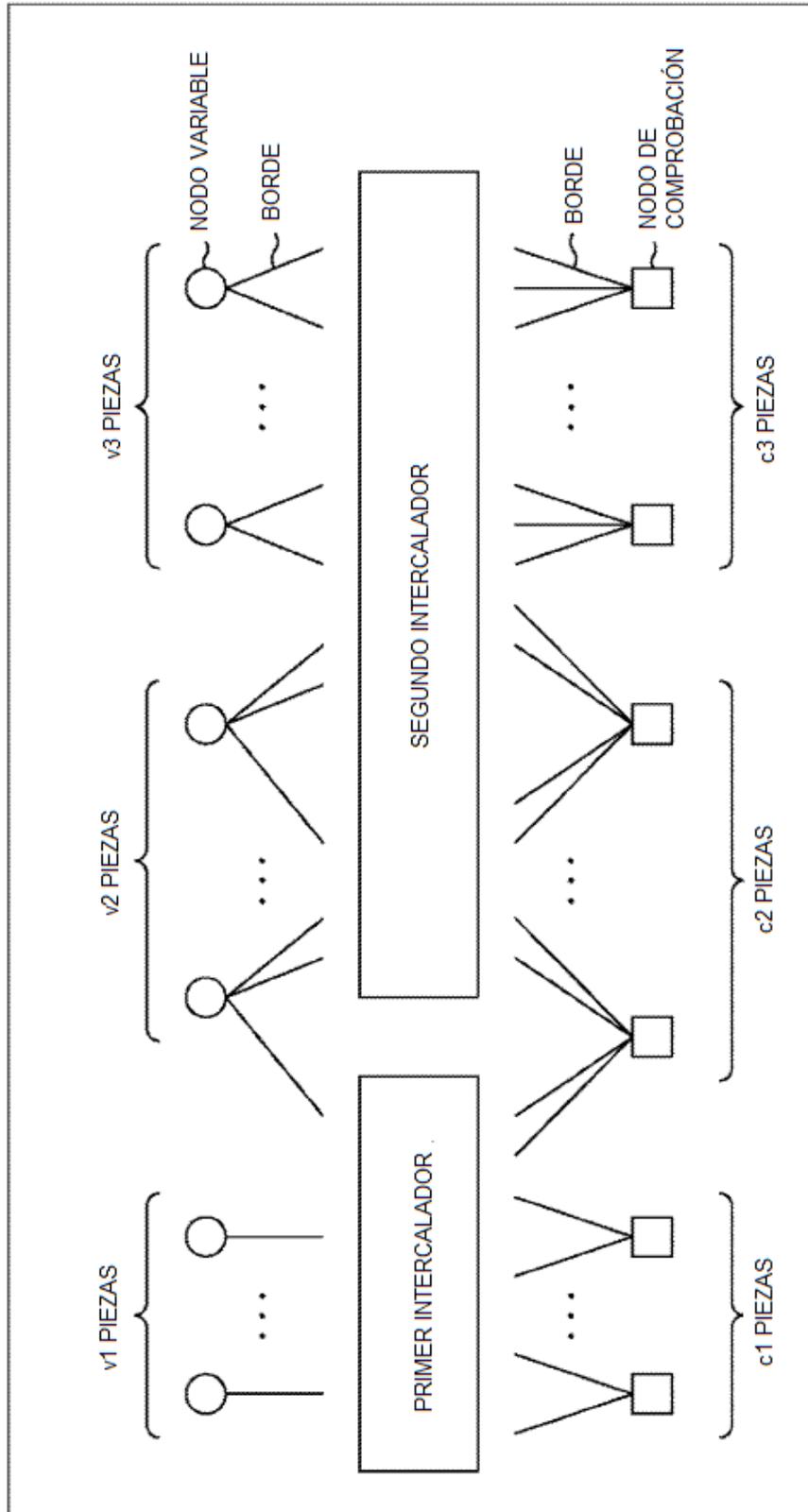


FIG. 109

Tasa	UMBRAL DE RENDIMIENTO (Es/No)	LONGITUD MÍNIMA DE CICLO
2/30	-9, 523519	14
3/30	-7, 758979	14
4/30	-6, 428797	6
5/30	-5, 490092	10
6/30	-4, 589849	10
7/30	-3, 760281	12
8/30	-3, 191565	8
9/30	-2, 550214	10
10/30	-1, 878597	8
11/30	-1, 378961	8
12/30	-0, 947792	6
13/30	-0, 494134	6
14/30	-0, 045119	8
15/30	0, 428446	8
16/30	0, 829080	8
17/30	1, 248503	8
18/30	1, 658523	8
19/30	2, 078240	8
20/30	2, 489205	6
21/30	2, 918982	6
22/30	3, 351930	6
23/30	3, 788323	6
24/30	4, 252169	6
25/30	4, 761537	6
26/30	5, 301749	6
27/30	5, 921125	6
28/30	6, 675945	6
29/30	7, 881048	6

FIG. 110

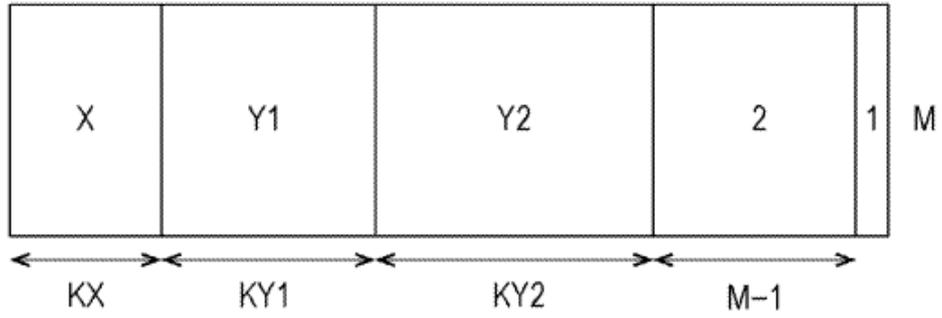


FIG. 111

Tasa	X	KX	Y1	KY1	Y2	KY2	M
2/30	34	1440	4	2880	3	0	60480
3/30	20	2160	4	2160	3	2160	58320
4/30	35	2520	4	6120	3	0	56160
5/30	23	3600	4	3600	3	3600	54000
6/30	17	4680	4	1440	3	6840	51840
7/30	13	5760	4	0	3	9360	49680
8/30	19	5400	4	4680	3	7200	47520
9/30	15	6840	4	360	3	12240	45360
10/30	22	5760	4	0	3	15840	43200
11/30	34	3600	4	20160	3	0	41040
12/30	30	4320	4	12600	3	9000	38880
13/30	25	5400	4	6840	3	15840	36720
14/30	21	6840	4	0	3	23400	34560
15/30	23	5400	4	12240	3	14760	32400
16/30	19	6480	4	5400	3	22680	30240
17/30	18	7560	4	1080	3	28080	28080
18/30	19	6840	4	6840	3	25200	25920
19/30	17	7920	4	1800	3	31320	23760
20/30	16	8280	4	720	3	34200	21600
21/30	15	8640	4	0	3	36720	19440
22/30	15	8280	4	2520	3	36720	17280
23/30	15	8640	4	2160	3	38880	15120
24/30	14	9360	4	0	3	42480	12960
25/30	13	9720	4	0	3	44280	10800
26/30	13	9360	4	360	3	46440	8640
27/30	12	10440	4	0	3	47880	6480
28/30	11	11160	4	0	3	49320	4320
29/30	5	2160	4	360	3	60120	2160

FIG. 112

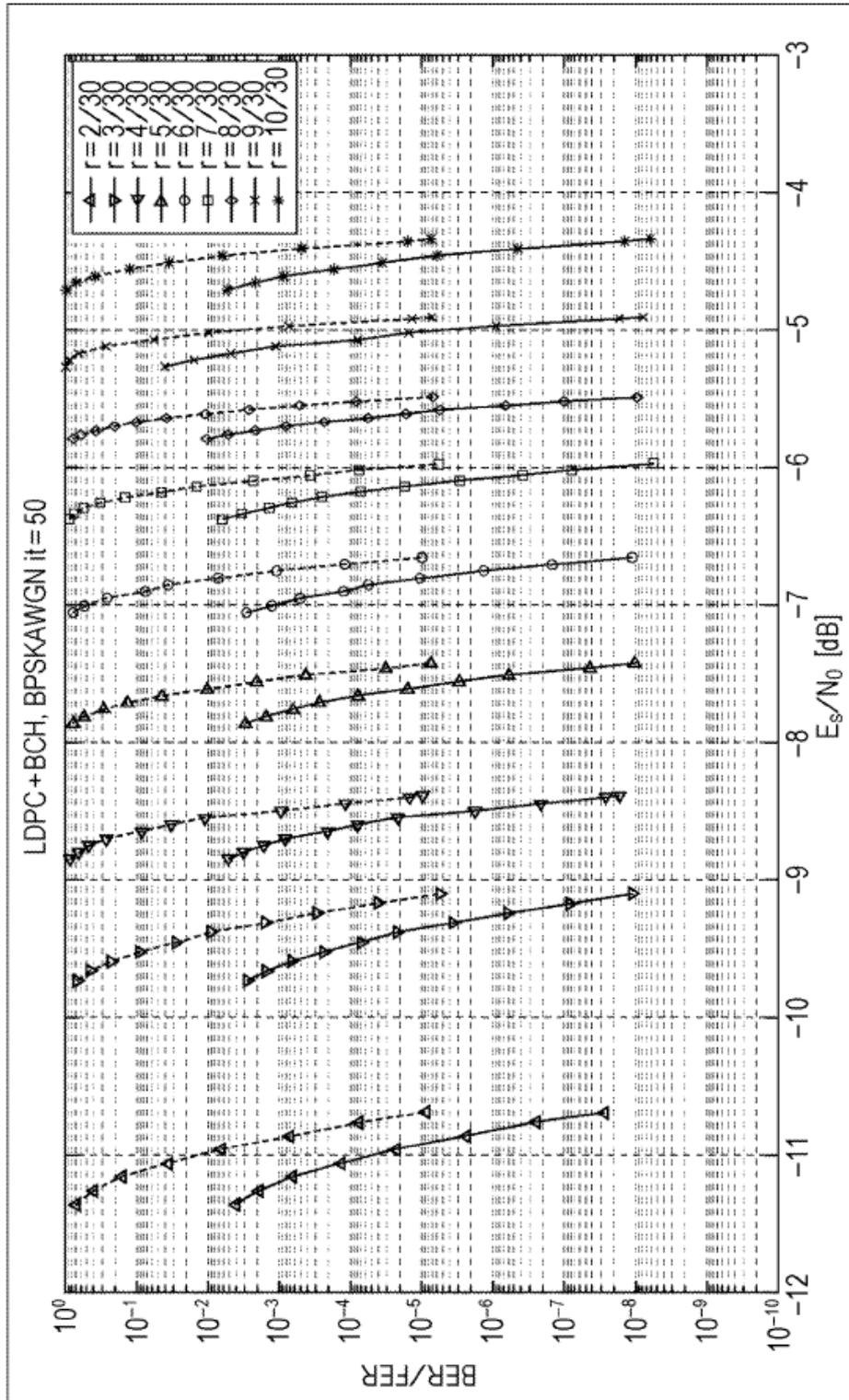


FIG. 113

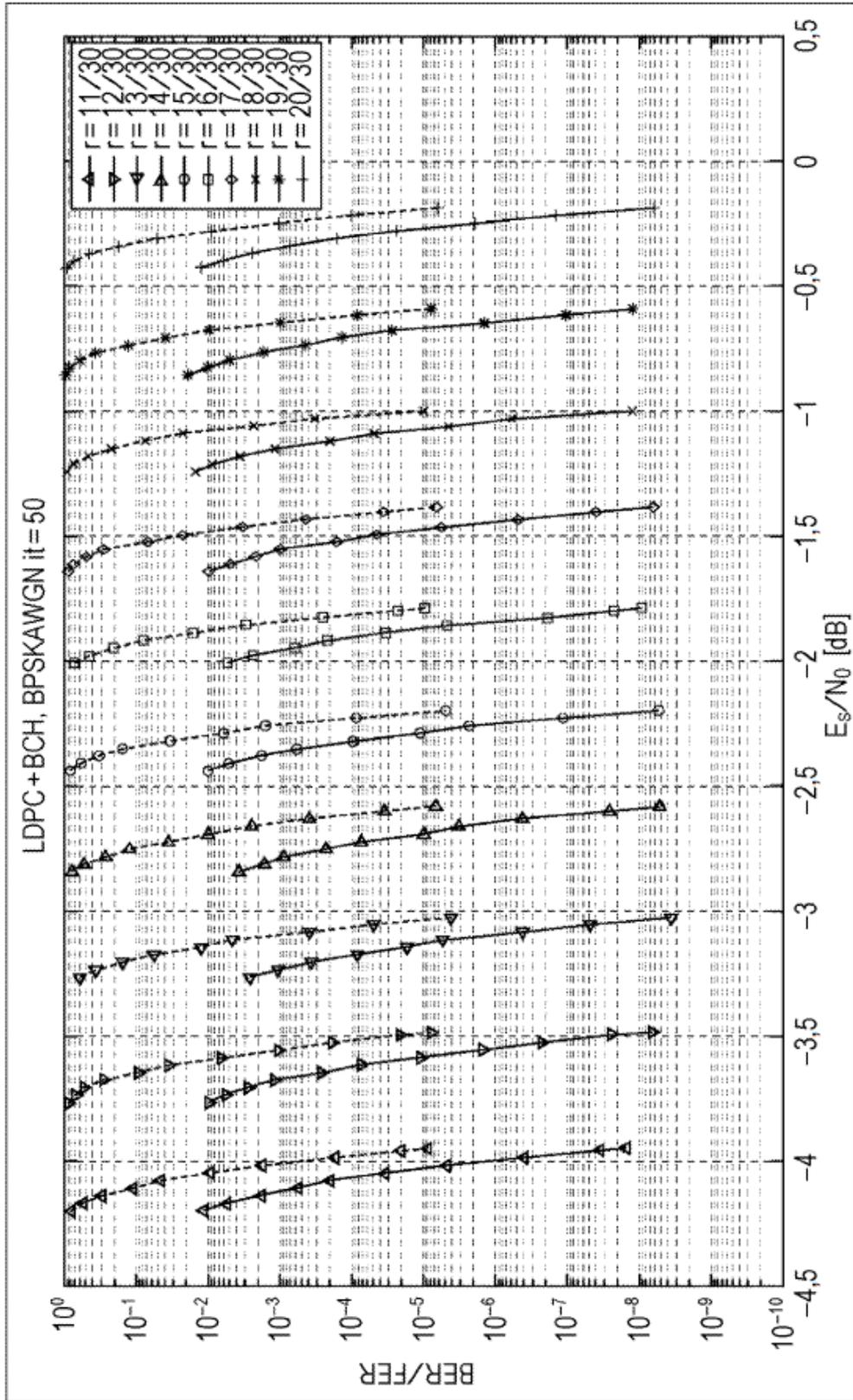


FIG. 114

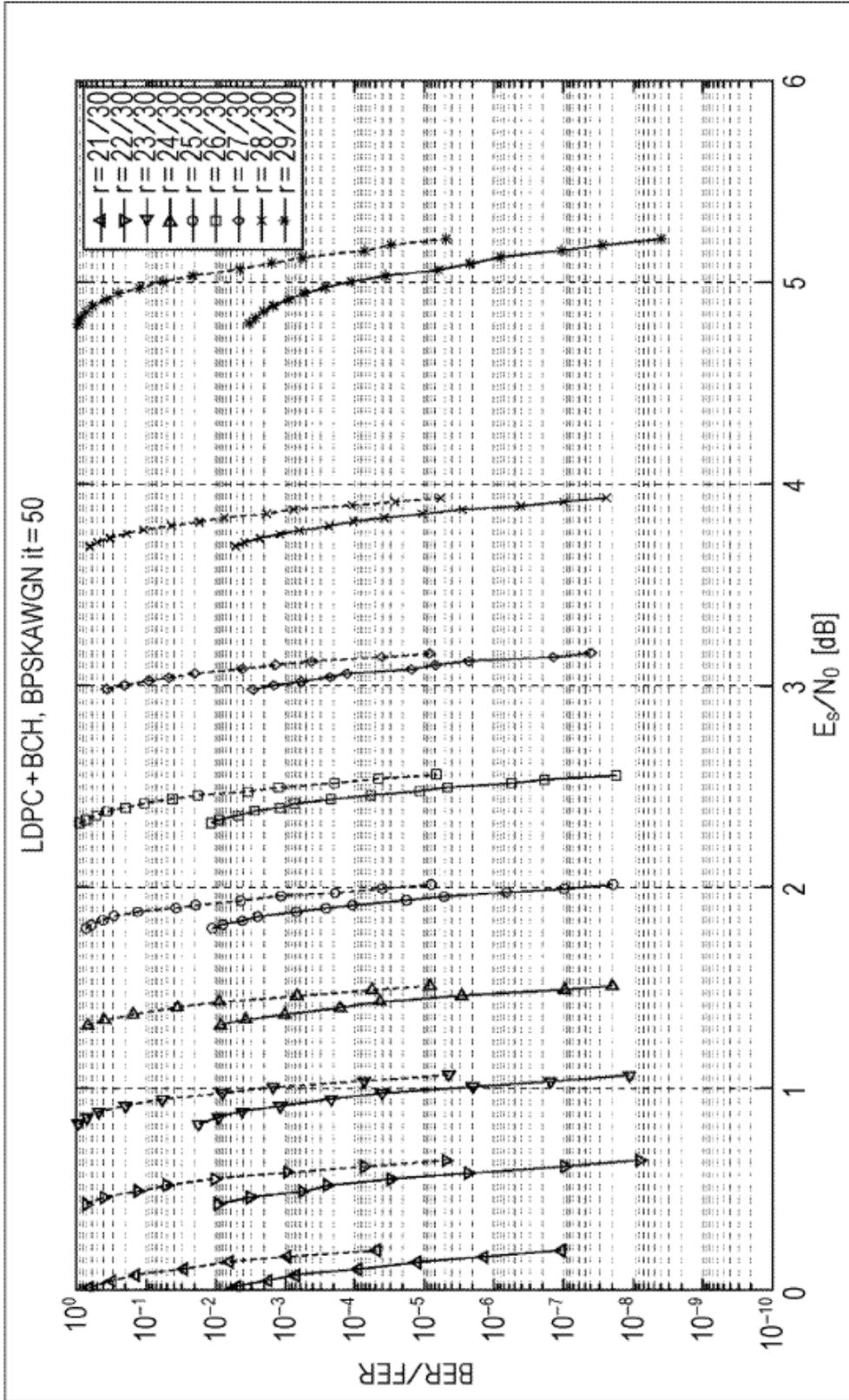


FIG. 115

Código LDPC	Bloque K_{bch} no codificado BCH	Bloque k_{bch} codificado BCH Bloque K_{ldpc} no codificado LDPC	Corrección t-error BCH	Bloque n_{ldpc} codificado LDPC
1/4	16 008	16 200	12	64 800
1/3	21 408	21 600	12	64 800
2/5	25 728	25 920	12	64 800
1/2	32 208	32 400	12	64 800
3/5	38 688	38 880	12	64 800
2/3	43 040	43 200	10	64 800
3/4	48 408	48 600	12	64 800
4/5	51 648	51 840	12	64 800
5/6	53 840	54 000	10	64 800
8/9	57 472	57 600	8	64 800
9/10	58 192	58 320	8	64 800

A

Tasa de codif. LDPC	Nº DE BITS DE INFORMACIÓN DE CÓDIGO BCH	Nº DE BITS CÓDIGO BCH (Nº DE BITS INFORMACIÓN DE CÓDIGO LDPC)	Nº BITS CORRECCIÓN BCH	Nº BITS CÓDIGO LDPC
2/30	4128	4320	12	64800
3/30	6288	6480	12	64800
4/30	8448	8640	12	64800
5/30	10608	10800	12	64800
6/30	12768	12960	12	64800
7/30	14928	15120	12	64800
8/30	17088	17280	12	64800
9/30	19248	19440	12	64800
10/30	21408	21600	12	64800
11/30	23568	23760	12	64800
12/30	25728	25920	12	64800
13/30	27888	28080	12	64800
14/30	30048	30240	12	64800
15/30	32208	32400	12	64800
16/30	34368	34560	12	64800
17/30	36528	36720	12	64800
18/30	38688	38880	12	64800
19/30	40848	41040	12	64800
20/30	43040	43200	10	64800
21/30	45168	45360	12	64800
22/30	47328	47520	12	64800
23/30	49488	49680	12	64800
24/30	51648	51840	12	64800
25/30	53840	54000	10	64800
26/30	56032	56160	8	64800
27/30	58192	58320	8	64800
28/30	60352	60480	8	64800
29/30	62512	62640	8	64800

B

FIG. 116

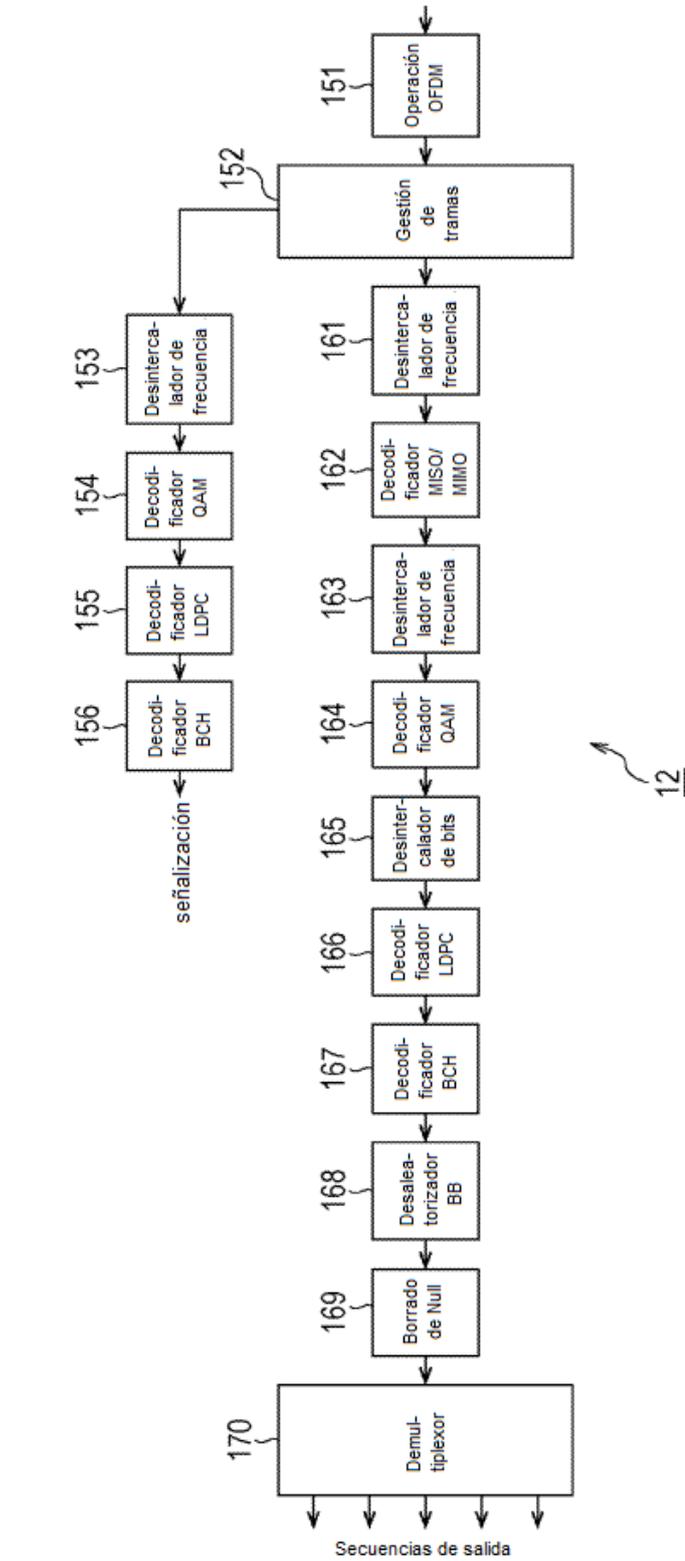


FIG. 117

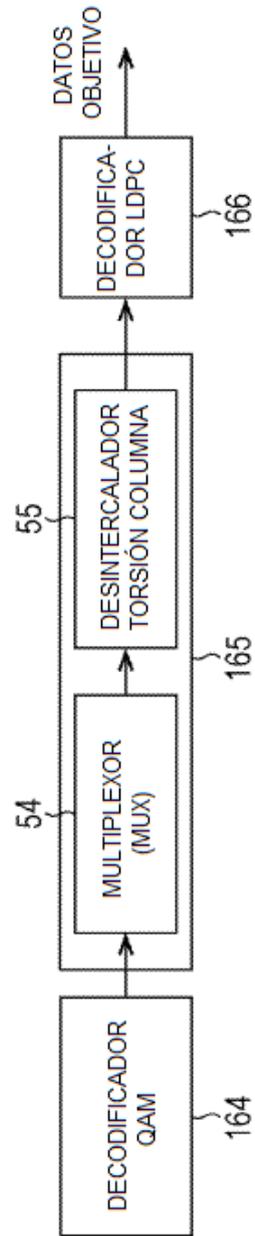


FIG. 118



FIG. 119

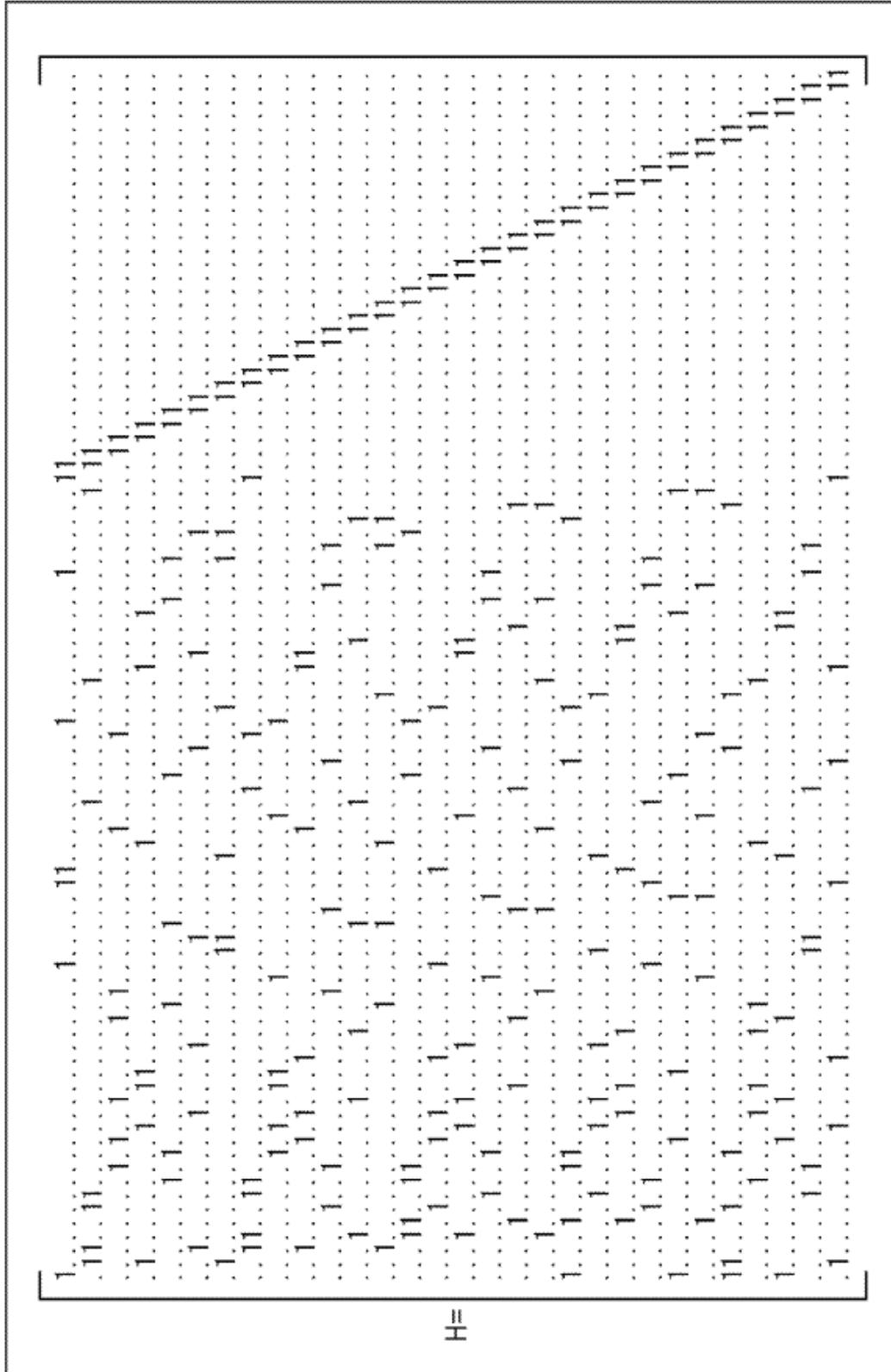


FIG. 120

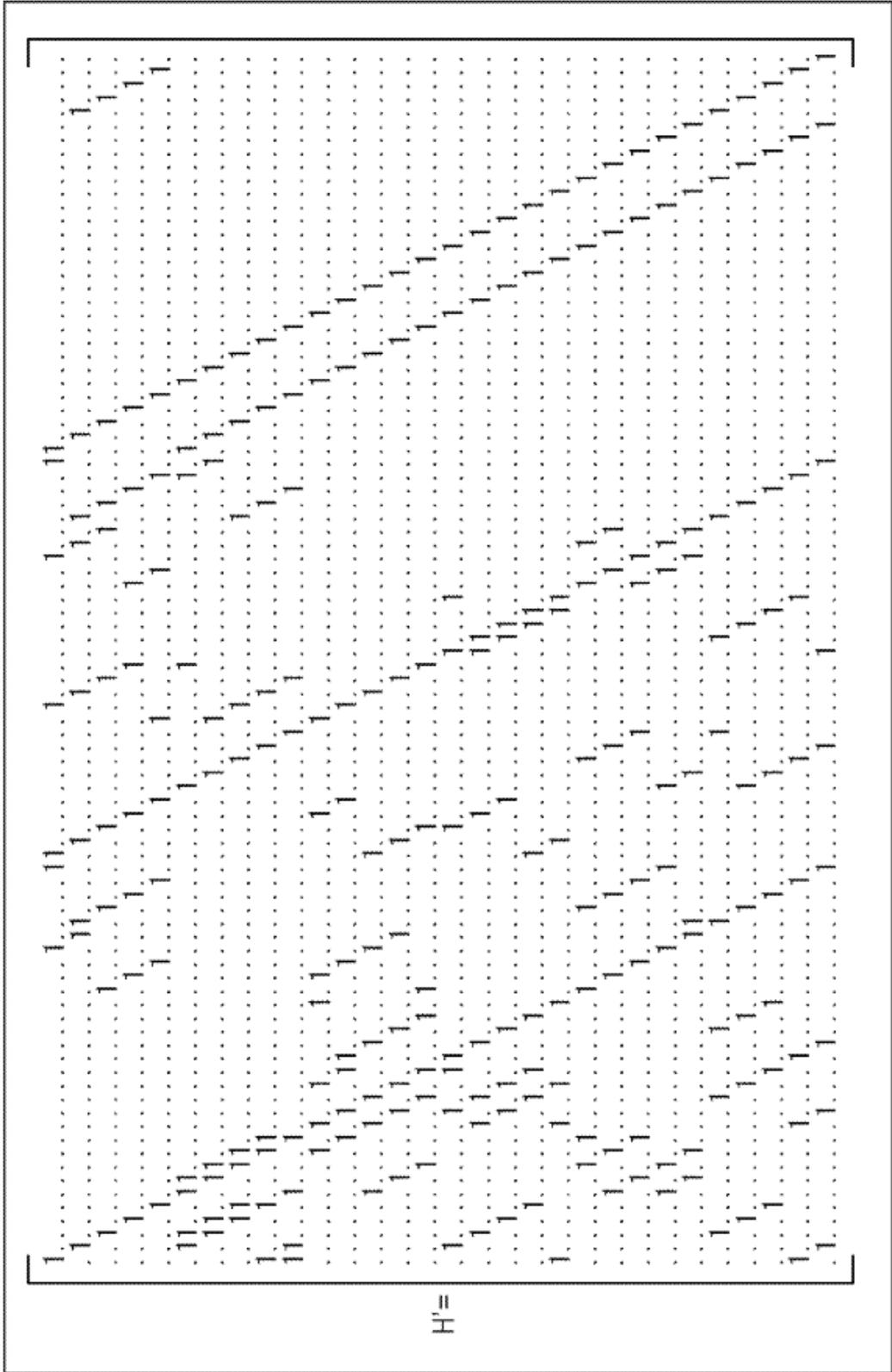


FIG. 121

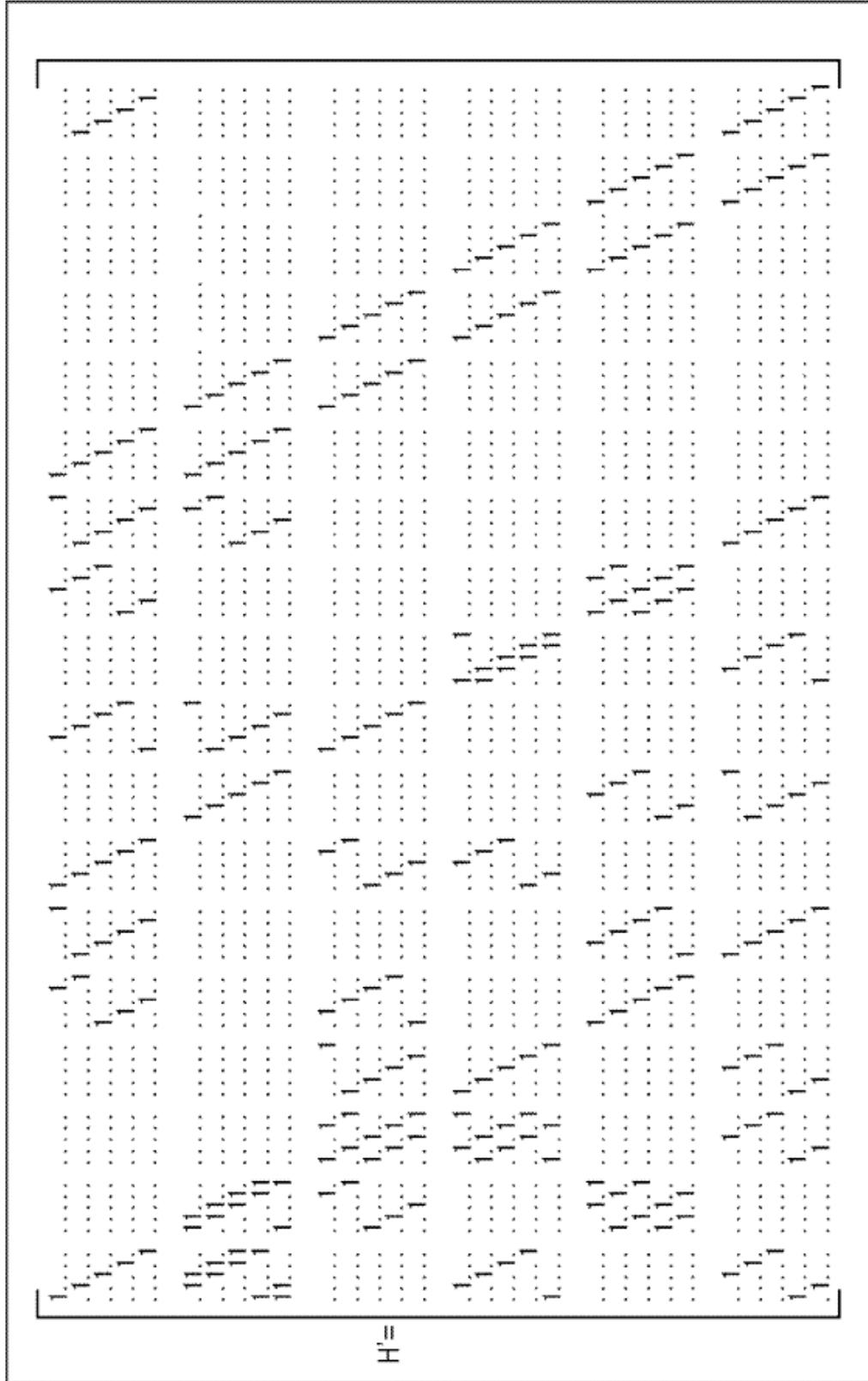


FIG. 122

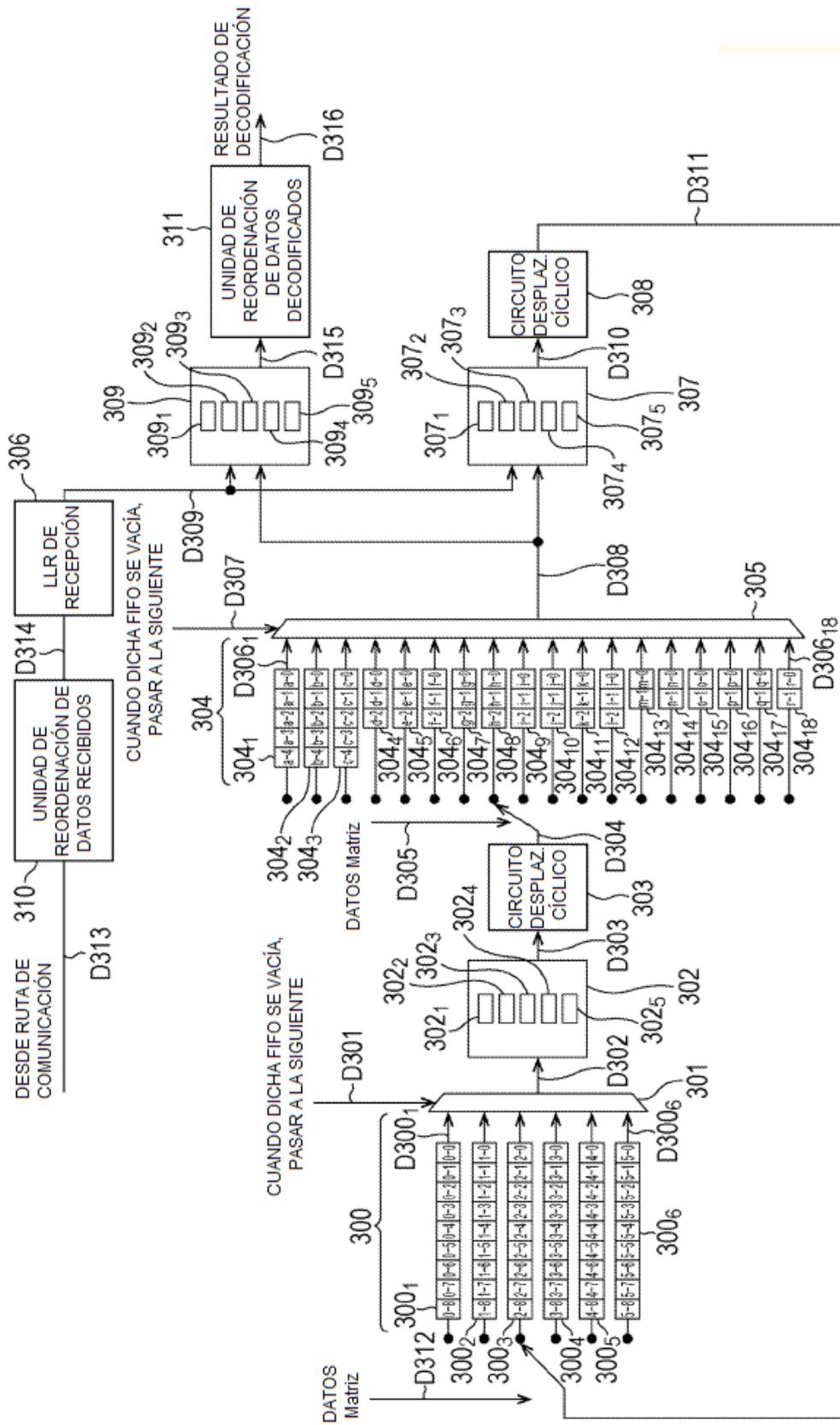


FIG. 123

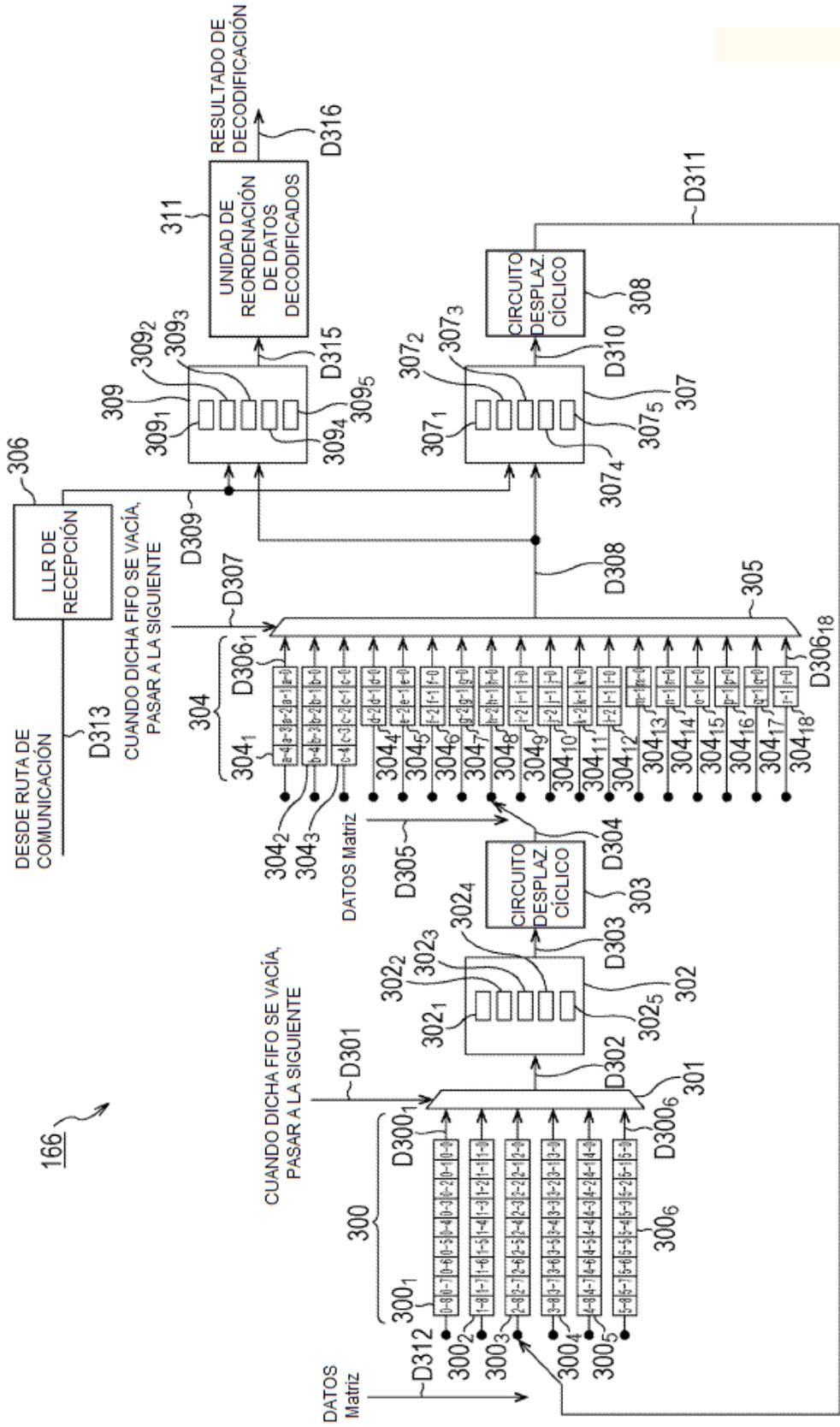


FIG. 124

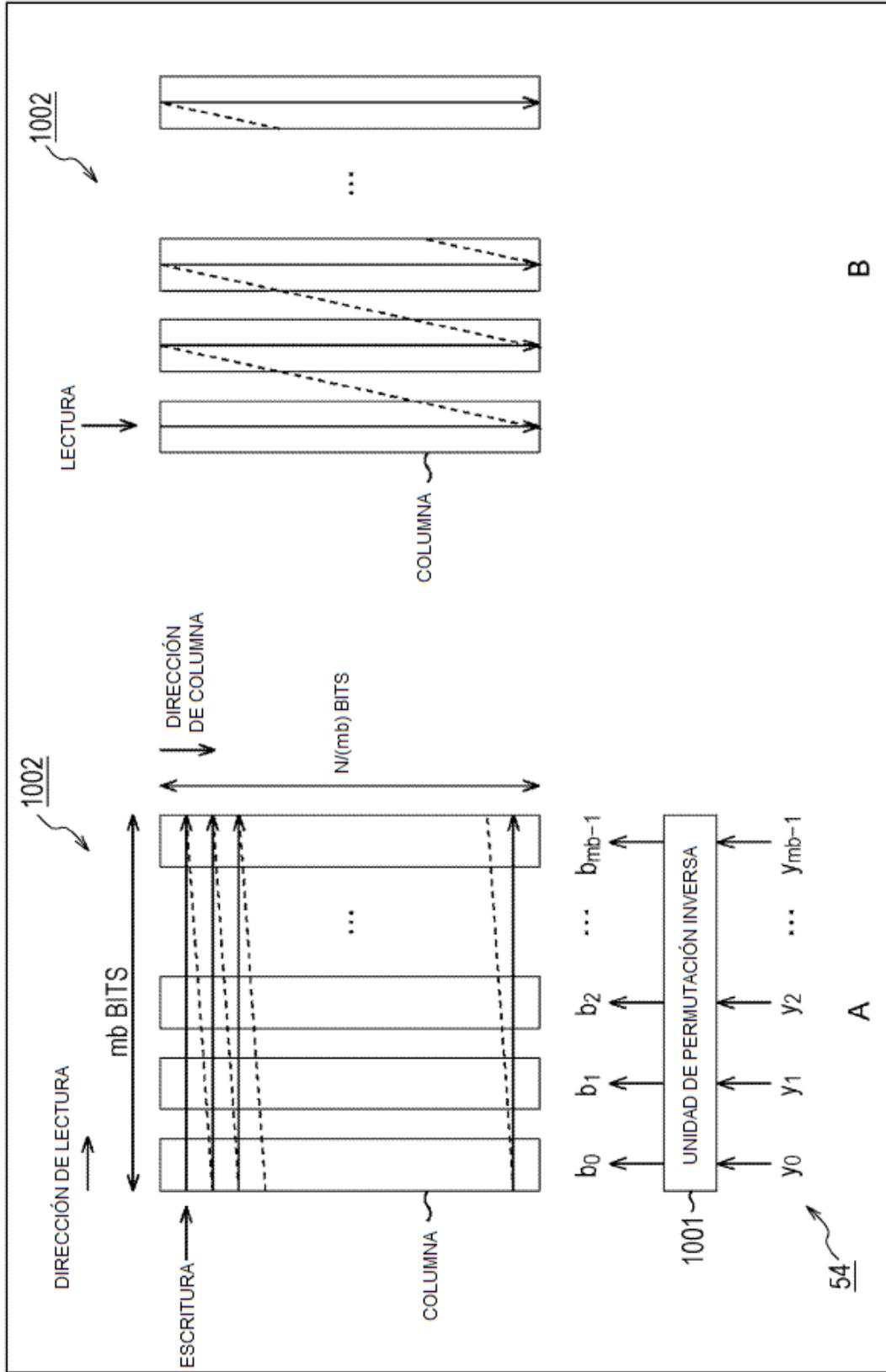


FIG. 125

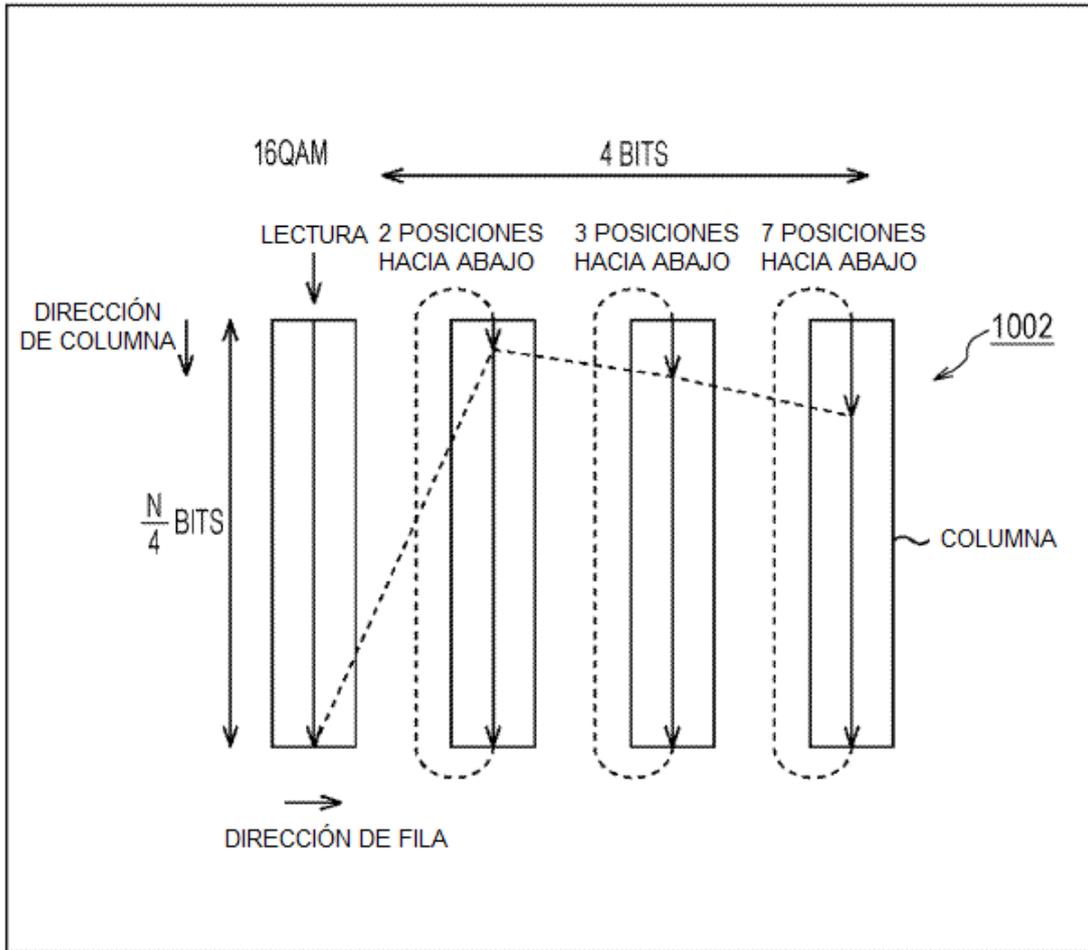


FIG. 126

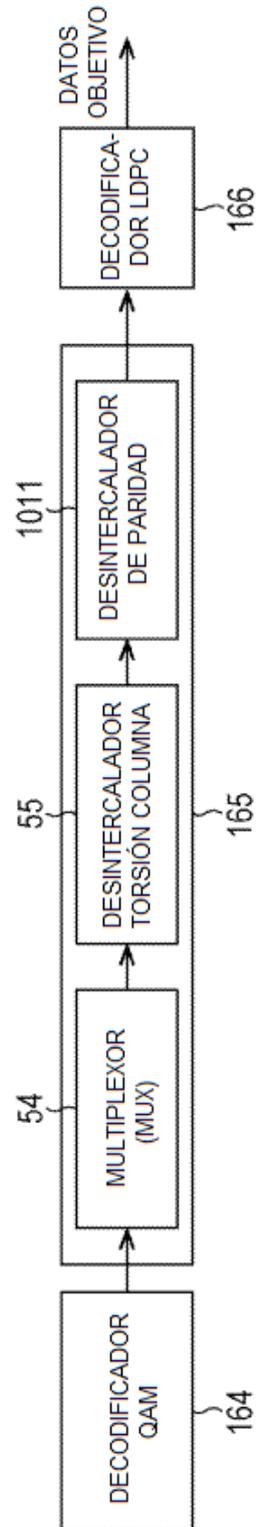


FIG. 127

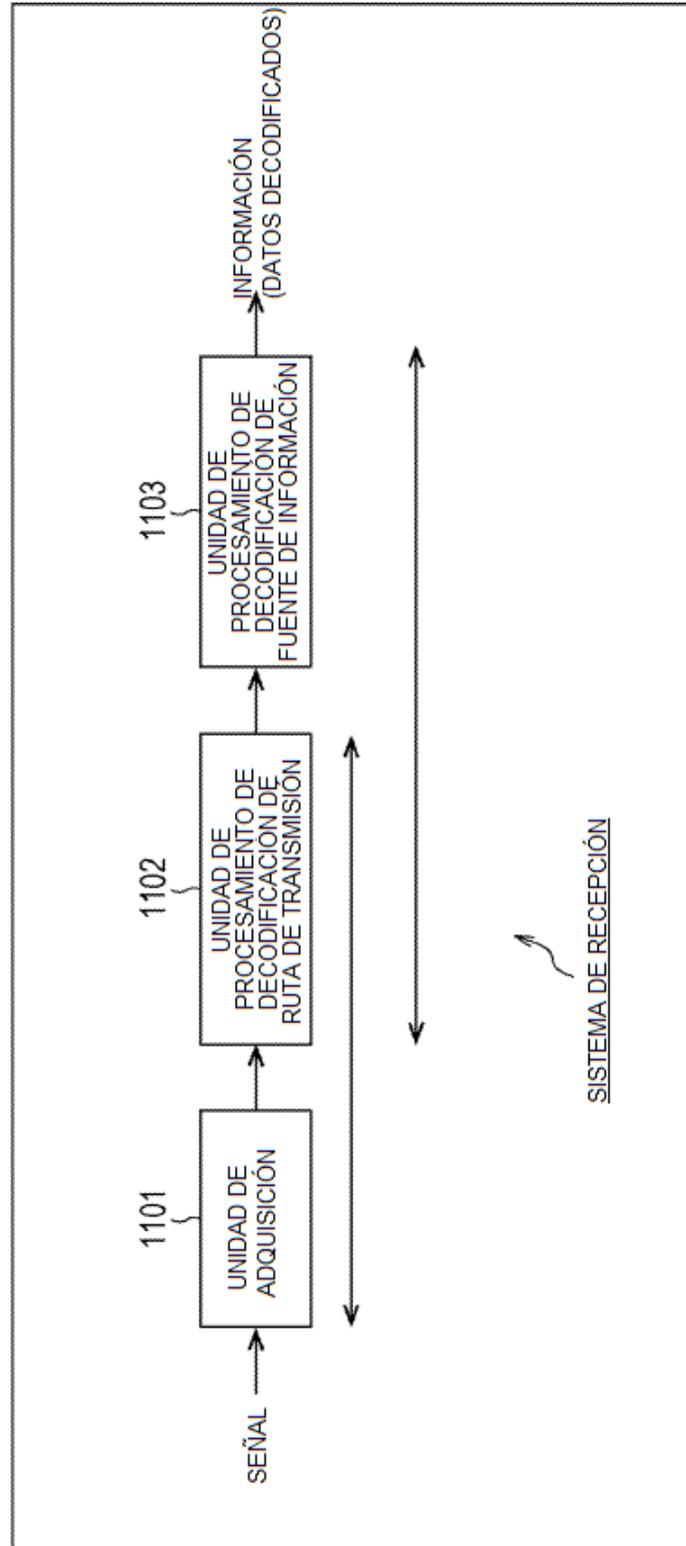


FIG. 128

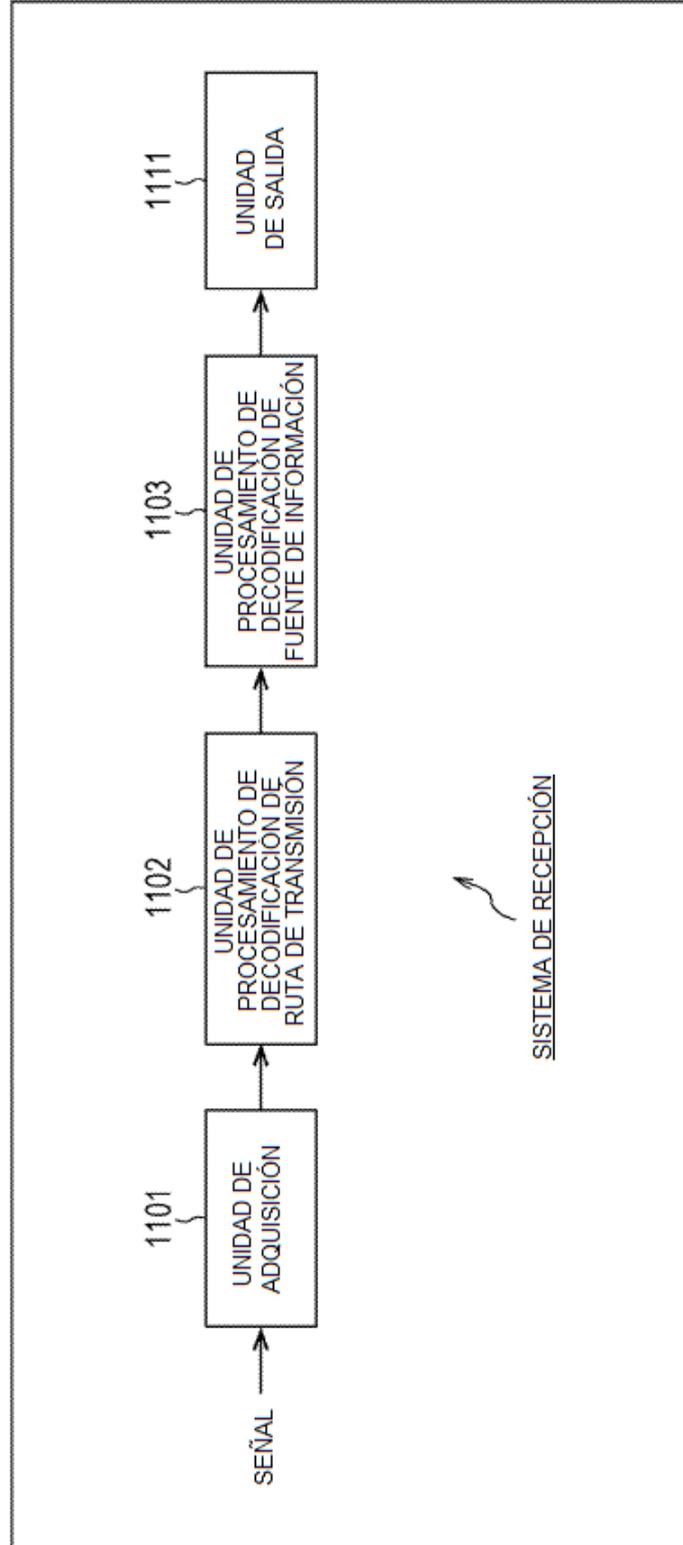


FIG. 129

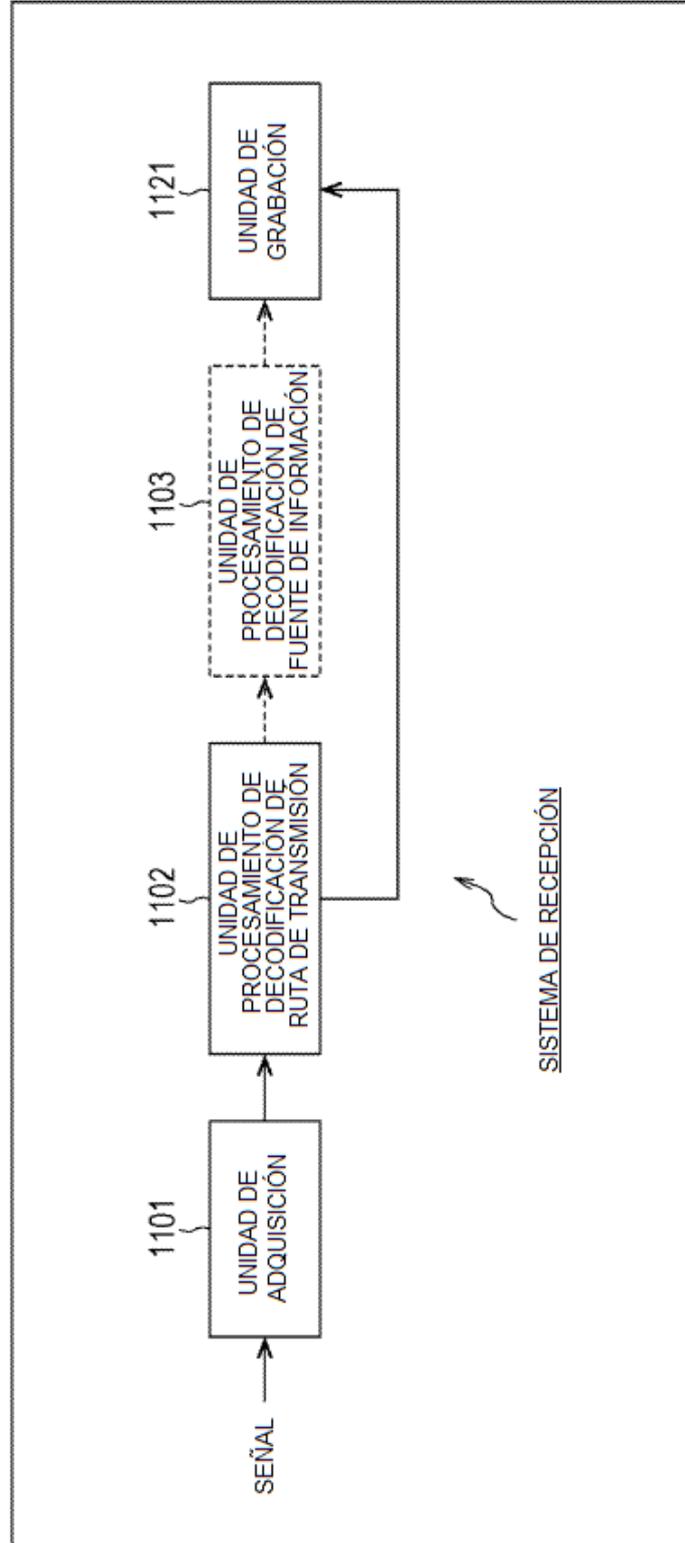


FIG. 130

