

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 697 779**

51 Int. Cl.:

G06F 15/163 (2006.01)

G06F 17/50 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **12.11.2014 PCT/CN2014/090881**

87 Fecha y número de publicación internacional: **25.06.2015 WO15090125**

96 Fecha de presentación y número de la solicitud europea: **12.11.2014 E 14872661 (5)**

97 Fecha y número de publicación de la concesión europea: **22.08.2018 EP 3062232**

54 Título: **Método y aparato para intercambio automático de señales entre múltiples placas de CPU embebidas**

30 Prioridad:

19.12.2013 CN 201310706669

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

28.01.2019

73 Titular/es:

**NR ELECTRIC CO., LTD. (50.0%)
No.69 Suyuan Avenue Jiangning District
Nanjing, Jiangsu 211102, CN y
NR ELECTRIC ENGINEERING CO., LTD. (50.0%)**

72 Inventor/es:

**FENG, YADONG;
ZHOU, QIANG;
XU, DONGFANG;
YUAN, TAO;
ZHAO, TIANEN;
LI, GUANGHUA;
WEN, JIFENG;
CHEN, HONGJUN y
LIU, KEJIN**

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 697 779 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método y aparato para intercambio automático de señales entre múltiples placas de CPU embebidas.

5 **Antecedentes**Campo técnico

10 La presente invención se refiere al campo de los sistemas embebidos, y, en particular, a un método y un aparato para implementar un intercambio automático de señales entre múltiples placas de CPU usando un bus de datos.

Anterioridades

15 En relación con un sistema embebido formado por dos o más placas de CPU, las placas de CPU implementan diferentes funciones, y las placas de CPU intercambian señales usando un bus de datos, para implementar una informática distribuida y un trabajo cooperativo, según se muestra en la figura 1. Para implementar un intercambio de señales entre placas de CPU, es una práctica común que: durante una fase de programación de software, en primer lugar se asigna una misma dirección de bus de datos a una señal de salida y a una señal de entrada de las placas CPU que requieren de un intercambio, y la dirección asignada se escribe en programas de las placas de CPU. Puede implementarse un intercambio correcto de señales únicamente cuando una dirección del bus de datos de una parte de salida es igual a una dirección de bus de datos de una parte de entrada. Tal como se muestra en la figura 2, tanto una señal de salida Sig1 de una placa 1 como una señal de entrada Sig2 de una placa 2 usan una dirección de bus de datos x, para implementar el intercambio de señales. En un proceso de desarrollo de un sistema embebido, las señales y el intercambio de las mismas se ajustan habitualmente para múltiples veces (por ejemplo, incrementando, reduciendo o cambiando el orden), lo cual requiere que un receptor de la señal y un emisor de la señal modifiquen simultáneamente una dirección del bus de datos y requiere una recompilación de programas de las placas de CPU. En un sistema complejo, puede haber varias decenas de miles de señales intercambiándose entre placas, y se produciría fácilmente un error cuando las direcciones del bus de datos se ajustan manualmente. Por lo tanto, en relación con un sistema embebido formado por múltiples placas de CPU, la manera de implementar adecuada y flexiblemente un intercambio automático de señales entre placas de CPU usando un bus de datos es un desafío.

25 La solicitud de Estados Unidos (US 20120331192 A1) divulga un método para transferir datos de gestión entre procesadores a través de un sistema de bus de Entrada/Salida (I/O), que incluye recibir los datos de gestión en un procesador de gestión desde un procesador anfitrión gestionado a través del sistema de bus de I/O; y almacenar los datos de gestión en una memoria direccionable de un dispositivo de interfaz de bus de I/O del procesador de gestión.

35 La solicitud de Estados Unidos (US 20100318328 A1) divulga un método de fabricación de un circuito integrado que incluye un registro de I/O. Sobre la base de datos de diseño a nivel de comportamiento, se genera información de acceso a registros de I/O la cual incluye información sobre control de acceso desde un circuito lógico de usuario a un registro de I/O de un circuito de registro de I/O e información de especificación sobre el registro de I/O. A continuación, sobre la base de la información de acceso al registro de I/O y la asociación de una dirección de SW con una dirección de HW, se genera información de mapa de direcciones que incluye la asociación de un registro de SW en el lado de un dispositivo de procesador con un registro de HW en el lado de un circuito lógico de usuario, usándose la dirección de SW cuando el dispositivo procesador accede al registro de I/O, y usándose la dirección de HW cuando el circuito lógico de usuario accede al registro de I/O. Después de ello, sobre la base de los datos de diseño o nivel de comportamiento y la información de mapa de direcciones, se generan datos de diseño a nivel de comportamiento que describen una estructura interna del circuito de registro de I/O.

Sumario

40 Es un objetivo de la presente invención proporcionar un método y un aparato para un intercambio automático de señales entre múltiples placas de CPU embebidas, que ajusten de manera intuitiva y simple el intercambio de señales entre placas de CPU y garanticen la corrección del intercambio de señales. Para lograr el objetivo anterior, la presente invención prevé las siguientes soluciones:

50 Un método basado en nombres de señales para un intercambio automático de señales entre múltiples placas de CPU embebidas incluye las siguientes etapas:

- 1) dividir unas placas de CPU en un sistema distribuido de múltiples placas de CPU embebidas, en una placa maestra y placas esclavas, siendo una placa de CPU con una función de gestión de señales usada como la placa maestra, y siendo las placas de CPU restantes usadas como placas esclavas; y, durante una fase de inicialización, cada placa esclava envía información de registro de señales a la placa maestra;

- 2) después de que la placa maestra recopile la información de registro de señales de todas las placas esclavas, leer, de un archivo de configuración, una relación de intercambio entre una señal de salida y una señal de entrada que es representada por una línea de conexión entre nombres de señal, calcular y asignar una dirección de bus de datos con la cual se mapean la señal de salida y la señal de entrada, y enviar a cada placa esclava direcciones de memoria, tipos de datos, y direcciones de bus de las señales;
- 3) después de que una placa esclava reciba las direcciones de memoria, los tipos de datos, y las direcciones de bus de las señales desde la placa maestra, guardar los mismos como tablas de señales de salida y tablas de señales de entrada; y
- 4) durante una fase de funcionamiento, escribir, por parte de un emisor de señales, un valor de una señal de salida en una dirección de bus asignada correspondiente según las tablas de señales de salida, y leer, por parte de un receptor, un valor de una señal de entrada de una dirección de bus correspondiente según las tablas de señales de entrada.

En la anterior etapa 1), cada placa esclava envía información de registro de señales a la placa maestra usando el CAN, el RS-485, o Ethernet, y la información de registro de señales incluye un nombre de señal, una dirección de memoria de la señal, y un tipo de datos de la señal.

En la anterior etapa 1), durante una fase de inicialización, la placa maestra envía órdenes de inicio de registro a las placas esclavas de manera sucesiva, y una placa esclava que recibe una orden de inicio de registro envía información de registro de señales a la placa maestra.

En la anterior etapa 2), después de adquirir la información de registro de señales de todas las placas esclavas, la placa maestra almacena la información de registro de señales en forma de una tabla de registro de señales de salida y una tabla de registro de señales de entrada según el tipo de salida o entrada; el almacenamiento de las tablas de registro se lleva a cabo usando unas matrices; cada elemento de una matriz representa información sobre una señal, que incluye una cadena de nombre de señal, un número de una placa a la cual pertenece la señal, un tipo de datos de la señal, y una dirección de memoria de la señal; y después de que se hayan registrado todas las señales, una tabla de información de señales se ordena según los nombres de señal.

En la anterior etapa 2), la placa maestra lee, de un archivo de configuración, una relación de intercambio entre una señal de salida y una señal de entrada que se representa por medio de una línea de conexión entre nombres de señal, y que incluye el siguiente contenido específico: la placa maestra lee un archivo de configuración, extrae líneas de conexión entre nombres de señal de una y almacena las líneas de conexión en forma de una matriz de una tabla de relación de intercambio de señales, en donde cada elemento de la matriz representa una línea de conexión de señal; y la placa maestra obtiene, mediante búsqueda, información sobre señales a partir de la tabla de registro de señales de salida según nombres de señales de salida en la tabla de relación de intercambio de señales, y, a continuación, reordena elementos en la tabla de relación de intercambio de señales según una dirección de placa, un tipo de datos, y un orden de dirección de memoria de las señales de salida, en donde una regla de ordenación específica es que: señales con números de placa diferentes se ordenan según los números de placa en orden ascendente, señales de una misma placa se ordenan según las anchuras de los tipos de datos de señal en orden ascendente, y señales de una misma placa y un mismo tipo de datos se ordenan según las direcciones de memoria en orden ascendente.

El orden de las anchuras de los tipos de datos en orden ascendente es: Booleano, entero de un solo byte, entero de doble byte, entero de cuatro bytes y coma flotante.

Una forma de realización de la presente invención proporciona, además, un aparato para implementar un intercambio automático de señales. El aparato incluye múltiples placas de CPU embebidas, divididas en una placa de CPU maestra y una pluralidad de placas de CPU esclavas, donde

un módulo de registro está configurado para permitir que cada placa esclava envíe información de registro de señales a la placa maestra;

un módulo de asignación está configurado para permitir que la placa maestra analice sintácticamente un archivo de configuración, calcule y asigne una dirección de bus de datos con la cual se mapean una señal de salida y una señal de entrada, y envíe secuencialmente direcciones de memoria, tipos de datos y direcciones de bus de señales a cada placa esclava;

un módulo de almacenamiento está configurado para permitir que una placa esclava guarde, después de que la placa esclava reciba las direcciones de memoria, los tipos de datos, y las direcciones de bus de las señales desde la placa maestra, los mismos en forma de tablas de señales de salida y tablas de señales de entrada; y

un módulo de ejecución está configurado para permitir que un emisor de señales escriba, durante una fase de funcionamiento, un valor de una señal de salida en una dirección de bus asignada correspondiente según las

tablas de señales de salida, y permitir que un receptor lea un valor de una señal de entrada a partir de una dirección de bus correspondiente según las tablas de señales de entrada.

En la solución anterior, el aparato incluye, además, el módulo de registro, donde

5 el módulo de registro está configurado para permitir que cada placa esclava envíe información de registro de señales a la placa maestra usando el CAN, el RS-485, o Ethernet, donde la información de registro de señales incluye un nombre de señal, una dirección de memoria de la señal, y un tipo de datos de la señal, permitir, durante una fase de inicialización, que la placa maestra envíe una orden de inicio de registro a cada placa esclava, y permitir que una placa esclava que recibe una orden de inicio de registro envíe información de registro de señales a la placa maestra.

En la solución anterior, el aparato incluye, además, el módulo de asignación, donde

15 el módulo de asignación está configurado para permitir que la placa maestra almacene, después de adquirir la información de registro de señales de todas las placas esclavas, la información de registro de señales en forma de una tabla de registro de señales de salida y una tabla de registro de señales de entrada según un tipo de salida y un tipo de entrada, donde el almacenamiento de las tablas de registro se lleva a cabo usando unas matrices; cada elemento de la matriz representa información sobre una señal, que incluye una cadena de nombre de señal, un número de una placa a la cual pertenece la señal, un tipo de datos de la señal, y una dirección de memoria de la señal; y, después de que se hayan registrado todas las señales, una tabla de información de señales se ordena según los nombres de señal.

25 El módulo de asignación anterior está configurado específicamente para permitir que la placa maestra lea, de un archivo de configuración, una relación de intercambio entre una señal de salida y una señal de entrada que es representada por una línea de conexión entre nombres de señal, y que incluye el siguiente contenido específico: la placa maestra lee un archivo de configuración, extrae líneas de conexión entre nombres de señal de una en una, y almacena las líneas de conexión en forma de una matriz de una tabla de relación de intercambio de señales, en donde cada elemento de la matriz representa una línea de conexión de señal; y permitir que la placa maestra obtenga, mediante búsqueda, información sobre señales a partir de la tabla de registro de señales de salida según nombres de señales de salida en la tabla de relación de intercambio de señales, y, a continuación, reordene elementos en la tabla de relación de intercambio de señales según una dirección de placa, un tipo de datos, y un orden de dirección de memoria de las señales de salida, en donde una regla de ordenación específica es que: señales con números de placa diferentes se ordenan según los números de placa en orden ascendente, señales de una misma placa se ordenan según las anchuras de los tipos de datos de señal en orden ascendente, y señales de una misma placa y un mismo tipo de datos se ordenan según las direcciones de memoria en orden ascendente; y el orden de las anchuras de los tipos de datos en orden ascendente es: Booleano, entero de un solo byte, entero de doble byte, entero de cuatro bytes y coma flotante.

40 En la solución anterior, el aparato incluye, además, el módulo de almacenamiento, donde

45 el módulo de almacenamiento está configurado para permitir que una placa esclava guarde, después de que la placa esclava reciba las direcciones de memoria, los tipos de datos y las direcciones de bus de las señales desde la placa maestra, los mismos en forma de tablas de señales de salida y tablas de señales de entrada, donde el guardado de las tablas de señales de salida y las tablas de señales de entrada se lleva a cabo según los tipos de datos, y los tipos de datos incluyen Booleano, entero de un solo byte, entero de doble byte, entero de cuatro bytes, y coma flotante.

En la solución anterior, el aparato incluye, además, el módulo de ejecución, donde

50 el módulo de ejecución está configurado para permitir que un emisor de señales escriba, durante una fase de funcionamiento, un valor de una señal de salida en una dirección de bus de datos asignada correspondiente, según las tablas de señales de salida, y permitir que un receptor lea un valor de una señal de entrada a partir de una dirección de bus de datos correspondiente, según las tablas de señales de entrada, donde una parte de salida escribe secuencialmente valores de todas las señales de salida en direcciones de bus correspondientes, según el contenido de las tablas de señales de salida, y cada placa esclava recorre secuencialmente las tablas de señales de salida correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de byte doble, de enteros de cuatro bytes y de coma flotante, para escribir todas las señales de salida en el bus, según se muestra en la figura 5; y una parte de entrada lee secuencialmente los valores en las direcciones de bus en direcciones de las señales de entrada según el contenido en las tablas de señales de entrada, y cada placa esclava recorre secuencialmente las tablas de señales de entrada correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de byte doble, de enteros de cuatro bytes y de coma flotante, para obtener valores de todas las señales de entrada del bus de datos, según se muestra en la figura 5.

65 Con las soluciones anteriores, en la presente invención, durante una fase de inicialización, cada placa esclava envía información de registro de señales a la placa maestra, una relación de intercambio entre una señal de

5 salida y una señal de entrada se representa usando una línea de conexión entre nombres de señal, las líneas de conexión entre nombres de señal se almacenan en un archivo de configuración, la placa maestra analiza sintácticamente relaciones de intercambio de señales en el archivo de configuración, calcula y asigna automáticamente direcciones de bus de datos de señales de salida y señales de entrada, y envía direcciones de memoria, tipos de datos, y direcciones de bus de señales a cada placa esclava, y una placa esclava guarda las direcciones de memoria, los tipos de datos, y las direcciones de bus de las señales de salida y las señales de entrada en forma de tablas de señales de salida y tablas de señales de entrada; y, durante un funcionamiento, un emisor de señales escribe un valor de una señal en una dirección de bus asignada correspondiente, según las tablas de señales de salida, y un receptor lee un valor de una señal de entrada a partir de una dirección de bus de datos específica según las tablas de señales de entrada. Por lo tanto, se elimina la dificultad de ajustar manualmente el intercambio de señales, se evita el riesgo de un error humano, y se garantiza, desde un punto de vista de los mecanismos, la corrección del intercambio de señales entre múltiples placas de CPU. Además, el ajuste del intercambio de señales entre placas de CPU según nombres de señal se puede implementar editando un archivo de configuración, el cual es intuitivo y simple y no requiere la modificación de programas de placas de CPU, simplificando así el desarrollo y diseño de un sistema embebido.

Breve descripción de los dibujos

20 La figura 1 es un diagrama estructural de una estructura de un sistema distribuido de múltiples placas de CPU embebidas, según la presente invención;

la figura 2 es un diagrama esquemático de un método actual para implementar un intercambio de señales entre múltiples placas de CPU sobre la base de una dirección de bus de datos asignada fija, manual;

25 la figura 3 es un diagrama esquemático de un método basado en nombres de señales para implementar un intercambio automático de señales entre múltiples placas de CPU según la presente invención;

la figura 4 es un diagrama esquemático del registro de señales, y del cálculo y la asignación de una dirección de bus de datos durante una fase de inicialización;

30 la figura 5 es un diagrama esquemático de la actualización de señales de salida y señales de entrada durante una fase de funcionamiento; y

35 la figura 6 es un diagrama estructural esquemático de la composición de un aparato para implementar un intercambio automático de señales según una forma de realización de la presente invención.

Descripción detallada

40 Las soluciones técnicas de la presente invención se describen de forma detallada a continuación, en referencia a los dibujos adjuntos.

Tal como se muestra en la figura 3, la presente invención proporciona un método, basado en nombres de señales, para el intercambio automático de señales entre múltiples placas de CPU embebidas, que incluye las siguientes etapas:

45 (1) Placas de CPU en un sistema distribuido de múltiples placas de CPU embebidas (cuya arquitectura se muestra en la figura 1) se dividen en placa maestra y placa esclava, en donde una placa de CPU de las mismas se usa como placa maestra, y las placas de CPU restantes se usan como placas esclavas, para constituir una arquitectura de un sistema de "maestro y esclavos".

50 Después de activar el sistema distribuido de múltiples placas de CPU embebidas, las placas de CPU en primer lugar inicializan el hardware, y, a continuación, llevan a cabo un registro de señales, es decir, la información sobre una señal que necesita intercambiar con el exterior una placa esclava se envía a la placa maestra usando un bus de comunicaciones, y, específicamente, usando un CAN, un RS-485, Ethernet, y similares. La información sobre una señal incluye un nombre de señal, una dirección de memoria de la señal, y un tipo de datos de la señal. Para evitar una condición en la que múltiples placas esclavas envían simultáneamente información de señales a la placa maestra, superando así la capacidad de recepción de la placa maestra, se adopta un método en el que la placa maestra envía órdenes de inicio de registro a las placas esclavas de manera sucesiva con el fin de permitir que las placas esclavas lleven a cabo secuencialmente el registro, tal como se muestra en la figura 4.

60 (2) Después de recolectar la información de registro de señales de todas las placas esclavas, la placa maestra almacena la información de registro de señales en forma de una tabla de registro de señales de salida y una tabla de registro de señales de entrada en función de un tipo de salida y un tipo de entrada, donde el almacenamiento de las tablas de registro se lleva a cabo usando unas matrices; cada elemento de la matriz representa información sobre una señal, que incluye una cadena de nombre de señal, un

número de una placa a la que pertenece la señal, un tipo de datos de la señal, y una dirección de memoria de la señal; y después de que se hayan registrado todas las señales, una tabla de información de señales se ordena según los nombres de las señales.

5 La placa maestra lee un archivo de configuración con la siguiente estructura:

B01.Sig1 -> B02.Sig2
 B01.Sig1 -> B03.Sig0
 B02.Sig1 -> B01.Sig4

10

La placa maestra lee un archivo de configuración, extrae líneas de conexión entre nombres de señal de una en una, y almacena las líneas de conexión en forma de una matriz de una tabla de relación de intercambio de señales, en donde cada elemento de la matriz representa una línea de conexión de señales (una cadena de nombre de señal de salida, una cadena de nombre de señal de entrada).

15

La placa maestra obtiene, mediante búsqueda, información sobre señales (que incluye números de placa, tipos de datos, y direcciones de memoria) a partir de la tabla de registro de señales de salida según nombres de señal de salida de la tabla de relación de intercambio de señales, y, a continuación, reordena elementos en la tabla de relación de intercambio de señales según una dirección de placa, un tipo de datos, y un orden de dirección de memoria de las señales de salida, en donde una regla de ordenación específica es que: los números de placas se ordenan en orden descendente, los tipos de datos de señales con un mismo número de placa se ordenan según las anchuras de los tipos de datos en orden ascendente (Booleano, entero de un solo byte, entero de byte doble, entero de cuatro bytes y coma flotante), y las direcciones de memoria de señales de una misma placa y un mismo tipo de datos se ordenan en orden ascendente. Después de que se complete la ordenación, en la tabla de relación de intercambio de señales, las señales de una misma placa se disponen adyacentes entre sí, y las señales de una misma placa y un mismo tipo de datos se disponen adyacentes entre sí.

20

25

La placa maestra lee las señales de salida ordenadas de la tabla de relación de intercambio de señales, y asigna direcciones de bus de datos. Según el resultado de la ordenación, las direcciones de bus asignadas a las placas se ordenan en orden ascendente según los números de placa.

30

Después de que las direcciones de bus de datos de las señales de salida se hayan asignado satisfactoriamente, la placa maestra halla, usando la tabla de relación de intercambio de señales, señales de entrada asociadas a las señales de salida, para obtener automáticamente las direcciones de bus de datos de las señales de entrada.

35

(3) Después de calcular y asignar las direcciones a las señales de salida, la placa maestra entrega información sobre las direcciones de las señales a las placas esclavas, en donde la información relacionada con una señal de salida incluye una dirección de memoria de señal de salida, un tipo de datos de la señal, y una dirección de bus de datos, y la información relacionada con una señal de entrada incluye una dirección de memoria de señal, un tipo de datos de señal, y una dirección de bus de datos. Después de recibir la información sobre direcciones desde la placa maestra, una placa esclava guarda de manera independiente las mismas en forma de tablas de señales de salida y tablas de señales de entrada.

40

45

Las tablas de señales de salida se dividen en tablas de señales de salida correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de doble byte, de enteros de cuatro bytes, y de coma flotante en función de los tipos de la señal, y una tabla de señales de cada tipo se forma con el número de las señales de salida, la dirección de memoria de la señal de salida, y la dirección de bus de datos.

50

Las tablas de señales de entrada se dividen en tablas de señales de entrada correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de doble byte, de enteros de cuatro bytes y de coma flotante en función de los tipos de señal, y una tabla de señales de cada tipo se forma con el número de las señales de entrada, la dirección de memoria de la señal de entrada y la dirección de bus de datos.

55

(4) Después de que cada placa esclava establezca las tablas de señales de salida y las tablas de señales de entrada durante la fase de inicialización, durante una fase de funcionamiento, un emisor de señales escribe, según las tablas de señales de salida, un valor de una señal de salida en una dirección correspondiente de bus de datos asignada, y un receptor lee, según las tablas de señales de entrada, un valor de una señal de entrada a partir de una dirección correspondiente de bus de datos.

60

Una parte de salida escribe secuencialmente valores de todas las señales de salida en direcciones de bus correspondientes, según el contenido de las tablas de señales de salida, y cada placa esclava recorre secuencialmente las tablas de señales de salida correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de doble byte, de enteros de cuatro bytes y de coma flotante, para escribir todas las señales de

65

salida en el bus, según se muestra en la figura 5.

Una parte de entrada lee los valores en las direcciones de bus en direcciones de las señales de bus según el contenido de las tablas de señales de entrada, y cada placa esclava recorre secuencialmente las tablas de
5 señales de entrada correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de doble byte, de enteros de cuatro bytes y de coma flotante, para obtener valores de todas las señales de entrada del bus de datos, según se muestra en la figura 5.

La figura 6 es un diagrama estructural esquemático de la composición de un aparato para implementar un intercambio automático de señales según una forma de realización de la presente invención. Tal como se
10 muestra en la figura 6, un aparato para implementar un intercambio automático de señales según una forma de realización de la presente invención incluye: un módulo de registro 10, un módulo de asignación 11, un módulo de almacenamiento 12, y un módulo de ejecución 13, donde

15 el módulo de registro 10 está configurado para permitir que cada placa esclava envíe información de registro de señales a la placa maestra;

el módulo de asignación 11 está configurado para permitir que la placa maestra analice sintácticamente un
20 archivo de configuración, calcule y asigne una dirección de bus de datos con la cual se mapean una señal de salida y una señal de entrada, y envíe secuencialmente direcciones de memoria, tipos de datos y direcciones de bus de señales a cada placa esclava;

el módulo de almacenamiento 12 está configurado para permitir que una placa esclava guarde, después de que
25 la placa esclava reciba las direcciones de memoria, los tipos de datos y las direcciones de bus de las señales desde la placa maestra, los mismos en forma de tablas de señales de salida y tablas de señales de entrada; y

el módulo de ejecución 13 está configurado para permitir que un emisor de señales escriba, durante una fase de
30 funcionamiento, un valor de una señal de salida en una dirección de bus asignada correspondiente según las tablas de señales de salida, y permitir que un receptor lea un valor de una señal de entrada a partir de una dirección de bus correspondiente según las tablas de señales de entrada.

Específicamente, el módulo de registro está configurado para permitir que cada placa esclava envíe información
35 de registro de señales a la placa maestra usando el CAN, el RS-485, o Ethernet, donde la información de registro de señales incluye un nombre de señal, una dirección de memoria de la señal, y un tipo de datos de la señal, permitir, durante una fase de inicialización, que la placa maestra envíe una orden de inicio de registro a cada placa esclava, y permitir que una placa esclava que recibe una orden de inicio de registro envíe información de registro de señales a la placa maestra.

Específicamente el módulo de asignación está configurado para permitir que la placa maestra almacene,
40 después de adquirir la información de registro de señales de todas las placas esclavas, la información de registro de señales en forma de una tabla de registro de señales de salida y una tabla de registro de señales de entrada según un tipo de salida y un tipo de entrada, llevándose a cabo el almacenamiento de las tablas de registro usando unas matrices; cada elemento de la matriz representa información sobre una señal, que incluye una
45 cadena de nombre de señal, un número de una placa a la cual pertenece la señal, un tipo de datos de la señal, y una dirección de memoria de la señal; y, después de que se hayan registrado todas las señales, una tabla de información de señales se ordena según los nombres de señal.

La placa maestra lee, de un archivo de configuración, una relación de intercambio entre una señal de salida y
50 una señal de entrada que se representa por medio de una línea de conexión entre nombres de señal, y que incluye el siguiente contenido específico: la placa maestra lee un archivo de configuración, extrae líneas de conexión entre nombres de señal de una en una y almacena las líneas de conexión en forma de una matriz de una tabla de relación de intercambio de señales, en donde cada elemento de la matriz representa una línea de conexión de señal; y la placa maestra obtiene, mediante búsqueda, información sobre señales a partir de la tabla de registro de señales de salida según nombres de señales de salida en la tabla de relación de intercambio de
55 señales, y, a continuación, reordena elementos en la tabla de relación de intercambio de señales según una dirección de placa, un tipo de datos, y un orden de dirección de memoria de las señales de salida, en donde una regla de ordenación específica es que: señales con números de placa diferentes se ordenan según los números de placa en orden ascendente, señales de una misma placa se ordenan según las anchuras de los tipos de datos de señal en orden ascendente, y señales de una misma placa y un mismo tipo de datos se ordenan según las direcciones de memoria en orden ascendente. El orden de las anchuras de los tipos de datos en orden
60 ascendente es: Booleano, entero de un solo byte, entero de doble byte, entero de cuatro bytes y coma flotante.

Específicamente, el módulo de almacenamiento está configurado para permitir que una placa esclava guarde,
65 después de que la placa esclava reciba las direcciones de memoria, los tipos de datos y las direcciones de bus de las señales desde la placa maestra, los mismos en forma de tablas de señales de salida y tablas de señales de entrada, donde el guardado de las tablas de señales de salida y las tablas de señales de entrada se lleva a

cabo según los tipos de datos, y los tipos de datos incluyen Booleano, entero de un solo byte, entero de doble byte, entero de cuatro bytes, y coma flotante.

5 Específicamente, el módulo de ejecución está configurado para permitir que un emisor de señales escriba, durante una fase de funcionamiento, un valor de una señal de salida en una dirección de bus de datos asignada correspondiente, según las tablas de señales de salida, y permitir que un receptor lea un valor de una señal de entrada a partir de una dirección de bus de datos correspondiente, según las tablas de señales de entrada

10 Una parte de salida escribe secuencialmente valores de todas las señales de salida en direcciones de bus correspondientes, según el contenido de las tablas de señales de salida, y cada placa esclava recorre secuencialmente las tablas de señales de salida correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de byte doble, de enteros de cuatro bytes y de coma flotante, para escribir todas las señales de salida en el bus, según se muestra en la figura 5.

15 Una parte de entrada lee secuencialmente los valores en las direcciones de bus en las direcciones de las señales de entrada según el contenido de la tabla de señales de entrada, y cada placa esclava recorre secuencialmente las tablas de señales de entrada correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de byte doble, de enteros de cuatro bytes y de coma flotante, para obtener valores de todas las señales de entrada del bus de datos, según se muestra en la figura 5.

20 Cuando un intercambio de señales entre múltiples CPUs cambia, es necesario ajustar solamente un archivo de configuración; después de reinicializar un sistema, la placa maestra lee el archivo de configuración, calcula y asigna automáticamente de nuevo direcciones del bus, y distribuye las mismas; y las placas esclavas obtienen automáticamente las direcciones de bus de datos más recientes. Por lo tanto, no son necesarios ningún ajuste ni modificación manuales de las direcciones de bus, y se elimina la posibilidad de un error.

25 En aplicaciones prácticas, el módulo de registro 10, el módulo de asignación 11, el módulo de almacenamiento 12, y el módulo de ejecución 13 se pueden implementar, todos ellos, por medio de una unidad de procesamiento central (CPU), una unidad de microprocesado (MPU), un procesador de señal digital (DSP), o una matriz de puertas programables in situ (FPGA) de un servidor o un terminal en el cual esté ubicado un aparato para
30 implementar la programación lógica de la presente invención.

REIVINDICACIONES

1. Método para un intercambio automático de señales entre múltiples placas de CPU embebidas, que comprende las etapas siguientes:

- 1) dividir unas placas de CPU en un sistema distribuido de múltiples placas de CPU embebidas en una placa maestra y unas placas esclavas, siendo una placa de CPU con una función de gestión de señales usada como la placa maestra, y siendo las placas de CPU restantes usadas como placas esclavas; y, durante una fase de inicialización, cada placa esclava envía información de registro de señales a la placa maestra;
- 2) después de que la placa maestra recopile la información de registro de señales de todas las placas esclavas, leer, de un archivo de configuración, una relación de intercambio entre una señal de salida y una señal de entrada que es representada por una línea de conexión entre nombres de señal, calcular y asignar una dirección de bus de datos con la cual se mapean la señal de salida y la señal de entrada, y enviar a cada placa esclava direcciones de memoria, tipos de datos, y direcciones de bus de las señales;
- 3) después de que una placa esclava reciba las direcciones de memoria, los tipos de datos, y las direcciones de bus de las señales desde la placa maestra, guardar los mismos como tablas de señales de salida y tablas de señales de entrada; y
- 4) durante una fase de funcionamiento, escribir, por parte de un emisor de señales, un valor de una señal de salida en una dirección de bus asignada correspondiente según las tablas de señales de salida, y leer, por parte de un receptor, un valor de una señal de entrada a partir de una dirección de bus correspondiente según las tablas de señales de entrada.

2. Método para un intercambio automático de señales entre múltiples placas de CPU embebidas según la reivindicación 1, en el que en la etapa 1), cada placa esclava envía información de registro de señales a la placa maestra usando el CAN, el RS-485, o Ethernet, y la información de registro de señales comprende un nombre de señal, una dirección de memoria de la señal, y un tipo de datos de la señal.

3. Método para un intercambio automático de señales entre múltiples placas de CPU embebidas según la reivindicación 1, en el que en la etapa 1), durante una fase de inicialización, la placa maestra envía una orden de inicio de registro a cada placa esclava, y una placa esclava que recibe una orden de inicio de registro envía información de registro de señales a la placa maestra.

4. Método para un intercambio automático de señales entre múltiples placas de CPU embebidas según la reivindicación 1, en el que en la etapa 2), después de adquirir la información de registro de señales de todas las placas esclavas, la placa maestra almacena la información de registro de señales en forma de una tabla de registro de señales de salida y una tabla de registro de señales de entrada según un tipo de salida y un tipo de entrada; el almacenamiento de las tablas de registro se lleva a cabo usando unas matrices; cada elemento de una matriz representa información sobre una señal, que comprende una cadena de nombre de señal, un número de una placa a la cual pertenece la señal, un tipo de datos de la señal, y una dirección de memoria de la señal; y después de que se hayan registrado todas las señales, una tabla de información de señales se ordena según los nombres de señal.

5. Método para un intercambio automático de señales entre múltiples placas de CPU embebidas según la reivindicación 4, en el que en la etapa 2), la placa maestra lee, de un archivo de configuración, una relación de intercambio entre una señal de salida y una señal de entrada que es representada por una línea de conexión entre nombres de señal, que comprende el siguiente contenido específico: la placa maestra lee un archivo de configuración, extrae líneas de conexión entre nombres de señal de una en una, y almacena las líneas de conexión en forma de una matriz de una tabla de relación de intercambio de señales, representando cada elemento de la matriz una línea de conexión de señal; y la placa maestra obtiene, mediante búsqueda, información sobre señales a partir de la tabla de registro de señales de salida según nombres de señales de salida en la tabla de relación de intercambio de señales, y, a continuación, reordena los elementos en la tabla de relación de intercambio de señales según una dirección de placa, un tipo de datos, y un orden de dirección de memoria de las señales de salida, siendo una regla de ordenación específica que: señales con números de placa diferentes son ordenadas según los números de placa en orden ascendente, señales de una misma placa son ordenadas según las anchuras de los tipos de datos de señal en orden ascendente, y señales de una misma placa y un mismo tipo de datos son ordenadas según las direcciones de memoria en orden ascendente.

6. Método para un intercambio automático de señales entre múltiples placas de CPU embebidas según la reivindicación 5, en el que un orden de las anchuras de los tipos de datos en orden ascendente es: Booleano, entero de un solo byte, entero de doble byte, entero de cuatro bytes y coma flotante.

7. Aparato para intercambio automático de señales, que comprende múltiples placas de CPU embebidas, divididas en una placa de CPU maestra y una pluralidad de placas de CPU esclavas, en el que

un módulo de registro (10) está configurado para permitir que cada placa esclava envíe información de registro de señales a la placa maestra;

5 un módulo de asignación (11) está configurado para permitir que la placa maestra analice sintácticamente un archivo de configuración, calcule y asigne una dirección de bus de datos con la cual se mapean una señal de salida y una señal de entrada, y envíe secuencialmente direcciones de memoria, tipos de datos y direcciones de bus de señales a cada placa esclava;

10 un módulo de almacenamiento (12) está configurado para permitir que una placa esclava guarde, después de que la placa esclava reciba las direcciones de memoria, los tipos de datos, y las direcciones de bus de las señales desde la placa maestra, los mismos en forma de tablas de señales de salida y tablas de señales de entrada; y

15 un módulo de ejecución (13) está configurado para permitir que un emisor de señales escriba, durante una fase de funcionamiento, un valor de una señal de salida en una dirección de bus asignada correspondiente según las tablas de señales de salida, y permitir que un receptor lea un valor de una señal de entrada a partir de una dirección de bus correspondiente según las tablas de señales de entrada.

20 8. Aparato según la reivindicación 7, en el que el aparato además comprende: el módulo de registro (10), en el que

el módulo de registro está configurado para permitir que cada placa esclava envíe información de registro de señales a la placa maestra usando el CAN, el RS-485, o Ethernet, comprendiendo la información de registro de señales un nombre de señal, una dirección de memoria de la señal, y un tipo de datos de la señal, permitir, durante una fase de inicialización, que la placa maestra envíe una orden de inicio de registro a cada placa esclava, y permitir que una placa esclava que recibe una orden de inicio de registro envíe información de registro de señales a la placa maestra.

30 9. Aparato según la reivindicación 7, en el que el aparato además comprende: el módulo de asignación (11), en el que

el módulo de asignación está configurado para permitir que la placa maestra almacene, después de adquirir la información de registro de señales de todas las placas esclavas, la información de registro de señales en forma de una tabla de registro de señales de salida y una tabla de registro de señales de entrada según un tipo de salida y un tipo de entrada, llevándose a cabo el almacenamiento de las tablas de registro usando unas matrices; cada elemento de la matriz representa información sobre una señal, que comprende una cadena de nombre de señal, un número de una placa a la cual pertenece la señal, un tipo de datos de la señal, y una dirección de memoria de la señal; y, después de que se hayan registrado todas las señales, una tabla de información de señales es ordenada según los nombres de señal.

10. Aparato según la reivindicación 7 o 9, en el que el módulo de asignación (11) está específicamente configurado para permitir que la placa maestra lea, de un archivo de configuración, una relación de intercambio entre una señal de salida y una señal de entrada que es representada por una línea de conexión entre nombres de señal, y que comprende el siguiente contenido específico: la placa maestra lee un archivo de configuración, extrae unas líneas de conexión entre nombres de señal de una en una, y almacena las líneas de conexión en forma de una matriz de una tabla de relación de intercambio de señales, representando cada elemento de la matriz una línea de conexión de señal; y permitir que la placa maestra obtenga, mediante búsqueda, información sobre señales a partir de la tabla de registro de señales de salida según unos nombres de señales de salida en la tabla de relación de intercambio de señales, y, a continuación, reordene unos elementos en la tabla de relación de intercambio de señales según una dirección de placa, un tipo de datos, y un orden de dirección de memoria de las señales de salida, siendo una regla de ordenación específica que: señales con números de placa diferentes son ordenadas según los números de placa en orden ascendente, señales de una misma placa son ordenadas según las anchuras de los tipos de datos de señal en orden ascendente, y señales de una misma placa y un mismo tipo de datos son ordenadas según las direcciones de memoria en orden ascendente; y el orden de las anchuras de los tipos de datos en orden ascendente es: Booleano, entero de un solo byte, entero de doble byte, entero de cuatro bytes y coma flotante.

11. Aparato según la reivindicación 7, en el que el aparato además comprende: el módulo de almacenamiento (12), en el que

el módulo de almacenamiento está configurado para permitir que una placa esclava guarde, después de que la placa esclava reciba las direcciones de memoria, los tipos de datos y las direcciones de bus de las señales desde la placa maestra, los mismos en forma de tablas de señales de salida y tablas de señales de entrada, llevándose a cabo el guardado de las tablas de señales de salida y las tablas de señales de entrada según los tipos de datos, y los tipos de datos comprenden Booleano, entero de un solo byte, entero de doble byte,

entero de cuatro bytes, y coma flotante.

12. Aparato según la reivindicación 7, en el que el aparato además comprende: el módulo de ejecución (13), en el que

5

el módulo de ejecución está configurado para permitir que un emisor de señales escriba, durante una fase de funcionamiento, un valor de una señal de salida en una dirección de bus de datos asignada correspondiente, según las tablas de señales de salida, y permitir que un receptor lea un valor de una señal de entrada a partir de una dirección de bus de datos correspondiente, según las tablas de señales de entrada, en el que

10

una parte de salida escribe secuencialmente valores de todas las señales de salida en direcciones de bus correspondientes según el contenido de las tablas de señales de salida, y cada placa esclava recorre secuencialmente las tablas de señales de salida correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de byte doble, de enteros de cuatro bytes y de coma flotante, para escribir todas las señales de salida en el bus; y

15

una parte de entrada lee secuencialmente los valores en las direcciones de bus en direcciones de las señales de entrada según el contenido de la tabla de señales de entrada, y cada placa esclava recorre secuencialmente las tablas de señales de entrada correspondientes a señales Booleanas, de enteros de un solo byte, de enteros de byte doble, de enteros de cuatro bytes y de coma flotante, de manera que se obtengan valores de todas las señales de entrada del bus de datos.

20

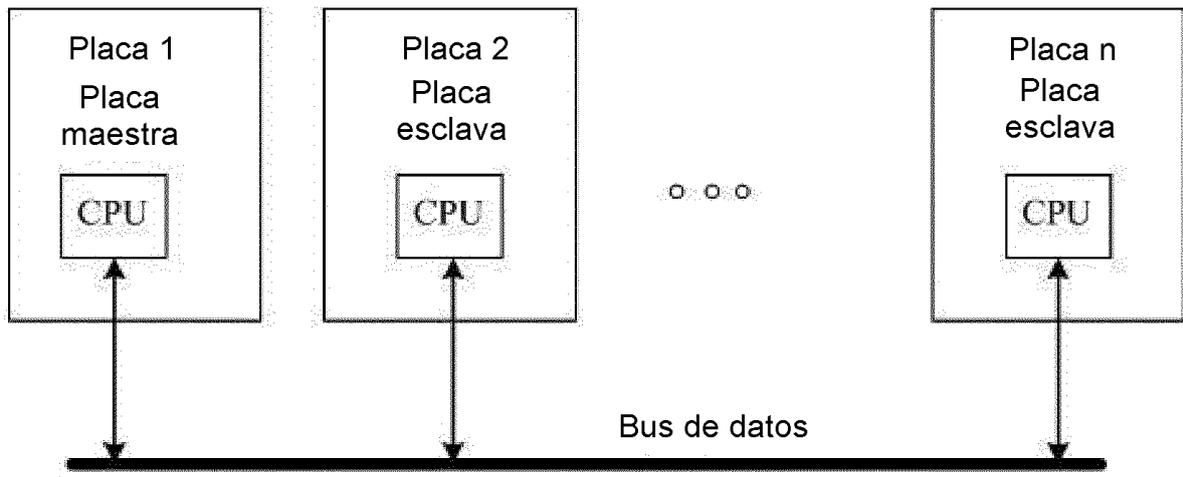


FIG. 1

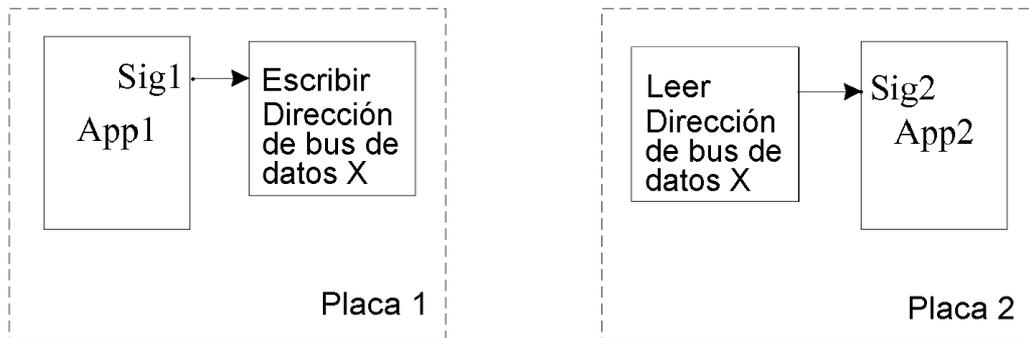


FIG. 2

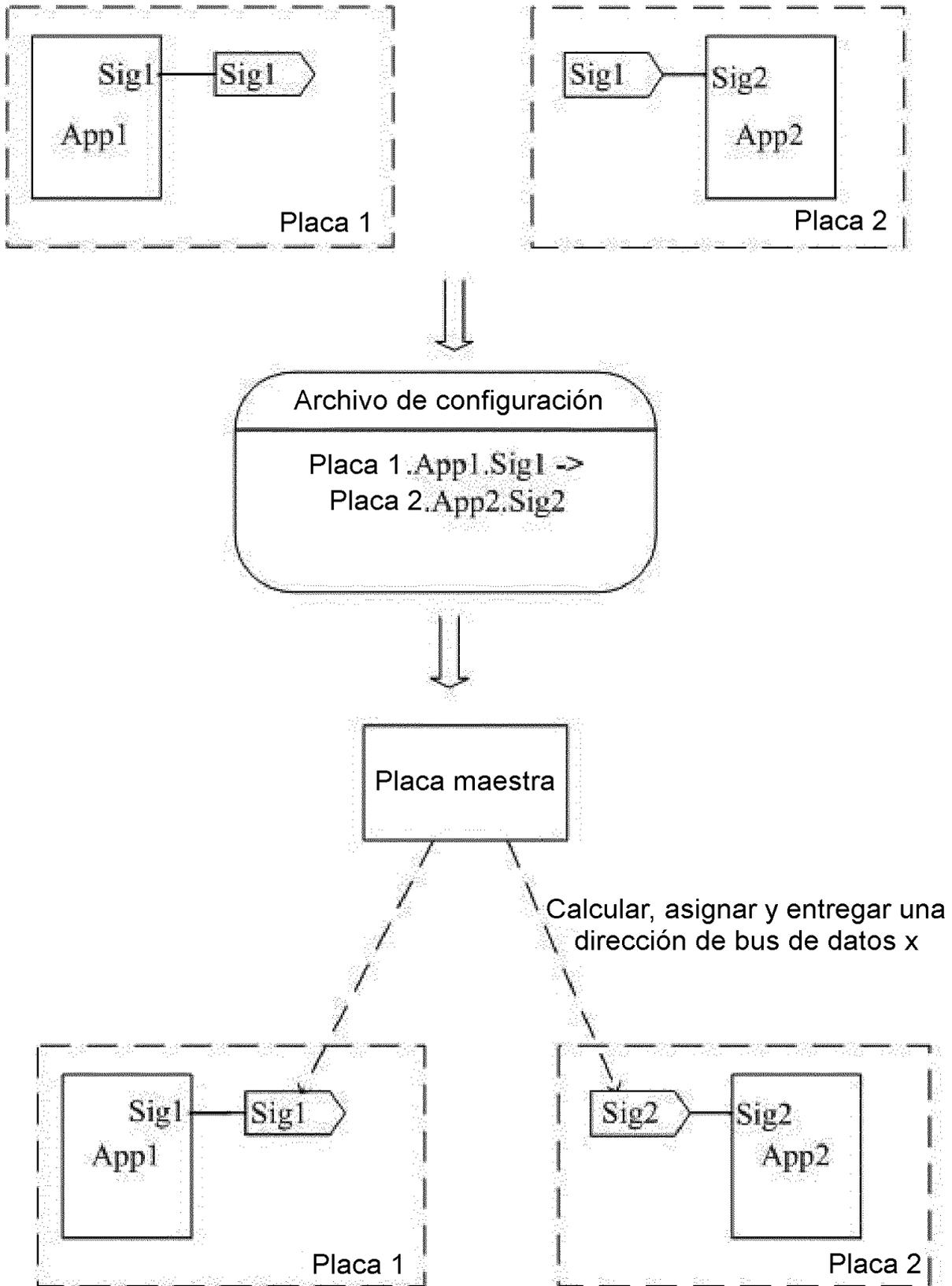


FIG. 3

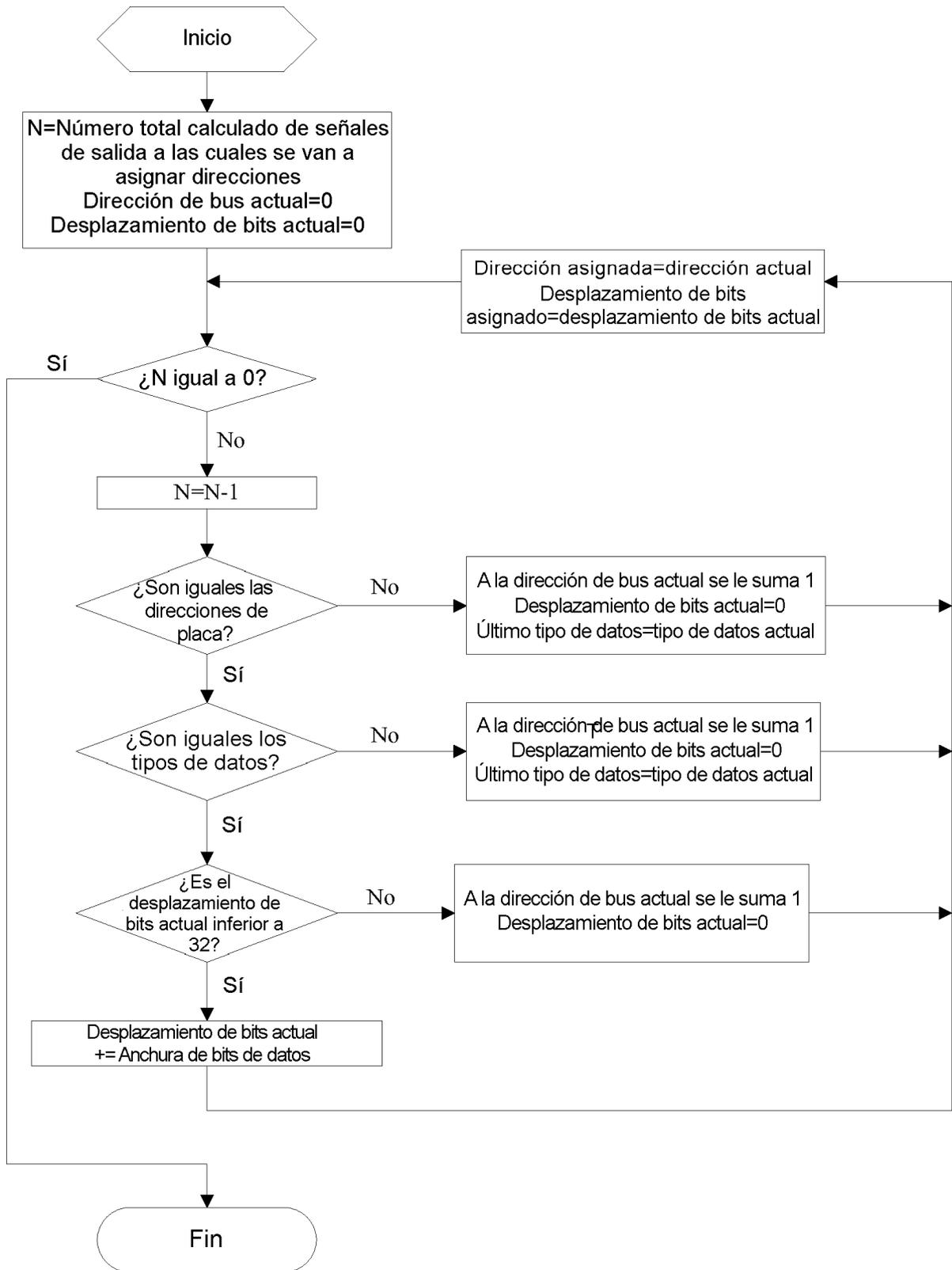


FIG. 4

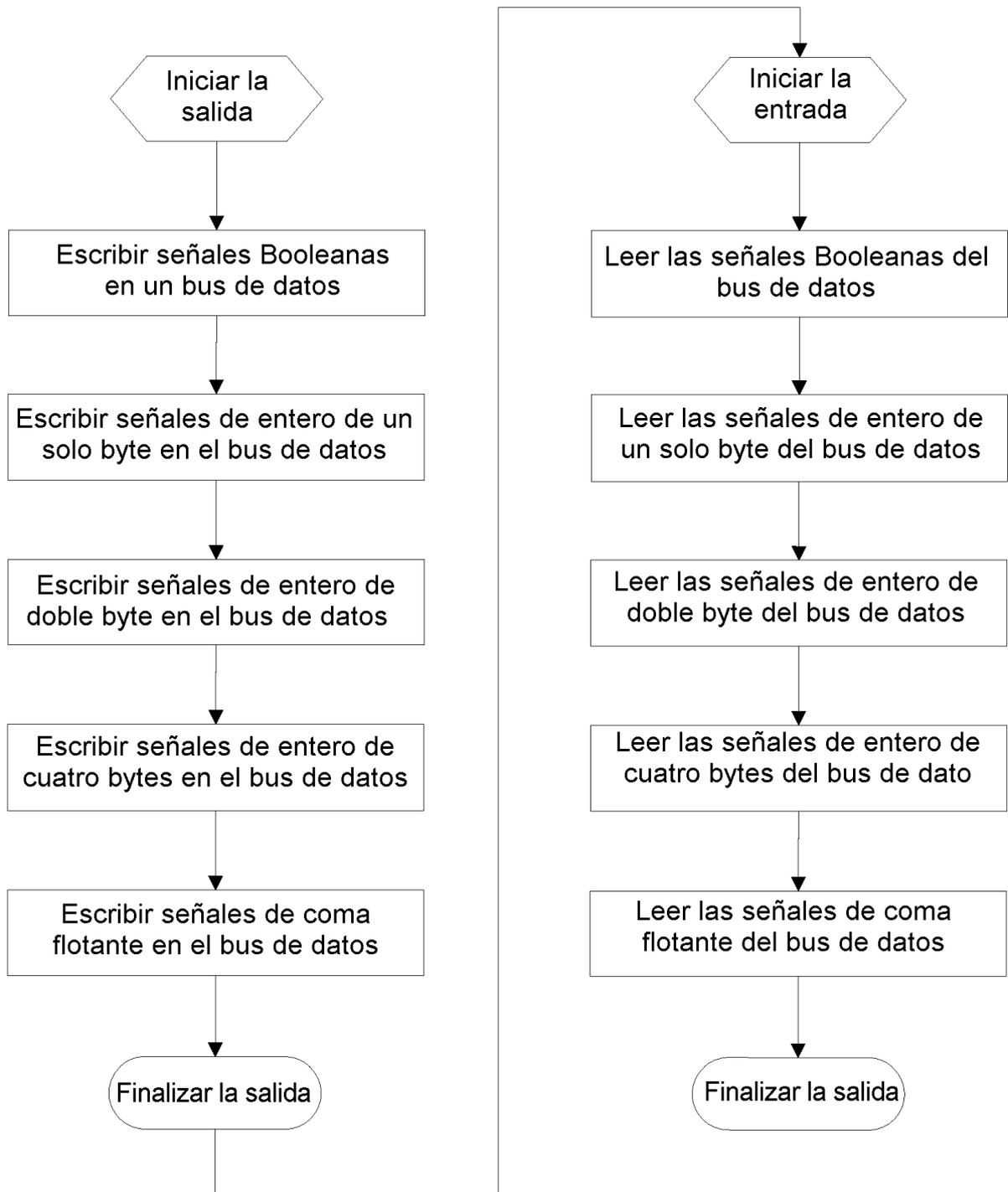


FIG. 5

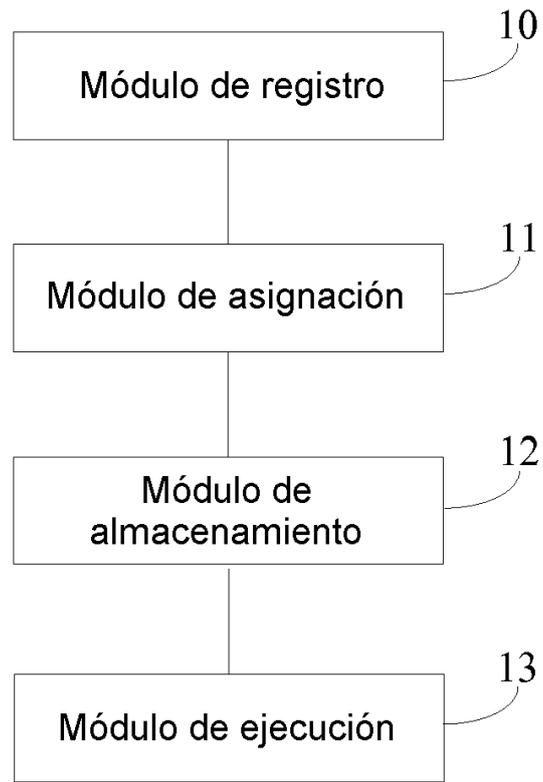


FIG. 6