

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 699 907**

51 Int. Cl.:

G11C 13/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.03.2016 E 16161256 (9)**

97 Fecha y número de publicación de la concesión europea: **05.09.2018 EP 3179478**

54 Título: **Celda de memoria y de memoria resistiva de la misma**

30 Prioridad:

08.12.2015 CN 201510895267

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

13.02.2019

73 Titular/es:

**WINBOND ELECTRONICS CORP. (100.0%)
No. 8 Keya 1st Rd., Daya District, Central Taiwan
Science Park,
Taichung City, Taiwan., TW**

72 Inventor/es:

CHEN, CHIEN-LUNG

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 699 907 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Celda de memoria y de memoria resistiva de la misma

Antecedentes de la invención

1. Campo de la invención

5 La invención versa acerca de una celda de memoria resistiva y, más en particular, acerca de una celda de memoria resistiva con un margen regulable de lectura.

2. Descripción de la técnica relacionada

10 Con los avances en las tecnologías electrónicas, los productos electrónicos se han convertido en una herramienta necesaria en la vida cotidiana. En respuesta a las funciones de almacenamiento de datos requeridas por los productos electrónicos, se han propuesto muchas memorias no volátiles, incluyendo la memoria resistiva.

15 En la técnica convencional, después de que las celdas de memoria de la memoria resistiva han hayan atravesado un ciclo de disposición-reposición, existe cierta probabilidad de que pueda producirse un fallo de transformación de alta y baja impedancia. Estadísticamente, el porcentaje de que se produzca tal fallo de transformación es de aproximadamente un 35%. Tal porcentaje elevado del fallo de transformación puede dar lugar a una fiabilidad reducida para almacenar datos mediante la memoria resistiva, lo que degrada de forma significativa el rendimiento de la memoria resistiva.

20 Para superar el problema mencionado anteriormente, en la técnica convencional se ha propuesto un procedimiento para el uso de resistencias complementarias de dos celdas de memoria para una operación de almacenamiento de datos. La publicación de patente US 2010/067289 muestra una celda de memoria que depende de elementos resistivos complementarios para almacenar datos. Sin embargo, el problema mencionado anteriormente no puede ser solucionado mediante tal procedimiento dado que los datos almacenados no pueden ser leídos si se produce un fallo de transformación en una de las dos celdas de memoria.

Sumario de la invención

25 La invención está dirigida a una celda de memoria resistiva, que es capaz de regular un margen de lectura de la misma a la vez que reduce los errores de datos en las celdas de memoria causados por el fallo de transformación generado a partir del ciclo de disposición-reposición.

30 La celda de memoria resistiva de la invención incluye un primer conmutador de línea de bits, una primera resistencia, un primer conmutador de línea de palabras, un segundo conmutador de línea de bits, una segunda resistencia y un segundo conmutador de línea de palabras. Un primer terminal del primer conmutador de línea de bits recibe una señal de línea de bits, y el primer conmutador de línea de bits es controlado por una señal de selección de la línea de bits para ser activado o desactivado. Un primer terminal de la primera resistencia está acoplado con un segundo terminal del primer conmutador de línea de bits. El primer conmutador de línea de palabras está conectado entre un segundo terminal de la primera resistencia y una línea de fuente en serie, y controlado por una señal de línea de palabras para ser activado o desactivado. Un primer terminal del segundo conmutador de línea de bits recibe la señal de línea de bits, y el segundo conmutador de línea de bits está controlado por la señal de selección de la línea de bits para ser activado o desactivado. Un primer terminal de la segunda resistencia está acoplado con un segundo terminal del segundo conmutador de línea de bits. El segundo conmutador de línea de palabras está conectado entre un segundo terminal de la segunda resistencia y la línea de fuente en serie, y controlado por la señal de línea de palabras para ser activado o desactivado. Cuando se programa la celda de memoria resistiva, se programan simultáneamente las resistencias de las resistencias primera y segunda con una impedancia alta o con una impedancia baja.

45 Una memoria resistiva de la invención incluye al menos una celda de memoria resistiva y un amplificador sensor. La celda de memoria resistiva incluye un primer conmutador de línea de bits, una primera resistencia, un primer conmutador de línea de palabras, un segundo conmutador de línea de bits, una segunda resistencia y un segundo conmutador de línea de palabras. Un primer terminal del primer conmutador de línea de bits recibe una señal de línea de bits, y el primer conmutador de línea de bits está controlado por una señal de selección de la línea de bits para ser activado o desactivado. Un primer terminal de la primera resistencia está acoplado con un segundo terminal del primer conmutador de línea de bits. El primer conmutador de línea de palabras está conectado entre un segundo terminal de la primera resistencia y una línea de fuente en serie, y controlado por una señal de línea de palabras para ser activado o desactivado. Un primer terminal del segundo conmutador de línea de bits recibe la señal de línea de bits, y el segundo conmutador de línea de bits está controlado por la señal de selección de la línea de bits para ser activado o desactivado. Un primer terminal de la segunda resistencia está acoplado con un segundo terminal del segundo conmutador de línea de bits. El segundo conmutador de línea de palabras está conectado entre un segundo terminal de la segunda resistencia y la línea de fuente en serie, y controlado por la señal de línea de palabras para ser activado o desactivado. Cuando se programa la celda de memoria resistiva, se programan

simultáneamente las resistencias de las resistencias primera y segunda con una impedancia alta o con una impedancia baja. El amplificador sensor tiene un primer terminal de entrada acoplado con el primer terminal de la primera resistencia y un segundo terminal de entrada que recibe una señal de referencia. Aquí, un terminal de salida del amplificador sensor genera datos de lectura.

- 5 En base a lo anterior, la invención proporciona dos resistencias para registrar datos de un bit. El quid es que, cuando se programa la celda de memoria resistiva, se programan simultáneamente las resistencias de las resistencias primera y segunda con la impedancia alta con la impedancia baja.

Para hacer que las anteriores características y ventajas de la presente divulgación sean más comprensibles, se describen en detalle varias realizaciones acompañadas con dibujos como sigue.

10 **Breve descripción de los dibujos**

Se incluyen los dibujos adjuntos para proporcionar una comprensión adicional de la invención, y se incorporan en la presente memoria, y constituyen una parte de la misma. Los dibujos ilustran realizaciones de la invención y, junto con la descripción, sirven para explicar los principios de la invención.

- 15 La FIG. 1 ilustra un diagrama esquemático de una celda de memoria resistiva en una realización de la invención.
 La FIG. 2 ilustra un diagrama esquemático de un circuito equivalente durante la operación de lectura para la celda de memoria resistiva.
 La FIG. 3 ilustra un diagrama esquemático de una memoria resistiva en una realización de la invención.

Descripción de las realizaciones

- 20 Se hará referencia ahora en detalle a las realizaciones actualmente preferentes de la invención, ejemplos de las cuales se ilustran en los dibujos adjuntos. Siempre que sea posible, se utilizan los mismos números de referencia en los dibujos y en la descripción para hacer referencia a las mismas partes, o similares.

Con referencia a la FIG. 1, la FIG. 1 ilustra un diagrama esquemático de una celda de memoria resistiva en una realización de la invención. Una celda 100 de memoria resistiva incluye conmutadores BSW1 y BSW2 de línea de bits, resistencias R1 y R2 y conmutadores WSW1 y WSW2 de línea de palabras. El conmutador BSW1 de línea de bits tiene un primer terminal que recibe una señal BL de línea de bits, y está controlado por una señal BLS de selección de la línea de bits para ser activado o desactivado. Un primer terminal de la resistencia R1 está acoplado con un segundo terminal del conmutador BSW1 de línea de bits. El conmutador WSW1 de línea de palabras está conectado entre un segundo terminal de la resistencia R1 y una línea SLO de fuente en serie, y está controlado por una señal WLO de línea de palabras para ser activado o desactivado. El conmutador BSW2 de línea de bits tiene un primer terminal que recibe la línea BL de línea de bits, y está controlado por la señal BLS de selección de la línea de bits para ser activado o desactivado. Un primer terminal de la resistencia R2 está acoplado con un segundo terminal del conmutador BSW2 de línea de bits. El conmutador WSW2 de línea de palabras está conectado entre un segundo terminal de la resistencia R2 y la línea SLO de fuente en serie, y está controlado por la señal WLO de línea de palabras para ser activado o desactivado.

- 35 En la presente realización, un transistor M6 está conectado entre una tensión VPP de alimentación y los conmutadores BSW1 y BSW2 de línea de bits en serie. Cuando se activa el transistor M6 según una señal CTR de control, se proporciona la tensión VPP de alimentación para que sirva de señal BL de línea de bits. Además, la celda 100 de memoria resistiva en la presente realización incluye, además, un transistor M5, y los conmutadores WSW1 y WSW2 de línea de palabras están acoplados con la línea SLO de fuente por medio del transistor M5. El transistor M5 puede ser activado o desactivado según una señal SLs de selección de la puerta.

40 Durante una operación de programación llevar a cabo para la celda 100 de memoria resistiva, los conmutadores BSW1 y BSW2 de línea de bits, los conmutadores WSW1 y WSW2 de línea de palabras y los transistores M5 y M6 pueden ser activados simultáneamente. En ese momento, los primeros terminales de las resistencias R1 y R2 reciben la señal BL de línea de bits sustancialmente igual a la tensión VPP de alimentación, y los segundos terminales de las resistencias R1 y R2 están acoplados comúnmente con la línea SLO de fuente. Por otra parte, las resistencias R1 y R2 pueden cambiar su resistencia llevando a cabo la operación de programación según un valor de tensión de la señal BL de línea de bits y un valor de tensión en la línea SLO de fuente.

45 Aquí, se debería hacer notar que, en la presente realización, los valores de tensión aplicados en los dos terminales de cada una de las resistencias R1 y R2 son idénticos. Es decir, las tendencias de variación de las resistencias R1 y R2 son idénticas. Más específicamente, las resistencias R1 y R2 pueden ser programadas simultáneamente con una impedancia alta, o las resistencias R1 y R2 pueden ser programadas simultáneamente con una impedancia baja.

Además, se puede utilizar un nodo entre el conmutador BSW1 de línea de bits y la resistencia R1 para formar un terminal LDT de lectura de datos. Aquí, el terminal de lectura de datos está configurado para proporcionar una impedancia LDR a un amplificador sensor (no ilustrado), y el amplificador sensor está configurado para detectar datos almacenados por la celda 100 de memoria resistiva.

Por otra parte, durante una operación de lectura llevada a cabo para la celda 100 de memoria resistiva, se puede desactivar el transistor M6, mientras que los conmutadores BSW1 y BSW2 de línea de bits, los conmutadores WSW1 y WSW2 de línea de palabras y el transistor M5 pueden ser activados simultáneamente. En esta condición, la celda 100 de memoria resistiva puede formar un diagrama esquemático de un circuito equivalente durante la operación de lectura para la celda de memoria resistiva, según se ilustra en la FIG. 2. Con referencia a la FIG. 2, los conmutadores WSW1 y WSW2 de línea de palabras son activados y el transistor M5 también es activado. En consecuencia, suponiendo que la línea SLO de fuente está acoplada con una tensión de tierra de referencia, la impedancia LDR proporcionada en el terminal LDT de lectura de datos es sustancialmente igual a una resistencia paralela de las resistencias R1 y R2 (sin tener en cuenta las resistencias activadas de los conmutadores WSW1 y WSW2 de línea de palabras y el transistor M5).

Al conectar las resistencias R1 y R2 en paralelo, la impedancia LDR proporcionada en el terminal LDT de lectura de datos puede ser regulada con una menor impedancia. Por ejemplo, si las resistencias de las resistencias R1 y R2 están ambas programadas con una impedancia baja LR, la impedancia LDR proporcionada en el terminal LDR de lectura de datos es aproximadamente igual a $1/2$ multiplicado por la impedancia baja LR. Además, la operación de lectura para la celda 100 de memoria resistiva puede llevarse a cabo por medio del amplificador sensor. Los datos de lectura pueden obtenerse estableciendo una impedancia umbral por medio de una señal de referencia proporcionada por el amplificador sensor y comparando la impedancia LDR con la impedancia umbral por medio del amplificador sensor.

En vista de lo anterior, puede saberse que en las realizaciones de la invención, la impedancia LDR proporcionada en el terminal LDT de lectura de datos de la celda 100 de memoria resistiva es menor que la impedancia baja LR proporcionada por una única resistencia. En consecuencia, se puede ampliar de forma eficaz la diferencia entre la impedancia LDR y la impedancia umbral para aumentar un margen de lectura de la celda 100 de memoria resistiva.

El quid es que, en el caso de que se produzca un fallo de transformación en una de las resistencias R0 y R1 de la celda 100 de memoria resistiva, puede seguir leyéndose un dato correcto de lectura llevando a cabo la operación de lectura en la celda 100 de memoria resistiva. Por ejemplo, cuando se mantiene la resistencia R0 a una impedancia elevada HR debido a la incidencia del fallo de transformación, la impedancia LDR proporcionada en el terminal LDT de lectura de datos de la celda 100 de memoria resistiva es igual a HR/LR (un valor paralelo de la impedancia elevada HR y de la impedancia reducida LR) y menor que la impedancia reducida LR, de forma que, en consecuencia, se sigan pudiendo leer los datos correctos de lectura.

Con referencia de nuevo a la FIG. 1, además, en las realizaciones de la invención, los conmutadores BSW1 y BSW2 de línea de bits están constituidos por transistores M1 y M2, respectivamente. Un primer terminal del transistor M1 recibe la señal BL de línea de bits; un segundo terminal del transistor M1 está acoplado con el primer terminal de la resistencia R1; y un terminal de control del transistor M1 recibe la señal BLS de selección de la línea de bits. Un primer terminal del transistor M2 recibe la señal BL de línea de bits; un segundo terminal del transistor M2 está acoplado con el primer terminal de la resistencia R2; y un terminal de control del transistor M2 recibe la señal BLS de selección de la línea de bits. Aquí, ambos transistores M1 y M2 pueden ser un transistor de tipo N, y pueden ser activados o desactivados simultáneamente según la misma señal BLS de selección de la línea de bits.

Los conmutadores WSW1 y WSW2 de línea de palabras están constituidos por los transistores M3 y M4, respectivamente. Un primer terminal del transistor M3 está acoplado con el segundo terminal de la resistencia R1; un segundo terminal del transistor M3 está acoplado con la línea SLO de fuente por medio del transistor M5; y un terminal de control del transistor M3 recibe la señal WLO de línea de palabras. Además, un primer terminal del transistor M4 está acoplado con el segundo terminal de la resistencia R2; un segundo terminal del transistor M4 está acoplado con la línea SLO de fuente por medio del transistor M5; y un terminal de control del transistor M4 recibe la señal WLO de línea de palabras. Aquí, ambos transistores M3 y M4 pueden ser un transistor de tipo N, y pueden ser activados o desactivados simultáneamente según la misma señal WLO de línea de palabras.

Con referencia a la FIG. 3, la FIG. 3 ilustra un diagrama esquemático de una memoria resistiva en una realización de la invención. Una memoria resistiva 300 incluye una o más celdas 301 a 30N de memoria resistiva, un amplificador sensor SA1 y un circuito de retención FF1. La estructura y el procedimiento operativo de cada una de las celdas 301 a 30N de memoria resistiva son idénticos a los de la celda 100 de memoria resistiva según se ha descrito en las anteriores realizaciones, que no se repiten de aquí en adelante. El amplificador sensor SA1 puede ser un amplificador sensor de tipo corriente. En la presente realización, un terminal de entrada del amplificador sensor SA1 está acoplado con el terminal LDT de lectura de datos de una de las celdas 301 a 30N de memoria resistiva (por ejemplo, la celda 301 de memoria resistiva), y otro terminal del amplificador sensor SA1 puede recibir una corriente I_{ref} de referencia. El amplificador sensor SA1 genera una corriente según la impedancia LDR proporcionada por el terminal LDT de lectura de datos, y compara tal corriente con la corriente I_{ref} de referencia para obtener, de ese modo, los datos RDR de lectura. El circuito de retención FF1 recibe los datos RDR de lectura y genera un resultado final de lectura de SALIDA reteniendo los datos RDR de lectura después de que el amplificador sensor SA1 puede enviar de forma estable los datos RDR de lectura.

Aquí, el circuito de retención FF1 puede ser un circuito basculante de una puerta lógica digital y puede realizar una operación de retención de datos según una señal de impulsos. Se puede configurar un tiempo durante el cual se proporcionan impulsos mediante la señal de impulsos según un instante en el que el amplificador sensor SA1 puede enviar de forma estable los datos RDR de lectura.

- 5 Adicionalmente, en las realizaciones de la invención, cuando se encuentra que se produce el fallo de transformación en parte de las resistencias en la memoria resistiva 300, se pueden medir la condición y las distribuciones de cantidad del fallo de transferencia utilizando un medio de medición. Más específicamente, cuando se encuentra que en la memoria resistiva 300, se producen los fallos de transferencia en todas las resistencias de la misma celda de memoria resistiva cuando la impedancia elevada HR no puede ser transformada en impedancia reducida LR, puede
- 10 determinarse que el fallo de transformación se produce en la resistencia con la impedancia elevada HR siempre que las dos resistencias de la misma celda de memoria resistiva incluyen una que es de impedancia elevada HR mientras que la otra que es de impedancia reducida LR, de forma que se puedan regular las resistencias con la impedancia elevada HR, devolviéndolas a la impedancia reducida LR. En consecuencia, se pueden mantener las resistencias en la celda de memoria resistiva en un estado correcto.
- 15 Resumiendo, en la invención se disponen dos resistencias programables en una única celda de memoria resistiva, y se almacenan datos programando las dos resistencias a las resistencias con la misma tendencia. Como resultado, durante la operación de lectura llevada a cabo para la celda de memoria resistiva, se puede reducir una posibilidad de que se produzca un fallo de lectura en la celda de memoria resistiva conectando las dos resistencias en paralelo para aumentar, de ese modo, el margen de lectura de la celda de memoria resistiva. Además, cuando se produce el
- 20 fallo de transformación en una resistencia, la celda de memoria resistiva de la invención sigue pudiendo proporcionar los datos correctos de lectura, de forma que se mantenga la precisión de los datos. Adicionalmente, debido a que las dos resistencias en una única celda de memoria resistiva están programadas con la misma tendencia de impedancia en la invención, las operaciones de programación llevadas a cabo para las dos resistencias de una única celda de memoria resistiva pueden completarse simultáneamente para reducir el tiempo requerido para la programación.

25

REIVINDICACIONES

1. Una celda (100) de memoria resistiva, que comprende:

un primer conmutador (BSW1) de línea de bits, que tiene un primer terminal que recibe una señal (BL) de línea de bits, y controlado por una señal (BLS) de selección de la línea de bits para ser activado o desactivado;

una primera resistencia (R1), que tiene un primer terminal acoplado con un segundo terminal del primer conmutador (BSW1) de línea de bits;

un primer conmutador (WSW1) de línea de palabras, conectado entre un segundo terminal de la primera resistencia (R1) y una línea (SLO) de fuente en serie, y controlado por una señal (WLO) de línea de palabras para ser activado o desactivado;

un segundo conmutador (BSW2) de línea de bits, que tiene un primer terminal que recibe la señal (BL) de línea de bits, y controlado por la señal (BLS) de selección de la línea de bits para ser activado o desactivado;

una segunda resistencia (R2), que tiene un primer terminal acoplado con un segundo terminal del segundo conmutador (BSW2) de línea de bits; y

un segundo conmutador (WSW2) de línea de palabras, conectado entre un segundo terminal de la segunda resistencia (R2) y la línea (SLO) de fuente en serie, y controlado por la señal (WLO) de línea de palabras para ser activado o desactivado;

en la que cuando se programa la celda (100) de memoria resistiva, se programan simultáneamente las resistencias de las resistencias primera y segunda (R1, R2) con una impedancia elevada o se programan simultáneamente con una impedancia reducida.

2. La celda (100) de memoria resistiva según la reivindicación 1, en la que se utiliza un nodo entre la primera resistencia (R1) y el primer conmutador (BSW1) de línea de bits como un terminal (LDT) de lectura de datos, y cuando se lee la celda (100) de memoria resistiva, se activan los conmutadores primero y segundo (BSW1, BSW2) de línea de bits y los conmutadores primero y segundo (WSW1, WSW2) de línea de palabras y el terminal de lectura de datos proporciona una primera impedancia a un amplificador sensor (SA1).

3. La celda (100) de memoria resistiva según la reivindicación 2, en la que la primera impedancia es igual a una resistencia paralela de la primera resistencia (R1) y de la segunda resistencia (R2).

4. La celda (100) de memoria resistiva según la reivindicación 1, en la que el primer conmutador (BSW1) de línea de bits es un primer transistor (M1), recibiendo un primer terminal del primer transistor (M1) la señal (BL) de línea de bits, estando acoplado un segundo terminal del primer transistor (M1) con el primer terminal de la primera resistencia (R1), recibiendo un terminal de control del primer transistor (M1) la señal (BLS) de selección de la línea de bits, siendo el primer conmutador (WSW1) de línea de palabras un segundo transistor (M3), estando acoplado un primer terminal del segundo transistor (M3) con el segundo terminal de la primera resistencia (R1), estando acoplado un segundo terminal del segundo transistor (M3) con la línea (SLO) de fuente, recibiendo un terminal de control del segundo transistor (M3) la señal (WLO) de línea de palabras.

5. La celda (100) de memoria resistiva según la reivindicación 1, en la que el segundo conmutador (BSW2) de línea de bits es un primer transistor (M2), recibiendo un primer terminal del primer transistor (M2) la señal (BL) de línea de bits, estando acoplado un segundo terminal del primer transistor (M2) con el primer terminal de la segunda resistencia (R2), recibiendo un terminal de control del primer transistor (M2) la señal (BLS) de selección de la línea de bits, siendo el segundo conmutador (WSW2) de línea de palabras un segundo transistor (M4), estando acoplado un primer terminal del segundo transistor (M4) con el segundo terminal de la segunda resistencia (R2), estando acoplado un segundo terminal del segundo transistor (M4) con la línea (SLO) de fuente, recibiendo un terminal de control del segundo transistor (M4) la señal (WLO) de línea de palabras.

6. Una memoria resistiva (300), que comprende:

al menos una celda (301-30N, 100) de memoria resistiva según la reivindicación 1, que comprende:

un primer conmutador (BSW1) de línea de bits, que tiene un primer terminal que recibe una señal (BL) de línea de bits, y controlado por una señal (BLS) de selección de la línea de bits para ser activado o desactivado;

una primera resistencia (R1), que tiene un primer terminal acoplado con un segundo terminal del primer conmutador (BSW1) de línea de bits;

un primer conmutador (WSW1) de línea de palabras, conectado entre un segundo terminal de la primera resistencia (R1) y una línea (SLO) de fuente en serie, y controlado por una señal (WLO) de línea de palabras para ser activado o desactivado;

un segundo conmutador (BSW2) de línea de bits, que tiene un primer terminal que recibe la señal (BL) de línea de bits, y controlado por la señal (BLS) de selección de la línea de bits para ser activado o desactivado;

una segunda resistencia (R2), que tiene un primer terminal acoplado con un segundo terminal del segundo conmutador (BSW2) de línea de bits; y
un segundo conmutador (WSW2) de línea de palabras, conectado entre un segundo terminal de la segunda resistencia (R2) y la línea (SLO) de fuente en serie, y controlado por la señal (WLO) de línea de palabras para ser activado o desactivado,

5
en la que, cuando se programa la celda (301-30N, 100) de memoria resistiva, se programan simultáneamente las resistencias de las resistencias primera y segunda (R1, R2) con una impedancia elevada o se programan simultáneamente con una impedancia reducida; y
un amplificador sensor (SA1), que tiene un primer terminal de entrada acoplado con el primer terminal de la primera resistencia (R1) y un segundo terminal de entrada que recibe una señal (Iref) de referencia, en la que un terminal de salida del amplificador sensor (SA1) genera datos (RDR) de lectura.

- 10
7. La memoria resistiva (300) según la reivindicación 6, en la que el amplificador sensor (SA) es un amplificador sensor de tipo corriente que genera una primera corriente y una segunda corriente, respectivamente, según las señales en el primer terminal de entrada y el segundo terminal de entrada y genera los datos (RDR) de lectura comparando la primera corriente y la segunda corriente.
- 15
8. La memoria resistiva (300) según la reivindicación 6, en la que se utiliza un nodo entre la primera resistencia (R1) y el primer conmutador (BSW1) de línea de bits como un terminal (LDT) de lectura de datos, y cuando se lee la celda (301-30N, 100) de memoria resistiva, se activan los conmutadores primero y segundo (BSW1, BSW2) de línea de bits y los conmutadores primero y segundo (WSW1, WSW2) de línea de palabras, y el terminal de lectura de datos proporciona una primera impedancia al amplificador sensor (SA1).
- 20
9. La memoria resistiva (300) según la reivindicación 8, en la que la primera impedancia es igual a una resistencia paralela de la primera resistencia (R1) y de la segunda resistencia (R2).
10. La memoria resistiva según la reivindicación 6, en la que la señal de referencia es una corriente (Iref) de referencia.

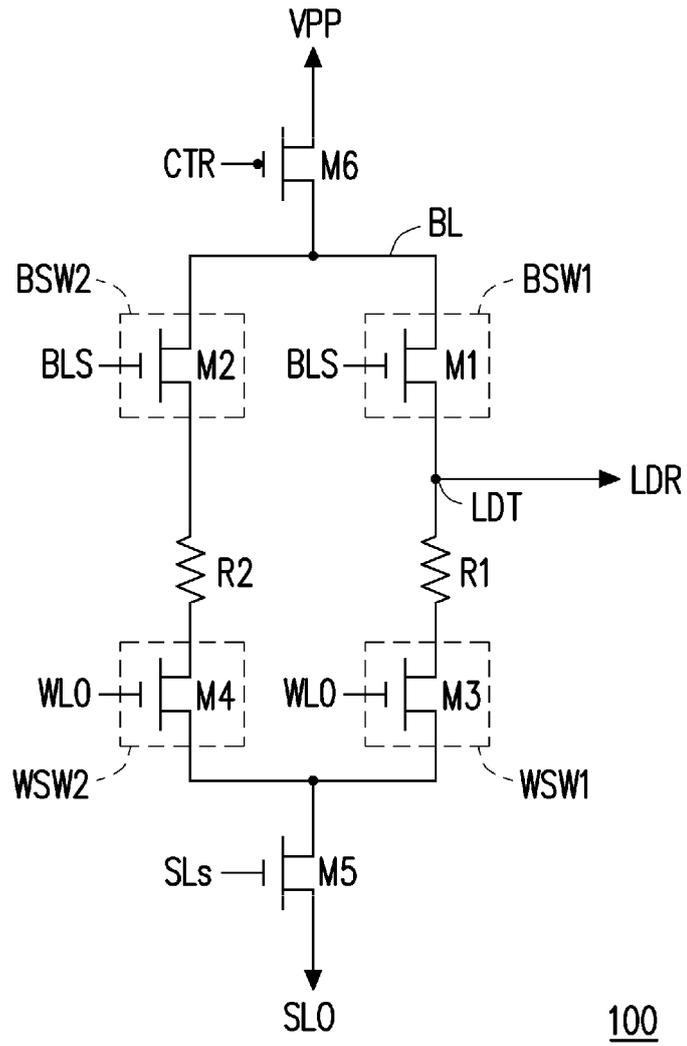


FIG. 1

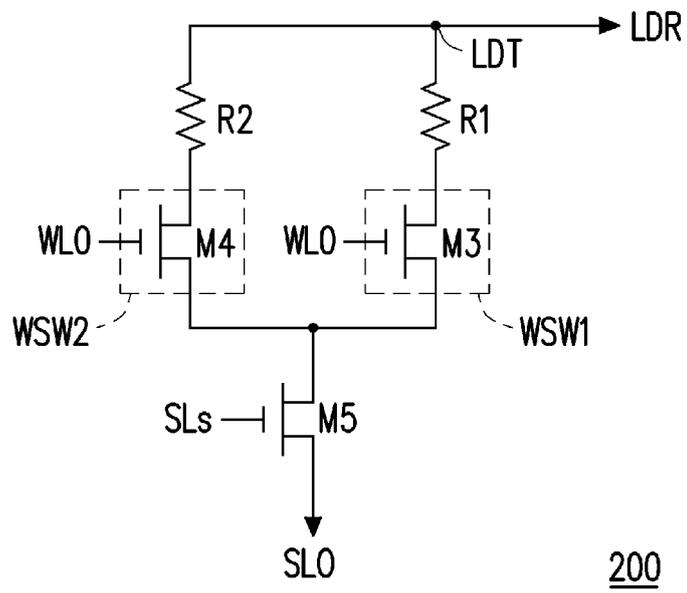


FIG. 2

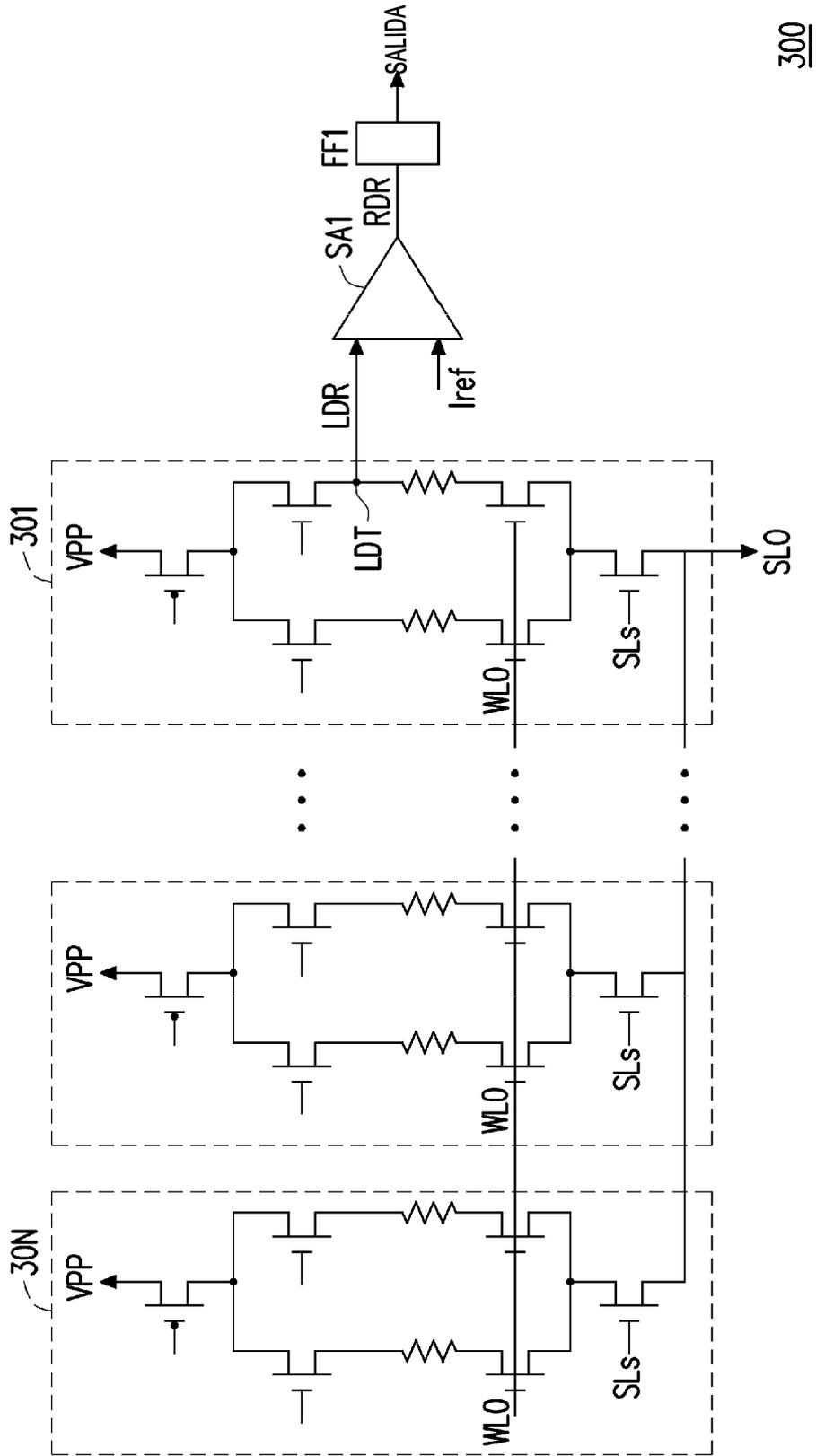


FIG. 3

300