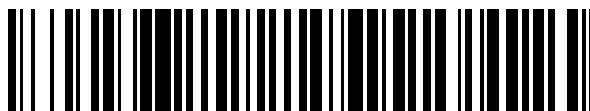


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 700 210**

51 Int. Cl.:

H01L 23/498 (2006.01)

H01L 23/544 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **02.05.2016** E 16167940 (2)

97 Fecha y número de publicación de la concesión europea: **19.09.2018** EP 3091570

54 Título: **Dispositivo de potencia semiconductor y método para ensamblar un dispositivo de potencia semiconductor**

30 Prioridad:

05.05.2015 WO PCT/EP2015/060165

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

14.02.2019

73 Titular/es:

**AGILE POWER SWITCH 3D - INTEGRATION
APSI3D (100.0%)
67 Bis boulevard Pierre Renaudet
65000 Tarbes, FR**

72 Inventor/es:

**REYNES, JEAN-MICHEL FRANCIS;
FAVRE, JACQUES PIERRE HENRI y
LACABANNE, RENAUD ANDRÉ**

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 700 210 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de potencia semiconductor y método para ensamblar un dispositivo de potencia semiconductor

5 **Campo de la invención**

La invención se refiere a dispositivos de potencia semiconductores. Un dispositivo de potencia es capaz de conmutar corrientes relativamente altas y/o a tensiones relativamente altas. Dichas corrientes pueden ser del orden de uno a cientos de amperios y dichas tensiones pueden ser del orden de unos pocos cientos a miles de voltios. La invención se refiere además al montaje de un dispositivo de potencia semiconductor.

Antecedentes de la invención

La solicitud de patente publicada US7859079B2 describe un dispositivo semiconductor de potencia de conmutación que comprende al menos dos sustratos. Los sustratos están dispuestos sustancialmente paralelos entre sí. Las superficies de los sustratos y las superficies de los elementos semiconductores dispuestos en los sustratos pueden comprender electrodos. Un subconjunto de electrodos se enfrenta entre sí y se proporcionan conexiones eléctricas entre ellos. En una realización, las conexiones eléctricas son proporcionadas por bolas de cobre que están interpuestas entre dos electrodos y que están soldadas a los electrodos. En otra realización, se proporcionan elementos en forma de gota de soldadura o plomo entre dos electrodos. En otra realización más, se proporcionan elementos en forma de gota de soldadura o plomo en los electrodos de uno de los sustratos, y se interponen bolas de cobre entre los elementos en forma de gota y el electrodo del otro de los sustratos. Las bolas de cobre y/o los elementos en forma de gota tienen un tamaño que se adapta a una distancia requerida entre los electrodos entre los cuales se interponen de tal manera que los dos sustratos están dispuestos sustancialmente paralelos entre sí. Las bolas de cobre y/o los elementos en forma de gota proporcionan una conexión eléctrica entre diferentes elementos eléctricos de los dos sustratos. Además, el calor puede ser transportado lejos de los elementos semiconductores provistos en los sustratos a través de las bolas de cobre y/o los elementos en forma de gota.

Las bolas de cobre y/o los elementos en forma de gota de la solicitud de patente anteriormente discutido proporcionan un espaciado entre los dos sustratos y, por tanto, definen una distancia entre los dos sustratos. En el siguiente documento, se supone que una línea que forma la distancia más corta entre los dos sustratos es una dimensión z. Por lo tanto, en otras palabras, las bolas de cobre y/o los elementos en forma de gota definen, en la dimensión z, una posición relativa de los dos sustratos entre sí. En el siguiente documento, se supone además que la dimensión x y la dimensión y están orientadas perpendicularmente a la dimensión z analizada anteriormente. Por lo tanto, se asume un sistema de coordenadas cartesiano tridimensional. Cuando, en la publicación de patente citada anteriormente, el primer sustrato y el segundo sustrato son exactamente planos y las bolas de cobre tienen un tamaño tal que los dos sustratos están dispuestos exactamente paralelos entre sí, la dimensión x y la dimensión y definen un plano virtual que también es paralelo a los dos sustratos.

40 **Sumario de la invención**

Durante el montaje de un dispositivo semiconductor de potencia de conmutación, tal como el dispositivo semiconductor de potencia de conmutación de la patente antes citada, los dos sustratos también deben ser correctamente alineados con respecto al otro en la dimensión X y la dimensión y. Una solución para alinear los dos sustratos en la dimensión x y la dimensión y durante el montaje hace uso de marcadores de alineación visibles grabados por cámaras y accionadores; y se controlan basándose en la salida de un sistema de procesamiento de vídeo para mover los dos sustratos en la posición correcta (x, y) uno con respecto al otro. Desafortunadamente, se ha visto que una solución de este tipo para alinear el primer sustrato con respecto al segundo sustrato en la dimensión x y la dimensión y no es lo suficientemente precisa. Normalmente, justo antes de que las bolas de cobre o los elementos en forma de gota se sujeten al primer sustrato o al segundo sustrato (por ejemplo, mediante soldadura), el primer sustrato y/o el segundo sustrato pueden moverse en la dimensión x o la dimensión y y luego los sustratos no están alineados con la suficiente precisión entre sí.

Es un objetivo de la invención proporcionar un dispositivo de conmutación de semiconductor de potencia que comprende dos sustratos que están mejor alineados uno con respecto al otro.

Un primer aspecto de la invención proporciona un dispositivo de potencia semiconductor. Un segundo aspecto de la invención proporciona un método para ensamblar un dispositivo de potencia semiconductor. Las realizaciones de la invención se definen en las reivindicaciones dependientes.

Un dispositivo semiconductor de potencia de acuerdo con el primer aspecto de la invención comprende un primer sustrato, un segundo sustrato y una estructura de interconexión. El primer sustrato comprende un elemento semiconductor de conmutación. El primer sustrato tiene una primera superficie y comprende localmente primeras capas eléctricamente conductoras y un primer elemento de recepción. El elemento semiconductor de conmutación se proporciona en la primera superficie. El segundo sustrato comprende una segunda superficie orientada hacia la primera superficie. El segundo sustrato comprende un segundo elemento de recepción y comprende localmente

segundas capas eléctricamente conductoras. La estructura de interconexión es para proporcionar al menos una conexión eléctrica entre al menos una de las primeras capas eléctricamente conductoras en un lado y al menos una de las segundas capas eléctricamente conductoras en el otro lado. La estructura de interconexión comprende una pluralidad de elementos de interconexión de un material conductor eléctrico. Al menos uno de la pluralidad de elementos de interconexión es un elemento de interconexión de alineación. El elemento de interconexión de alineación es recibido parcialmente por el primer elemento de recepción y es recibido de manera parcial por el segundo elemento de recepción para alinear una posición relativa del primer sustrato con respecto al segundo sustrato. Dichos elementos de recepción que tienen un rebaje conformado para recibir al menos parcialmente el elemento de interconexión de alineación y la forma del elemento de interconexión de alineación se seleccionan para afectar la colocación del elemento de interconexión de alineación en una posición relativa fija única con respecto al elemento de recepción, cuando dicho los elementos de recepción y el elemento de interconexión de alineación se aplican entre sí y cuando uno de los elementos de interconexión de alineación o dicho elemento de recepción recibe una fuerza. De este modo, el primer sustrato se alinea con respecto al segundo sustrato. Al menos uno del primer elemento de recepción y el segundo elemento de recepción es un orificio o un rebaje en una de dichas primeras capas eléctricamente conductoras y dichas segundas capas eléctricamente conductoras, respectivamente.

En el dispositivo semiconductor de potencia de acuerdo con la realización explicada anteriormente, se proporciona la alineación del primer sustrato con respecto al segundo sustrato de la siguiente manera. En una posición apropiada en el primer sustrato y en una posición correspondiente en el segundo sustrato; se proporcionan elementos de recepción que están configurados para recibir el elemento de interconexión de alineación. Se eligen las posiciones apropiadas, y el tamaño y la forma específicos del elemento de interconexión de alineación se seleccionan de manera tal que, cuando el primer elemento de recepción recibe una porción del elemento de interconexión de alineación, y el segundo elemento de recepción también recibe una porción del elemento de interconexión de alineación, la posición relativa del primer sustrato con respecto al segundo sustrato es la posición alineada (requerida). Debido a que los elementos de recepción reciben porciones del elemento de interconexión de alineación, la posición del elemento de interconexión de alineación se fija a las posiciones de los elementos de recepción y, en consecuencia, se fija la posición relativa del primer sustrato con respecto al segundo sustrato. Además, debido a que las formas de los rebajes de los elementos de recepción y la forma del elemento de interconexión de alineación se seleccionan de manera que cooperan hacia una posición fija única del elemento de interconexión de alineación con respecto a los elementos de recepción cuando se aplican entre sí bajo la influencia de una fuerza, solo hay una disposición relativa específica posible del elemento de interconexión de alineación con respecto a los elementos de recepción. De este modo, los elementos de recepción son forzados hacia una posición relativa entre sí que está bien definida y fija, y por lo tanto, los sustratos son forzados hacia una posición relativa entre sí que está bien definida y fija. En la mayoría de las realizaciones, la fuerza que se aplica al elemento de recepción o al elemento de interconexión de alineación, puede ser la fuerza gravitacional, pero también puede ser una fuerza que se aplica activamente a uno de los elementos. Además, debe observarse que alinear los sustratos hacia una posición relativa fija única entre sí también resulta en alinear el patrón de las primeras capas eléctricamente conductoras con respecto al patrón de las segundas capas eléctricamente conductoras. Por lo tanto, también se puede leer en esta aplicación que los elementos de recepción y el elemento de interconexión de alineación tienen la función de alinear los patrones de dichas capas eléctricamente conductoras entre sí.

De acuerdo con la discusión de la técnica anterior, un sistema de coordenadas cartesianas se puede definir en el dispositivo semiconductor de potencia. En el dispositivo de potencia semiconductor de acuerdo con la invención, la forma y el tamaño de los elementos de recepción y del elemento de interconexión de alineación definen la distancia entre los dos sustratos y, en consecuencia, definen la posición relativa del primer sustrato con respecto al segundo sustrato en la dimensión z. La posición del primer elemento de recepción sobre el primer sustrato y la posición del segundo elemento de recepción sobre el segundo sustrato definen las alineaciones relativas de los dos sustratos en la dimensión x y la dimensión y.

Al menos uno del primer elemento de recepción y el segundo elemento de recepción es un orificio o un rebaje en una de dichas primeras capas conductoras de la electricidad y dichas capas eléctricamente conductoras segundo, respectivamente. Un orificio o un rebaje se pueden fabricar con relativa facilidad. Además, cuando el elemento de recepción es un orificio o un rebaje, no se requieren componentes adicionales para el elemento de recepción y, por lo tanto, se ahorran costes. Además, cuando los orificios o los rebajes se hacen solo en las capas conductoras eléctricamente, los orificios o rebajes no se extienden en el primer y segundo sustrato, lo que es ventajoso en la mayoría de los circuitos electrónicos modernos porque se proporcionan varias conexiones eléctricas dentro de los sustratos - en otras palabras, otras conexiones eléctricas provistas en el sustrato no están dañadas o no necesitan ser diseñadas alrededor de los orificios o rebajes. Además, los orificios o rebajes pueden recibir parcialmente una porción de elementos de interconexión de alineación específicos con relativa facilidad. Por ejemplo, cuando el elemento de interconexión de alineación tiene una forma esférica o tiene forma de huevo, entonces será recibido automáticamente de manera parcial por un orificio en las capas eléctricamente conductoras que tiene un tamaño apropiado para recibir parcialmente dicho elemento de interconexión de alineación.

Según una realización, una porción del elemento de alineación de interconexión se recibe automáticamente mediante el elemento de recepción cuando ambos elementos se colocan en la porción superior del otro y se recibe una fuerza por porción de uno de los elementos y el otro elemento está en un fija posición. Por ejemplo, cuando un

elemento de interconexión de alineación se coloca en un elemento de recepción que tiene una posición fija, el elemento de interconexión de alineación recibe una fuerza gravitacional y la fuerza da como resultado la recepción parcial del elemento de interconexión de alineación por el elemento de recepción respectivo y la fuerza gravitacional fuerza el elemento de interconexión de alineación hacia la ubicación fija única. En un ejemplo, el elemento de interconexión de alineación tiene una forma esférica y los elementos de recepción son orificios: la forma esférica se recibe automáticamente al menos parcialmente por el orificio cuando la forma esférica se coloca en la porción superior del orificio y la esfera rueda hacia una posición única de tal manera que sea recibido de manera óptima parcial por el elemento de recepción. Esto tiene la ventaja de que, durante el ensamblaje del dispositivo semiconductor de potencia, la alineación se realiza automáticamente y no se requieren etapas separadas para forzar a los elementos de recepción a recibir la porción del elemento de interconexión de alineación.

El elemento semiconductor de conmutación puede ser un transistor, un transistor de efecto campo (FET), un transistor de efecto campo MOS (MOSFET), tiristor, un transistor bipolar de puerta aislada (IGBT), un diodo u otro elemento de conmutación de semiconductor apropiado. El primer sustrato y/o el segundo sustrato también pueden comprender otros elementos electrónicos que incluyen otros elementos hechos de material semiconductor, tales como silicio, carburo de silicio, arseniuro de galio, nitruro de galio, material semiconductor basado en diamante u otros materiales semiconductores apropiados. Algunos ejemplos son resistencias, condensadores, inductores, circuitos integrados u otros elementos electrónicos apropiados.

Los sustratos pueden ser fabricadas de múltiples capas de materiales térmicamente conductores y eléctricamente aislantes (por ejemplo, cerámicas) y materiales altamente conductores de la electricidad (por ejemplo, metales) para el enrutamiento. Ejemplos de materiales cerámicos son nitruro de aluminio (AlN), óxido de aluminio (Al₂O₃) y nitruro de silicio (Si₃N₄). Otro ejemplo de un sustrato es Si₃N₄ atrapado entre dos capas de metal delgadas, por ejemplo, capas delgadas de cobre o aluminio. Por lo general, en el campo relevante, dichos sustratos se denominan sustratos de cobre de unión directa (DBC, por sus siglas en inglés) o sustratos de unión de metales activos (AMB). Las capas eléctricamente conductoras y/o los elementos de interconexión pueden estar hechos de metal, como cobre o aluminio, pero también de otros metales u otros materiales eléctricamente conductores. Opcionalmente, el (los) material(es) de los cuales están hechos las capas eléctricamente conductoras y/o los elementos de interconexión, es un buen conductor de calor de tal manera que dichas capas y dichos elementos de interconexión contribuyen a la distribución y conducción de calor hacia lugares donde se puede conducir el calor lejos del dispositivo de alimentación de semiconductores (por ejemplo, una interfaz a un disipador de calor). En el siguiente documento, se puede leer "electrodo" en lugar de una capa eléctricamente conductora, sin embargo, debe notarse que las capas eléctricamente conductoras no están acopladas por definición a una tensión o señal específica; las capas eléctricamente conductoras también pueden ser islas aisladas de dicho(s) material(es).

Opcionalmente, el primer sustrato comprende una pluralidad de primeros elementos de recepción, el segundo sustrato comprende una pluralidad de segundos elementos de recepción y dichos elementos de interconexión comprenden una pluralidad de elementos de alineación de interconexión, cada uno respectivo de la pluralidad de elementos de interconexión de alineación es parcialmente recibido por uno respectivo de los primeros elementos de recepción y es recibido parcialmente por uno correspondiente de los segundos elementos de recepción para alinear una posición relativa del primer sustrato con respecto al segundo sustrato. En otras palabras, hay una pluralidad de 3-tuplas, cada uno de los cuales comprende un primer elemento de recepción, un segundo elemento de recepción y un elemento de interconexión de alineación. La posición del primer elemento de recepción de un 3-tupla en el primer sustrato coincide con una ubicación en el segundo sustrato para obtener el efecto de que, cuando el elemento de interconexión de alineación del 3-tupla específico es recibido al menos parcialmente por los elementos de recepción del 3-tupla, la combinación de elementos de recepción y el elemento de interconexión de alineación proporciona una alineación requerida en las dimensiones x-y. El dispositivo de potencia semiconductor descrito anteriormente comprende al menos uno de estos 3-tuplas, mientras que esta realización opcional comprende una pluralidad de dichos 3-tuplas. Al proporcionar una pluralidad de dichos 3-tuplas, el mecanismo de alineación es más preciso y más confiable.

Opcionalmente, el primer sustrato comprende al menos tres primeros elementos de recepción, al menos tres segundos elementos de recepción y al menos tres elementos de alineación de interconexión. En otras palabras, en la realización opcional analizada anteriormente, hay al menos dos elementos de recepción de 3-tuplas y un elemento de interconexión de alineación, mientras que esta realización opcional proporciona al menos tres de dichos 3-tuplas. Esto resulta, al menos en la dimensión z, en un posicionamiento estable del primer sustrato con respecto al segundo sustrato. Se puede hacer una comparación con una mesa: cuando una mesa tiene al menos tres patas, la mesa se puede colocar en una posición estable en el suelo, mientras que una mesa con dos patas se vuelca.

Opcionalmente, el primer elemento de recepción está acoplado eléctricamente a una de las primeras capas conductoras de la electricidad. Opcionalmente, el segundo elemento de recepción está acoplado eléctricamente a una de las segundas capas eléctricamente conductoras. Opcionalmente, el elemento de interconexión de alineación está acoplado eléctricamente a dichos elementos de recepción. Además de proporcionar una buena alineación, el elemento de interconexión de alineación puede tener el papel de un conductor eléctrico para proporcionar una conexión eléctrica entre el primer sustrato y el segundo sustrato. Para cumplir esta función, el elemento de alineación de interconexión puede estar acoplado eléctricamente a los elementos de recepción que pueden estar

acoplados eléctricamente a las capas eléctricamente conductoras de los sustratos. Cuando los elementos de recepción son un elemento separado provisto en los sustratos, los elementos de recepción también pueden acoplarse eléctricamente a las capas eléctricamente conductoras para proporcionar una conexión eléctrica entre el elemento de interconexión de alineación y la capa eléctricamente conductora. Los elementos de recepción y los elementos de interconexión pueden estar unidos (por ejemplo, soldados) a las capas conductoras eléctricamente y los elementos de recepción, respectivamente - los elementos de recepción y los elementos de interconexión también pueden estar en contacto físico directo con las capas conductoras de electricidad y los elementos de recepción, respectivamente.

Tenga en cuenta que el elemento de recepción puede ser orificios en las capas eléctricamente conductoras y objetos del elemento de alineación de interconexión puede tener forma esférica. Cuando el objeto con forma esférica se proporciona parcialmente en el orificio, el objeto con forma esférica puede tocar el borde del orificio, obteniendo así un acoplamiento conductor eléctrico. Además, el objeto con forma esférica que está siendo recibido parcialmente por el orificio se puede unir (por ejemplo, soldar) a la capa eléctricamente conductora.

Opcionalmente, el primer elemento de recepción está acoplado térmicamente a una de las primeras capas conductoras de la electricidad. Opcionalmente, el segundo elemento de recepción está acoplado térmicamente a una de las segundas capas eléctricamente conductoras. Opcionalmente, el elemento de alineación de interconexión está acoplado térmicamente a dichos elementos de recepción. Además de proporcionar una buena alineación, el elemento de interconexión de alineación puede desempeñar un papel como conductor térmico para conducir el calor desde el primer sustrato al segundo sustrato o desde el segundo sustrato al primer sustrato (y opcionalmente, más allá de una interfaz, por ejemplo, un disipador de calor).

Opcionalmente, la pluralidad de elementos de interconexión comprende al menos dos elementos de interconexión que tienen profundidades diferentes entre sí y las profundidades están adaptadas para una distancia entre dichas capas conductoras de la electricidad, entre las que dichos elementos de interconexión están dispuestos, las profundidades se miden en una dirección de una línea más corta desde el primer sustrato y hacia el segundo sustrato en la posición de dichos elementos de interconexión. En esta realización opcional, al menos dos elementos de interconexión tienen diferentes profundidades. Estos dos elementos de interconexión pueden ser los elementos de interconexión de alineación, pero también pueden ser dos elementos de interconexión que no tienen ningún papel en la alineación del primer sustrato con respecto al segundo sustrato. En un dispositivo de potencia semiconductor ideal, los elementos de interconexión tienen un muy buen contacto con las capas eléctricamente conductoras del sustrato y esto puede lograrse adaptando el tamaño/profundidad de los elementos de interconexión a la distancia entre el primer sustrato y el segundo sustrato en la ubicación donde están dispuestos los elementos de interconexión respectivamente. Además, los elementos de interconexión se pueden unir (por ejemplo, soldar) a las capas eléctricamente conductoras, aumentando así el área de corte transversal de la conexión eléctrica.

A pesar de que, en muchas aplicaciones prácticas, parece que el primer sustrato está dispuesto en paralelo al segundo sustrato, la distancia entre el primer sustrato y el segundo sustrato puede variar significativamente en el orden de muchos micrómetros. Por ejemplo, el primer sustrato y/o el segundo sustrato pueden someterse a una deformación y esto puede resultar inmediatamente en una conexión eléctrica no óptima cuando la profundidad de los elementos de interconexión no se adapta a esas variaciones de distancia. Incluso puede resultar en un circuito abierto en lugar de una conexión. Además, el primer sustrato y/o el segundo sustrato se someten a tolerancias de fabricación que dan como resultado, por ejemplo, un grosor variable de los sustratos y/o una superficie no plana. Las capas eléctricamente conductoras también pueden tener un grosor no uniforme, por ejemplo, como resultado de diferentes cantidades de grabado u otras tolerancias de fabricación. Además, las capas eléctricamente conductoras pueden unirse al sustrato por medio de un material específico que, por ejemplo, adhiere las capas eléctricamente conductoras al sustrato y la cantidad de este material específico también puede variar a lo largo de la superficie del sustrato. Además, algunos de los elementos eléctricos (como el elemento semiconductor de conmutación, pero también elementos pasivos como resistencias) pueden tener un electrodo de superficie al que un elemento de interconexión proporciona una conexión eléctrica y esos elementos eléctricos tienen un cierto grosor que se debe tener en cuenta al seleccionar una profundidad específica para un elemento de interconexión que está en contacto con esos elementos eléctricos.

En los métodos prácticos de montaje del dispositivo semiconductor de potencia, se mide o determina primero cómo el primer sustrato será exactamente alineado con respecto al segundo sustrato asumiendo que el elemento de interconexión de alineación o elementos de interconexión de alineación están provistos en su posición/sus posiciones. Posteriormente, en cada posición requerida de los elementos de interconexión, se mide o determina cuál es la distancia entre las capas eléctricamente conductoras, entre las cuales se deben colocar los respectivos elementos de interconexión. Posteriormente, se seleccionan diferentes elementos de interconexión de acuerdo con las distancias medidas o determinadas y estos diferentes elementos de interconexión se disponen en sus posiciones requeridas.

Opcionalmente, una forma del elemento de alineación de interconexión es uno de una esfera, una caja rectangular, un cubo, un cuboide rectangular, un cilindro, un tubo, un huevo, un balón de rugby, un balón en forma de diamante, y un diamante. Estas formas proporcionan una buena característica de alineación cuando se usan en combinación

con un elemento de recepción que tiene una forma correspondiente que es capaz de recibir parcialmente el elemento de interconexión de alineación. Opcionalmente, los elementos de interconexión, que no son el elemento de interconexión de alineación, también pueden tener una forma que es una esfera, una caja rectangular, un cubo, un cuboide rectangular, un cilindro, un tubo, un huevo, un balón de rugby, un balón en forma de diamante, y un diamante. Opcionalmente, los diferentes elementos de interconexión y/o los diferentes elementos de interconexión de alineación también pueden tener diferentes formas seleccionadas de una esfera, una caja rectangular, un cubo, un cuboide rectangular, un cilindro, un tubo, un huevo, un balón de rugby, un balón con forma de diamante, y un diamante. Opcionalmente, dichos elementos de recepción son orificios en una respectiva de las capas conductoras eléctricamente y dichos elementos de interconexión de alineación son esferas. El radio de las esferas es mayor que el radio de dichos orificios. Cuando se realiza un orificio en capas eléctricamente conductoras y el orificio tiene un radio que es más pequeño que el radio de un elemento de interconexión de alineación esférica, el orificio automáticamente recibirá parcialmente, en una posición fija, el elemento de interconexión de alineación esférica cuando el elemento de interconexión de alineación de forma esférica se coloca en/sobre el orificio o al revés bajo la influencia de la fuerza gravitacional. Entonces, el elemento de interconexión de alineación solo se puede mover en la dirección x o en la dirección y aplicando una fuerza significativa en la dirección x o en la dirección y, por lo tanto, la posición del elemento de interconexión de alineación está relativamente bien fijada con respecto a la posición del elemento de recepción. En consecuencia, la alineación se realiza casi automáticamente de forma automática, simplemente en función de los efectos mecánicos/físicos.

Además, el borde del orificio tocará el elemento de interconexión de alineación de forma esférica de este modo, proporcionando un buen contacto eléctrico entre el elemento de alineación de interconexión y la capa eléctricamente conductora (suponiendo que el elemento de alineación de interconexión también es eléctricamente conductor).

Es de notar que los elementos de interconexión, no siendo un elemento de interconexión de la alineación, también pueden tener una forma esférica.

Cuando los radios de los orificios son relativamente pequeños con respecto al radio previsto de los elementos de alineación de interconexión con forma esférica, una amplia gama de elementos de alineación de interconexión en forma esférica de radios diferentes puede usarse en combinación con los orificios relativamente pequeños. Por ejemplo, el radio previsto de los orificios es aproximadamente la mitad de los radios previstos de los elementos de interconexión de alineación. Esto proporciona libertad para utilizar diferentes elementos de interconexión de alineación con forma esférica mientras se ensambla el dispositivo de potencia semiconductor. Por ejemplo, se puede seleccionar un radio específico para el elemento de interconexión de alineación para obtener una distancia específica entre el primer sustrato y el segundo sustrato. Los radios de los elementos de interconexión de alineación también pueden verse afectados por una posible deformación del primer sustrato o del segundo sustrato, o por espesores variables de capas eléctricamente conductoras u otras tolerancias de fabricación.

Los mismos efectos se obtienen cuando el elemento de alineación de interconexión es de huevo, balón de rugby o en forma de diamante y tiene un "radio" (medido en el centro del primer sustrato y el segundo sustrato) que es mayor que los radios de los orificios.

Opcionalmente, el radio de las esferas es relativamente grande en comparación con los radios de los orificios, en particular cuando los orificios no son muy profundos. Los radios de los orificios son lo suficientemente pequeños para asegurar que cuando la esfera se posiciona en el orificio, la esfera no toca la porción inferior del conjunto y está en contacto con el borde del orificio. Por ejemplo, el radio de las esferas es de 1,3 a 2,5 veces más grande que el radio de los orificios.

Opcionalmente, el segundo sustrato comprende un elemento semiconductor. El elemento semiconductor también puede ser un elemento semiconductor de conmutación cuyos ejemplos se discutieron anteriormente, pero también pueden ser elementos semiconductores pasivos como diodos o incluso resistencias hechas de un material semiconductor. El primer sustrato y/o el segundo sustrato también pueden comprender otros componentes eléctricos, como resistencias, inductores o condensadores. El elemento semiconductor también puede ser un circuito integrado.

Opcionalmente, una o más primeras capas eléctricamente conductoras están dispuestas sobre o en la primera superficie. Opcionalmente, una o más primeras capas eléctricamente conductoras están dispuestas sobre o en una superficie del elemento semiconductor de conmutación que está orientada hacia afuera del primer sustrato. Opcionalmente, una o más segundas capas eléctricamente conductoras están dispuestas sobre o en la segunda superficie. Opcionalmente, una o más segundas capas eléctricamente conductoras están dispuestas sobre o en una superficie del elemento semiconductor. Debe observarse que puede estar presente algún otro material entre las capas eléctricamente conductoras y dichos sustratos, el elemento semiconductor de conmutación o el elemento semiconductor - un ejemplo de tal otro material es una clase de pegamento, gel, epoxi o soldadura fuerte. Las capas eléctricamente conductoras que se proporcionan en una superficie del elemento semiconductor de conmutación o en una superficie de otro componente eléctrico también pueden denominarse "electrodos de superficie".

Según otro aspecto de la invención, se proporciona un método de montaje de un dispositivo semiconductor de potencia. El método comprende: i) obtener un primer sustrato que comprende un elemento semiconductor de conmutación, el primer sustrato que tiene una primera superficie y que comprende localmente primeras capas eléctricamente conductoras y un primer elemento de recepción, el elemento semiconductor de conmutación se proporciona en la primera superficie, ii) obtener un segundo sustrato que comprende una segunda superficie orientada hacia la primera superficie, el segundo sustrato que comprende un segundo elemento de recepción y que comprende localmente segundas capas conductoras de electricidad, vi) obtener un elemento de interconexión de alineación, v) que proporciona el elemento de interconexión de alineación a uno del primer elemento de recepción y el segundo elemento de recepción para afectar una recepción parcial del elemento de interconexión de alineación por dicho elemento de recepción, vi) proporcionar el elemento de interconexión de alineación a uno de los primeros elementos de recepción y el segundo elemento de recepción para afectar una recepción parcial del elemento de interconexión de alineación mediante dicho elemento de recepción.

El método de acuerdo con el aspecto anterior de la invención proporciona las mismas ventajas que el dispositivo semiconductor de potencia de acuerdo con el primer aspecto de la invención y tiene realizaciones similares con efectos similares a los de las realizaciones correspondientes del sistema. Por lo tanto, el método es un método eficiente y eficaz para fabricar dispositivos semiconductores de potencia en los que el primer sustrato está bien alineado con respecto al segundo sustrato. En particular, y como se discutió anteriormente, los elementos de recepción y el elemento de interconexión de alineación proporcionan un medio mecánico efectivo para asegurar que la alineación entre el primer sustrato y el segundo sustrato sea precisa (suponiendo que los elementos de recepción estén provistos en las ubicaciones correctas). En la etapa de fijación del elemento de interconexión de la alineación conductora eléctrica al otro del primer elemento de recepción y el segundo elemento de recepción, no se requieren sensores y/o accionadores adicionales para asegurar la colocación correcta del segundo sustrato con respecto al primer sustrato: la recepción parcial del elemento de interconexión de alineación por porción de los elementos de recepción garantiza automáticamente la alineación correcta. Incluso si la alineación previa es relativamente débil, este mecanismo asegura que esto se autocorrija hacia la alineación correcta final.

En el procedimiento, se obtienen el primer sustrato y el segundo sustrato. En una realización opcional, la obtención del primer sustrato y/o la obtención del segundo sustrato incluye la fabricación del primer sustrato y/o el segundo sustrato.

Opcionalmente, el procedimiento de montaje de un dispositivo semiconductor de potencia comprende además a) obtener datos que describen un posicionamiento requerido del primer sustrato con respecto al segundo sustrato, características b) medir del primer elemento de recepción y del segundo elemento de recepción, c) determinar las características de un elemento de interconexión de alineación basándose en los datos obtenidos y las características medidas, y en donde en la etapa de obtención del elemento de interconexión de alineación, el elemento de interconexión de alineación se obtiene sobre la base de las características determinadas.

Los datos que se obtiene para describir un posicionamiento requerido del primer sustrato con respecto al segundo sustrato pueden incluir una distancia requerida entre el primer sustrato y el segundo sustrato, pero puede incluir más información, como, en un lugar específico de la distancia entre los sustratos debe ser un valor específico y en otra ubicación específica, la distancia entre los sustratos debe ser otro valor específico.

En la etapa de medición de las características del primer elemento de recepción y del segundo elemento de recepción, que es, por ejemplo, determinado cuál es la forma de los respectivos elementos de recepción. Otras características pueden ser la distancia que los elementos de recepción sobresalen de las superficies de los sustratos cuando los elementos de recepción son una especie de salientes. Las características de medición también pueden incluir la determinación de la ubicación exacta de los elementos de recepción.

En la etapa de la determinación de las características del elemento de alineación de interconexión se asegura que, cuando el elemento de alineación de interconexión obtenido tiene las características determinadas y se recibe al menos parcialmente por los primeros elementos de recepción y parcialmente recibidos por el segundo elemento de recepción, el primer sustrato se coloca con respecto al segundo sustrato como se describe en los datos requeridos; en otras palabras, el primer sustrato está bien alineado con respecto al segundo sustrato. Por ejemplo, en esta etapa se selecciona la forma del elemento de interconexión de alineación y/o se selecciona una longitud/profundidad del elemento de interconexión de alineación. Por ejemplo, cuando los elementos de interconexión de alineación disponibles son esferas y los elementos de recepción son orificios, se selecciona un radio específico para el elemento de interconexión de alineación de forma esférica. En una realización específica, cuando, por ejemplo, los elementos de recepción no son exactamente opuestos entre sí cuando el primer sustrato se coloca con respecto al segundo sustrato como se describe en los datos obtenidos, puede ser que, mientras se determinan las características de los elementos de interconexión de alineación se selecciona una forma específica que todavía resulta en una buena alineación, aunque los elementos de recepción no son exactamente opuestos entre sí.

Las etapas de proporcionar el elemento de interconexión de alineación a uno de los elementos de recepción significan que el elemento de alineación de interconexión se pone en contacto con el elemento de recepción de tal manera que sea recibido parcialmente por el elemento de recepción. Esto se puede hacer simplemente colocando el

elemento de interconexión de alineación en el elemento de recepción, o colocando el elemento de recepción en el elemento de interconexión de alineación y utilizando la gravedad para mover el elemento de interconexión de alineación, o el elemento de recepción, a una posición tal que el elemento de interconexión de alineación recibe parcialmente el elemento de recepción. En realizaciones específicas, puede comprender proporcionar una fuerza para asegurar que el elemento de recepción reciba parcialmente el elemento de interconexión de alineación.

Los elementos de interconexión de alineación usados en el método pueden ser fabricados de un material eléctricamente conductor.

Opcionalmente, al menos una de dichas etapas de proporcionar el elemento de alineación de interconexión eléctricamente conductor para dichos elementos comprende uno de i) soldar dicho elemento de alineación eléctricamente conductor de interconexión a dichos elementos de recepción y ii) sinterizar dicho elemento de interconexión de alineación conductor de la electricidad a dichos elementos de recepción. Al utilizar una de estas tecnologías de sujeción, se garantiza que se obtenga una buena conexión eléctrica y/o un buen recorrido térmico desde el elemento de recepción al elemento de interconexión de alineación.

Opcionalmente, cuando dichos elementos de recepción son orificios o rebajes, la etapa de medir las características del primer elemento de recepción y el segundo elemento de recepción comprende al menos uno de determinar un radio de dichos elementos de recepción y la determinación de una profundidad de dichos elementos de recepción, el radio del primer elemento de recepción se mide en un plano sustancialmente paralelo a la primera superficie, el radio del segundo elemento de recepción se mide en un plano sustancialmente paralelo a la segunda superficie, la profundidad del primer elemento de recepción se mide en un plano sustancialmente perpendicular a la primera superficie, la profundidad del segundo elemento de recepción se mide en un plano sustancialmente perpendicular a la segunda superficie. Debe observarse que los orificios o rebajes pueden extenderse solo a las capas eléctricamente conductoras, o pueden extenderse al sustrato, o pueden extenderse a la combinación de las capas eléctricamente conductoras y el sustrato.

Estos y otros aspectos de la invención serán evidentes a partir de y se aclararán con referencia a la realización descrita a continuación.

Los expertos en la materia apreciarán que dos o más de las opciones, implementaciones y/o aspectos de la invención mencionados anteriormente se pueden combinar de cualquier manera que se considere útil.

Las modificaciones y variaciones del dispositivo y/o del método, que corresponden a las modificaciones y variaciones del dispositivo descrito, se pueden llevar a cabo por una persona experta en la técnica sobre la base de la presente descripción.

Breve descripción de los dibujos

En los dibujos:

La figura 1 muestra esquemáticamente, en una vista en despiece ordenado, una realización de un dispositivo de potencia semiconductor,

La figura 2a muestra esquemáticamente una vista en sección transversal de la realización del dispositivo de potencia semiconductor de la figura 1 a lo largo de un plano a través de la línea II-II' y perpendicular al primer sustrato.

La figura 2b muestra esquemáticamente una vista en sección transversal de otra realización de un dispositivo de potencia semiconductor,

La figura 3a muestra esquemáticamente una vista de una realización de un segundo sustrato,

La figura 3b muestra esquemáticamente una vista de una realización de un primer sustrato,

La figura 4 muestra esquemáticamente una vista de una realización de un dispositivo semiconductor, y

La figura 5 muestra esquemáticamente un método para ensamblar un dispositivo semiconductor de potencia.

Cabe señalar que los elementos denotados con los mismos números de referencia en diferentes figuras tienen las mismas características estructurales y las mismas funciones, o son las mismas señales. Cuando se ha explicado la función y/o la estructura de tal artículo, no hay necesidad de una explicación repetida del mismo en la descripción detallada.

Las figuras son puramente esquemáticas y no están dibujadas a escala. Particularmente por claridad, algunas dimensiones se exageran fuertemente.

Descripción detallada

La figura 1 muestra esquemáticamente, en una vista en despiece ordenado, una realización de un dispositivo de potencia semiconductor 100. El dispositivo de potencia semiconductor comprende un primer sustrato 140, un segundo sustrato 110 y una estructura de interconexión. El primer sustrato 140 tiene una primera superficie 141 en

la que se proporciona un elemento semiconductor de conmutación 144. El primer sustrato comprende además primeras capas eléctricamente conductoras 142, 146. El primer sustrato 140 comprende además un primer elemento de recepción 150 que es, en esta realización específica, un orificio 150 en una de las primeras capas eléctricamente conductoras 146. El segundo sustrato 110 tiene una segunda superficie 111 orientada hacia la primera superficie 141 y comprende segundas capas eléctricamente conductoras 112, 116 dispuestas en la segunda superficie. El segundo sustrato 110 comprende además un segundo elemento de recepción 120 que es, en esta realización específica, un orificio en una de las segundas capas eléctricamente conductoras 116. La estructura de interconexión proporciona al menos una conexión eléctrica entre una de las primeras capas eléctricamente conductoras 142, 146 y una de las segundas capas eléctricamente conductoras 112, 116. En el ejemplo de la figura 1, se proporcionan dos conexiones eléctricas: una entre la primera capa eléctricamente conductora 142 y la segunda capa eléctricamente conductora 112, y una entre la primera capa eléctricamente conductora 146 y la segunda capa eléctricamente conductora 116. La estructura de interconexión comprende elementos de interconexión 130, 132, uno de los cuales es un elemento de interconexión de alineación 130. En el ejemplo de la figura 1, el elemento de interconexión 132 y el elemento de interconexión de alineación 130 son esferas hechas de un material eléctricamente conductor (por ejemplo, cobre). El elemento de interconexión 132 está interpuesto entre la primera capa eléctricamente conductora 142 y la segunda capa eléctricamente conductora 112. El elemento de interconexión de alineación 130 es recibido al menos parcialmente por el primer elemento de recepción 150 y recibido al menos parcialmente por el segundo elemento de recepción 120. En la figura 1 se ve que los radios del primer elemento de recepción 150 y el segundo elemento de recepción 120 son más pequeños que el radio del elemento de interconexión de alineación 130. Esto significa que, cuando el elemento de interconexión de alineación esférica 130 se pone en contacto con los respectivos elementos de recepción 120, 150, una porción del elemento de interconexión de alineación esférica 130 es recibida por los orificios que forman el elemento de recepción respectivo 120, 150. Una pequeña porción del elemento de interconexión de alineación esférica 130 sobresale en los orificios 120, 150 en las respectivas capas eléctricamente conductoras 116, 146 - esto significa que el elemento de interconexión de alineación esférica 130 no puede rodar a otra posición en la primera superficie 141 y/o la segunda superficie 111, y, en consecuencia, la posición relativa del primer sustrato 140 se fija con respecto a la posición relativa del segundo sustrato 110.

El elemento semiconductor de conmutación 144 puede ser un transistor, un transistor de efecto campo (FET), un transistor de efecto campo MOS (MOSFET), tiristor, un transistor bipolar de puerta aislada (IGBT) o de otro tipo adecuado de elemento de conmutación semiconductor. Debe observarse que el primer sustrato 140 y/o el segundo sustrato 110 también pueden comprender otros elementos electrónicos que incluyen otros elementos hechos de material semiconductor, como silicio, carburo de silicio, arseniuro de galio, nitruro de galio, material semiconductor a base de diamante u otro material(es) semiconductor apropiado. Ejemplos de otros elementos electrónicos son diodos, resistencias, condensadores, inductores, circuitos integrados u otros elementos electrónicos apropiados.

Los sustratos 110, 140 pueden fabricarse de capas múltiples de los materiales (por ejemplo, cerámica) térmicamente conductoras y eléctricamente aislantes y materiales altamente conductores de la electricidad (por ejemplo, metales) para el enrutamiento. Ejemplos de materiales cerámicos son nitruro de aluminio (AlN), óxido de aluminio (Al₂O₃) o nitruro de silicio (Si₃N₄). Otro ejemplo de un sustrato es el Si₃N₄ intercalado entre dos capas metálicas delgadas, por ejemplo, capas delgadas de cobre o aluminio. Por lo general, en el campo relevante, dichos sustratos se denominan sustratos de cobre de unión directa (DBC) o sustratos de unión de metales activos (AMB). Los sustratos adecuados se describen en el documento "Comparación de sustratos de nitruro de silicio DBC y AMB para diferentes aplicaciones en electrónica de potencia" de Manfred Goetz et al, páginas 57-65, conferencia PCIM Europa, Nuremberg, 14-16 de mayo de 2013, publicado por VDE Verlag, Berlín.

Las capas eléctricamente conductoras 112, 116, 142, 146 y/o los elementos de interconexión 130, 132 pueden estar hechos de metal, tal como cobre, aluminio, de otros metales o de otros materiales eléctricamente conductores. Opcionalmente, el material o los materiales de los cuales están hechas las capas eléctricamente conductoras 112, 116, 142, 146 y/o los elementos de interconexión 130, 132 es un buen conductor de calor tal que dichas capas 112, 116, 142, 146 y dichas los elementos de interconexión 130, 132 contribuyen a la distribución y conducción de calor hacia lugares (no mostrados) donde el calor puede conducirse lejos del dispositivo de potencia semiconductor 100 (por ejemplo, una interfaz a un disipador de calor).

Uno puede leer "electrodo" en lugar de eléctricamente conductor capa 112, 116, 142, 146. Sin embargo, debe observarse que las capas eléctricamente conductoras 112, 116, 142, 146 no están acopladas por definición a una tensión o señal específica. Por lo tanto, las capas eléctricamente conductoras 112, 116, 142, 146 pueden ser islas aisladas dispuestas en la primera superficie 111 o en la segunda superficie 141. También pueden estar conectadas eléctricamente a otros componentes del dispositivo de potencia semiconductor 100, como el elemento semiconductor de conmutación. Esto se puede hacer mediante capas adicionales eléctricamente conductoras (no mostradas) provistas en la primera superficie o la segunda superficie, y/o mediante conexiones eléctricas adicionales (no mostradas) provistas en el interior del sustrato, y/o mediante capas adicionales eléctricamente conductoras (ahora mostrado) provisto en la superficie del primer sustrato 140 y el segundo sustrato 110 que se encuentran alejados del espacio entre los dos sustratos 110, 140, y/o las vías eléctricamente conductoras a través de los sustratos.

En el ejemplo de la figura 1, el dispositivo semiconductor de potencia 100 está provisto de un único elemento de interconexión de alineación 130. Sin embargo, pueden proporcionarse dos, tres o más elementos de interconexión de alineación, cada uno junto con un elemento de recepción acoplado al primer sustrato y un elemento de recepción acoplado al segundo sustrato. En todos los ejemplos siguientes, donde solo se dibujan y discuten uno o dos elementos de interconexión de alineación (y los elementos de recepción correspondientes), el experto puede proporcionar más de uno o dos de esos elementos de interconexión de alineación (junto con los elementos de recepción correspondientes). En particular, debe observarse que el uso de tres (o más) elementos de interconexión de alineación da como resultado un posicionamiento estable del segundo sustrato 110 con respecto al primer sustrato 140.

El material del elemento de alineación de interconexión 130, y también del elemento de interconexión 132, puede ser un material eléctricamente conductor tal como cobre o aluminio. En el ejemplo de la figura 1, el elemento de interconexión de alineación 130 es recibido parcialmente por un orificio 120, 150 en las respectivas capas eléctricamente conductoras 116, 146. Esto significa que el elemento de interconexión de alineación 130 toca un borde del orificio 120, 150 que está formado por el material de las respectivas capas eléctricamente conductoras 116, 146. En consecuencia, existe una conexión eléctrica entre el elemento de interconexión de alineación 130 y las respectivas capas eléctricamente conductoras 116, 146. Para mejorar la conexión eléctrica (y/o para fijar mejor la posición del elemento de interconexión de alineación 130), el elemento de interconexión de alineación 130 se puede sujetar a las respectivas capas eléctricamente conductoras 116, 146 mediante soldadura (no mostrada) o cualquier otro material de sujeción apropiado (no mostrado) o método de sujeción. El uso de dicho material de sujeción adicional también puede aplicarse al contacto entre el elemento de interconexión 132 y sus respectivas capas eléctricamente conductoras 112, 142. Se observa además que el elemento de interconexión 132 está al menos en contacto con sus respectivas capas eléctricamente conductoras 112, 142, de manera que también hay una conexión eléctrica entre ellas. También puede ser que el material del elemento de interconexión de alineación 130 y del elemento de interconexión 132 sea térmicamente conductor, de modo que el calor pueda ser transportado, por ejemplo, desde el primer sustrato 140 al segundo sustrato 110. El calor puede generarse en el elemento semiconductor de conmutación 144. El cobre también es un buen conductor térmico. La cantidad de calor que se puede transportar a través del elemento de interconexión de alineación 130 se puede aumentar soldando el elemento de interconexión de alineación 130 a las respectivas capas eléctricamente conductoras 116, 146. Estas opciones opcionales para los materiales para los elementos de la estructura de interconexión también se aplican a los elementos de interconexión de alineación y los elementos de interconexión de los ejemplos que se describen a continuación. Como se explicará más adelante, el primer sustrato 140 y/o el segundo sustrato 110 pueden estar provistos de un disipador de calor (no mostrado) que forma una interfaz de transferencia de calor al entorno.

La forma del elemento de interconexión 132 y el elemento de alineación de interconexión 130 son esferas. Las realizaciones del elemento de interconexión 132 y el elemento de interconexión de alineación 130 no se limitan a estas formas. Otras formas posibles son: una caja rectangular, un cubo, un cuboide rectangular, un cilindro, un tubo, un huevo, un balón de rugby, un balón con forma de diamante y un diamante.

Los elementos de recepción 120, 150 son orificios en el ejemplo de la figura 1, pero las realizaciones de los elementos de recepción 120, 150 no se limitan a tales formas. Toda forma que sea capaz de recibir una porción de un elemento de interconexión de alineación y, por lo tanto, fijar una posición relativa del elemento de interconexión de alineación con respecto al elemento de recepción es una forma adecuada. Por ejemplo, cuando el elemento de interconexión de alineación tiene una forma cilíndrica, una porción de la forma cilíndrica puede ser recibida por un orificio o rebaje, pero también por un cilindro hueco que se extiende desde la superficie del sustrato.

Aunque no se muestra explícitamente en la figura 1, el primer sustrato 140 y/o el segundo sustrato 110 puede comprender componentes eléctricos adicionales, tales como elementos adicionales de semiconductores activos (por ejemplo, un transistor o cualquier otro tipo de elementos de conmutación semiconductores), elementos semiconductores pasivos adicionales (por ejemplo, un diodo o una resistencia basada en material semiconductor), y/u otros componentes eléctricos pasivos (por ejemplo, una resistencia, un condensador y/o un inductor).

La figura 2a muestra esquemáticamente una vista en sección transversal de la realización del dispositivo de potencia semiconductor 100 de la figura 1 a lo largo de un plano perpendicular al primer sustrato 140 y a través de la línea II-II'. El dispositivo de potencia semiconductor 100 comprende un primer sustrato 140, un segundo sustrato 110 y una estructura de interconexión. El primer sustrato 140 tiene una primera superficie 141, comprende primeras capas eléctricamente conductoras 142, 146 dispuestas en la primera superficie 141 y comprende un elemento semiconductor de conmutación 144 provisto en la primera superficie 141. El segundo sustrato 110 comprende una segunda superficie 111 orientada hacia la primera superficie 141. El segundo sustrato 110 comprende segundas capas eléctricamente conductoras 112, 116 dispuestas en la segunda superficie 111. La primera capa eléctricamente conductora 146 y la segunda capa eléctricamente conductora 116 comprenden un elemento de recepción 120, 150 en forma de un orificio en las respectivas capas eléctricamente conductoras 116, 146. La estructura de interconexión comprende un elemento de interconexión de alineación 130 que es una esfera metálica que es parcialmente recibida por los orificios en las respectivas capas eléctricamente conductoras 116, 146 que forman el elemento de recepción 120, 150. La estructura de interconexión también comprende un elemento de interconexión 132 interpuesto entre la primera capa eléctricamente conductora 142 y la segunda capa

eléctricamente conductora 112. El elemento de interconexión de alineación 130, así como el elemento 132 de interconexión, proporciona una conexión eléctrica entre las primeras capas 142, 146 eléctricamente conductoras específicas y las segundas capas 112, 116 eléctricamente conductoras específicas, respectivamente.

5 El elemento de recepción 120, 150 son, por ejemplo, orificios circulares. En la figura 2a, se ha indicado el radio r_1 del elemento de recepción circular 150. El radio del elemento de recepción 120 es aproximadamente igual al radio r_1 del elemento de recepción 150. El elemento de interconexión de alineación 130 es una esfera y su radio r_2 se indica en la figura 2a. El radio respectivo r_1 de los elementos de recepción circulares 120, 150 es más pequeño que el radio r_2 del elemento de interconexión de alineación esférica 130. Debe observarse que el radio del elemento de recepción 120 se relaciona de manera similar al radio r_2 del elemento de interconexión de alineación esférico 130. Los ejemplos típicos son: las capas eléctricamente conductoras tienen un espesor de aproximadamente 300 μm , el radio r_1 del orificio que forma el elemento de recepción 150 es de 1 mm y el radio r_2 del elemento de interconexión de alineación esférica es de 1,6 mm. En una realización, dependiendo de la profundidad del orificio que forma el elemento de recepción 150, el radio r_1 del elemento de recepción 150 es relativamente pequeño en comparación con el radio r_2 del elemento de interconexión de alineación esférica 130, de manera que el elemento de interconexión de alineación esférica 130 no toca la porción inferior del orificio que forma el elemento de recepción 150 y toca el borde del conjunto en la porción superior de la capa eléctricamente conductora.

20 La figura 2b muestra esquemáticamente una vista en sección transversal de otra realización de un dispositivo de potencia semiconductor 200. El dispositivo de potencia semiconductor 200 comprende un primer sustrato 240, un segundo sustrato 210 y una estructura de interconexión.

25 El primer sustrato 240 comprende una primera superficie 241, un elemento de conmutación de semiconductor 244 y las primeras capas conductoras de la electricidad 246, 242. El elemento semiconductor de conmutación 244 se proporciona en la primera superficie 241 y una primera capa eléctricamente conductora específica 246 se proporciona en la primera superficie 241. Otra primera capa eléctricamente conductora 242 se proporciona sobre una superficie del elemento semiconductor de conmutación 244 que está orientada hacia el exterior del primer sustrato 240. El primer sustrato 240 también comprende un primer elemento de recepción 250 que sobresale de la primera capa eléctricamente conductora 246 y tiene un rebaje que coincide con la forma de un elemento en forma de diamante. El segundo sustrato 210 tiene una segunda superficie 211 orientada hacia la primera superficie 241. El primer sustrato 240 también está acoplado a un disipador de calor 298 (opcional) que está acoplado térmicamente al primer sustrato 240 en una superficie del primer sustrato 210 que está alejada de la primera superficie 241.

35 El segundo sustrato 210 tiene una segunda capa eléctricamente conductora 212 y, opcionalmente, otra segunda capa eléctricamente conductora 216. El segundo sustrato 210 también comprende un segundo elemento de recepción 220. El segundo elemento de recepción 220 sobresale de la segunda superficie 211 y tiene un rebaje que coincide con la forma de un elemento en forma de diamante.

40 La estructura de interconexión del dispositivo semiconductor de potencia de la figura 2b comprende un elemento de interconexión en forma esférica 232 que está eléctrica y térmicamente acoplada por medio de juntas de unión 299 a la primera capa eléctricamente conductora 242 y a la segunda capa eléctricamente conductora 212. Las juntas de unión 299 pueden estar formadas por soldadura, pegamento, epoxi o pueden ser materiales cerámicos formados por un proceso de sinterización. La estructura de interconexión también comprende un elemento de interconexión de alineación con forma de diamante 230. Una punta del elemento de interconexión de alineación con forma de diamante 230 tiene una forma que corresponde a la forma del rebaje del primer elemento de recepción 250 y una punta opuesta del elemento de interconexión de alineación con forma de diamante 230 tiene una forma que corresponde a la forma de la escotadura del segundo elemento de recepción 220. Las puntas respectivas del elemento de interconexión de alineación con forma de diamante 230 son recibidas por los rebajes del primer elemento de recepción 250 y el rebaje del segundo elemento de recepción 220. Por lo tanto, los elementos de recepción 220, 250 reciben al menos parcialmente el elemento de interconexión de alineación con forma de diamante 230. La recepción parcial del elemento de interconexión de alineación con forma de diamante 230 da como resultado la alineación de la posición del primer sustrato 140 con respecto al segundo sustrato 110.

55 En la figura 2b ya se ha mostrado que la forma y el tamaño del elemento de alineación de interconexión 230 se deben adaptar a la forma y tamaño de los elementos de recepción 220, 250. En particular, la longitud del elemento de interconexión de alineación 230 (medido a lo largo de una línea paralela a la línea más corta desde el primer sustrato 140 hasta el segundo sustrato 110) y la cantidad que los elementos de recepción 250, 220 sobresalen de la primera superficie 141 y se alejan a partir de la segunda superficie 211, respectivamente, determine el posicionamiento del primer sustrato 240 con respecto al segundo sustrato 210 en la dimensión z (y, por tanto, la distancia entre los sustratos 210, 240). El tamaño del elemento de interconexión 232 se adapta a la distancia requerida (en la dimensión z) entre los dos sustratos 210, 240 y se adapta a la profundidad de las capas eléctricamente conductoras 212, 242 y el elemento semiconductor de conmutación 244. Como se muestra en la figura 2b, en una forma exagerada, el segundo sustrato 210 podría estar sujeto a alabeo. El tamaño del elemento de interconexión 232 también se adapta a la distancia específica entre el primer sustrato 240 y el segundo sustrato 210 en la ubicación donde se proporciona el elemento de interconexión 232 de manera que se realice una buena conexión eléctrica. Durante el ensamblaje del dispositivo de potencia semiconductor, se determina la cantidad de

alabeo (por ejemplo, la medida) para determinar cuál debe ser el tamaño del elemento de interconexión 232 para obtener un buen contacto entre la estructura de interconexión 232 y las respectivas capas eléctricamente conductoras 212, 242. También queda inmediatamente claro en la figura 2b que se utilizan elementos de interconexión de diferentes tamaños, y deben usarse cuando la distancia entre los sustratos y/o las capas eléctricamente conductoras varía. El tamaño de los elementos de interconexión se determina sobre la base de la determinación discutida anteriormente. En una realización opcional, hay al menos dos elementos de interconexión (ambos no son un elemento de interconexión de alineación) que tienen diferentes tamaños.

La figura 3a muestra esquemáticamente una vista de una realización de un segundo sustrato 310 para su uso en un dispositivo de potencia semiconductor. En esta vista, una segunda superficie 311 del segundo sustrato 310 está orientada hacia el observador. En esta segunda superficie 311 se proporciona una pluralidad de capas eléctricamente conductoras de las cuales algunas están indicadas por los números 312 ... 318. En las capas eléctricamente conductoras se proporcionan una serie de orificios de forma circular (dibujados por medio de círculos rellenos de negro), algunos de los cuales están indicados por los números 320. Los orificios de forma circular son elementos de recepción para recibir al menos parcialmente elementos de interconexión de alineación.

La figura 3b muestra esquemáticamente una vista de una realización de un primer sustrato 340 para su uso en el mismo dispositivo de potencia semiconductor que el segundo sustrato 310 de la figura 3a. En esta vista, una primera superficie 341 del primer sustrato 340 está orientada hacia el observador. Cuando se ensambla un dispositivo de potencia semiconductor, la primera superficie 341 tiene orientada hacia la segunda superficie 311 del segundo sustrato 310. En la primera superficie 341 se proporcionan múltiples capas eléctricamente conductoras de las cuales una está indicada con el número 342. Cuando el primer sustrato 340 se ensambla opuesto al segundo sustrato 310, la capa eléctricamente conductora 342 se enfrenta a la capa eléctricamente conductora 316 del segundo sustrato 310. Algunas de las capas eléctricamente conductoras están acopladas eléctricamente a electrodos externos 381 o pasadores externos 382. Cuando se ensambla el dispositivo de potencia semiconductor, el electrodo externo 381 y los pasadores externos 382 son para recibir las señales de potencia que deben ser controladas por el dispositivo de potencia semiconductor y para recibir y/o proporcionar señales de control.

Opcionalmente, en la primera superficie, directamente sobre una de las capas conductoras de la electricidad, se proporcionan elementos semiconductores de conmutación 344. Estos elementos semiconductores de conmutación 344 comprenden electrodos de superficie de un material eléctricamente conductor. Uno de los electrodos de superficie se indica con el valor 345. Los electrodos de superficie están provistos en las superficies de los elementos semiconductores de conmutación 344 que están alejados de la primera superficie 341.

En la figura 3b se dibujan 6 círculos rellenos con negro, de los cuales algunos están indicados con el número de referencia 350. Los 6 círculos representan orificios circulares en las capas eléctricamente conductoras y están recibiendo elementos para recibir al menos parcialmente elementos de interconexión de alineación. Cuando la figura 3b y la figura 3a se inspeccionan cuidadosamente, se puede observar que la posición de los elementos de recepción del primer sustrato 340 es tal que son opuestos a los elementos de recepción del segundo sustrato 310 cuando el primer sustrato 340 y el segundo sustrato 310 se ensambla en un dispositivo de potencia semiconductor. Aunque no se muestra, los elementos de recepción del primer sustrato 340 o el elemento de recepción del segundo sustrato 310 pueden recibir (al menos parcialmente) elementos de interconexión de alineación. En una realización, los elementos de interconexión de alineación apropiados son bolas de cobre que tienen un radio mayor que el radio de los elementos de recepción. Por ejemplo, las bolas de cobre se colocan en los elementos de recepción del primer sustrato 340 y, opcionalmente, se unen (por ejemplo, se sueldan o se sinterizan) a las capas eléctricamente conductoras en las que se proporcionan los elementos de recepción respectivos. Si, posteriormente, el segundo sustrato 310 se coloca sobre estas bolas de cobre en aproximadamente una posición en la que los elementos de recepción del segundo sustrato 310 reciben una porción de las bolas de cobre, el elemento de recepción del segundo sustrato 340 recibirá una porción de las bolas de cobre y, en consecuencia, la posición del segundo sustrato 310 se fija (en otras palabras: se alinea) a la posición del primer sustrato 340. Las bolas de cobre también pueden unirse (por ejemplo, soldarse o sinterizarse) a las capas eléctricamente conductoras del segundo sustrato 310 en las que se proporcionan los elementos de recepción respectivos.

En la vista de la figura 3b el elemento de interconexión múltiple son dibujados por medio de un pequeño círculo. Algunos elementos de interconexión se indican con el número de referencia 332. Además, en la porción superior de los elementos semiconductores de conmutación 344, se proporcionan elementos de interconexión. En la realización de la figura 3b, los elementos de interconexión son elementos de cobre esféricos que pueden unirse (por ejemplo, soldados o sinterizados) a su respectiva capa eléctricamente conductora o sus respectivos electrodos de superficie. Cuando el segundo sustrato 310 se coloca sobre el primer sustrato (y los elementos de recepción de ambos sustratos reciben parcialmente los elementos de interconexión de alineación), los elementos de interconexión tocan capas eléctricamente conductoras específicas proporcionadas en la segunda superficie 311 del segundo sustrato 310 y proporcionan conexiones eléctricas y de conducción de calor entre el primer sustrato 340 y el segundo sustrato 310. Opcionalmente, los elementos de interconexión están unidos (por ejemplo, soldados o sinterizados) a las capas eléctricamente conductoras del segundo sustrato 310 con las cuales están en contacto.

La figura 4 muestra esquemáticamente una vista lateral de una realización de un dispositivo de potencia semiconductor 400. En la figura 3b, una flecha indicada con IV indica la dirección del observador y de qué lado se ha obtenido la vista lateral. El dispositivo de potencia semiconductor 400 es un dispositivo de potencia semiconductor ensamblado 400 que comprende el primer sustrato 340 y el segundo sustrato 310 de las figuras 3b y 3a, respectivamente.

El dispositivo de semiconductor de potencia 400 de la figura 4 comprende el sustrato 340, el segundo sustrato 310, la estructura de interconexión comprende un elemento de alineación de interconexión 430 y de interconexión de elementos 332, 332', y dos aletas de enfriamiento 498. Como se discutió en el contexto de la figura 3b, el segundo sustrato comprende patillas/contactos externos 381, 382. En el dispositivo de potencia semiconductor 400, la primera superficie 341 del primer sustrato 340 mira hacia la segunda superficie 311 del segundo sustrato 310.

En la primera superficie 341 se proporcionan primero eléctricamente capas conductoras 342 que se señalan, en la vista lateral de la figura 4, como una línea negra en la primera superficie 341. En la segunda superficie 311 se proporcionan segundas capas eléctricamente conductoras 312 que se dibujan, en la vista lateral de la figura 4, como una línea negra de la segunda superficie 311.

Las aletas de enfriamiento 498 se proporcionan sobre una superficie del primer sustrato 340 y del segundo sustrato 310 que se enfrenta lejos de la primera superficie 341 y la segunda superficie 311, respectivamente. Las aletas de enfriamiento 498 reciben calor de los sustratos respectivos, 310, 340 y proporcionan este calor a un entorno del dispositivo de potencia semiconductor 400. En ensamblajes específicos, una pluralidad de dispositivos de potencia semiconductor 400 puede integrarse en un ensamblaje más grande que comprende, por ejemplo, medios para proporcionar enfriamiento activo a las aletas de enfriamiento 498.

La estructura de interconexión proporciona una pluralidad de conexiones eléctricas entre las primeras capas conductoras de la electricidad 342 y las segundas capas conductoras de la electricidad 312. Se ve que una pluralidad de elementos de interconexión 332, 332' están unidos (por ejemplo, soldados) a las respectivas capas eléctricamente conductoras 342, 312. También se puede ver que el radio del elemento de interconexión 332' es más pequeño que el radio del elemento de interconexión 332. Esto puede deberse a que el elemento de interconexión 332' se encuentra entre un electrodo provisto en un elemento semiconductor, o puede deberse a que, en la ubicación del elemento de interconexión 332', la distancia entre las respectivas capas eléctricamente conductoras es menor que en otras ubicaciones.

La estructura de interconexión comprende también elementos de alineación de interconexión de los cuales un elemento de alineación de interconexión específico 430 se puede ver en la figura 4. El elemento de interconexión de alineación 430 es recibido parcialmente por un orificio en una de las primeras capas eléctricamente conductoras 342 y recibido parcialmente por un orificio en una de las segundas capas conductoras eléctricamente 312. El radio del elemento de interconexión de alineación 430 es mayor que el radio de los orificios que reciben el elemento de interconexión de alineación 430. Además, debido a que el elemento de interconexión de alineación 430 sobresale parcialmente en las respectivas capas eléctricamente conductoras, el radio del elemento de interconexión de alineación 430 es mayor que el radio de los otros elementos de interconexión 332, 332'.

La figura 5 muestra esquemáticamente un método 500 para ensamblar un dispositivo semiconductor de potencia. El método 500 de ensamblar un dispositivo semiconductor de potencia comprende

- obtener 502 un primer sustrato que comprende un elemento semiconductor de conmutación, teniendo el primer sustrato una primera superficie y que comprende localmente primeras capas conductoras eléctricamente y un primer elemento de recepción, estando previsto el elemento semiconductor de conmutación en la primera superficie,
- obtener 504 un segundo sustrato que comprende una segunda superficie orientada hacia la primera superficie, el segundo sustrato que comprende un segundo elemento de recepción y que comprende localmente segundas capas eléctricamente conductoras,
- obtener 512 un elemento de interconexión de alineación,
- proporcionar 514 el elemento de interconexión de alineación a uno del primer elemento de recepción y el segundo elemento de recepción para afectar a una recepción parcial del elemento de interconexión de alineación por dicho elemento de recepción, y
- proporcionar 516 el elemento de interconexión de alineación a otro del primer elemento de recepción y el segundo elemento de recepción para afectar a una recepción parcial del elemento de interconexión de alineación por dicho elemento de recepción.

Opcionalmente, el método 500 también comprende las etapas de:

- obtener 506 datos que describen un posicionamiento requerido del primer sustrato con respecto al segundo sustrato,
- medir 508 características del primer elemento de recepción y del segundo elemento de recepción,

- determinar las características 510 de un elemento de interconexión de alineación en función de los datos obtenidos y las características medidas, y la etapa de obtener 512 un elemento de interconexión de alineación se basa en los resultados de la etapa de determinar 510 las características del elemento de interconexión de alineación (en otras palabras: el elemento de interconexión de alineación obtenido tiene sustancialmente las características determinadas).

Los datos que se obtienen 506 para describir una posición requerida del primer sustrato con respecto al segundo sustrato y pueden incluir una distancia requerida entre el primer sustrato y el segundo sustrato, pero pueden incluir más información como, en una ubicación específica, la distancia entre los sustratos deben ser un valor específico y en otra ubicación específica la distancia entre los sustratos debe ser otro valor específico.

En la etapa de medición 508 de las características del primer elemento de recepción y del segundo elemento de recepción, que es, por ejemplo, determinado lo que la forma es de los respectivos elementos de recepción. Otras características pueden ser la distancia que los elementos de recepción sobresalen de las superficies de los sustratos cuando los elementos de recepción son una especie de salientes. Las características de medición también pueden incluir la determinación de la ubicación exacta de los elementos de recepción.

En la etapa de determinación 510 de las características del elemento de alineación de interconexión se asegura que, cuando el elemento de alineación de interconexión obtenido tiene las características determinadas y se recibe al menos parcialmente por los primeros elementos de recepción y parcialmente recibida por el segundo elemento de recepción, el primer sustrato se coloca con respecto al segundo sustrato como se describe en los datos requeridos; en otras palabras, el primer sustrato está bien alineado con respecto al segundo sustrato. Por ejemplo, en esta etapa se selecciona la forma del elemento de interconexión de alineación y/o una longitud del elemento de interconexión de alineación. Por ejemplo, cuando los elementos de interconexión de alineación disponibles son esferas y los elementos de recepción son orificios, en esta etapa se selecciona un radio específico para el elemento de interconexión de alineación esférico. En una realización específica, cuando, por ejemplo, los elementos de recepción no son exactamente opuestos entre sí cuando el primer sustrato se coloca con respecto al segundo sustrato como se describe en los datos obtenidos, puede ser que, en la etapa de determinación de las características de los elementos de interconexión de alineación, se selecciona una forma específica que todavía resulta en una buena alineación, aunque los elementos de recepción no son exactamente opuestos entre sí.

Las etapas de proporcionar 514, 516 el elemento de interconexión de alineación a uno de los elementos de recepción significa que el elemento de alineación de interconexión se pone en contacto con el elemento de recepción de tal manera que sea recibido parcialmente por el elemento de recepción. Esto se puede hacer colocando el elemento de interconexión de alineación en el elemento de recepción, o colocando el elemento de recepción en el elemento de interconexión de alineación y utilizando la gravedad para mover el elemento de interconexión de alineación, o el elemento de recepción, a una posición tal que el elemento de interconexión de alineación Es recibido parcialmente por el elemento de recepción. En realizaciones específicas, puede comprender proporcionar una fuerza para asegurar que el elemento de recepción reciba parcialmente el elemento de interconexión de alineación.

En una realización, la etapa de proporcionar 514 el elemento de alineación de interconexión a uno del primer elemento de recepción y el segundo elemento de recepción comprende soldar 534 dicho elemento de alineación de interconexión a dichos elementos de recepción, o comprende la sinterización 536 dicho elemento de alineación de interconexión a dichos elementos de recepción. En general, en esta etapa, dicho elemento de interconexión de alineación está unido a dichos elementos de recepción.

En una realización, la etapa de proporcionar 516 el elemento de alineación de interconexión a uno del primer elemento de recepción y el segundo elemento de recepción comprende soldadura 538 dicho elemento de alineación de interconexión a dichos elementos de recepción, o comprende la sinterización 540 de dicho elemento de alineación de interconexión a dichos elementos de recepción. En general, en esta etapa, dicho elemento de interconexión de alineación está unido a dichos elementos de recepción.

En una realización, cuando dichos elementos de recepción son orificios o rebajes, la etapa de medición de 508 las características del primer elemento de recepción y del segundo elemento de recepción comprende al menos uno de determinación 538 de un radio de dicho elemento de recepción y determinar 540 a la profundidad de dicho elemento de recepción, el radio del primer elemento de recepción se mide en un plano sustancialmente paralelo a la primera superficie, el radio del segundo elemento de recepción se mide en un plano sustancialmente paralelo a la segunda superficie, la profundidad de la primera el elemento de recepción se mide en un plano sustancialmente perpendicular a la primera superficie, la profundidad del segundo elemento de recepción se mide en un plano sustancialmente perpendicular a la segunda superficie.

En una realización, la etapa de obtener 502 un primer sustrato comprende la fabricación o el montaje 542 del primer sustrato. La fabricación o montaje 542 puede incluir proporcionar las primeras capas eléctricamente conductoras y el elemento semiconductor de conmutación en la primera superficie y proporcionar un primer elemento de recepción en el primer sustrato.

En una realización, la etapa de obtener 504 el segundo sustrato comprende la fabricación o el montaje 544 del segundo sustrato. La fabricación o montaje 544 puede incluir proporcionar las segundas capas eléctricamente conductoras en la segunda superficie y proporcionar el segundo elemento de recepción en el segundo sustrato.

5 En la figura 5 las etapas del método se presentan en un orden específico. El método no se limita al orden mostrado de las etapas del método. En la medida en que las etapas específicas no dependen directamente unas de otras, pueden realizarse en otro orden y/o pueden realizarse en paralelo.

10 Debe observarse que las realizaciones mencionadas anteriormente ilustran en lugar de limitar la invención, y que los expertos en la técnica serán capaces de diseñar muchas realizaciones alternativas sin apartarse del alcance de las reivindicaciones adjuntas.

15 En las reivindicaciones, cualquier signo de referencia colocado entre paréntesis no deberá interpretarse como limitativo de la reivindicación. El uso del verbo "comprender" y sus conjugaciones no excluye la presencia de elementos o etapas distintos de los declarados en una reivindicación. El artículo "un" o "una" que precede a un elemento no excluye la presencia de una pluralidad de tales elementos. La invención puede implementarse por medio de hardware que comprende varios elementos distintos. En la reivindicación del dispositivo que enumera varios medios, varios de estos medios pueden estar incorporados por uno y el mismo elemento de hardware. El mero hecho de que ciertas medidas se reciten en reivindicaciones dependientes mutuamente diferentes no indica
20 que una combinación de estas medidas no se pueda utilizar para obtener ventajas.

REIVINDICACIONES

1. Un dispositivo de potencia semiconductor (100, 200, 400) que comprende:

- 5 - un primer sustrato (140, 240, 340) que comprende un elemento semiconductor de conmutación (144, 244, 344),
 teniendo el primer sustrato (140, 240, 340) una primera superficie (141, 241, 341), que comprende un primer
 elemento de recepción (150, 250, 350) y que comprende localmente primeras capas eléctricamente conductoras
 (142, 146, 246, 242, 342, 345), proporcionándose el elemento semiconductor de conmutación (144, 244, 344) en
 la primera superficie (141, 241, 341),
 10 - un segundo sustrato (110, 210, 310) que comprende una segunda superficie (111, 211, 311) orientada hacia la
 primera superficie (141, 241, 341), comprendiendo el segundo sustrato (110, 210, 310) un segundo elemento de
 recepción (120, 220, 320) y comprendiendo localmente segundas capas eléctricamente conductoras (112, 116,
 212, 216, 312 ... 318); y
 15 - una estructura de interconexión para proporcionar al menos una conexión eléctrica entre al menos una de las
 primeras capas eléctricamente conductoras (142, 146, 246, 242, 342, 345) en un lado y al menos una de las
 segundas capas eléctricamente conductoras (112, 116, 212, 216, 312 ... 318) en el otro lado, comprendiendo la
 estructura de interconexión una pluralidad de elementos de interconexión (130, 132, 230, 232, 332, 332', 430) de
 un material eléctricamente conductor,

20 al menos uno de la pluralidad de elementos de interconexión es un elemento de interconexión de alineación (130,
 230, 430), siendo recibido parcialmente el elemento de interconexión de alineación (130, 230, 430) por el primer
 elemento de recepción (150, 250, 350) y siendo parcialmente recibido por el segundo elemento de recepción (120,
 220, 320) para alinear una posición relativa del primer sustrato (140, 240, 340) con respecto al segundo sustrato
 (110, 210, 310), en donde dichos elementos de recepción (120, 150, 220, 250, 320, 350) que tienen un rebaje
 25 conformado para recibir al menos parcialmente el elemento de interconexión de alineación (130, 230, 430) y una
 forma del elemento de interconexión de alineación (130, 230, 430) se selecciona para afectar un posicionamiento del
 elemento de interconexión de alineación (130, 230, 430) en una posición fija única con respecto a cada uno de los
 elementos de recepción (120, 150, 220, 250, 320, 350), cuando uno de los respectivos elementos de recepción (120,
 150, 220, 250, 320, 350) y el elemento de interconexión de alineación (130, 230, 430) se aplican entre sí y cuando el
 30 elemento de interconexión de alineación respectivo (130, 230, 430) o dicho elemento de recepción (120, 150, 220,
 250, 320, 350) reciben una fuerza, en donde al menos uno de los primeros elementos de recepción (150, 250, 350) y
 el segundo elementos de recepción (120, 220, 320) son un orificio o un rebaje en una de dichas primeras capas
 eléctricamente conductoras (142, 146, 242, 246, 342, 345) y una de dichas segundas capas eléctricamente
 conductoras (112, 116, 212, 216, 316, 312, 314, 318), respectivamente.

35 2. Un dispositivo de potencia semiconductor (100, 200, 400) según la reivindicación 1, en el que el primer sustrato
 (140, 240, 340) comprende una pluralidad de primeros elementos de recepción (150, 250, 350), el segundo sustrato
 (110, 210, 310) comprende una pluralidad de segundos elementos de recepción (120, 220, 320) y dichos elementos
 de interconexión (130, 132, 230, 232, 332, 332', 430) comprenden una pluralidad de elementos de interconexión de
 40 alineación (130, 230, 430), siendo cada uno respectivo de la pluralidad de elementos de interconexión de alineación
 (130, 230, 430) recibido parcialmente por uno correspondiente de los primeros elementos de recepción (150, 250,
 350) y siendo recibido parcialmente por uno correspondiente de los segundos elementos de recepción (120, 220,
 320) para alinear una posición relativa del primer sustrato (140, 240, 340) con respecto al segundo sustrato (110,
 210, 310).

45 3. Un dispositivo de potencia semiconductor (100, 200, 400) según la reivindicación 2, en el que el primer sustrato
 (140, 240, 340) comprende al menos tres primeros elementos de recepción (150, 250, 350), al menos tres segundos
 elementos de recepción (120, 220, 320) y al menos tres elementos de interconexión de alineación (130, 230, 430).

50 4. Un dispositivo de potencia semiconductor (100, 200, 400) según una cualquiera de las reivindicaciones anteriores,
 en el que al menos uno de

- el primer elemento de recepción (150, 250, 350) está acoplado eléctricamente a una de las primeras capas
 eléctricamente conductoras (142, 146, 246, 242, 342, 345),
 55 - el segundo elemento de recepción (120, 220, 320) está acoplado eléctricamente a una de las segundas capas
 eléctricamente conductoras (112, 116, 212, 216, 312 ... 318); y
 - el elemento de interconexión de alineación (130, 230, 430) está acoplado eléctricamente a dichos elementos de
 recepción (120, 150, 220, 250, 320, 350).

60 5. Un dispositivo de potencia semiconductor (100, 200, 400) según una cualquiera de las reivindicaciones anteriores,
 en el que la pluralidad de elementos de interconexión (130, 132, 230, 232, 332, 332', 430) comprende al menos dos
 elementos de interconexión (130, 132, 230, 232, 332, 332', 430) que tienen profundidades diferentes entre sí y
 estando las profundidades adaptadas a una distancia entre dichas capas eléctricamente conductoras (112, 116, 142,
 146, 212, 216, 242, 246, 312 ... 318, 342, 345), entre los cuales están dispuestos dichos elementos de interconexión
 65 (130, 132, 230, 232, 332, 332', 430), midiéndose la profundidad en la dirección de una línea más corta desde el
 primer sustrato (140, 240, 340) y al segundo sustrato (110, 210, 310) en la posición de dichos elementos de

interconexión (130, 132, 230, 232, 332, 332', 430).

5 6. Un dispositivo de potencia semiconductor (100, 200, 400) según una de las reivindicaciones anteriores, en el que una forma de los elementos de interconexión de alineación (130, 230, 430) es una de una esfera, una caja rectangular, un cubo, un cuboide rectangular, un cilindro, un tubo, un huevo, un balón de rugby, un balón con forma de diamante o un diamante.

10 7. Un dispositivo de potencia semiconductor (100, 200, 400) según la combinación de la reivindicación 1 y la reivindicación 6 y cuando dichos elementos de interconexión de alineación (130, 230, 430) son esferas, el radio de las esferas es mayor que los radios de dichos orificios.

8. Un dispositivo de alimentación de semiconductor (100, 200, 400) según una de las reivindicaciones anteriores, en el que el segundo sustrato (110, 210, 310) comprende un elemento semiconductor.

15 9. Un dispositivo de potencia semiconductor (100, 200, 400) según una cualquiera de las reivindicaciones anteriores, en el que al menos uno de

- una o más primeras capas eléctricamente conductoras (142, 146, 246, 242, 342, 345) están dispuestas sobre o en la primera superficie,
- 20 - una o más primeras capas eléctricamente conductoras (142, 146, 246, 242, 342, 345) están dispuestas en o sobre una superficie del elemento semiconductor de conmutación (144, 244, 344) que está orientada hacia afuera del primer sustrato (140, 240, 340),
- una o más segundas capas eléctricamente conductoras (112, 116, 212, 216, 312 ... 318) están dispuestas sobre o en la segunda superficie (111, 211, 311), y
- 25 - cuando se hace referencia a la reivindicación 8, una o más segundas capas eléctricamente conductoras (112, 116, 212, 216, 312 ... 318) están dispuestas en o sobre una superficie del elemento semiconductor.

30 10. Un método (500) para ensamblar el dispositivo semiconductor de potencia de cualquiera de las reivindicaciones 1 a 9, comprendiendo el método:

- obtener (502) un primer sustrato que comprende un elemento semiconductor de conmutación, teniendo el primer sustrato una primera superficie y comprendiendo localmente primeras capas eléctricamente conductoras y un primer elemento de recepción, estando previsto el elemento semiconductor de conmutación en la primera superficie,
- 35 - obtener (504) un segundo sustrato que comprende una segunda superficie orientada hacia la primera superficie, comprendiendo el segundo sustrato un segundo elemento de recepción y comprendiendo localmente segundas capas eléctricamente conductoras, en donde al menos uno del primer elemento de recepción y el segundo elemento de recepción es un orificio o un rebaje en una de dichas primeras capas eléctricamente conductoras y una de dichas segundas capas eléctricamente conductoras, respectivamente,
- 40 - obtener (512) un elemento de interconexión de alineación,
- proporcionar (514) el elemento de interconexión de alineación a uno del primer elemento de recepción y el segundo elemento de recepción para afectar a una recepción parcial del elemento de interconexión de alineación por dicho elemento de recepción; y
- 45 - proporcionar (516) el elemento de interconexión de alineación a otro del primer elemento de recepción y el segundo elemento de recepción para afectar una recepción parcial del elemento de interconexión de alineación por dicho elemento de recepción.

50 11. El método (500) para ensamblar un dispositivo semiconductor de potencia según la reivindicación 10, que comprende, además:

- obtener (506) datos que describan una posición requerida del primer sustrato con respecto al segundo sustrato,
- medir (508) las características del primer elemento de recepción y del segundo elemento de recepción; y
- 55 - determinar (510) las características de un elemento de interconexión de alineación basado en los datos obtenidos y las características medidas,

y en donde, en la etapa de obtención (502) del elemento de interconexión de alineación, el elemento de interconexión de alineación se obtiene basándose en las características determinadas.

60 12. El método (500) para ensamblar un dispositivo semiconductor de potencia según una cualquiera de las reivindicaciones 10 y 11, en el que al menos una de dichas etapas de proporcionar el elemento de interconexión de alineación a dichos elementos de recepción comprende uno de soldar dicho elemento de interconexión de alineación a dichos elementos de recepción y sinterizar dicho elemento de interconexión de alineación a dichos elementos de recepción.

65 13. El método (500) para ensamblar un dispositivo semiconductor de potencia de acuerdo con una cualquiera de las reivindicaciones 10, 11, 12, en el que, cuando dichos elementos de recepción son orificios o rebajes, la etapa de

ES 2 700 210 T3

- 5 medición de las características del primer elemento de recepción y del segundo el elemento de recepción comprende al menos uno de determinar un radio de dicho elemento de recepción y determinar una profundidad de dicho elemento de recepción, midiéndose el radio del primer elemento de recepción en un plano sustancialmente paralelo a la primera superficie, midiéndose el radio del segundo elemento de recepción en un plano sustancialmente paralelo a la segunda superficie, midiéndose la profundidad del primer elemento de recepción en un plano sustancialmente perpendicular a la primera superficie, midiéndose la profundidad del segundo elemento de recepción en un plano sustancialmente perpendicular a la segunda superficie.

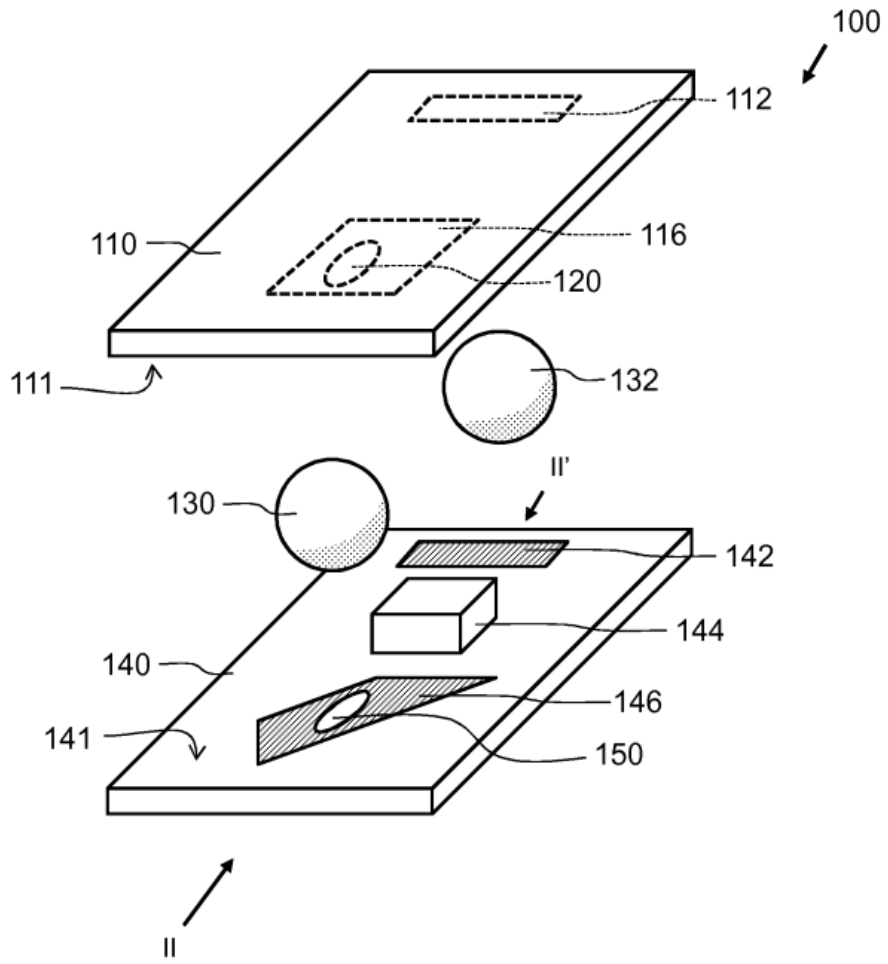


Fig. 1

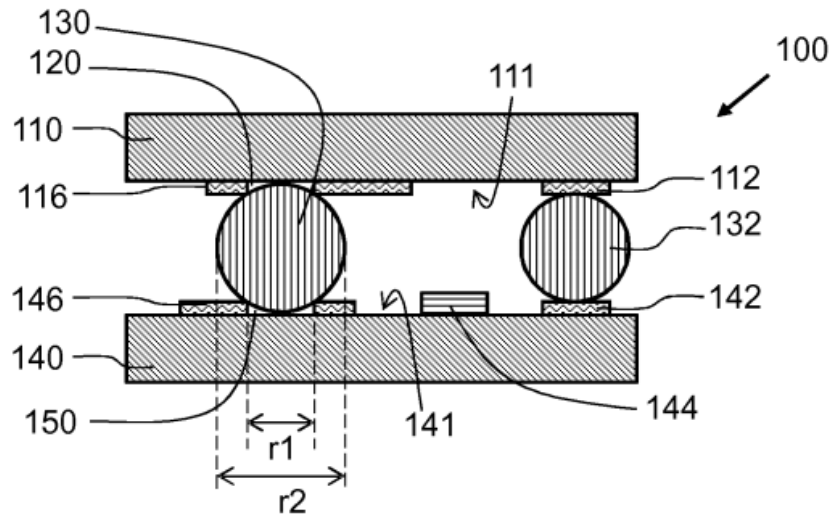


Fig. 2a

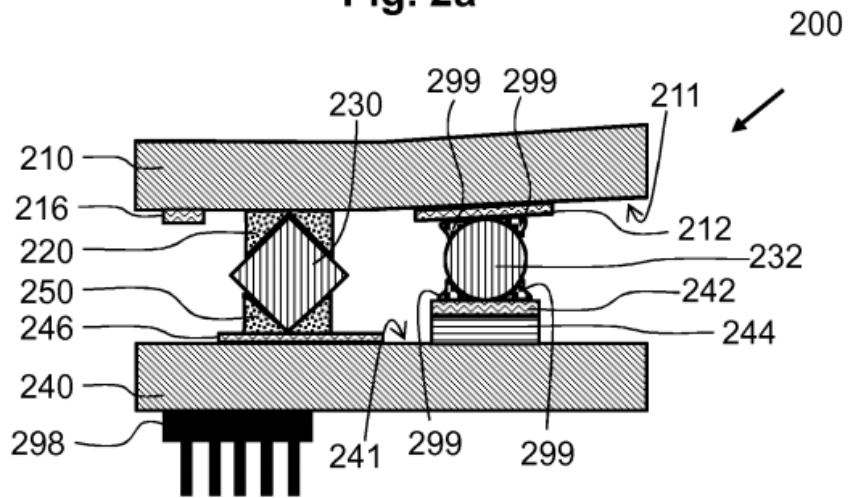
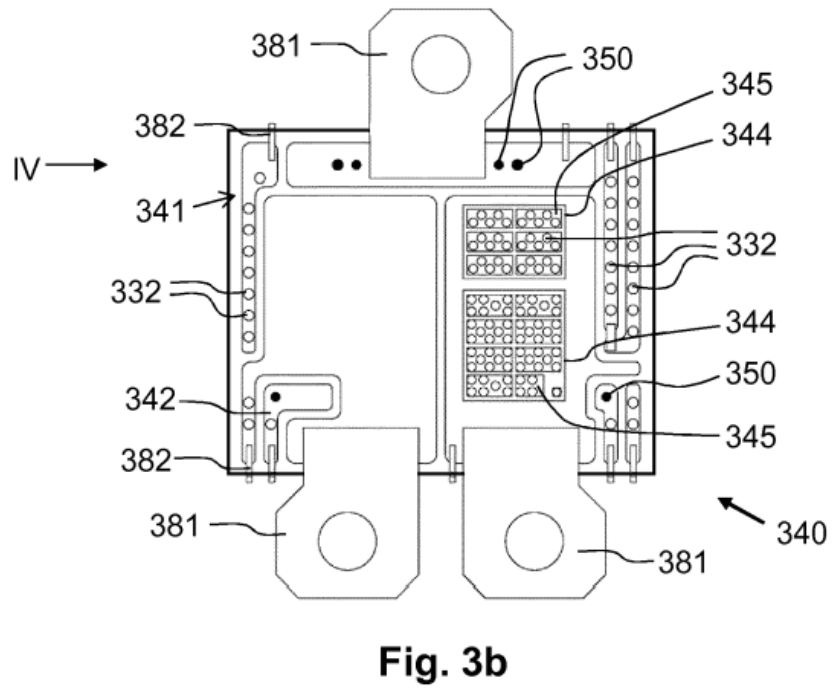
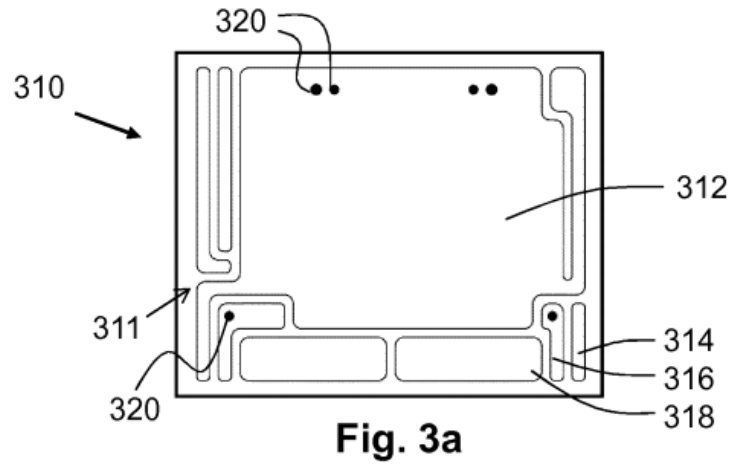


Fig. 2b



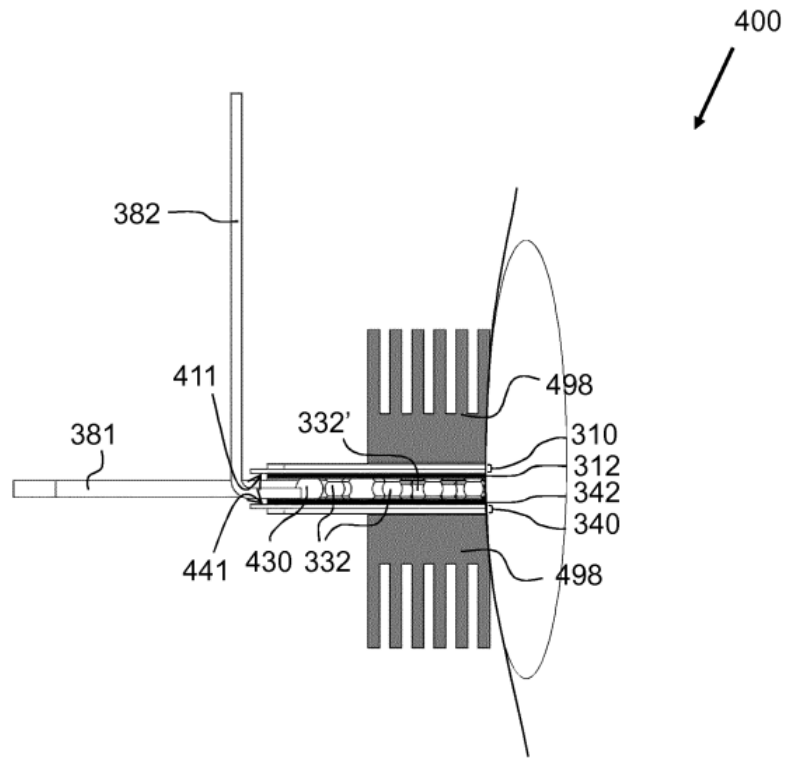


Fig. 4

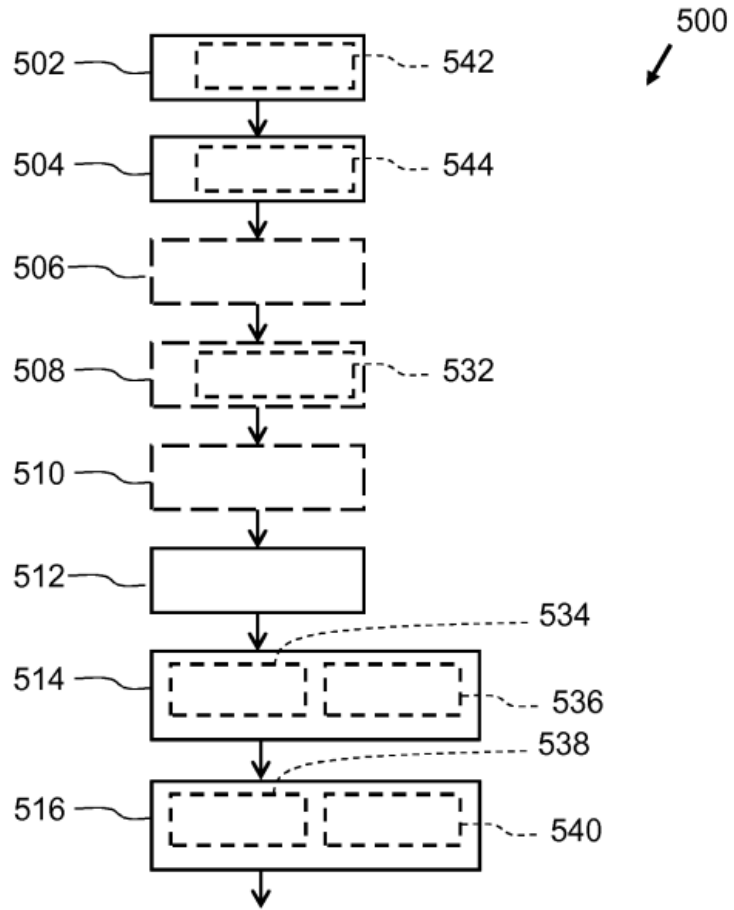


Fig. 5