

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 700 854**

51 Int. Cl.:

G06F 13/16

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **16.11.2012 E 16160755 (1)**

97 Fecha y número de publicación de la concesión europea: **03.10.2018 EP 3082048**

54 Título: **Memoria configurada para proporcionar acceso simultáneo de lectura/escritura a múltiples bancos**

30 Prioridad:

16.11.2011 US 201113297771

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

19.02.2019

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:

**TERZIOGLU, ESIN y
PARK, DONGKYU**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 700 854 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Memoria configurada para proporcionar acceso simultáneo de lectura/escritura a múltiples bancos

5 **Campo de divulgación**

[0001] La presente patente está orientada a una memoria de ordenador que permite el acceso simultáneo de lectura y de escritura a distintos bancos de una memoria de múltiples bancos y a un procedimiento para proporcionar dicho acceso y, más específicamente, a una memoria de ordenador que permite el acceso simultáneo de lectura y escritura a distintos bancos de una memoria de múltiples bancos enviando una instrucción que incluye una ubicación de memoria y una indicación de una operación a realizar en la ubicación de memoria y hacia un procedimiento para proporcionar dicho acceso.

15 **Antecedentes**

[0002] La memoria convencional de puerto único incluye generalmente un conjunto único de direcciones y un control único. Por lo tanto, sólo se puede acceder a la misma por un dispositivo a la vez - se puede realizar una única operación de lectura o una única operación de escritura, pero no se pueden realizar ambos tipos de operación al mismo tiempo.

[0003] Cuando es deseable proporcionar acceso simultáneo de lectura y escritura a una memoria, se puede usar una memoria de dos puertos o una memoria de múltiples puertos. Por ejemplo, puede hacerse un acceso de lectura mediante un puerto de la memoria, mientras que se hace un acceso de escritura mediante el otro puerto. Las memorias convencionales de dos puertos o de múltiples puertos, sin embargo, incluyen generalmente más transistores que las memorias de puerto único y por lo tanto ocupan más espacio en un chip que las memorias de puerto único. Cuando no se requiere el acceso a la misma ubicación (o cuando puede estar prohibido), pueden usarse memorias distintas; sin embargo, hay también una penalización en el área asociada al uso de memorias distintas pues muchos de los circuitos periféricos para una de las memorias están duplicados para la otra memoria. La necesidad de acceso simultáneo de lectura y escritura debe por tanto equilibrarse con la penalización en que se incurre para el espacio, y las memorias de puerto dual o de múltiples puertos sólo se seleccionan en general cuando la necesidad de acceso simultáneo sobrepasa las penalizaciones de área y de filtración asociadas con las mismas. Sería deseable por lo tanto proporcionar una memoria que tuviera capacidades simultáneas de lectura y de escritura que mejorase las memorias convencionales de puerto dual o de múltiples puertos.

[0004] Se destaca el documento CA 2 239 426 A1 que describe un sistema de memoria compartido que comprende una pluralidad de bancos de memoria y una pluralidad de unidades de procesamiento. Cada unidad de procesamiento tiene dirección de memoria y buses de datos y genera una señal de comando para solicitar un acceso a memoria compartida. El sistema emplea al menos una estructura de conmutación de bus que comprende al menos un conmutador de bus de compuerta de pasaje. La estructura de conmutación de bus tiene un retardo de propagación despreciable y se usa para conectar la dirección de memoria y los buses de datos de cada unidad de procesamiento con cada banco de memoria. Un controlador de memoria compartida recibe la señal de solicitud de acceso a memoria asociada a cada unidad de procesamiento. El controlador de memoria compartida controla la estructura de conmutación de bus y cada banco de memoria a fin de permitir que distintas unidades de procesamiento accedan a cada banco de memoria simultánea y asincrónicamente.

[0005] Además, se destaca el documento US 5 996 051 A que describe un sistema de comunicación que incluye un mecanismo para localizar selectivamente bancos de memoria en función de la configuración de ese sistema. Por lo tanto, el sistema de comunicación puede funcionar de acuerdo con dos posibles modalidades de funcionamiento. De acuerdo con una primera modalidad, la CPU local puede acceder a un conjunto de bancos de memoria simultáneamente con un dispositivo externo que accede al otro conjunto de bancos de memoria. Según una segunda modalidad de funcionamiento, tanto la CPU local puede acceder a los bancos de memoria, como un dispositivo externo puede acceder a los bancos de memoria, excluyendo el uno al otro. En una versión de la segunda modalidad de funcionamiento, señales de dirección a los bancos de memoria pueden estar físicamente conectadas, dejando señales libres para usarse como señales de entrada/salida de propósito general. El mecanismo por el cual los bancos de memoria pueden localizarse y los datos pueden transferirse hacia y desde esos bancos se presta fácilmente a aplicaciones de comunicación a las que se puede atribuir el sistema actual.

[0006] Se destaca adicionalmente el documento US 2007/028027 A1 que describe un dispositivo de memoria de acceso aleatorio dinámico y sincrónico ("SDRAM") que incluye varios bancos de células de memoria acopladas a un trayecto de lectura de datos y a un trayecto de escritura de datos. El trayecto de lectura de datos incluye un pestillo de lectura que almacena un número relativamente grande de bits de datos de lectura recibidos en paralelo desde un banco de células de memoria. Los grupos de los bits de datos de lectura almacenados se seleccionan secuencialmente por un multiplexor y se aplican a un bus de datos de lectura. Los grupos de bits de datos de escritura se acoplan secuencialmente al dispositivo de SDRAM mediante un bus de datos de escritura que es independiente del bus de datos de lectura, y se almacenan secuencialmente en registros de entrada. Cuando los registros de entrada están llenos, los bits de datos de escritura se acoplan en paralelo a un banco de células de memoria. El número de bits en el bus de datos de escritura es preferiblemente un submúltiplo del número de bits en el bus de datos de lectura.

5 **[0007]** También se destaca el documento US 6 412 030 B1 que describe un sistema y un procedimiento que minimiza el descarte de una transacción de lectura pendiente en una arquitectura de bus de interconexión de componentes periféricos (PCI) debido a la llegada de una solicitud de escritura mientras se mantiene el ordenamiento adecuado de transacciones. El sistema y el procedimiento de optimización de lectura/escritura optimizan el rendimiento de la lectura al continuar procesando una transacción de lectura pendiente en las condiciones adecuadas, al tiempo que realizan parcialmente la solicitud de escritura e impiden su finalización. En un ejemplo del sistema y del procedimiento de optimización de lectura/escritura de la presente invención, una transacción de escritura se inhibe rastreando o almacenando una dirección de destino de transacción de escritura inhibida si una dirección de transacción de lectura pendiente no está dentro de un rango de una dirección de transacción de escritura inhibida. Por ejemplo, una dirección de destino asociada a una transacción de escritura inhibida se bloquea temporalmente en un registro de dirección de escritura hasta que se completa o termina una transacción de lectura pendiente. Durante el mismo marco temporal, la transacción de escritura inhibida también se procesa parcialmente bloqueando los datos de escritura en un almacén temporal de escritura de destino si está preparado un destino y una dirección de transacción de lectura pendiente no queda dentro de un rango de una dirección de transacción de escritura inhibida como la lectura pendiente y se procesan las transacciones de escritura inhibidas.

RESUMEN

20 **[0008]** De acuerdo con la presente invención se proporciona un dispositivo, y un procedimiento, según lo enunciado en las reivindicaciones independientes, respectivamente. Formas de realización preferidas de la invención están descritas en las reivindicaciones dependientes.

25 **[0009]** Una forma de realización ejemplar de la invención comprende un procedimiento que incluye proporcionar una memoria de múltiples bancos que tiene al menos bancos de memoria primero y segundo, donde cada uno de los bancos de memoria primero y segundo incluye una pluralidad de elementos de memoria de puerto único, y proporcionar controladores locales primero y segundo para controlar operaciones de lectura y escritura a los bancos de memoria primero y segundo. El procedimiento también incluye proporcionar un controlador global para enviar instrucciones de lectura y escritura a los controladores locales primero y segundo y enviar una instrucción de lectura al primer controlador local y enviar una instrucción de escritura al segundo controlador local al mismo tiempo.

35 **[0010]** Otra forma de realización incluye una memoria con al menos bancos primero y segundo de elementos de memoria de puerto único, un primer controlador local adaptado para enviar instrucciones de lectura y escritura al primer banco de memoria, un segundo controlador local adaptado para enviar instrucciones de lectura y escritura al segundo banco de memoria y un controlador global en comunicación con los controladores locales primero y segundo. El controlador global está configurado para recibir direcciones de memoria primera y segunda y una primera indicación de una operación a realizar en la primera dirección de memoria y una segunda indicación de una operación a realizar en la segunda dirección de memoria y dar instrucciones al primer controlador local de realizar la primera operación indicada en la primera dirección de memoria y dar instrucciones al segundo controlador local de realizar la segunda operación indicada en la segunda dirección de memoria al mismo tiempo.

45 **[0011]** Una forma de realización adicional comprende un procedimiento que incluye proporcionar una memoria de múltiples bancos con al menos bancos de memoria primero y segundo, proporcionar al menos controladores primero y segundo adaptados para controlar las operaciones de lectura y escritura en al menos dichos bancos de memoria primero y segundo y proporcionar un controlador global en comunicación con al menos dichos controladores primero y segundo. El procedimiento también incluye proporcionar al controlador global una primera instrucción que comprende una primera dirección de memoria y una primera operación a realizar en la primera dirección de memoria y una segunda instrucción que comprende una segunda dirección de memoria y una segunda operación a realizar en la segunda dirección de memoria. El controlador global instruye al primer controlador local para realizar la primera operación en la primera dirección de memoria y al segundo controlador local para realizar la segunda operación en la segunda dirección de memoria.

55 **[0012]** Otra forma de realización más comprende un dispositivo que incluye una memoria de múltiples bancos que tiene al menos bancos de memoria primero y segundo y al menos controladores primero y segundo adaptados para controlar operaciones de lectura y escritura en al menos dichos bancos de memoria primero y segundo. El dispositivo también incluye un controlador global en comunicación con al menos dichos controladores locales primero y segundo y el controlador está configurado para recibir una primera instrucción que comprende una primera dirección de memoria y una primera operación a realizar en la primera dirección de memoria y una segunda instrucción que comprende una segunda dirección de memoria y una segunda operación a realizar en la segunda dirección de memoria. El controlador global también está configurado para dar instrucciones al primer controlador local de realizar la primera operación en la primera dirección de memoria y para dar instrucciones al segundo controlador local de realizar la segunda operación en la segunda dirección de memoria.

65 **[0013]** Otra forma de realización comprende una memoria que tiene una disposición de elementos de memoria, una disposición de controladores locales adaptada para enviar instrucciones de lectura y escritura a la disposición de elementos de memoria y una disposición de controladores globales en comunicación con la disposición de controladores locales. La disposición de controladores globales está configurada para recibir direcciones de memoria primera y segunda y una

primera indicación de una operación a realizar en una primera dirección de memoria y una segunda indicación de una operación a realizar en una segunda dirección de memoria y para dar instrucciones a la disposición de controladores locales de realizar la primera operación indicada en la primera dirección de memoria y la segunda operación indicada en la segunda dirección de memoria al mismo tiempo.

5 [0014] Una forma de realización adicional comprende un procedimiento que incluye etapas para proporcionar una memoria de múltiples bancos con al menos bancos de memoria primero y segundo, comprendiendo cada uno de los bancos de memoria primero y segundo una pluralidad de elementos de memoria de puerto único y etapas para proporcionar controladores locales primero y segundo para controlar operaciones de lectura y escritura en al menos dichos bancos de memoria primero y segundo. El procedimiento también incluye etapas para proporcionar un controlador global para enviar instrucciones de lectura y escritura a los controladores locales primero y segundo y etapas para enviar una instrucción de lectura al primer controlador local y enviar una instrucción de escritura al segundo controlador local al mismo tiempo.

15 **BREVE DESCRIPCIÓN DE LOS DIBUJOS**

[0015] Los dibujos adjuntos se presentan para ayudar en la descripción de las formas de realización de la invención y se proporcionan únicamente para la ilustración de las formas de realización y no la limitación de las mismas.

- 20 La FIG. 1 es un diagrama esquemático de circuitos que ilustra una memoria de acuerdo con una primera forma de realización.
- La FIG. 2 es un diagrama esquemático de circuitos que ilustra una memoria de acuerdo con una segunda forma de realización.
- La FIG. 3 es una representación esquemática de dos instrucciones a procesar por la memoria de la FIG. 1 o la FIG. 2.
- 25 La FIG. 4 es un gráfico de flujo que ilustra un procedimiento de acuerdo con una forma de realización.
- La FIG. 5 es un gráfico de flujo que ilustra un procedimiento de acuerdo con otra forma de realización.

DESCRIPCIÓN DETALLADA

30 [0016] Aspectos de la invención están divulgados en la siguiente descripción y los dibujos relacionados orientados a formas de realización específicas de la invención. Pueden ser ideadas formas de realización alternativas sin apartarse del ámbito de la invención. Adicionalmente, elementos bien conocidos de la invención no serán descritos en detalle o serán omitidos a fin de no oscurecer los detalles relevantes de la invención.

35 [0017] La palabra “ejemplar” se usa en la presente memoria para significar “que sirve como un ejemplo, caso o ilustración”. Cualquier forma de realización descrita en la presente memoria como “ejemplar” no ha de ser necesariamente interpretada como preferida o ventajosa con respecto a otras formas de realización. Análogamente, el término “formas de realización de la invención” no requiere que todas las formas de realización de la invención incluyan la característica, ventaja o modalidad de funcionamiento expuesta.

40 [0018] La terminología usada en la presente memoria es con el fin de describir formas de realización específicas solamente y no está concebida para ser limitadora de las formas de realización de la invención. Según se usan en la presente memoria, las formas singulares “un”, “uno” y “el” están concebidas para incluir asimismo las formas plurales, a menos que el contexto indique claramente lo contrario. Se entenderá además que los términos “comprende”, “comprendiendo”, “incluye” y/o “incluyendo”, cuando se usan en la presente memoria, especifican la presencia de las características, etapas, operaciones, elementos y/o componentes indicados, pero no impiden la presencia o el agregado de uno o más de otras características, otros enteros, otras etapas, otras operaciones, otros elementos, otros componentes y/o de grupos de los mismos.

50 [0019] Además, muchas formas de realización están descritas en términos de secuencias de acciones a realizar, por ejemplo, por parte de elementos de un dispositivo informático. Se reconocerá que diversas acciones descritas en la presente memoria pueden ser realizadas por circuitos específicos (p. ej., circuitos integrados específicos de la aplicación (ASIC)), por instrucciones de programa ejecutadas por uno o más procesadores, o por una combinación de ambos. Adicionalmente, estas secuencias de acciones descritas en la presente memoria pueden ser consideradas como realizadas enteramente dentro de cualquier forma de medio de almacenamiento legible por ordenador, que tenga almacenado en el mismo un correspondiente conjunto de instrucciones de ordenador que, al ejecutarse, provocarían que un procesador asociado realizara la funcionalidad descrita en la presente memoria. Por tanto, los diversos aspectos de la invención pueden ser realizados en un cierto número de formas distintas, todas las cuales han sido contempladas para que estén dentro del ámbito del asunto en cuestión reivindicado. Además, para cada una de las formas de realización descritas en la presente memoria, la forma correspondiente de formas de realización cualesquiera de ese tipo puede ser descrita en la presente memoria, por ejemplo, como “lógica configurada para” realizar la acción descrita.

65 [0020] La Figura 1 ilustra una memoria de múltiples bancos 100 de acuerdo con una primera forma de realización que incluye un primer banco de memoria 102, un segundo banco de memoria 104, un tercer banco de memoria 106 y un cuarto banco de memoria 108, entendiéndose que las formas de realización con más o menos bancos de memoria también están dentro del ámbito de esta divulgación. Cada uno de los bancos de memoria primero a cuarto 102, 104, 106, 108 incluye

una línea de palabras y los circuitos asociados de lectura/escritura que permiten que las operaciones de lectura y escritura sean realizadas en ese banco de memoria. Los circuitos de lectura/escritura incluyen, por ejemplo, un amplificador de detección (no ilustrado) y un controlador de escritura (no ilustrado). Específicamente, el primer banco de memoria 102 incluye una línea de palabras 110 y circuitos de lectura/escritura 112, el segundo banco de memoria 104 incluye una línea de palabras 114 y circuitos de lectura/escritura 116, el tercer banco de memoria 106 incluye una línea de palabras 118 y circuitos de lectura/escritura 120 y el cuarto banco de memoria 108 incluye una línea de palabras 122 y circuitos de lectura/escritura 124. Un controlador local también está asociado a cada uno de los bancos de memoria primero a cuarto 102, 104, 106, 108. Específicamente, el primer banco de memoria 102 incluye un primer controlador local 126, el segundo banco de memoria 104 incluye un segundo controlador local 128, el tercer banco de memoria 106 incluye un tercer controlador local 130 y el cuarto banco de memoria 108 incluye un cuarto controlador local 132. Los primeros circuitos de Entrada/Salida 134 están asociados a los elementos de memoria en una primera columna de memoria 136 y los segundos circuitos de Entrada/Salida 138 están asociados a los elementos de memoria en una segunda columna de memoria 140 y los circuitos de Entrada/Salida primero y segundo 134, 138, permiten que los datos sean escritos en y leídos de, los elementos de memoria en la primera columna de memoria 136 y la segunda columna de memoria 140, respectivamente.

[0021] Un controlador global 142 está configurado para recibir pares de instrucciones, incluyendo cada instrucción una indicación de una operación a realizar y una identificación de una dirección de memoria en la que ha de realizarse la instrucción. La indicación, por ejemplo, puede comprender una parte de la dirección de memoria recibida y/o ser transmitida simultáneamente con la dirección de memoria. La Figura 2 ilustra las instrucciones representativas primera y segunda 144, 146, cada una de las cuales incluye una primera parte 148 que identifica una operación a realizar y una segunda parte 150 que identifica una dirección de memoria en la que la operación ha de ser realizada. La primera parte 148 de la primera instrucción 144 incluye una "e" de "escritura" y la segunda parte 150 de la primera instrucción 144 incluye una dirección de memoria a ser escrita. En este ejemplo, el "1" en la dirección indica que el elemento de memoria al que se accede está en el primer banco de memoria 102 y el "5" identifica el elemento de memoria. La primera parte 148 de la segunda instrucción 146 incluye una "l" de "lectura" y la segunda parte 150 de la segunda instrucción 146 incluye una dirección de memoria a leer. En este ejemplo, el "2" en la dirección indica que el elemento de memoria al que se accede está en el segundo banco de memoria 104 y que se ha de acceder a una ubicación "8". Si bien "l" y "e" se usan para indicar "lectura" y "escritura", respectivamente, la parte identificativa de la instrucción será probablemente un valor numérico que pueda ser interpretado por el controlador global 142 como una instrucción bien de lectura o bien de escritura. Análogamente, las direcciones de memoria en las segundas partes 150 de las instrucciones primera y segunda 144, 146 serán proporcionadas de manera que puedan ser inmediatamente procesadas por el controlador global.

[0022] La memoria de múltiples bancos 100 incluye trayectos separados de lectura y escritura y por tanto puede realizar operaciones de lectura y escritura al mismo tiempo, mientras las operaciones estén siendo realizadas en bancos distintos de los bancos de memoria primero a cuarto 102, 104, 106, 108. El controlador global 142 está configurado para enviar dos instrucciones a dos controladores distintos entre los controladores locales primero a cuarto 126, 128, 130, 132 al mismo tiempo y siempre que una operación sea una operación de lectura y la otra sea una operación de escritura, las operaciones pueden ejecutarse simultáneamente sin ninguna interferencia en los trayectos de datos de salida. Los elementos de memoria de puerto dual y de múltiples puertos permiten el acceso simultáneo a un elemento de memoria dado pero son más complejos y ocupan más espacio. En casos donde no se requiere el acceso simultáneo al mismo elemento de memoria, muchas de las ventajas de la memoria de puerto dual y de múltiples puertos pueden ser obtenidas usando elementos de memoria de puerto único y la presente divulgación. Según se usan en la presente memoria, "simultáneamente", "concurrentemente" y "al mismo tiempo" significan que operaciones de lectura y escritura están teniendo lugar al mismo tiempo. Estas operaciones, sin embargo, pueden, pero no necesariamente deben, comenzar o acabar en precisamente el mismo instante. En efecto, según la memoria, se requieren generalmente distintos lapsos de tiempo para que ocurran las operaciones de lectura y escritura e incluso si comienzan aproximadamente al mismo tiempo, una de estas operaciones terminará generalmente antes que la otra.

[0023] Es deseable que el sistema que accede a la memoria de múltiples bancos 100 sea configurado para evitar enviar solicitudes conflictivas de acceso a memoria a la memoria de múltiples bancos 100. Es decir, el sistema debería garantizar que los pares de solicitudes de acceso de lectura y escritura que son enviados a la memoria de múltiples bancos 100 estén siempre dirigidos a bancos distintos de los bancos de memoria primero a cuarto 102, 104, 106, 108. La memoria de múltiples bancos 100 puede ser configurada, sin embargo, para gestionar situaciones en que dos instrucciones recibidas son bien dos instrucciones de lectura o bien dos instrucciones de escritura o instrucciones para leer y/o escribir en el mismo banco de memoria. En tal caso, el controlador global 142 puede ser configurado para dar prioridad a una de las instrucciones sobre la otra o para ignorar ambas instrucciones y evitar así el conflicto.

[0024] Como se ha indicado anteriormente, las instrucciones de lectura y escritura para un dispositivo de memoria dado requieren habitualmente distintos lapsos para ser ejecutadas. Para los fines de la exposición, se supone que realizar una operación de escritura en la memoria de múltiples bancos 100 requiere más tiempo que realizar una operación de lectura. Sin embargo, para otras memorias, un acceso de lectura puede tomar más tiempo que un acceso de escritura. Para ayudar a asegurar que el controlador global 142 no comience otra operación de lectura o de escritura antes de que se acabe una operación actual, el controlador global 142 incluye un temporizador de escritura 152. El temporizador de escritura 152 controla el intervalo en el que el controlador global 142 envía instrucciones a los controladores locales primero a cuarto 126, 128, 130, 132 y no permite que las instrucciones de lectura o de escritura sean enviadas hasta que el temporizador de escritura 152 se haya agotado indicando que ha pasado un tiempo predeterminado. Debido a que en esta forma de

realización se supone que las operaciones de escritura requieren más tiempo que las operaciones de lectura, las operaciones de lectura habrán acabado necesariamente en el momento en que se agote el temporizador de escritura 152. La memoria de múltiples bancos 100 es por tanto un elemento de memoria auto-temporizado que no es dependiente de un reloj del sistema para determinar la temporización del acceso a memoria.

5
 [0025] En funcionamiento, la primera instrucción 144 y la segunda instrucción 146 son recibidas en el controlador global 142. La primera instrucción 144 incluye una "i" y una dirección en el primer banco de memoria 102. La segunda instrucción incluye una "e" y una dirección en el segundo banco de memoria 104. El controlador global 142 envía así una instrucción al primer controlador local 126 en el primer banco de memoria 102 para realizar una operación de lectura en la ubicación de memoria indicada y de manera esencialmente simultánea, envía una instrucción de escritura al segundo controlador local 128 del segundo banco de memoria 104 para realizar una operación de escritura en la ubicación indicada. La lectura y escritura efectiva de los datos se realiza de manera convencional aunque, a diferencia de las memorias convencionales, se realiza al mismo o esencialmente al mismo tiempo en los dos bancos de memoria distintos. Cuando se agota el temporizador de escritura 152, un segundo par de direcciones de memoria es recibido por el controlador global 142 y el proceso continúa.

10
 [0026] Una segunda forma de realización está ilustrada en la Figura 3, en la que los elementos comunes con la primera forma de realización están identificados con iguales números de referencia. En la Figura 3, el controlador global 142 incluye un temporizador de lectura 302 además del temporizador de escritura 152 de la primera forma de realización. El temporizador de lectura 302 permite a la memoria 100 determinar independientemente cuándo se completan las operaciones de lectura y escritura y emprender por tanto las acciones adecuadas en base a los tiempos efectivos de terminación. Por ejemplo, si se determina usando el temporizador 302 que ha terminado una operación de lectura, puede ser posible comenzar la precarga adecuada de una línea de bits de lectura sin esperar a que se complete la operación de escritura.

20
 [0027] La memoria 100 proporciona por tanto la ventaja de permitir operaciones simultáneas de lectura y escritura en distintos bancos de memoria de una memoria de múltiples bancos, que está formada por elementos de memoria de puerto único. Esto brinda muchas de las ventajas de la memoria de puerto dual o múltiples puertos y permite las operaciones simultáneas de lectura y escritura mientras se impidan las operaciones simultáneas en el mismo banco de memoria.

25
 [0028] Las memorias de acuerdo con las formas de realización divulgadas pueden estar formadas o integradas en uno o más troqueles semiconductores y/o en diversos dispositivos, incluyendo, sin limitación, un equipo de sobremesa, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, un asistente digital personal (PDA), una unidad de datos de ubicación fija y un ordenador.

30
 [0029] Un procedimiento de acuerdo con una forma de realización se ilustra en la Figura 4 e incluye un bloque 400 de provisión de una memoria de múltiples bancos que tiene al menos bancos de memoria primero y segundo, un bloque 402 de provisión de al menos controladores locales primero y segundo adaptados para controlar operaciones de lectura y escritura en al menos dichos bancos de memoria primero y segundo, un bloque 404 de provisión de un controlador global en comunicación con al menos dichos controladores locales primero y segundo, un bloque 406 de provisión al controlador global de una primera instrucción que comprende una primera dirección de memoria y una primera operación a realizar en la primera dirección de memoria, un bloque 408 de provisión al controlador global de una segunda instrucción que comprende una segunda dirección de memoria y una segunda operación a realizar en la segunda dirección de memoria y un bloque 410 del controlador global que instruye al primer controlador local para realizar la primera operación en la primera dirección de memoria y que instruye al segundo controlador local para realizar la segunda operación en la segunda dirección de memoria.

35
 [0030] Otro procedimiento de acuerdo con una forma de realización adicional está ilustrado en la Figura 5 e incluye un bloque 500 de provisión de una memoria de múltiples bancos que tiene al menos bancos de memoria primero y segundo, comprendiendo cada uno de los bancos de memoria primero y segundo una pluralidad de elementos de memoria de puerto único, un bloque 502 de provisión de controladores locales primero y segundo para controlar operaciones de lectura y escritura en al menos dichos bancos de memoria primero y segundo, un bloque 504 de provisión de un controlador global para enviar instrucciones de lectura y escritura a los controladores locales primero y segundo y un bloque 506 de envío de una instrucción de lectura al primer controlador local y de envío de una instrucción de escritura al segundo controlador local al mismo tiempo.

40
 [0031] Los expertos en la técnica apreciarán que la información y las señales pueden ser representadas usando cualquiera entre una amplia variedad de distintas tecnologías y técnicas. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan ser mencionados en toda la extensión de la descripción anterior se pueden representar por voltajes, corrientes, ondas electromagnéticas, campos o partículas magnéticas, campos o partículas ópticos, o cualquier combinación de los mismos.

45
 [0032] Además, los expertos en la técnica apreciarán que los diversos bloques lógicos ilustrativos, módulos, circuitos y etapas de algoritmo descritos con relación a las formas de realización divulgadas en la presente memoria se pueden implementar como hardware electrónico, software de ordenador o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad del hardware y del software, diversos componentes ilustrativos, bloques, módulos, circuitos y etapas

han sido descritos en lo que antecede en general en términos de su funcionalidad. Si tal funcionalidad es implementada como hardware o software depende de la aplicación específica y de las restricciones de diseño impuestas sobre el sistema global. Los artesanos expertos pueden implementar la funcionalidad descrita de manera variable para cada aplicación específica, pero tales decisiones de implementación no deberían ser interpretadas como causantes de un alejamiento del ámbito de la presente invención.

5
10 **[0033]** Los procedimientos, secuencias y/o algoritmos descritos con relación a las formas de realización divulgadas en la presente memoria pueden ser realizados directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software puede residir en memoria RAM, memoria flash, memoria ROM, memoria EPROM, memoria EEPROM, registros, un disco rígido, un disco extraíble, un CD-ROM o cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento ejemplar está acoplado con el procesador de modo que el procesador pueda leer información de y escribir información en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede estar integrado en el procesador.

15 **[0034]** Si bien la divulgación precedente muestra formas de realización ilustrativas de la invención, debería observarse que se podrían hacer diversos cambios y modificaciones en la presente memoria sin apartarse del ámbito de la invención según lo definido por las reivindicaciones adjuntas. Las funciones, etapas y/o acciones de las reivindicaciones de procedimiento de acuerdo con las formas de realización de la invención descrita en la presente memoria no necesariamente se deben realizar en un orden específico. Además, aunque los elementos de la invención se pueden describir o reivindicar en singular, está contemplado el plural a menos que se indique explícitamente la limitación al singular.

20

REIVINDICACIONES

1. Un dispositivo, que comprende:
 - 5 una memoria de múltiples bancos (100) con al menos bancos de memoria primero y segundo (102, 104); al menos controladores locales primero y segundo (126, 128) adaptados para controlar operaciones de lectura y escritura en los al menos bancos de memoria primero y segundo; un controlador global (142) en comunicación con los al menos controladores locales primero y segundo; en el que el controlador global está configurado para recibir una primera instrucción que comprende una primera dirección de memoria y una primera operación a realizar en la primera dirección de memoria y una segunda instrucción que comprende una segunda dirección de memoria y una segunda operación a realizar en la segunda dirección de memoria, y el controlador global está configurado para dar instrucciones al primer controlador local de realizar la primera operación en la primera dirección de memoria y dar instrucciones al segundo controlador local de realizar la segunda operación en la segunda dirección de memoria; y
 - 10 un temporizador (152, 302) en el controlador global, en el que el temporizador está configurado para controlar un intervalo en el que el controlador global envía las instrucciones primera y segunda a los controladores locales primero y segundo.
2. El dispositivo de la reivindicación 1, en el que el controlador global está configurado para dar instrucciones al segundo controlador local de realizar la segunda operación en la segunda dirección de memoria antes de que la primera operación haya finalizado.
3. El dispositivo de la reivindicación 1, en el que el controlador global está configurado para dar instrucciones al primer controlador local de realizar la primera operación en la primera dirección de memoria y para dar instrucciones al segundo controlador local de realizar la segunda operación en la segunda dirección de memoria al mismo tiempo.
4. El dispositivo de la reivindicación 3, en el que la segunda operación es diferente a la primera operación.
5. El dispositivo de la reivindicación 4, en el que la primera operación comprende una primera de entre una operación de lectura y una operación de escritura y en el que la segunda operación comprende una segunda de entre la operación de lectura y la operación de escritura.
6. El dispositivo de la reivindicación 5, en el que el controlador global está configurado para abstenerse de dar instrucciones al primer controlador local de realizar la primera operación si se está realizando una operación de lectura previa o una operación de escritura previa en el primer banco de memoria.
7. El dispositivo de la reivindicación 5, en el que el controlador global está configurado para determinar si ha transcurrido un tiempo predeterminado desde que se instruyó al primer controlador local de que realizara la primera operación antes de dar instrucciones al primer controlador local de realizar una operación posterior.
8. El dispositivo de la reivindicación 1, que incluye trayectos de lectura y de escritura separados para cada uno de los al menos bancos de memoria primero y segundo.
9. El dispositivo de la reivindicación 1, en el que dichos al menos bancos de memoria primero y segundo comprenden, cada uno, una pluralidad de elementos de memoria de puerto único.
10. El dispositivo de la reivindicación 1, que incluye además un primer control de memoria autotemporizado para determinar un final de una operación de escritura; y, preferiblemente, incluye además un segundo control de memoria autotemporizado para determinar un final de una operación de lectura.
11. El dispositivo de la reivindicación 1 integrado en al menos un troquel semiconductor.
12. El dispositivo de la reivindicación 1, en el que la memoria de múltiples bancos está integrada en al menos uno de entre un decodificador ["set top box"], un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, un asistente digital personal (PDA), una unidad de datos de ubicación fija y un ordenador.
13. Un procedimiento, que comprende:
 - 60 proporcionar (500) una memoria de múltiples bancos (100) con al menos bancos de memoria primero y segundo (102, 104), comprendiendo cada uno de los al menos bancos de memoria primero y segundo una pluralidad de elementos de memoria de puerto único;
 - 65 proporcionar (502) controladores locales primero y segundo (126, 128) para controlar operaciones de lectura y escritura en los al menos bancos de memoria primero y segundo;

proporcionar (504) un controlador global (142) para enviar instrucciones de lectura y escritura a los controladores locales primero y segundo;

enviar (506) simultáneamente, desde el controlador global, una instrucción de lectura al primer controlador local y una instrucción de escritura al segundo controlador local; y

5 controlar, usando un temporizador (152, 302) en el controlador global, un intervalo en el cual el controlador global envía las instrucciones de lectura y escritura a los controladores locales primero y segundo.

14. El procedimiento de la reivindicación 13, que incluye además proporcionar al controlador global una primera instrucción que comprende una primera dirección de memoria y una primera operación a realizar en la primera dirección de memoria, y una segunda instrucción que comprende una segunda dirección de memoria y una segunda operación a realizar en la segunda dirección de memoria.

10

15. El procedimiento de la reivindicación 13, que incluye además que el primer controlador local ejecute la instrucción de lectura mientras el segundo controlador local ejecuta la instrucción de escritura.

15

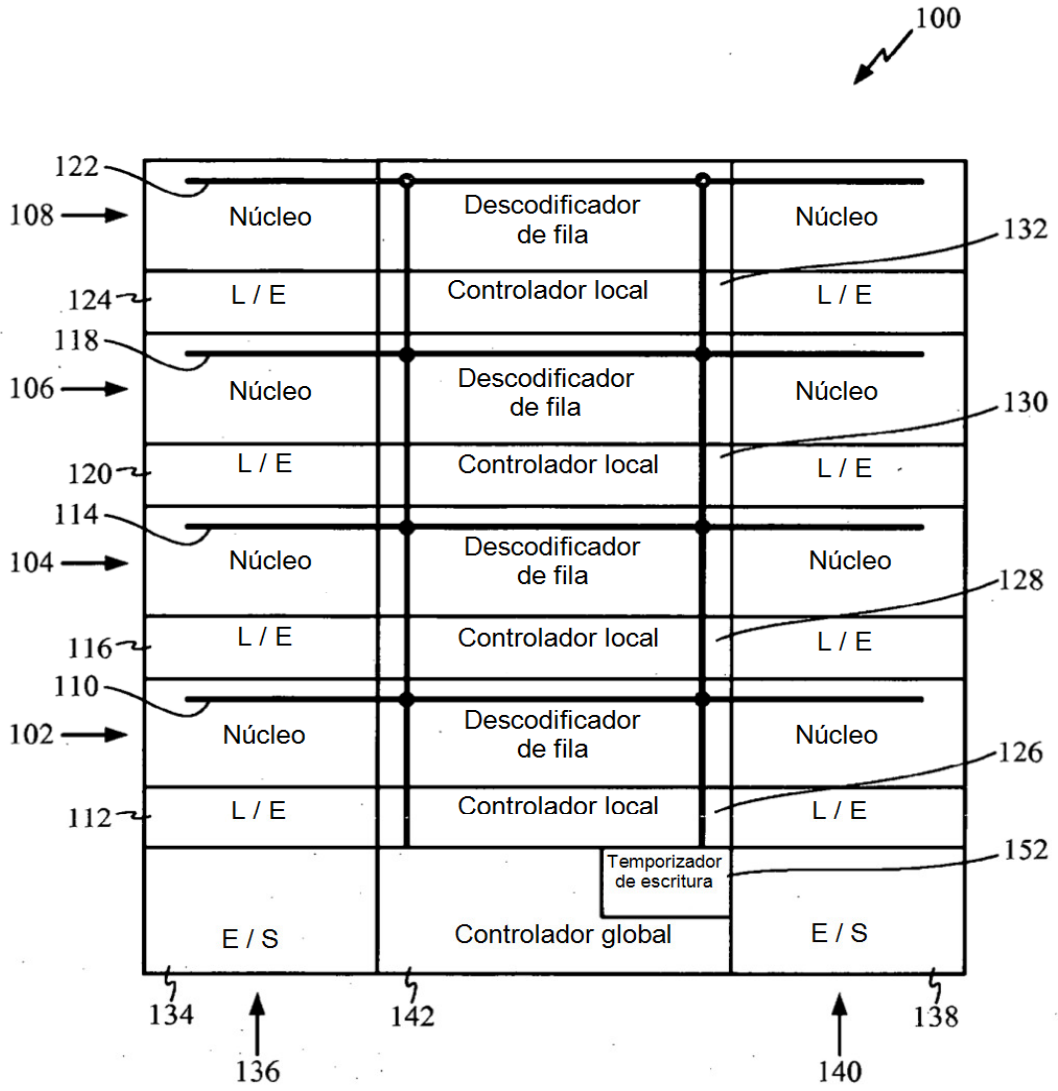


FIG. 1

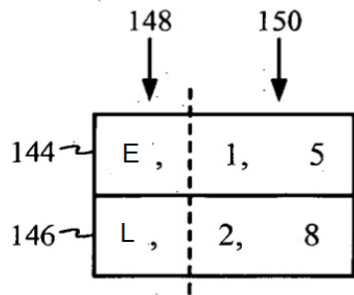


FIG. 2

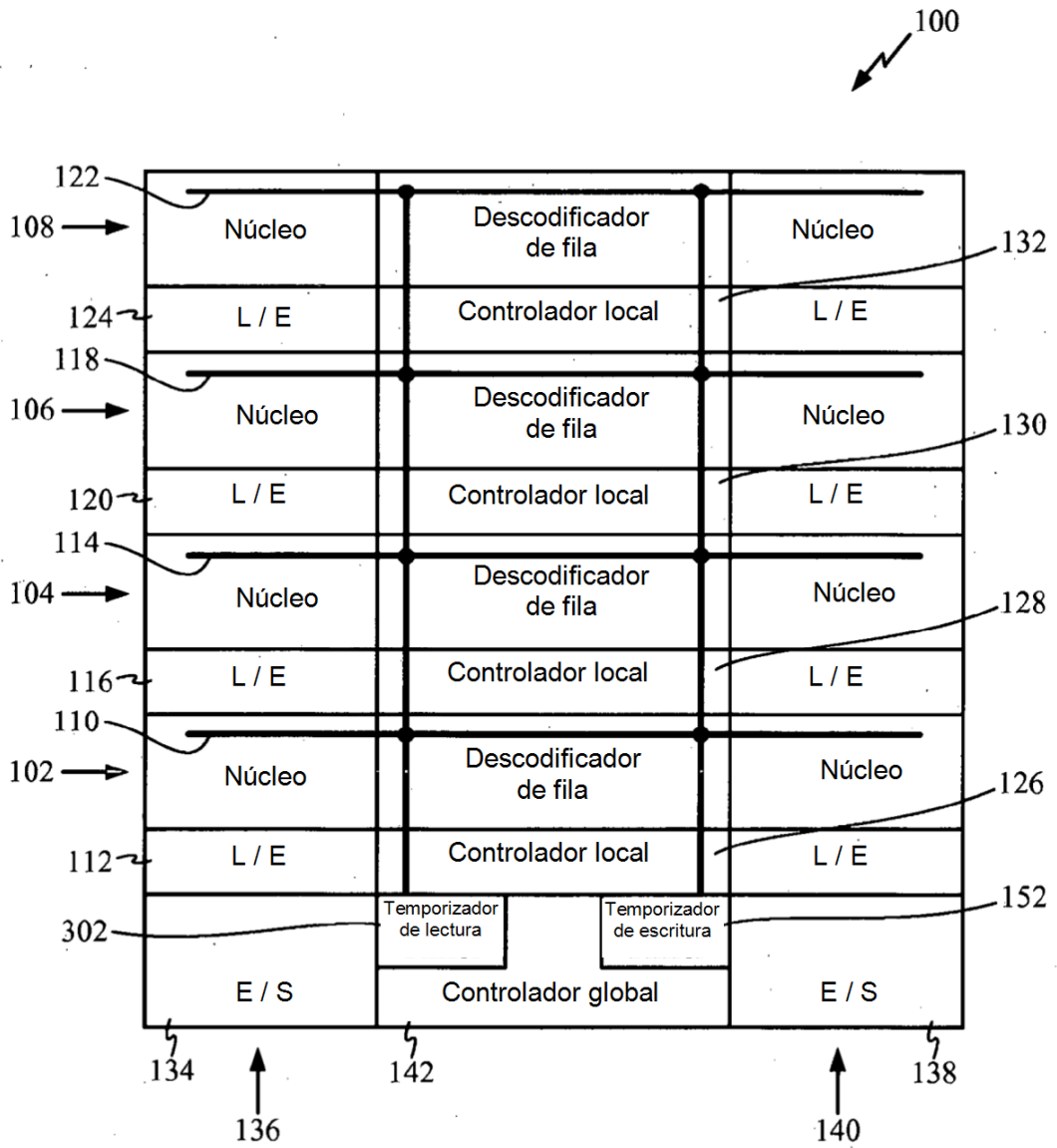


FIG. 3

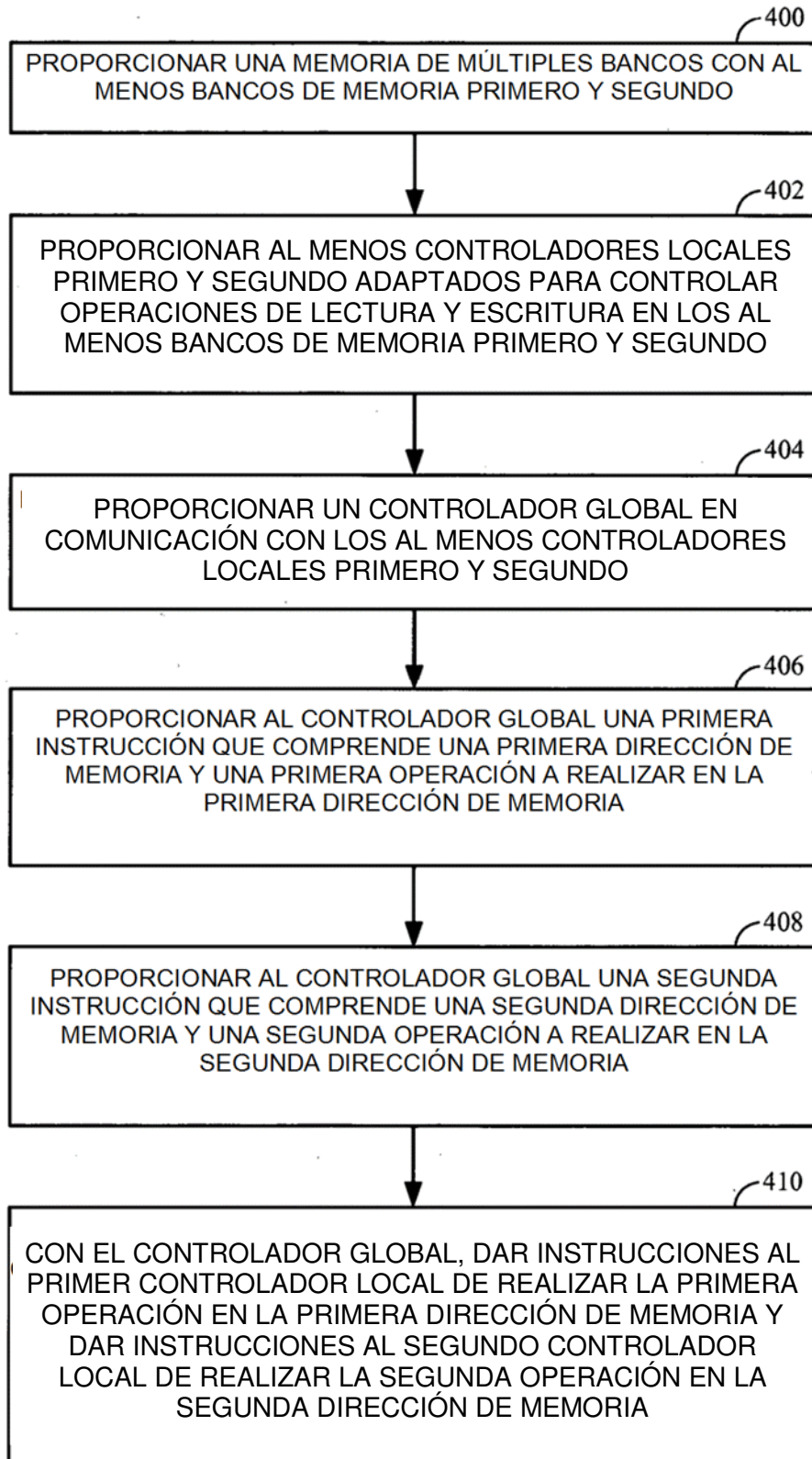


FIG. 4

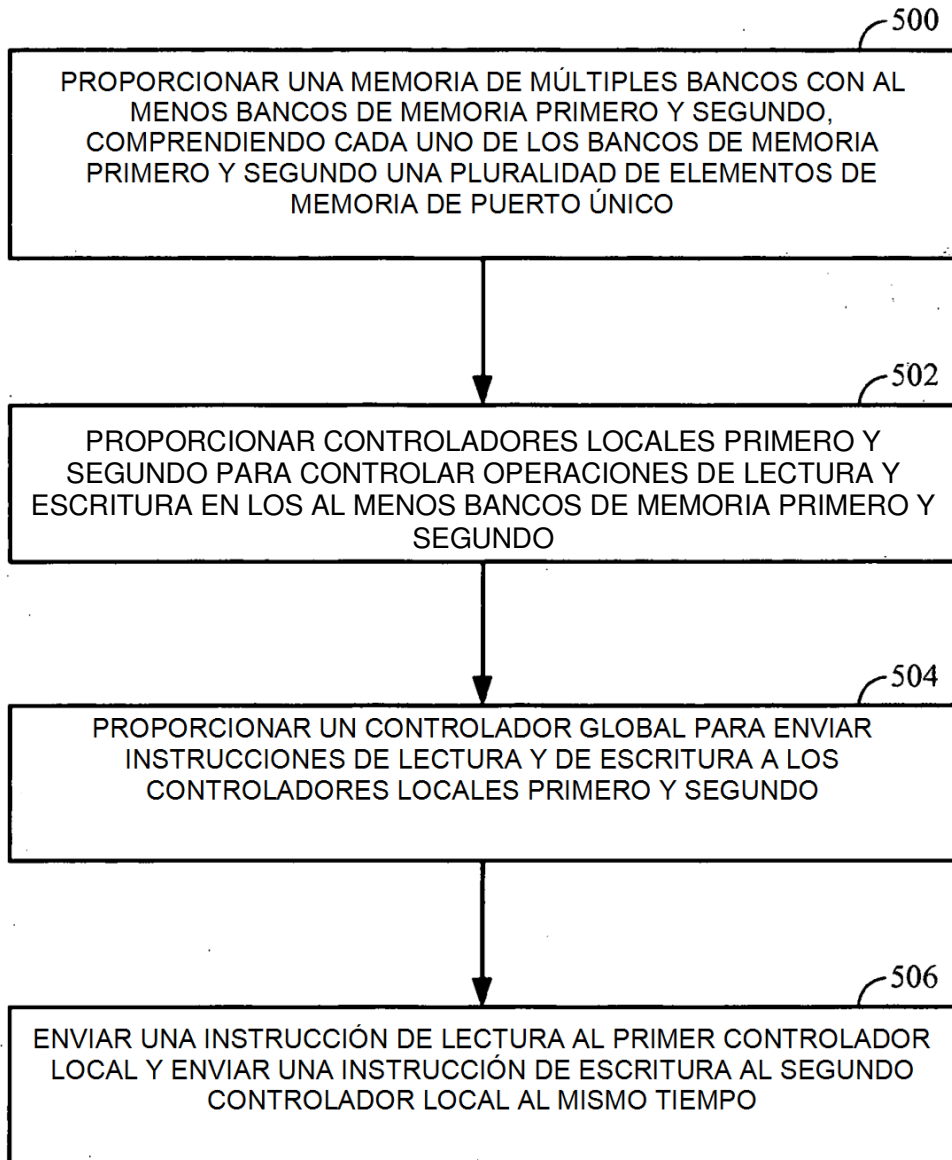


FIG. 5