

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 702 385**

51 Int. Cl.:

H03M 13/25 (2006.01)

H03M 13/27 (2006.01)

H03M 13/35 (2006.01)

H03M 13/29 (2006.01)

H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.05.2012 E 15172085 (1)**

97 Fecha y número de publicación de la concesión europea: **19.09.2018 EP 2940878**

54 Título: **Entrelazador de bits para un sistema BICM con códigos QC LDPC**

30 Prioridad:

18.05.2011 EP 11004124

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

28.02.2019

73 Titular/es:

**PANASONIC CORPORATION (100.0%)
1006, Oaza Kadoma
Kadoma-shi, Osaka 571-8501, JP**

72 Inventor/es:

PETROV, MIHAIL

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 702 385 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Entrelazador de bits para un sistema BICM con códigos QC LDPC

5 La presente descripción se refiere al campo de las comunicaciones digitales, y más específicamente a un entrelazador de bits para un sistema de codificación y modulación con entrelazado de bits, con códigos de comprobación de paridad de baja densidad cuasiperiódicos.

En los últimos años, se han utilizado sistemas de codificación y modulación con entrelazado de bits (BICM en lo que sigue, por sus siglas en inglés) en el campo de las comunicaciones digitales (véanse, por ejemplo, la norma DVB-T2, ETSI EN 302 755 V1.2.1).

Los sistemas BICM incorporan generalmente los tres pasos siguientes.

10 (1) Codificar bloques de datos en palabras de código utilizando, por ejemplo, código de comprobación de paridad de baja densidad cuasiperiódico (QC LDPC en lo que sigue, por sus siglas en inglés) o similar.

(2) Realizar entrelazado de bits sobre los bits de cada palabra de código.

(3) Dividir cada palabra de código con bits entrelazados en palabras de constelación que tienen un número de bits de constelación, y correlacionar ("map", en inglés) las palabras de constelación con constelaciones.

15 Por ejemplo, en el artículo "Macro Interleaver Design for Bit Interleaved Coded Modulation with Low-Density Parity-Check Codes" (Diseño de entrelazador macro para modulación codificada con entrelazado de bits, con códigos de comprobación de paridad de baja densidad) de Frank Kienle y Norbert Wehn (IEEE Vehicular Technology Conference, VTC, primavera de 2008. Piscataway, NJ, EE. UU.) se describe un entrelazador convencional para modulación codificada con entrelazado de bits, con códigos de comprobación de paridad de baja densidad.

20 Típicamente, es deseable eficiencia en el entrelazado aplicado a las palabras de código de códigos de comprobación de paridad de baja densidad cuasiperiódicos.

La presente invención aborda esta necesidad al proporcionar un método de entrelazado que permite aplicar un entrelazado eficaz a las palabras de código de códigos de comprobación de paridad de baja densidad cuasiperiódicos, así como un correspondiente entrelazador de bits, método de procesamiento de señales y procesador de señales.

25 La invención se expone en la primera realización, donde N no es múltiplo de M , y en la tercera realización con $F = 1$ (sin plegado). Las otras realizaciones son ejemplos que no forman parte de la invención, pero representan antecedentes de la técnica que resultan útiles para comprender la invención. El alcance de la invención está definido por las reivindicaciones adjuntas.

[Breve descripción de los dibujos]

30 La Figura 1 es un diagrama de bloques que muestra la configuración de un transmisor que incluye un codificador BICM típico.

La Figura 2 ilustra un ejemplo de una matriz de comprobación de paridad para códigos de comprobación de paridad de baja densidad cuasiperiódicos que tiene una tasa de codificación $1/2$.

35 La Figura 3 ilustra un ejemplo de una matriz de comprobación de paridad para códigos de comprobación de paridad de baja densidad cuasiperiódicos, de repetir-acumular, que tiene una tasa de codificación $2/3$.

La Figura 4 ilustra una matriz de comprobación de paridad para los códigos de comprobación de paridad de baja densidad cuasiperiódicos, de repetir-acumular, de la Figura 3, después de una permutación de fila.

40 La Figura 5 ilustra una matriz de comprobación de paridad para los códigos de comprobación de paridad de baja densidad cuasiperiódicos, de repetir-acumular, de la Figura 3, después de una permutación de fila y una permutación de paridad.

La Figura 6 describe distintos niveles de robustez de los bits codificados en ocho símbolos PAM.

La Figura 7 es un diagrama de bloques que muestra la configuración de un entrelazador de bits típico donde el factor cíclico Q es 8, el número N de bloques cíclicos por palabra de código de comprobación de paridad de baja densidad es 12, y el número M de bits por constelación es 4.

45 La Figura 8A es un diagrama de bloques que muestra la configuración de un modulador DVB-T2 utilizado en la norma DVB-T2, y la Figura 8B es un diagrama de bloques que muestra la configuración de un codificador BICM para el modulador DVB-T2 de la Figura 8A.

La Figura 9A ilustra un proceso de escritura para los bits de una palabra de código 16K (es decir, un código LDPC donde la longitud de la palabra de código LDPC es 16.200 bits), realizado por un entrelazador columna-fila que tiene

doce columnas, y la Figura 9B ilustra un proceso de lectura para los bits de la palabra de código escritos de la manera indicada por la Figura 9A, realizado por el entrelazador columna-fila.

5 La Figura 10A ilustra un proceso de escritura para los bits de una palabra de código 16K, realizado por un entrelazador columna-fila que tiene ocho columnas, y la Figura 10B ilustra un proceso de lectura para los bits de la palabra de código escrita de la manera indicada por la Figura 10A, realizado por el entrelazador columna-fila.

La Figura 11 es un diagrama de bloques que muestra la configuración de un desmultiplexor de bit a celda utilizado para códigos 16K de 16-QAM en la norma DVB-T2.

La Figura 12 es un diagrama de bloques que muestra la configuración de un desmultiplexor de bit a celda utilizado para códigos 16K de 64-QAM en la norma DVB-T2.

10 La Figura 13 es un diagrama de bloques que muestra la configuración de un desmultiplexor de bit a celda utilizado para códigos 16K de 256-QAM en la norma DVB-T2.

La Figura 14 ilustra un problema que se presenta para códigos 16K con un entrelazador de bits DVB-T2 de ocho columnas.

15 La Figura 15 ilustra un problema que se presenta para códigos 16K con un entrelazador de bits DVB-T2 de doce columnas.

La Figura 16 ilustra un problema que se presenta para códigos 16K con un entrelazador de bits DVB-T2 de ocho columnas cuando se aplica torsión de columna.

La Figura 17 ilustra un problema se presenta para códigos 16K con un entrelazador de bits DVB-T2 de doce columnas cuando se aplica la torsión de columna.

20 Las Figuras 18A y 18B ilustran respectivamente una primera y segunda condiciones descubiertas por los autores de la invención, que permiten proporcionar un entrelazador extremadamente eficaz.

La Figura 19 ilustra una función de correlación por un entrelazador perteneciente a una realización.

La Figura 20 es un diagrama de bloques que muestra la configuración de un entrelazador perteneciente a una realización.

25 La Figura 21A es un diagrama de bloques que muestra la configuración de un permutador de sección que realiza la permutación de sección ilustrada en la Figura 20, y la Figura 21B ilustra una función de correlación del permutador de sección mostrado en la Figura 21A.

30 La Figura 22A es un diagrama de bloques que muestra una configuración alternativa de un permutador de sección que realiza la permutación de sección ilustrada en la Figura 20, y la Figura 22B ilustra una función de correlación del permutador de sección mostrado en la Figura 22A.

La Figura 23 es un diagrama de bloques que muestra la configuración de un entrelazador perteneciente a otra realización.

La Figura 24 es un diagrama de bloques que muestra la configuración del entrelazador de bits mostrado en la Figura 23.

35 La Figura 25 es un diagrama de bloques que muestra la configuración de un transmisor perteneciente a otra realización.

La Figura 26 es un diagrama de bloques que muestra la configuración de un codificador BICM perteneciente a otra realización.

40 La Figura 27 es un diagrama de bloques que muestra la configuración de un receptor que incluye un descodificador BICM no iterativo, perteneciente a otra realización.

La Figura 28 es un diagrama de bloques que muestra la configuración de un receptor que incluye un descodificador BICM iterativo, perteneciente a otra realización.

La Figura 29 es un diagrama de bloques que muestra la configuración de un descodificador BICM iterativo perteneciente a otra realización.

45 La Figura 30 ilustra un ejemplo de bloques cíclicos incluidos y excluidos de un proceso de entrelazador paralelo.

Las Figuras 31A y 31B ilustran respectivamente una primera y segunda condiciones descubiertas por los autores de la invención que permiten proporcionar un entrelazador extremadamente eficaz.

La Figura 32 es un diagrama de bloques que muestra la configuración de un entrelazador perteneciente a otra realización.

La Figura 33A ilustra una función de correlación para una situación sin plegado ($F = 1$) y la Figura 33B ilustra una función de correlación para una situación con plegado ($F = 2$).

- 5 La Figura 34A es un diagrama de bloques que muestra la configuración de un permutador de sección (de plegado) para la situación sin plegado ($F = 1$) y la Figura 34B es un diagrama de bloques que muestra la configuración de un permutador de sección de plegado para la situación con plegado ($F = 2$).

La Figura 35 es un diagrama de bloques que muestra la configuración de un entrelazador perteneciente a otra realización.

- 10 La Figura 36 es un diagrama de bloques que muestra la configuración del entrelazador de bits que se muestra en la Figura 35.

La Figura 37 es un diagrama de bloques que muestra la configuración de un transmisor perteneciente a otra realización.

- 15 La Figura 38 es un diagrama de bloques de un receptor que incluye un decodificador BICM no iterativo, perteneciente a otra realización.

La Figura 39 es un diagrama de bloques de un receptor que incluye un decodificador BICM iterativo, perteneciente a otra realización.

La Figura 40 ilustra ubicaciones de memoria LLR para plegado con $F = 2$ y posiciones de bits para la primera palabra de constelación.

- 20 La Figura 41 representa esquemáticamente la correlación de bloques de constelación pertenecientes a códigos QPSK + 16QAM híbridos.

La Figura 42 es un diagrama de bloques que muestra la configuración de un entrelazador perteneciente a otra realización.

- 25 La Figura 43 es un diagrama de bloques que muestra la configuración de un entrelazador perteneciente a otra realización.

[Descripción de realizaciones]

(Información de antecedentes)

- 30 La Figura 1 es un diagrama de bloques que muestra la configuración de un transmisor 100 que incluye un codificador típico para codificación y modulación con entrelazado de bits (BICM). Tal como se muestra, el transmisor 100 incluye un procesador 110 de entrada, un codificador BICM (que a su vez incluye un codificador 120 con comprobación de paridad de baja densidad (LDPC), un entrelazador 130 de bits y un correlacionador 140 de constelación) y un modulador 150.

- 35 El procesador 110 de entrada convierte un flujo de bits de entrada en bloques de una longitud predeterminada. El codificador LDPC 120 codifica los bloques en palabras de código utilizando códigos LDPC, y después transmite las palabras de código al entrelazador 130 de bits. El entrelazador 130 de bits aplica un proceso de entrelazado a cada palabra de código LDPC, y después divide cada palabra de código entrelazada en una secuencia de palabras de celda (es decir, palabras de constelación). El correlacionador 140 de constelación correlaciona cada palabra de celda (es decir, cada palabra de constelación) con una secuencia de constelaciones (por ejemplo, utilizando QAM).
40 El modulador genérico 150 en la salida incluye todos los bloques de procesamiento procedentes de la salida del codificador BICM a un amplificador de potencia de radiofrecuencia (RF en lo que sigue, por sus siglas en inglés).

- 45 Un código LDPC es un código de corrección de error lineal que está completamente definido por una matriz de comprobación de paridad (PCM en lo que sigue, por sus siglas en inglés). Una PCM es una matriz dispersa binaria que representa la conexión de bits de palabra de código (denominados también, en lo que sigue, nodos de variable) con las comprobaciones de paridad (denominadas también, en lo que sigue, nodos de comprobación). Las columnas y las filas de la PCM corresponden respectivamente a los nodos de variable y a los nodos de comprobación. En la PCM, una conexión entre un nodo de variable y un nodo de comprobación se representa mediante un elemento uno.

- 50 Los códigos de comprobación de paridad de baja densidad cuasiperiódicos (QC LDPC) son una variante de los códigos LDPC. Los códigos QC LDPC tienen una estructura especialmente adecuada para la implementación por *hardware*. De hecho, la mayoría de las normas actualmente en uso emplean códigos QC LDPC. La PCM de un código QC LDPC tiene una configuración especial formada por una pluralidad de matrices circulantes. Una matriz circulante es una matriz cuadrada en la cual cada fila es un desplazamiento cíclico de los elementos de la fila anterior y tiene una, dos o más diagonales plegadas. Cada matriz circulante tiene un tamaño $Q \times Q$. En este caso, Q representa el factor

cíclico de la QC LDPC. La configuración cuasicíclica descrita en lo que antecede permite que los Q nodos de comprobación sean procesados en paralelo, lo que resulta claramente beneficioso para una eficaz implementación por *hardware*.

5 La Figura 2 muestra la PCM de un código QC LDPC con un factor cíclico Q de ocho, a modo de ejemplo. En la Figura 2, así como en las Figuras 3 y 5 que se describirán más adelante, los cuadrados más pequeños representan cada uno un elemento de la PCM, donde los cuadrados en negro son elementos uno y todos los demás cuadrados son elementos cero. La PCM mostrada tiene matrices circulantes con una o dos diagonales plegadas cada una. Este código QC LDPC codifica un bloque de $8 \times 6 = 48$ bits en una palabra de código de $8 \times 12 = 96$ bits. La tasa de codificación QC LDPC es, por consiguiente, $48/96 = 1/2$. Los bits de palabra de código se dividen en una pluralidad de bloques de Q bits cada uno. Los bloques de Q bits se denominan en lo que sigue bloques cíclicos (o grupos cíclicos) por esta relación con el factor cíclico de Q .

15 Una variedad especial de códigos QC LDPC son códigos de comprobación de paridad de baja densidad cuasicíclicos de repetir-acumular (en lo que sigue, RA QC LDPC). Los códigos RA QC LDPC son bien conocidos por ser fáciles de codificar y, por lo tanto, se emplean en una amplia variedad de normas (por ejemplo, en normas DVB de segunda generación, incluidas las DVB-S2, DVB-T2 y DVB-C2). El lado derecho de la PCM corresponde a los bits de paridad. Los elementos uno están dispuestos allí con una estructura en escalera. La Figura 3 muestra un ejemplo de una PCM para una RA QC LDPC que tiene una tasa de codificación $2/3$.

20 En lo que antecede, y a lo largo de la presente memoria, DVB-T es la abreviatura de Digital Video Broadcasting - Terrestrial (Difusión de vídeo digital - terrestre), DVB-S2 es la abreviatura de Digital Video Broadcasting - Second Generation Satellite (Difusión de vídeo digital - satélite, de segunda generación), DVB-T2 es la abreviatura de Digital Video Broadcasting - Second Generation Terrestrial (Difusión de vídeo digital - terrestre, de segunda generación) y DVB-C2 es la abreviatura de Digital Video Broadcasting - Second Generation Cable (Difusión de vídeo digital - cable, de segunda generación).

25 Si se aplica una simple permutación de fila a la PCM que se muestra en la Figura 3, se revela la estructura cuasicíclica de los códigos RA QC LDPC, con la excepción de la parte de paridad, que se muestra en la Figura 4. La permutación de fila es un simple cambio de representación gráfica que no influye en la definición del código.

30 La estructura cuasicíclica de la parte de paridad de la PCM se imparte aplicando una permutación de fila adecuada solamente a los bits de paridad de la PCM que se muestra en la Figura 4. Esta técnica es ampliamente conocida en el sector, y se utiliza en normas tales como la DVB-T2, con el nombre de entrelazado de paridad o permutación de paridad. La Figura 5 muestra la PCM obtenida como resultado de aplicar dicha permutación de paridad a la PCM mostrada en la Figura 4.

35 Típicamente, los bits de una palabra de código LDPC tienen distinta importancia, y los bits de una constelación tienen distinto nivel de robustez. El hecho de correlacionar los bits de una palabra de código LDPC directamente, es decir, sin entrelazado, a una constelación conduce a un rendimiento subóptimo. Así pues, los bits de la palabra de código LDPC requieren entrelazado antes de ser correlacionados con constelaciones.

40 Para ello, se dispone el entrelazador 130 de bits entre el codificador LDPC 120 y el correlacionador 140 de constelación, como se muestra en la Figura 1. Diseñando cuidadosamente el entrelazador 130 de bits, se mejora la asociación entre los bits de la palabra de código LDPC y los bits codificados por la constelación, lo que lleva a un rendimiento mejorado del receptor. El rendimiento se mide normalmente utilizando la tasa de error de bit (BER en lo que sigue, por sus siglas en inglés) en función de la relación señal/ruido (SNR en lo que sigue, por sus siglas en inglés).

45 Los bits de la palabra de código LDPC difieren en importancia principalmente por que no todos los bits están involucrados necesariamente en el mismo número de comprobaciones de paridad. Cuanto mayor sea el número de comprobaciones de paridad (nodos de comprobación) en los que esté involucrado un bit de palabra de código (nodo variable) dado, más importante es, en un proceso de decodificación LDPC iterativa, el bit de palabra de código dado. Otra razón reside en que los nodos de variable tienen cada uno distinta conectividad a los ciclos de un gráfico de Tanner que represente los códigos LDPC. Por lo tanto, es probable que los bits de palabra de código difieran en importancia a pesar de estar involucrados en el mismo número de comprobaciones de paridad. Estas ideas son bien entendidas en el sector. Como regla general, la importancia de los nodos de variable aumenta a medida que
50 aumenta el número de nodos de comprobación conectados con los mismos.

En el caso particular de los códigos QC LDPC, todos los bits incluidos en un bloque cíclico de Q bits tienen el mismo número de comprobaciones de paridad aplicados y tienen la misma conectividad con los ciclos del gráfico de Tanner. Así pues, todos los bits tienen la misma importancia.

55 De manera análoga, es bien conocido que los bits codificados de una constelación tienen distintos niveles de robustez. Por ejemplo, una constelación para modulación de amplitud en cuadratura (QAM en lo que sigue, por sus siglas en inglés) está formada por dos símbolos independientes para modulación de amplitud de impulso (PAM en lo que sigue, por sus siglas en inglés), correspondiendo un símbolo a la parte real y correspondiendo el otro símbolo a la parte imaginaria. Los dos símbolos PAM codifican cada uno M bits. La Figura 6 muestra símbolos 8-PAM

utilizando codificación Gray. Tal como se muestra, los bits codificados en cada símbolo PAM varían en términos de nivel de robustez. La diferencia de robustez es el resultado de que la distancia entre dos subconjuntos definidos por cada bit (por ejemplo, 0 o 1) es distinta para cada uno de los bits. Cuanto mayor es la distancia, más robusto y fiable es el bit. La Figura 6 indica que el bit b3 tiene el máximo nivel de robustez, mientras que el bit b1 tiene el mínimo nivel de robustez.

Por lo tanto, una constelación 16-QAM codifica cuatro bits y tiene dos niveles de robustez. Del mismo modo, una constelación 64-QAM codifica seis bits y tiene tres niveles de robustez. Análogamente, una constelación 256-QAM codifica ocho bits y tiene cuatro niveles de robustez.

Los siguientes parámetros se emplean en lo que sigue a lo largo de la presente descripción.

10 Factor cíclico: $Q = 8$

Número de bloques cíclicos por palabra de código LDPC: $N = 12$

Número de bits por constelación: $M = 4$ (es decir, 16-QAM)

15 Dados los parámetros precedentes, el número de constelaciones con las cuales se correlaciona cada palabra de código LDPC es igual a $Q \times N/M = 24$. Típicamente, los parámetros Q y N se seleccionan de manera que $Q \times N$ sea igual a un múltiplo de M para todas las constelaciones sustentadas por el sistema.

La Figura 7 es un diagrama de bloques que muestra la configuración de un entrelazador típico cuando se aplican los parámetros antes indicados. En la Figura 7, los 12 bloques cíclicos están etiquetados QB1, ..., QB12, y las 24 constelaciones están etiquetadas C1, ..., C24. Un entrelazador 710 de bits entrelaza los 96 bits de la palabra de código LDPC.

20 Se conoce un entrelazador de bits convencional a partir de la norma DVB-T2 (véase ETSI EN 302 755). La norma DVB-T2 es una norma de televisión que presenta mejoras sobre la norma DVB-T, y describe un sistema de transmisión básico de segunda generación para difusión de televisión digital. La norma DVB-T2 proporciona los detalles de un sistema de codificación de canal y modulación para servicios de difusión de televisión y datos genéricos.

25 La Figura 8A es un diagrama de bloques que muestra la estructura de un modulador utilizado en la norma DVB-T2 (es decir, un modulador DVB-T2). El modulador DVB-T2 800 incluye un procesador 810 de entrada, un codificador BICM 820, un constructor 830 de trama y un generador OFDM 840.

30 El procesador 810 de entrada convierte un flujo de bits de entrada en bloques de una longitud determinada. El codificador BICM 820 aplica procesamiento BICM a la entrada. El constructor 830 de trama utiliza la entrada procedente del codificador BICM 820 y similares para generar una estructura de trama de distribución en el formato DVB-T2. El generador 840 de OFDM efectúa adición piloto, aplicación de transformada rápida de Fourier, inserción del intervalo de guarda y acciones similares, en la estructura de trama de distribución, y después genera como salida una señal de transmisión en el formato DVB-T2.

En el capítulo 6 de la norma ETSI EN 302 755 se describe la BICM utilizada en la norma DVB-T2.

35 La Figura 8B es un diagrama de bloques que muestra la estructura del codificador BICM 820 en el modulador DVB-T2 800 ilustrado en la Figura 8A. La Figura 8B omite la codificación BCH externa, la rotación de constelación, el entrelazador de celdas, el entrelazador de tiempo y similares.

40 El codificador BICM 820 incluye un codificador LDPC 821, un entrelazador de bits (que a su vez incluye un entrelazador 822 de paridad y un entrelazador columna-fila 823), un desmultiplexor 824 de bit a celda y un correlacionador QAM 825.

45 El codificador LDPC 821 codifica los bloques en palabras de código utilizando códigos LDPC. El entrelazador de bits (que incluye el entrelazador 822 de paridad y el entrelazador columna-fila 823) realiza entrelazado sobre los bits de las palabras de código. El desmultiplexor 824 de bit a celda desmultiplexa los bits entrelazados de las palabras de código en palabras de celda (palabras de constelación). El correlacionador QAM 825 correlaciona las palabras de celda (palabras de constelación) a símbolos QAM complejos. A los símbolos QAM complejos también se les denomina celdas. De hecho, también se puede considerar al desmultiplexor 824 de bit a celda parte del entrelazador de bits. En tales situaciones, se puede considerar que el codificador BICM según la norma DVB-T2 tiene la estructura básica que se muestra en la Figura 1.

50 Los códigos LDPC utilizados en la norma DVB-T2 son códigos RA QC LDPC que tienen un factor cíclico $Q = 360$. Para la norma DVB-T2 se definen dos longitudes de palabras de código, una de 16.200 bits y la otra de 64.800 bits. En el presente documento, a los códigos LDPC que utilizan una longitud de palabra de código de 16.200 bits se les denomina códigos 16K (o códigos LDPC 16K), y a los códigos LDPC que tienen una longitud de palabra de código de 64.800 bits se les denomina códigos 64K (o códigos LDPC 64K). El número de bloques cíclicos por palabra de código es 45 para los códigos 16K y 180 para los códigos 64K. En las Tablas A1 hasta A6 de ETSI EN 302 755 para

la norma DVB-T2 se exponen los códigos disponibles correspondientes a cada longitud de bloque (longitud de palabra de código).

5 El entrelazador de bits se utiliza solamente para constelaciones mayores que las constelaciones de manipulación por desplazamiento de fase en cuadratura (QPSK en lo que sigue, por sus siglas en inglés), e incluye el entrelazador 822 de paridad, el entrelazador columna-fila 823 y el desmultiplexor 824 de bit a celda. Según la norma DVB-T2, el entrelazador de bits no incluye el desmultiplexor 824 de bit a celda. Sin embargo, la presente memoria se refiere al entrelazado aplicado a códigos LDPC antes de la correlación de constelación. Así pues, al desmultiplexor 824 de bit a celda se le trata como parte del entrelazador de bits.

10 El entrelazador 822 de paridad realiza permutación de paridad en los bits de paridad de cada palabra de código, para clarificar su estructura cuasicíclica, como se ha descrito más arriba (véanse las Figuras 4 y 5).

15 Conceptualmente, el entrelazador columna-fila 823 funciona escribiendo columna por columna los bits de cada palabra de código LDPC en una matriz de entrelazador, y leyendo luego los bits fila por fila. Se escribe primero el primer bit de la palabra de código LDPC, y se lee primero. Después de escribir y antes de leer los bits de palabra de código LDPC, el entrelazador columna-fila 823 desplaza cíclicamente las columnas de bits en un número predeterminado de posiciones. En la norma DVB-T2 se denomina a esto torsión de columna (en inglés, "column twisting"). En la Tabla 1 se exponen el número N_c de columnas y el número N_f de filas de la matriz de entrelazador para varios tamaños de constelación, conforme a las dos longitudes de palabra de código LDPC antes mencionadas.

Tabla 1

Longitud de palabra de código LDPC	Tamaño de constelación	N.º de columnas: N_c	N.º de filas: N_f
16.200	16-QAM	8	2.025
	64-QAM	12	1.350
	256-QAM	8	2.025
64.800	16-QAM	8	8.100
	64-QAM	12	5.400
	256-QAM	16	4.050

20 El número N_c de columnas es el doble del número de bits por constelación, con excepción de los códigos 16K con una constelación 256-QAM. Esta excepción se debe a que la longitud 16.200 de la palabra de código LDPC no es múltiplo de 16, es decir, no es el doble del número de bits por constelación 256-QAM.

25 En las Figuras 9A y 9B se ilustra el proceso de escritura de bits de palabra de código y el proceso de lectura de bits para códigos 16K realizado por el entrelazador columna-fila 823 para doce columnas, y en las Figuras 10A y 10B el que realiza para ocho columnas. Cada uno de los cuadrados pequeños corresponde a un bit de la palabra de código LDPC. El cuadrado en negro representa el primer bit de la palabra de código LDPC. Las flechas indican el orden en que se escriben y se leen los bits desde la matriz del entrelazador. Por ejemplo, cuando la matriz del entrelazador tiene doce columnas, los bits de la palabra de código del código 16K se escriben en el orden indicado en la Figura 9A, a saber (Fila 1, Columna 1), (Fila 2, Columna 1), ..., (Fila 1.350, Columna 1), (Fila 1, Columna 2), ..., (Fila 1.350, Columna 12), y después se leen en el orden indicado en la Figura 9B, a saber (Fila 1, Columna 1), (Fila 1, Columna 2), ..., (Fila 1, Columna 12), (Fila 2, Columna 1), ..., (Fila 1.350, Columna 12). Las Figuras 9A, 9B, 10A y 10B no ilustran el proceso de torsión de columna.

35 Antes de la correlación QAM, el desmultiplexor 824 de bits a celda desmultiplexa las palabras de código LDPC para obtener una pluralidad de flujos de bits paralelos. El número de flujos es el doble del número M de bits codificados por cada constelación QAM, es decir, $2 \times M$, con la excepción de códigos LDPC 16K con una constelación 256-QAM. Para códigos LDPC 16K con una constelación 256-QAM, el número de flujos es igual al número M de bits codificados por cada constelación QAM. A los M bits codificados por constelación se les designa como una palabra de celda (palabra de constelación). Para los códigos LDPC 16K, el número de palabras de celda por palabra de código es $16.200/M$, como se indica a continuación.

- 8.100 celdas para QPSK,
- 40 4.050 celdas para 16-QAM,
- 2.700 celdas para 64-QAM y
- 2.025 células para 256-QAM.

Según la anteriormente expuesta Tabla 1, el número de flujos paralelos es igual al número de columnas en el entrelazador columna-fila para constelaciones mayores que QPSK. En las Figuras 11, 12 y 13 se muestran respectivamente los desmultiplexores de bit a celda correspondientes a constelaciones 16-QAM, constelaciones 64-QAM y constelaciones 256-QAM para códigos LDPC 16K. La notación de bits utilizada es la de la norma DVB-T2.

- 5 Tal como se muestra en la Figura 11 (y las Figuras 12 y 13), el desmultiplexor 824 de bit a celda incluye un desmultiplexor simple 1110 (también 1210, 1310) y un permutador 1120 (también 1220, 1320) de desmultiplexores.

Además de tener el desmultiplexor simple 1110 (1210, 1310) para desmultiplexar simplemente las palabras de código LDPC a las que se ha aplicado entrelazado, el desmultiplexor 824 de bit a celda también tiene el permutador 1120 (1220, 1320) de desmultiplexores para realizar una permutación sobre los flujos de bits paralelos desmultiplexados.

10 Sin embargo, cuando se utiliza el entrelazador columna-fila (es decir, para constelaciones 16-QAM o mayores), la permutación aplicada a los flujos de bits es idéntica a una permutación aplicada a las columnas del entrelazador columna-fila, ya que el número de flujos de bits paralelos es igual al número de columnas. Por lo tanto, se considera que la permutación realizada por el desmultiplexor 824 de bit a celda es parte del entrelazador de bits.

- 15 El entrelazador de bits utilizado en la norma DVB-T2 presenta esencialmente dos problemas.

El primer problema reside en que el paralelismo se ve afectado cuando el número de bloques cíclicos en la palabra de código LDPC no es múltiplo del número de columnas en la matriz del entrelazador de bits. El paralelismo reducido conduce a una mayor latencia. Esto resulta especialmente problemático cuando el receptor utiliza descodificación iterativa BICM. Esta situación se presenta para varias combinaciones de longitud de palabra de código LDPC y tamaño de constelación en la norma DVB-T2.

20 Las Figuras 14 y 15 ilustran la situación antes mencionada para casos de código LDPC 16K en donde la matriz del entrelazador tiene ocho y doce columnas, respectivamente. Para constelaciones 16-QAM y constelaciones 256-QAM se utilizan en la matriz del entrelazador ocho columnas. Para constelaciones 64-QAM se utilizan en la matriz del entrelazador doce columnas. En las Figuras 14 y 15, la cuadrícula representa una palabra de código LDPC, los cuadrados pequeños representan cada uno un bit de la palabra de código LDPC, las filas corresponden a los bloques cíclicos y las columnas corresponden a los bits con el mismo índice de bits dentro de un bloque cíclico. Los cuadrados en negro representan los bits octavo y duodécimo de la primera fila de la matriz del entrelazador. Para que se entienda más fácilmente, se ha reducido de 360 a 72 el número de bits por bloque cíclico. Sin embargo, esto no afecta a la comprensión.

- 30 El segundo problema reside en que, en la norma DVB-T2, el número de posibles configuraciones del entrelazador de bits está limitado por el número de columnas de la matriz del entrelazador de bits.

35 Un problema adicional del entrelazador de bits conforme a DVB-T2 reside en que la regularidad y el paralelismo de la permutación se ven afectados por el proceso de torsión de columna. Las Figuras 16 y 17 ilustran respectivamente las mismas situaciones que las Figuras 14 y 15, con la añadidura del proceso de torsión de columna. Cuando la matriz del entrelazador tiene ocho columnas para los códigos LDPC 16K, los valores de torsión de columna para las columnas del entrelazador de bits conforme a la norma DVB-T2 son (0, 0, 0, 1, 7, 20, 20, 21). De manera análoga, cuando la matriz del entrelazador tiene doce columnas para los códigos LDPC 16K, los valores de torsión para las columnas del entrelazador de bits conforme a la norma DVB-T2 son (0, 0, 0, 2, 2, 2, 3, 3, 3, 6, 7, 7).

- 40 Por consiguiente, se desea un entrelazador de bits que reduzca la latencia al tiempo que mejora el paralelismo. Estas propiedades son particularmente importantes en la descodificación BICM iterativa.

(Descubrimientos del experimentador)

El autor de la invención ha descubierto, como fruto de una prolongada experimentación, que un entrelazador que cumpla las dos condiciones siguientes es extremadamente eficaz.

(Condición 1)

- 45 Cada uno de los M bits de cada constelación se correlaciona con uno de los M bloques cíclicos distintos de la palabra de código LDPC. Ello equivale a correlacionar un bit de M bloques cíclicos distintos de la palabra de código LDPC a una palabra de constelación. Esto se ilustra esquemáticamente en la Figura 18A.

(Condición 2)

- 50 Todas las palabras de constelación correlacionadas con los M bloques cíclicos están correlacionadas solamente con ese bloque cíclico particular. Ello equivale a correlacionar todos los $M \times Q$ bits de los M bloques cíclicos distintos, cada uno compuesto por Q bits, con exactamente Q constelaciones. Esto se ilustra esquemáticamente en la Figura 18B.

Las condiciones antedichas implican que están correlacionadas exactamente Q constelaciones con cada conjunto de

M bloques cíclicos.

(Realización 1)

5 A continuación se describen los detalles de un entrelazador de bits (es decir, un entrelazador de bits paralelo) que cumple las Condiciones 1 y 2 arriba indicadas. En la descripción que sigue se identifican con los mismos números de referencia, cuando sea aplicable, el procesamiento y las unidades que realizan dicho procesamiento.

En la presente memoria, a cada grupo de M bloques cíclicos y a cada grupo de Q palabras de constelación se les denomina una sección (o una sección de entrelazador).

10 Las Figuras 19 y 20 son diagramas de bloques que ilustran respectivamente la función de correlación de un entrelazador de bits que cumple las Condiciones 1 y 2 y que corresponde a los parámetros anteriormente expuestos (es decir, $Q = 8$, $M = 4$, $N = 12$), y una configuración de muestra para dicho entrelazador de bits.

En las Figuras 19 y 20, las palabras de código QC-LDPC están constituidas por $N = 12$ bloques cíclicos, cada uno constituido a su vez por $Q = 8$ bits. Cada una de las 24 palabras de la constelación está constituida por $M = 4$ bits. Cada palabra de constelación indica uno de $2^M = 16$ puntos de constelación. El entrelazador de bits está dividido en $N/M = 3$ secciones. Las 24 palabras de la constelación están asociadas cada una a una de las tres secciones.

15 Un entrelazador 2000 de bits incluye un permutador 2010 de bits, que a su vez incluye $N/M (= 3)$ permutadores 2021, 2022 y 2023 de sección, cada uno de los cuales funciona independientemente. Sin embargo, en lugar de proporcionar tres permutadores de sección, se puede proporcionar un único permutador de sección, por ejemplo, para realizar los tres procesos de permutación de sección que se describen a continuación, alternando entre ellos a lo largo del tiempo.

20 Los permutadores (2021, 2022 y 2023) de sección realizan cada uno, de manera independiente, una permutación de sección en los 32 bits que constituyen cada uno de los 4 bloques cíclicos, de manera que se correlaciona un bit de cada cuatro bloques cíclicos (es decir, de QB1 a QB4, de QB5 a QB8 y de QB9 a QB12) con cada grupo de ocho palabras de constelación (es decir, de C1 a C8, de C9 a C16 y de C17 a C24).

25 Las Condiciones 1 y 2, descritas más arriba, aseguran que el entrelazador de bits se pueda dividir en secciones paralelas N/M . Las permutaciones de sección aplicadas a las secciones paralelas pueden aplicar todas ellas las mismas reglas de permutación, o bien cada una puede aplicar diferentes reglas de permutación o pueden implicar a un subconjunto de las secciones que aplican reglas de permutación idénticas, mientras que las demás difieren.

30 Por ejemplo, los permutadores de sección pueden correlacionar los Q bits de un bloque cíclico (cada uno de los cuales tiene la misma importancia en la descodificación LDPC) a bits que tienen el mismo índice de bit (es decir, que tienen el mismo nivel de robustez) en las Q palabras de constelación. Para cada bloque cíclico, los Q bits pueden estar en orden secuencial o en orden permutado. Este último caso se describe haciendo referencia a las Figuras 21A y 21B, mientras que el primer caso se describe haciendo referencia a las Figuras 22A y 22B.

La Figura 21A ilustra estructuralmente el permutador de sección de la Figura 20.

35 El permutador 2101 de sección incluye los permutadores intra(bloque cíclico) 2111 a 2114 y un permutador columna-fila 2131. En lugar de proporcionar cuatro permutadores intra(bloque cíclico) se puede proporcionar, por ejemplo, un único permutador intra(bloque cíclico) y realizar los cuatro procesos de permutación intra(bloque cíclico) que se describen más adelante, alternando entre ellos a lo largo del tiempo.

40 Los permutadores intra(bloque cíclico) (2111-2114) realizan cada uno una permutación intra(bloque cíclico) sobre los bloques cíclicos de Q bits (8 bits) (QB1-QB4). Las permutaciones intra(bloque cíclico) aplicadas a los bloques cíclicos en cada sección pueden aplicar todas ellas las mismas reglas de permutación, o bien cada una puede aplicar diferentes reglas de permutación o pueden implicar a un subconjunto de las secciones que aplican reglas de permutación idénticas, mientras que las demás difieren.

45 El permutador columna-fila 2131 realiza una permutación columna-fila en cada grupo de $M \times Q (= 32)$ bits. Específicamente, el permutador columna-fila 2131 escribe fila por fila los $M \times Q$ bits en una matriz $M \times Q (8 \times 4)$, y después lee columna por columna los $M \times Q$ bits, aplicando así la permutación columna-fila. La permutación columna-fila aplicada por el permutador columna-fila 2131 se asemeja a la permutación aplicada a la matriz 12×1.350 que se muestra en las Figuras 9A y 9B, donde se utilizan Q columnas y M filas, el proceso de escritura se produce por columnas y el proceso de lectura se produce por filas.

50 La Figura 21B es una representación estructural del permutador de sección mostrado en la Figura 21A. En la Figura 21B se rotulan desde b1 hasta b4 cada una de las palabras de constelación de $M = 4$ bits.

Sin embargo, también es plausible una variación en la cual el proceso de permutación intra(bloque cíclico) no es parte del proceso de permutación de sección.

Por ejemplo, en las Figuras 22A y 22B se muestra una permutación de sección implementada sin ejecutar la

permutación intra(bloque cíclico) y una estructura de correlación por el permutador de sección. El permutador 2201 de sección incluye un permutador columna-fila 2131 y realiza una permutación columna-fila simple. En la Figura 22B se rotulan desde b1 hasta b4 cada una de las palabras de constelación de $M = 4$ bits.

5 La permutación de sección descrita en las Figuras 21A, 21B, 22A y 22B puede aplicarse a los bloques cíclicos QB5-QB8 y QB9-QB12.

Ventajosamente, se puede aplicar una permutación de bloque cíclico adicional a los N bloques cíclicos antes de que el entrelazador de bits realice la permutación de sección. La Figura 23 es un diagrama estructural de la permutación de bloque cíclico adicional aplicada por el entrelazador de bits. En este contexto, la permutación de bloque cíclico desempeña un papel similar al de la permutación realizada por el desmultiplexor de bit a celda en la norma DVB-T2.

10 El entrelazador 2300 de bits que se muestra en la Figura 23 incluye un permutador 2310 de bloque cíclico y un permutador 2010 de bits (que a su vez incluye los permutadores 2021-2023 de sección).

El permutador 2310 de bloque cíclico realiza permutaciones 2311-2318 de bloque cíclico sobre los bloques cíclicos QB1-QB12. En este caso, todas las permutaciones 2311-2318 de bloque cíclico siguen las mismas reglas de permutación.

15 La permutación de bloque cíclico realizada sobre los N bloques cíclicos resulta particularmente ventajosa para permitir una correlación optimizada de los bits de palabra de código LDPC con los bits de constelación, lo que da lugar a un rendimiento optimizado.

La Figura 24 es un diagrama de bloques esquemático del entrelazador 2300 de bits mostrado en la Figura 23. El entrelazador 2400 de bits que se muestra en la Figura 24 incluye tres etapas, A, B y C.

20 Etapa A: permutación inter(bloques cíclicos)

Etapa B: permutación intra(bloque cíclico)

Etapa C: permutación columna-fila

25 La permutación inter(bloques cíclicos) se aplica a los N bloques cíclicos que forman la palabra de código, la permutación intra(bloque cíclico) se aplica a los Q bits de cada bloque cíclico y la permutación columna-fila se aplica a las $M \times Q$ secciones.

El entrelazador 2400 de bits que se muestra en la Figura 24 incluye el permutador 2310 de bloque cíclico y el permutador 2010 de bits (que a su vez incluye los permutadores 2101-2103 de sección). El permutador 2101 (2102, 2013) de sección incluye los permutadores intra(bloque cíclico) 2111-2114 (2115-2118, 2119-2122) y el permutador columna-fila 2131 (2132, 2133).

30 En el entrelazador 2400 de bits, la permutación inter(bloques cíclicos) se realiza mediante el permutador 2310 de bloque cíclico (Etapa A), la permutación intra(bloque cíclico) se realiza mediante los permutadores intra(bloque cíclico) 2111-2122 (Etapa B) y la permutación columna-fila se realiza mediante los permutadores columna-fila 2131-2133 (Etapa C).

35 Los permutadores intra(bloque cíclico) 2111-2122 se pueden eliminar del entrelazador 2400 de bits que se muestra en la Figura 24, de manera que el entrelazador de bits esté configurado para no realizar la permutación intra(bloque cíclico). Además, el entrelazador 2400 de bits puede realizar la permutación inter(bloques cíclicos) antes de la permutación intra(bloque cíclico) en lugar de hacerlo después de la permutación intra(bloque cíclico), o bien puede realizar la permutación inter(bloques cíclicos) antes y después de la permutación intra(bloque cíclico).

40 Los permutadores intra(bloque cíclico) pueden tener estructuras similares. Esto resulta ventajoso por que los permutadores intra(bloque cíclico) pueden implementarse utilizando recursos idénticos (por ejemplo, bloques de *hardware*). Como alternativa, las permutaciones intra(bloque cíclico) pueden consistir en desplazamientos cíclicos, que permiten una implementación eficaz del hardware utilizando desplazadores/rotadores ("barrel shifters", en inglés). También es posible una implementación que utilice los desplazadores/rotadores en el decodificador LDPC.

45 A continuación se describe un transmisor que incluye el entrelazador de bits que realiza un proceso de entrelazado de bits que cumple las Condiciones 1 y 2, haciendo referencia a la Figura 25.

La Figura 25 es un diagrama de bloques de un transmisor perteneciente a otra realización de la presente descripción. Tal como se muestra en la Figura 25, un transmisor 2500 incluye un codificador BICM (que a su vez incluye un codificador LDPC 2510, un entrelazador 2520 de bits y un correlacionador 2530 de constelación) y un modulador 2540.

50 El codificador LDPC 2510 codifica bloques de entrada en palabras de código utilizando códigos QC-LDPC, y después transmite las palabras de código al entrelazador 2520 de bits.

El entrelazador 2520 de bits recibe la palabra de código en código QC-LDPC desde el codificador LDPC 2510. La palabra de código está constituida por $N = 12$ bloques cíclicos, y cada bloque cíclico incluye $Q = 8$ bits. El entrelazador 2520 de bits realiza entrelazado sobre los bits de las palabras de código para permutar los bits de cada una de las palabras de código. El entrelazador 2520 de bits divide la palabra de código entrelazada en una pluralidad de palabras de constelación, cada una compuesta de $M = 4$ bits y que indica uno de $2^M = 16$ puntos de constelación, y después envía como salida las palabras de constelación al correlacionador 2530 de constelación. El entrelazador 2520 de bits puede aplicar el proceso de entrelazado de bits discutido con referencia a las Figuras 19 hasta 22A y 22B, o bien puede aplicar una variante del proceso de permutación de bits. Además, el entrelazador 2520 de bits puede aplicar un proceso adicional de permutación de bloque cíclico, por ejemplo el proceso discutido con referencia a las Figuras 23 y 24, o una variación del mismo.

El correlacionador 2530 de constelación recibe las palabras de constelación desde el entrelazador 2520 de bits y realiza correlación de constelación sobre las palabras de constelación así recibidas.

El modulador 2740 genera una señal de transmisión utilizando multiplexación por división de frecuencias ortogonales (OFDM en lo que sigue, por sus siglas en inglés) o similar.

A continuación se describe un codificador BICM que incluye el entrelazador de bits que realiza un proceso de entrelazado de bits que cumple las Condiciones 1 y 2, haciendo referencia a la Figura 26.

La Figura 26 es un diagrama de bloques de un codificador BICM ilustrativo perteneciente a otra realización de la descripción. En la Figura 26, el codificador BICM 2600 corresponde a los parámetros anteriormente expuestos (es decir, $Q = 8$, $N = 12$, $M = 4$).

El codificador BICM 2600 que se muestra en la Figura 26 incluye una memoria principal 2601, un controlador LDPC 2611, un rotador 2612, un grupo 2613 de procesadores de nodo de comprobación, un desrotador 2614, un contador QB 2631, tabla A 2632, entrelazador B 2633, un grupo 2634 de registros, entrelazador C 2635 y un grupo 2651 de correlacionadores.

En la Figura 26, dado que $Q = 8$, la memoria principal 2601 lee ocho bits a la vez, el grupo 2613 de procesadores de nodo de comprobación incluye ocho procesadores de nodo de comprobación y el grupo 2651 de correlacionadores incluye ocho correlacionadores. Además, dado que $M = 4$, el grupo 2634 de registros incluye cuatro registros.

La memoria principal 2601 recibe desde, por ejemplo, el procesador de entrada (no representado en el diagrama), una secuencia de bits para transmisión y almacena la secuencia de bits recibida.

El controlador LDPC 2611 envía como salida una dirección de lectura a la memoria principal 2601. En consecuencia, la memoria principal 2601 envía como salida la secuencia de bits, ocho bits que comienzan cada vez por el bit guía, hacia el rotador 2612. El controlador LDPC 2611 controla el rotador 2612 para que realice un número predeterminado de desplazamientos cíclicos sobre los ocho bits suministrados al mismo por la memoria principal 2601, y luego envía los ocho bits desplazados cíclicamente a los procesadores de nodo de comprobación del grupo 2613 de procesadores de nodo de comprobación, un bit cada vez, estando los bits y los procesadores de nodo de comprobación en correspondencia biunívoca. El controlador LDPC 2611 controla cada procesador de nodo de comprobación del grupo 2613 de procesadores de nodo de comprobación para que realice procesamiento de comprobación de nodo en cada entrada de bits al mismo, y luego envía como salida los resultados al desrotador 2614. El controlador LDPC 2611 controla el desrotador 2614 para que realice un número predeterminado de desplazamientos cíclicos sobre los ocho bits recibidos desde el grupo 2613 de procesadores de nodo de comprobación, con el fin de cancelar el desplazamiento cíclico aplicado por el rotador 2612, y luego envía como salida los ocho bits desplazados a la memoria principal 2601. El controlador LDPC 2611 envía como salida una dirección de escritura a la memoria principal 2601. La memoria principal 2601 almacena en consecuencia los ocho bits suministrados a la misma por el desrotador 2614. El controlador LDPC 2611, el rotador 2612, el grupo 2613 de procesadores de nodo de control y el desrotador 2614 constituyen el codificador BICM en el codificador LDPC 2510 mostrado en la Figura 25.

El contador QB 2631 cuenta desde 0 hasta 11 y envía como salida el valor del contador a la tabla A 2632. La operación de conteo del contador QB 2631 se define considerando $N = 12$.

La tabla A 2632 es una tabla de búsqueda simple en la que se almacenan las reglas de permutación de bloque cíclico. Es decir, la tabla A 2632 almacena $N = 12$ piezas de información de orden de lectura de bloque cíclico (información que asocia un bloque cíclico distinto a cada uno de los 12 valores de contador del contador QB 2631). La tabla A 2632 envía como salida una dirección de lectura a la memoria principal 2601, de manera que los bits de un bloque cíclico (es decir, $Q = 8$ bits) correspondientes al valor de contador suministrado por el contador QB 2631 son suministrados desde la memoria principal 2601 al entrelazador B 2633. De este modo, la memoria principal 2601 envía como salida al entrelazador B 2633 los bits de un bloque cíclico correspondiente al valor de contador del contador QB 2631. El procesamiento que utiliza la tabla A 2632 se ejecuta como proceso de permutación de bloque cíclico (Etapa A).

El entrelazador B 2633 realiza un número predeterminado de desplazamientos cíclicos sobre los bits del bloque

cíclico suministrado por la memoria principal 2601, y envía como salida los resultados a un registro de primer nivel del grupo 2634 de registros. El procesamiento por el entrelazador B 2633 se ejecuta como proceso de permutación intra(bloque cíclico) (Etapa B). Cada registro del grupo 2634 de registros almacena un bloque cíclico de bits con temporización que concuerda con la recepción de un impulso de control, y envía como salida el bloque de bits cíclico antes de recibir el siguiente impulso de control.

5 Cuando el contador QB 2631 realiza el proceso antes mencionado para los valores de contador de 0 a 3, se envían como entrada al entrelazador C 2635 los bits de cuatro bloques cíclicos (es decir, 32 bits). En este momento, el entrelazador C 2635 entrelaza los bits de los cuatro bloques cíclicos recibidos como entrada en el mismo, y los correlacionadores del grupo 2651 de correlacionadores envían como salida una palabra de constelación de bits (es decir, $M = 4$ bits). A través del proceso de entrelazado, se suministran a cada correlacionador cuatro bits, es decir, uno desde cada uno de los cuatro registros del grupo 2634 de registros. Este procesamiento por el entrelazador C 2635 es ejecutado como proceso de permutación columna-fila (Etapa C).

El contador QB 2631, tabla A 2632, entrelazador B 2633, el grupo 2634 de registros y el entrelazador C 2635 forman el entrelazador 2520 de bits del codificador BICM que se muestra en la Figura 25.

15 Cada uno de los correlacionadores del grupo 2651 de correlacionadores correlaciona con una constelación cuatro bits suministrados al mismo desde el entrelazador C 2635, y después envía como salida los resultados. El grupo 2651 de correlacionadores forma el correlacionador 2530 de constelación del codificador BICM que se muestra en la Figura 25.

20 El conjunto de procesos arriba descrito se aplica tres veces para cada palabra de código, una vez para los valores de contador 0-3 del contador QB 2631, otra para los valores 4-7 y otra para los valores 8-11.

La realización representada en la Figura 26 incluye correlacionadores Q que trabajan en paralelo. Sin embargo, también se pueden realizar los correlacionadores en forma de un codificador BICM para disminuir o aumentar el paralelismo. Por ejemplo, obviamente se puede aumentar el número de secciones paralelas de entrelazador en el entrelazador de bits, es decir, el cociente N/M , para mejorar fácilmente el paralelismo. Tales métodos permiten optimizar el paralelismo paralelizando los $Q \times N/M$ correlacionadores. La implementación de tal paralelismo en el entrelazador de bits, sin inconvenientes, resulta beneficiosa.

A continuación se describe un receptor que recibe señales de un transmisor que incluye el entrelazador de bits que realiza un proceso de entrelazado de bits que cumple las Condiciones 1 y 2, haciendo referencia a la Figura 27.

30 La Figura 27 es un diagrama de bloques de un receptor ilustrativo, que incluye un descodificador BICM no iterativo, perteneciente a otra realización de la descripción. El receptor realiza las operaciones del transmisor en sentido inverso.

El receptor 2700 que se muestra en la Figura 27 incluye un desmodulador 2710 y un descodificador BICM no iterativo (que a su vez incluye un descorrelacionador 2720 de constelación, un desentrelazador 2730 de bits y un descodificador LDPC 2740).

35 El desmodulador 2710 realiza un proceso de desmodulación mediante OFDM, por ejemplo, y genera como salida los resultados desmodulados.

40 El descorrelacionador 2720 de constelación del descodificador BICM no iterativo genera una secuencia de bits blandos al aplicar un proceso de descorrelación a la entrada procedente del desmodulador 2710, y genera como salida la secuencia de bits blandos generada de este modo hacia el descorrelacionador 2730 de constelación. Los bits blandos son una medida de la probabilidad de que un bit dado sea un bit cero o un bit uno. Típicamente, los bits blandos se representan como relaciones de probabilidad logarítmica (LLR en lo que sigue, por sus siglas en inglés), que se definen de la siguiente manera.

$$\text{LLR}(b) = \ln[p(b = 0)/p(b = 1)]$$

45 donde $p(b = 0)$ indica la probabilidad de que el bit b dado sea un bit cero, y $p(b = 1)$ representa la probabilidad de que el bit b dado sea un bit uno. Por supuesto, $p(b = 0) + p(b = 1) = 1$.

El desentrelazador 2730 de bits realiza un proceso de entrelazado (es decir, un proceso de desentrelazado de bits) sobre la secuencia de bits blandos generada por el descorrelacionador 2720 de constelación, con el fin de cancelar el proceso de entrelazado de bits aplicado a la secuencia de bits por el entrelazador 2730 de bits del transmisor ilustrado en la Figura 25.

50 El descodificador LDPC 2740 recibe la secuencia de bits blandos desentrelazada por el desentrelazador 2730 de bits y realiza un proceso de descodificación LDPC utilizando la secuencia de bits blandos así recibida.

Una técnica mejorada que ofrece mejoras significativas de rendimiento es la descodificación BICM iterativa. La Figura 28 ilustra un descodificador BICM iterativo.

La Figura 28 es un diagrama de bloques de un receptor ilustrativo, que incluye un descodificador BICM iterativo, perteneciente a otra realización de la descripción. El receptor realiza las operaciones del transmisor en sentido inverso.

5 Tal como se muestra en la Figura 28, un receptor 2800 incluye el desmodulador 2710 y un descodificador BICM iterativo (que a su vez incluye el descorrelacionador 2720 de constelación, el desentrelazador 2730 de bits, el descodificador LDPC 2740, un restador 2760 y un entrelazador 2750 de bits).

El receptor 2800 de la Figura 28 tiene el descorrelacionador 2720 de constelación que realiza un proceso de descorrelación de constelación, el desentrelazador 2730 de bits que realiza un proceso de desentrelazado de bits y el descodificador LDPC 2740 que realiza un proceso de decodificación LDPC.

10 Después de una o más iteraciones de decodificación LDPC, la información extrínseca, obtenida por el restador 2760 al restar la entrada al descodificador LDPC 2740 de la salida del descodificador LDPC 2740, es enviada como salida al entrelazador 2750 de bits. El entrelazador 2750 de bits realiza un proceso de entrelazado sobre la información extrínseca utilizando las mismas reglas de entrelazado aplicadas a la secuencia de bits por el entrelazador de bits del transmisor representado en la Figura 25. El entrelazador 2750 de bits realimenta luego la información extrínseca entrelazada al descorrelacionador 2720 de constelación. El descorrelacionador 2720 de constelación utiliza la información extrínseca así realimentada como información *a priori* para calcular valores de LLR más fiables. A continuación, el desentrelazador 2730 de bits realiza un proceso de entrelazado (es decir, un proceso de desentrelazado de bits) sobre los valores de LLR nuevamente calculados, con el fin de cancelar el proceso de entrelazado de bits aplicado a la secuencia de bits por el entrelazador de bits en el transmisor representado en la Figura 25, y restaurar el orden original de la secuencia de bits. El descodificador LDPC 2740 utiliza los valores de LLR así desentrelazados en el proceso de decodificación LDPC.

25 Tal como se muestra en la Figura 28, un bucle de decodificación iterativo está constituido por cuatro elementos, a saber, el descorrelacionador 2720 de constelación, el desentrelazador 2730 de bits, el descodificador LDPC 2740 y el entrelazador 2750 de bits. Ventajosamente, el desentrelazador 2730 de bits y el entrelazador 2750 de bits tienen muy baja latencia, idealmente cero, y escasa complejidad. Esto da como resultado una implementación más eficaz en el receptor. El desentrelazador 2730 de bits y el entrelazador 2750 de bits descritos más arriba cumplen ambas condiciones.

La Figura 29 ilustra un descodificador BICM iterativo que realiza una implementación paralela muy eficiente.

30 La Figura 29 es un diagrama de bloques de un descodificador BICM ilustrativo perteneciente a otra realización de la descripción. En la Figura 29, el descodificador BICM 2900 corresponde a los parámetros anteriormente expuestos (es decir, $Q = 8$, $N = 12$, $M = 4$).

35 Tal como se muestra, el descodificador BICM 2900 incluye una memoria LLR principal 2901, una memoria LLR intermedia 2902, un controlador LDPC 2911, un rotador 2912, un grupo 2913 de procesadores de nodo de comprobación, un desrotador 2914, un contador QB 2931, tabla A 2932, un grupo 2933 de restadores, entrelazador B 2934, grupo 2935 de registros, entrelazador C 2936, grupo 2937 de descorrelacionadores, desentrelazador C 2938, grupo 2939 de registros, desentrelazador B 2940 y un retardador 2941.

40 En la Figura 29, dado que $Q = 8$, la memoria LLR principal 2901 y la memoria LLR intermedia 2902 leen cada una ocho valores de LLR a la vez, el grupo 2913 de procesadores de nodo de comprobación incluye ocho procesadores de nodo de comprobación, y el grupo 2951 de descorrelacionadores incluye ocho descorrelacionadores. Además, dado que $M = 4$, los grupos 2935 y 2972 de registros incluyen cada uno cuatro registros.

Cada uno de los descorrelacionadores del grupo 2937 de descorrelacionadores realiza un proceso de descorrelación sobre la salida de un desmodulador (no representado en el diagrama) y después emite los valores de LLR así obtenidos al desentrelazador C 2938. El grupo 2937 de descorrelacionadores forma el descorrelacionador 2720 de constelación del descodificador BICM iterativo mostrado en la Figura 28.

45 El desentrelazador C 2938 aplica un proceso de desentrelazado a los valores de LLR (es decir, un nuevo proceso de entrelazado que cancela el proceso de entrelazado aplicado por el transmisor durante la Etapa C), y después envía como salida los valores de LLR desentrelazados a los registros del grupo 2939 de registros. Cada registro almacena un bloque cíclico de valores de LLR (es decir, ocho valores de LLR). En el grupo 2939 de registros, el bloque cíclico de valores de LLR almacenado por cada registro es enviado de forma secuencial como salida a un nivel posterior, de manera que se actualiza de forma secuencial el contenido de cada registro. El desentrelazador B 2940 aplica un proceso de desentrelazado al bloque cíclico de (ocho) valores de LLR (es decir, un nuevo proceso de entrelazado que cancela el proceso de entrelazado aplicado por el transmisor durante la Etapa B), y después escribe los resultados en la memoria LLR principal 2901 y en la memoria LLR intermedia 2902 de acuerdo con la tabla A 2932 (que se explica más adelante). Mediante esta escritura en la memoria LLR principal 2901 y en la memoria LLR intermedia 2902 de acuerdo con el contenido de la Tabla A 2932 se logra un proceso de entrelazado que cancela el proceso de entrelazado aplicado por el transmisor durante la Etapa A.

Por tanto, la memoria LLR principal 2901 almacena los valores de LLR posteriores al desentrelazado, y también es

utilizada por el decodificador LDPC (es decir, el controlador LDPC 2911, el rotador 2912, el grupo 2913 de procesadores de nodo de comprobación y el desrotador 2914). El proceso de decodificación LDPC es un proceso iterativo que implica una o más iteraciones. En cada iteración de decodificación LDPC se actualizan los valores de LLR en la memoria LLR principal 2901. Para calcular la información extrínseca necesaria para la decodificación BICM iterativa, los valores de LLR antiguos se guardan en la memoria LLR intermedia 2902.

A continuación se describen las operaciones del decodificador LDPC.

El controlador LDPC 2911 envía como salida a la memoria LLR principal 2901 la dirección de lectura de acuerdo con la matriz de comprobación de paridad de los códigos LDPC. Por lo tanto, la memoria LLR principal 2901 envía secuencialmente como salida un bloque cíclico de valores de LLR al rotador 2912. El controlador LDPC 2911 controla el rotador 2912 para que realice un número predeterminado de desplazamientos cíclicos sobre el bloque cíclico de valores de LLR suministrados secuencialmente por la memoria LLR principal 2901, y luego envía como salida los valores de LLR así desplazados, de uno en uno, a los procesadores de nodo de comprobación del grupo 2913 de procesadores de nodo de comprobación. El controlador LDPC 2911 controla los procesadores de nodo de comprobación del grupo 2913 de procesadores de nodo de comprobación para que realicen un proceso de comprobación de nodo sobre la secuencia de valores de LLR recibidos secuencialmente como entrada al mismo. A continuación, el controlador LDPC 2911 controla los procesadores de nodo de comprobación del grupo 2913 de procesadores de nodo de comprobación para que envíen secuencialmente como salida los valores de LLR resultantes del proceso de nodo de comprobación. El controlador LDPC 2911 controla el desrotador 2914 para que realice un número predeterminado de desplazamientos cíclicos que cancelan el desplazamiento cíclico aplicado al bloque cíclico recibido secuencialmente por el rotador 2912 desde el grupo 2913 de procesadores de nodo de control, y luego envía secuencialmente como salida a la memoria LLR principal 2901 los resultados desplazados. El controlador LDPC 2911 envía como salida a la memoria LLR principal 2901 la dirección de escritura de acuerdo con la matriz de comprobación de paridad de los códigos LDPC. Por tanto, la memoria LLR principal 2901 almacena el bloque cíclico de resultados suministrados secuencialmente a la misma por el desrotador 2914. El controlador LDPC 2911 ejecuta repetidamente el procesamiento descrito en lo que antecede, en conformidad con la matriz de comprobación de paridad de los códigos LDPC.

Después de un número predeterminado de iteraciones LDPC, se realiza una iteración BICM. A las iteraciones LDPC y BICM también se las denomina respectivamente iteraciones internas y externas. En algunas implementaciones, estos dos tipos de iteraciones también pueden superponerse. Esto permite aumentar la velocidad de convergencia. Los procesos de decodificación BICM y LDPC son bien conocidos en el sector y, por lo tanto, se omiten sus detalles.

El contador QB 2931 cuenta de 0 a 11 y envía como salida el valor del contador a la tabla A 2932. La operación de conteo del contador QB 2931 se define considerando $N = 12$.

La tabla A 2932 es una tabla de búsqueda simple en la que se almacenan las reglas de permutación de bloque cíclico. Es decir, la tabla A 2932 almacena $N = 12$ piezas de información de orden de lectura (y de escritura) de bloque cíclico (es decir, con información que asocia un bloque cíclico diferente a cada uno de los 12 valores de contador procedentes del contador QB 2631). La tabla A 2932 envía como salida a la memoria LLR principal 2901 y a la memoria LLR intermedia 2902 la dirección de lectura, de manera que la memoria LLR principal 2901 suministra como salida al grupo 2933 de restadores y a la memoria LLR intermedia 2902 un bloque cíclico de valores de LLR correspondientes al valor de contador suministrado por el contador QB 2931. Así pues, la memoria LLR principal 2901 y la memoria LLR intermedia 2902 envían cada una como salida al restador 2933 un bloque cíclico de valores de LLR correspondientes al valor de contador del contador QB 2931. El restador 2941 realiza un ajuste de retraso tal que la posición del valor de LLR leído de la memoria LLR principal 2901 y la memoria LLR intermedia 2902 concuerda con la posición de escritura de los mismos valores de LLR en la memoria LLR principal 2901 y la memoria LLR intermedia 2902. El procesamiento que utiliza la tabla A 2932 se ejecuta como proceso de permutación de bloque cíclico (Etapa A).

El restador 2933 del grupo de restadores resta la salida de la memoria LLR intermedia 2902 de la salida de la memoria LLR principal 2901, y después envía la información extrínseca para un bloque cíclico así obtenida (es decir, ocho piezas de información extrínseca) al entrelazador B 2934.

El entrelazador B 2634 realiza un número predeterminado de desplazamientos cíclicos sobre las piezas de información extrínseca para uno de los bloques cíclicos suministrados por el restador 2933, y envía como salida los resultados a un registro de primer nivel del grupo 2935 de registros. El procesamiento realizado por el entrelazador B 2934 corresponde a la permutación intra(bloque cíclico) (Etapa B). Cada registro del grupo 2935 de registros almacena ocho bits con temporización que concuerda con la recepción de un impulso de control, y envía como salida los ocho bits antes de recibir el siguiente impulso de control.

Cuando el contador QB 2631 realiza el proceso antes mencionado para valores de contador de 0 hasta 3, se envía como entrada al entrelazador C 2936 la información extrínseca para cuatro bloques cíclicos (es decir, 32 piezas de información extrínseca). En este momento, el entrelazador C 2936 realiza un proceso de entrelazado sobre la información extrínseca recibida como entrada en el mismo para cuatro bloques cíclicos, y después envía como

- 5 salida una palabra de constelación de información extrínseca (es decir, $M = 4$ piezas de información extrínseca) a cada descorrelacionador del grupo 2937 de descorrelacionadores. A través del proceso de entrelazado se suministran desde los cuatro registros del grupo 2935 de registros, de una en una, las cuatro piezas de información extrínseca a los descorrelacionadores del grupo 2951 de descorrelacionadores. Este procesamiento por el entrelazador C 2936 se ejecuta como proceso de permutación columna-fila (Etapa C).
- El contador QB 2931, tabla A 2932, el entrelazador B 2934, el grupo 2935 de registros y el entrelazador C 2936 forman el entrelazador 2750 de bits del descodificador BICM que se muestra en la Figura 28.
- 10 Los descorrelacionadores del grupo 2937 de descorrelacionadores utilizan las cuatro piezas de información extrínseca suministradas por el entrelazador C 2936 como información *a priori* para realizar un proceso de descorrelación, y después envían como salida los valores de LLR resultantes al desentrelazador C 2938.
- 15 El desentrelazador C 2938 aplica un proceso de desentrelazado a los valores de LLR (es decir, un nuevo proceso de entrelazado que cancela el proceso de entrelazado aplicado por el transmisor durante la Etapa C), y después envía como salida los valores de LLR desentrelazados a los registros del grupo 2939 de registros. Cada registro almacena un bloque cíclico de valores de LLR (es decir, ocho valores de LLR). En el grupo 2939 de registros, el bloque cíclico de valores de LLR almacenado por cada registro es enviado como salida de forma secuencial a un nivel posterior, de manera que se actualiza de forma secuencial el contenido de cada registro. El desentrelazador B 2940 aplica un proceso de desentrelazado al bloque cíclico de (ocho) valores de LLR (es decir, un nuevo proceso de entrelazado que cancela el proceso de entrelazado aplicado por el transmisor durante la Etapa B), y después escribe los resultados en la memoria LLR principal 2901 y en la memoria LLR intermedia 2902. La memoria LLR principal 2901 y la memoria LLR intermedia 2902 reciben la dirección de escritura desde la tabla A 2932 a través del retardador 2941, y después almacenan un bloque cíclico de valores de LLR (es decir, ocho valores de LLR) recibidos desde el desentrelazador 2940 en conformidad con la dirección de escritura recibida. Mediante esta escritura en conformidad con el contenido de la tabla A 2932 se logra un proceso de entrelazado que cancela el proceso de entrelazado aplicado por el transmisor durante la Etapa A (es decir, un proceso de desentrelazado).
- 20 El conjunto de procesos arriba descrito se aplica tres veces para cada palabra de código, una vez para los valores de contador 0-3 del contador QB 2931, otra para los valores 4-7 y otra para los valores 8-11.
- 25 El contador QB 2931, tabla A 2932, desentrelazador B 26938, el grupo 2939 de registros y el entrelazador C 2940 forman el entrelazador 2730 de bits del descodificador BICM que se muestra en la Figura 28.
- 30 El entrelazador B 2934 y el desentrelazador B 2940 son reconfigurables. Esto requiere un cierto coste de *hardware*, pero este coste se minimiza con un diseño atento. El entrelazador C 2936 y el desentrelazador 2938 implementan la permutación columna-fila. Esta permutación es uniforme para un tamaño de constelación predeterminado. Así pues, se reduce el coste de implementación.
- 35 La realización representada en la Figura 29 incluye Q descorrelacionadores trabajando en paralelo. Sin embargo, también se pueden realizar los descorrelacionadores en forma de un descodificador BICM iterativo si se disminuye o se aumenta el paralelismo. Por ejemplo, obviamente se puede incrementar el número de secciones paralelas de entrelazador en el entrelazador de bits, es decir, el cociente N/M , para intensificar fácilmente el paralelismo. Tales métodos permiten optimizar el paralelismo mediante la paralelización de los $Q \times N/M$ descorrelacionadores. El entrelazador de bits descrito en lo que antecede tiene el mérito de ser implementable sin problemas con tal paralelismo.
- 40 (Otros descubrimientos del experimentador)
- Los entrelazadores que cumplen las Condiciones 1 y 2 expuestas más arriba (es decir, entrelazadores paralelos) asumen que el número M de bits por palabra de constelación es divisor del número N de bloques cíclicos. Sin embargo, M no es típicamente divisor de N . Por ejemplo, los códigos LDPC 16K utilizados en la norma DVB-T2 tienen $N = 45$ bloques cíclicos por palabra de código LDPC 16K. Cuando M no es divisor de N , la correlación de constelaciones cuadradas, tales como las constelaciones QAM donde M es par, no es inmediata.
- 45 Así pues, se propone una solución particular que implica excluir uno o más de los N bloques cíclicos e implementar el entrelazador discutido en la Realización 1 (es decir, el entrelazador paralelo) más arriba, solo a los bloques cíclicos restantes.
- 50 En otras palabras, se seleccionan N' bloques cíclicos entre los N bloques cíclicos, de modo que N' sea múltiplo del número M de bits por palabras de constelación en el entrelazador de bits. El entrelazador de bits divide los N' bloques cíclicos seleccionados en N'/M secciones, de manera que cada sección incluya M bloques cíclicos, y después realiza una permutación de sección sobre cada sección. Los bits del bloque cíclico excluido (es decir, no seleccionado) pueden estar o no entrelazados.
- 55 Por ejemplo, los bloques cíclicos excluidos pueden ser los bloques cíclicos que tienen un nodo variable de peso mínimo. Para los códigos RA QC LDPC ilustrativos (véase la Figura 5), los bloques cíclicos excluidos son el bloque cíclico de la sección de paridad (que tiene un peso variable de nodo con valor dos), y ventajosamente son el último o

más bloques cíclicos de la palabra de código.

La Figura 30 ilustra un bloque cíclico sujeto al proceso de entrelazado descrito más arriba (es decir, la Realización 1) y un bloque cíclico excluido del mismo (es decir, un bloque excluido). En la Figura 30, el código es código LDPC 16K conforme a la norma DVB-T2, y la constelación es una constelación 16-QAM. Tal como se muestra, 44 de los bloques cíclicos están sujetos a entrelazado (es decir, los bloques 1 a 44), y el bloque cíclico 45, en la última fila, es el único bloque cíclico no sujeto a entrelazado (es decir, el bloque excluido). Los cuatro cuadrados en negro representan los cuatro bits de la primera constelación.

En general, el número de secciones del entrelazador (cada una formada por M bloques cíclicos) viene dado por $\text{floor}(N/M)$ (en inglés, "floor" significa cociente entero) y el número de bloques cíclicos excluidos viene dado por $\text{rem}(N, M)$. Aquí, $\text{floor}(N/M)$ es una función que devuelve el mayor entero menor que o igual a N/M , y $\text{rem}(N, M)$ es una función que devuelve el resto (en inglés, "remainder" significa resto) de la división de N por M .

La Tabla 2 indica el número de secciones y el número de bloques cíclicos excluidos para varios tamaños de constelación (es decir, el número M de bits por constelación), para los códigos LDPC 16K de la norma DVB-T2 (donde se utilizan $N = 45$ bloques cíclicos).

Tabla 2

Tamaño de constelación	M	N.º de secciones	N.º de bloques excluidos
QPSK	2	22	1
16-QAM	4	11	1
64-QAM	6	7	3
256-QAM	8	5	5

En conformidad con el método de entrelazado que cumple las Condiciones 1 y 2 como se ha descrito más arriba, se correlaciona cada palabra de constelación con M bloques cíclicos. Sin embargo, para constelaciones grandes (es decir, constelaciones que tienen muchos puntos de constelación), un método de entrelazado que cumpla las Condiciones 1 y 2 requiere una cantidad extremadamente grande de registros de retardo (véase la implementación descrita con referencia a las Figuras 26 hasta 29). El uso de una gran cantidad de registros conduce a un aumento de la superficie ocupada por el circuito y del consumo de energía eléctrica. Además, la reducción del número de bloques cíclicos con los cuales se correlaciona cada palabra de constelación resulta beneficioso con vistas a aumentar la superposición entre las iteraciones externas (BICM) y las iteraciones internas (LDPC), reduciendo a su vez la latencia global de la decodificación BICM.

Al correlacionar dos o más bits de cada palabra de constelación con el mismo bloque cíclico, se reduce el número de bloques cíclicos con los cuales se correlaciona cada palabra de constelación. El número de bits de palabra de constelación correlacionados con el mismo bloque cíclico se denomina factor de plegado, y se designa con F . Por ejemplo, cuando $F = 2$ para una constelación 16-QAM, cada palabra de constelación se correlaciona con cuatro bloques cíclicos en lugar de con dos. La única restricción es que el factor F de plegado (que es un número entero mayor que uno) debe ser divisor tanto de M como de Q . Cuando $F = 1$, no existe plegado, es decir, la situación corresponde a la Realización 1, descrita más arriba.

Un símbolo complejo de constelación QAM se descompone en dos símbolos PAM reales idénticos. Por lo tanto, los M bits de la constelación QAM se dividen en dos símbolos PAM reales idénticos, que son conjuntos de $M/2$ bits. Después se correlacionan los bits de cada palabra de constelación con el mismo número $M/2$ de bloques cíclicos. Un factor de plegamiento $F = 2$ resulta ventajoso para la constelación QAM.

Para constelaciones complejas que no se pueden descomponer en números reales, tales como 8-PSK (manipulación de desplazamiento de fase), 16-APSK (manipulación de desplazamiento de fase de amplitud), 32-APSK, etc. en la norma DVB-S2, el método de plegado no es fácilmente aplicable. Sin embargo, se puede emplear el método de plegado cuando F es divisor de M . Desafortunadamente, esto evita cualquier garantía de que cada bloque cíclico tenga solo bits del mismo nivel de robustez de las constelaciones correlacionadas con el mismo.

Ventajosamente, el método de plegado se aplica, por ejemplo, de manera que solo se correlacionan con los bloques cíclicos bits del mismo nivel de robustez en las constelaciones.

El plegado también es beneficioso para reducir el número de bloques cíclicos excluidos, o incluso para eliminar la necesidad de excluir cualquier bloque cíclico. Como se ha descrito más arriba, cuando se utiliza el entrelazador descrito en la Realización 1 (es decir, un entrelazador paralelo) se debe excluir un cierto número de bloques cíclicos que componen la palabra de código.

Sin plegado (es decir, cuando $F = 1$), el número de grupos de M bloques cíclicos (es decir, el número de secciones) es $\text{floor}(N/M)$ y el número de bloques cíclicos excluidos es $\text{rem}(N, M)$. Con plegado, el número de grupos de M/F bloques cíclicos es $\text{floor}(N/(M/F))$ y el número de bloques cíclicos excluidos es $\text{rem}(N, M/F)$. En la Tabla 3 se ofrecen ejemplos específicos de estos números para los códigos LDPC utilizados en la norma DVB-T2.

5

Tabla 3

Longitud de palabra de código LDPC	Tamaño de constelación	M	Sin plegado		Con plegado	
			N.º de secciones	N.º de bloques excluidos	N.º de secciones	N.º de bloques excluidos
16K ($N = 45, Q = 360$)	QPSK	2	22	1	44	1
	16-QAM	4	11	1	22	1
	64-QAM	6	7	3	15	0
	256-QAM	8	5	5	11	1
64K ($N = 180, Q = 360$)	QPSK	2	90	0	180	0
	16-QAM	4	45	0	90	0
	64-QAM	6	30	0	60	0
	256-QAM	8	22	4	45	0

El autor de la invención ha descubierto que, para realizar el plegado (donde F es un número entero igual o mayor que dos), las Condiciones 1 y 2 deben modificarse para dar las Condiciones 1A y 2A, como se indica a continuación.

(Condición 1A)

10 Se correlaciona cada uno de los M bits de cada palabra de constelación a uno de M/F diferentes bloques cíclicos de la palabra de código LDPC. Esto es equivalente a correlacionar un bit de M/F diferentes bloques cíclicos de la palabra de código LDPC a una palabra de constelación. Esto se ilustra esquemáticamente en la Figura 31A.

(Condición 2A)

15 Todas las palabras de la constelación correlacionadas a los M/F bloques cíclicos se correlacionan solamente a ese bloque cíclico particular. Esto es equivalente a correlacionar todos los $M \times Q/F$ bits de los M/F diferentes bloques cíclicos, cada uno compuesto por Q bits, a exactamente Q/F constelaciones. Esto se ilustra esquemáticamente en la Figura 31B.

Cuando $F = 1$, no está implicado ningún plegado y, por lo tanto, las Condiciones 1A y 2A son equivalentes a las Condiciones 1 y 2.

(Realización 2)

20 A continuación se describen los detalles de un entrelazador de bits (es decir, un entrelazador de bits paralelo) que cumple las Condiciones 1A y 2A arriba indicadas. En la descripción que sigue se identifican con los mismos números de referencia, cuando sea aplicable, el procesamiento y las unidades que realizan dicho procesamiento.

En el presente documento, a cada grupo de M/F bloques cíclicos o de Q/F palabras de constelación se le denomina sección de plegado (o sección de entrelazador con plegado).

25 Cuando $F = 1$ (es decir, no existe plegado), las secciones del entrelazador con plegado concuerdan con las secciones del entrelazador y el entrelazador de bits está configurado de idéntica manera que el entrelazador de bits de la Realización 1.

Existe plegado cuando F es un número entero mayor que uno. La Realización 2 describe un ejemplo de plegado en donde $F = 2$.

30 La Figura 32 es un diagrama de bloques que ilustra la configuración de un entrelazador de bits que cumple las Condiciones 1A y 2A, cuando $Q = 8, M = 4, N = 12$ y $F = 2$, como otra realización de la descripción.

En la Figura 32, las palabras de código QC-LDPC están constituidas por $N = 12$ bloques cíclicos QB1 a QB12, cada uno constituido a su vez por $Q = 8$ bits. Cada una de las 24 palabras de la constelación consta de $M = 4$ bits.

Cada palabra de constelación indica uno de $2^M = 16$ puntos de constelación. El entrelazador de bits se divide en $F \times N/M = 6$ secciones de plegado, y cada una de 24 palabras de constelación están asociadas con una de las $F \times N/M = 6$ secciones de plegado.

5 El entrelazador 2000A de bits incluye un permutador 2010A de bits. El permutador 2010A de bits incluye $F \times N/M = 6$ permutadores 2021A-2026A de sección de plegado, cada uno de los cuales funciona independientemente. En lugar de proporcionar seis permutadores de sección de plegado, se puede proporcionar un único permutador de sección de plegado para realizar seis procesos de permutación de sección de plegado (que se describen más adelante), cambiando entre ellos a lo largo del tiempo.

10 Los permutadores (2021A, 2022A, 2023A, 2024A, 2025A, 2026A) de sección de plegado son independientes y cada uno aplica un proceso de permutación de sección de plegado a los 16 bits de dos bloques cíclicos, de manera que se correlacionan $F = 2$ bits de cada uno de $M/F = 2$ bloques cíclicos (QB1-QB2, QB3-QB4, QB5-QB6, QB7-QB8, QB9-QB10, QB11-QB12) a un conjunto dado de cuatro palabras (C1-C4, C5-C8, C9-C12, C13-C16, C17-C20, C21-C24) de constelación.

15 Las Condiciones 1A y 2A, descritas más arriba, aseguran simplemente que el entrelazador de bits es divisible en $F \times N/M$ secciones de plegado paralelas. Las permutaciones de sección de plegado aplicadas a las secciones de plegado paralelas pueden aplicar todas ellas las mismas reglas de permutación, o bien cada una puede aplicar diferentes reglas de permutación o puede implicar a un subconjunto de las secciones que aplican reglas de permutación idénticas, mientras que otras difieren.

20 Por ejemplo, los permutadores de sección de plegado pueden correlacionar Q bits de cada bloque cíclico a bits de Q/F palabras de constelación que tienen el mismo nivel de robustez. Esto se ilustra en las Figuras 33A, 33B, 34A y 34B para una situación en donde $Q = 8$ y $M = 4$.

La Figura 34A es un diagrama de bloques de un permutador de sección (de plegado) cuando $F = 1$ (es decir, sin plegado), y es similar a la Figura 22A.

25 La Figura 34B es un diagrama de bloques de dos permutadores de sección de plegado de la Figura 32, en donde $F = 2$ (es decir, con plegado).

Sin embargo, en el ejemplo de la Figura 34B, las constelaciones son constelaciones 16-QAM. Así pues, los bits de las constelaciones tienen dos niveles de robustez. Los bits b1 y b3 tienen el mismo nivel de robustez, y los bits b2 y b4 tienen el mismo nivel de robustez, siendo el nivel de robustez de los primeros diferente al nivel de robustez de los segundos.

30 Los permutadores 2201A (y 2202A) de sección de plegado incluyen cada uno un permutador columna-fila 2131A (o 2132A).

35 Los permutadores columna-fila 2131A (y 2132A) realizan cada uno un proceso de permutación columna-fila en $Q \times M/F = 16$ bloques cíclicos QB1 y QB2 (o QB3 y QB4). Para ser exactos, los permutadores columna-fila 2131A (y 2132A) escriben fila por fila $Q \times M/F = 16$ bits en una matriz $Q \times M/F (8 \times 2)$, y luego leen columna por columna los 16 bits así escritos, para realizar el proceso de permutación columna-fila. La permutación columna-fila aplicada por los permutadores columna-fila 2131A y 2132A se asemeja a la permutación aplicada a la matriz 12×1.350 mostrada en las Figuras 9A y 9B, en donde se utilizan Q columnas y M/F filas, el proceso de escritura se produce por filas y el proceso de lectura se produce por columnas.

40 El plegado con un factor de plegado de F reduce el número de bloques cíclicos correlacionados con una única palabra de constelación. Así pues, se reduce de tamaño la matriz utilizada en la permutación columna-fila, de M filas a M/F filas.

45 La Figura 33A ilustra la función de correlación realizada por el permutador de sección (de plegado) de la Figura 34A. La Figura 33B ilustra la función de correlación realizada por los dos permutadores de sección de plegado de la Figura 34B. En las Figuras 33A y 33B, a cada palabra de constelación de $M = 4$ bits se la rotula de b1 hasta b4. Las partes resaltadas con líneas más gruesas representan las partes correlacionadas con la constelación C1.

50 Tal como se muestra en las Figuras 33A y 34A, se correlaciona cada uno de los ocho bits de un bloque cíclico (que tienen igual importancia) con los bits de ocho palabras de constelación que tienen el mismo índice de bits (es decir, que tienen el mismo nivel de robustez). También en las Figuras 33B y 34B se correlacionan los ocho bits de un bloque cíclico (que tienen la misma importancia) con los bits de cuatro palabras de constelación que tienen el mismo nivel de robustez.

La permutación de sección de plegado descrita en la Figura 34B se puede aplicar a los bloques cíclicos QB5-QB6, QB7-QB8, QB9-QB10 y QB11-QB12.

Los permutadores de sección de plegado de las Figuras 34A y 34B también pueden incluir una subunidad que realice una permutación intra(bloque cíclico) sobre los bits de los bloques cíclicos QB1-QB4 antes de la permutación

columna-fila.

Ventajosamente, se puede aplicar una permutación de bloque cíclico adicional a los N bloques cíclicos antes de que el entrelazador de bits realice la permutación de sección de plegado. La Figura 35 es un diagrama estructural de la permutación de bloque cíclico adicional aplicada por el entrelazador de bits.

- 5 El entrelazador 2300A de bits que se muestra en la Figura 35 incluye el permutador 2310 de bloque cíclico y un permutador 2010A de bits (que a su vez incluye permutadores 2021A-2026A de sección de plegado).

La Figura 36 es un diagrama de bloques esquemático del entrelazador 3500 de bits que se muestra en la Figura 23.

El entrelazador 2400A de bits que se muestra en la Figura 36 incluye el permutador 2310 de bloque cíclico y un permutador 2200A de bits (que a su vez incluye los permutadores 2201A-2206A de sección de plegado).

- 10 Los permutadores 2201A-2206A de sección de plegado incluyen cada uno un permutador columna-fila 2131A-2136A. Los permutadores 2133A-2136A de sección de plegado realizan cada uno permutaciones sustancialmente idénticas a los permutadores columna-fila 2131A-2132A.

- 15 Cada uno de los entrelazadores de bits que se muestran en las Figuras 35 y 36 puede incluir una subunidad adicional que realiza una permutación intra(bloque cíclico) en los bits de bloques cíclicos QB1-QB12 antes o después de la permutación de bloque cíclico.

A continuación se describe un transmisor que incluye el entrelazador de bits que realiza un proceso de entrelazado de bits que cumple las Condiciones 1A y 2A, haciendo referencia a la Figura 37.

- 20 La Figura 37 es un diagrama de bloques de un transmisor perteneciente a otra realización de la presente descripción. El transmisor 2500A que se muestra en la Figura 37 está configurado de manera similar al transmisor 2500 de la Figura 25, diferenciándose en que se reemplaza el entrelazador 2520 de bits por un entrelazador 2520A de bits.

- 25 El entrelazador 2520A de bits recibe la palabra de código en código QC-LDPC desde el codificador LDPC 2510. La palabra de código está formada por $N = 12$ bloques cíclicos, y cada bloque cíclico incluye $Q = 8$ bits. El entrelazador 2520A de bits realiza entrelazado sobre los bits de las palabras de código. El entrelazador 2520A de bits divide la palabra de código entrelazada en una pluralidad de palabras de constelación, cada una constituida por $M = 4$ bits y que indica uno de $2^M = 16$ puntos de constelación, y después envía como salida las palabras de constelación al correlacionador 2530 de constelación. El entrelazador 2520A de bits puede aplicar el proceso de entrelazado de bits que se ha discutido con referencia a las Figuras 32 a 34, o bien puede aplicar una variante del proceso de permutación de bits (excluyendo los casos en donde $F = 1$). Además, el entrelazador 2520A de bits puede aplicar un proceso de permutación de bloque cíclico adicional (excluyendo los casos en donde $F = 1$), por ejemplo el proceso discutido con referencia a las Figuras 35 y 36 o una variación del mismo.
- 30

A continuación se describe un receptor que recibe señales de un transmisor que incluye el entrelazador de bits que realiza un proceso de entrelazado de bits que cumple las Condiciones 1A y 2A.

- 35 La Figura 38 es un diagrama de bloques de un receptor ilustrativo, que incluye un descodificador BICM no iterativo, que pertenece a otra realización de la descripción. El receptor realiza las operaciones del transmisor en sentido inverso. El receptor 2700A que se muestra en la Figura 38 está configurado de manera similar al receptor 2700 de la Figura 27, con la diferencia de que se reemplaza el desentrelazador 2730 de bits por un desentrelazador 2730A de bits.

- 40 El desentrelazador 2730A de bits realiza un proceso de entrelazado sobre la salida de secuencia de bits blandos procedente del descorrelacionador 2720 de constelación, con el fin de cancelar el proceso de entrelazado de bits aplicado a la secuencia de bits por el entrelazador 2520A de bits del transmisor 2500A.

- 45 La Figura 39 es un diagrama de bloques de un receptor ilustrativo, que incluye un descodificador BICM no iterativo, perteneciente a otra realización adicional de la descripción. El receptor realiza las operaciones del transmisor en sentido inverso. El receptor 2800A que se muestra en la Figura 39 está configurado de manera similar al receptor 2800 de la Figura 28, con la diferencia de que se reemplazan el desentrelazador 2730 de bits y el entrelazador 2750 de bits por un desentrelazador 2730A de bits y un desentrelazador 2750A de bits.

El entrelazador 2750A de bits realiza un proceso de entrelazado sobre la información extrínseca, empleando las mismas reglas de entrelazado que el proceso de entrelazado aplicado a la secuencia de bits por el entrelazador 2520A de bits del transmisor 2500A.

- 50 Desde una perspectiva de implementación en *hardware*, el plegado es deseable por que, por ejemplo, los bits de una constelación quedan así ubicados en menos ubicaciones de memoria LLR. Normalmente, la memoria LLR del descodificador incluye $G \times N$ ubicaciones de memoria direccionables, y cada ubicación es capaz de almacenar Q/G valores de LLR. En este caso, G es un parámetro de implementación que es divisor de Q , y en lo que sigue se le denomina granularidad de memoria. En la Figura 40 se muestran las ubicaciones de memoria LLR del

descodificador y los valores de LLR de la primera constelación, donde $M = 4$, $F = 2$, $Q = 12$ y $G = 1-12$.

El número de valores de LLR por ubicación de memoria, es decir, el valor de Q/G , es necesariamente múltiplo de F . Así pues, los valores de LLR de cada constelación se almacenan en la misma posición en todas las ubicaciones de memoria. Esto asegura que los valores de LLR de cualquier palabra de constelación se almacenen en M/F ubicaciones de memoria. En la Figura 40 se ofrece un contraejemplo, en donde $G = 4$, y se almacenan $12/4 = 3$ valores de LLR en cada ubicación de memoria. Los valores de LLR de las segunda y quinta palabras de constelación se almacenan en cuatro ubicaciones de memoria en lugar de en dos ubicaciones de memoria.

Además de constelaciones QAM simples en donde es aplicable plegado con $F = 2$, el plegado es aún más útil cuando se descodifican conjuntamente dos o más símbolos de constelación. La descodificación conjunta es necesaria, por ejemplo, para la descodificación de códigos de bloque con máxima probabilidad (por ejemplo, códigos de espacio-tiempo, códigos de espacio-frecuencia y similares), y para constelaciones rotadas en dos o más dimensiones.

En general, un código de bloque codifica dos o más símbolos de entrada (por ejemplo, x_1, \dots, x_K) sobre dos o más símbolos de salida (por ejemplo, y_1, \dots, y_L). En este caso, L es al menos igual a K . Los códigos de bloque se modelan sobre una matriz de generador $L \times K$. En este caso, el vector Y de señal de salida se obtiene como resultado de multiplicar por la izquierda el vector X de señal de entrada por la matriz generadora G (es decir, $Y = GX$).

Los elementos del vector X de señal de entrada y el vector Y de señal de salida, así como los elementos de la matriz generadora G , pueden ser reales o complejos. Dependiendo del tipo de código, el vector Y de señal de salida puede transmitirse en diferentes intervalos de tiempo o en diferentes intervalos de frecuencia, puede transmitirse a través de distintas antenas, o puede transmitirse utilizando una variedad de diferentes intervalos de tiempo, intervalos de frecuencia y antenas.

En el receptor, se requiere la descodificación de máxima verosimilitud para descodificar todos los elementos del vector X de señal de entrada. Los ejemplos de códigos de bloque para los sistemas de múltiples entradas y múltiples salidas (MIMO en lo que sigue, por sus siglas en inglés) incluyen códigos de Alamouti, códigos de Golden y multiplexación espacial.

Cuando se codifican K símbolos en el mismo bloque, obviamente se puede utilizar un factor de plegado de hasta K . Además, siempre que los símbolos sean símbolos QAM (que incluyen dos símbolos PAM divisibles), entonces el factor de plegado puede aumentarse a $2K$.

Conforme a un aspecto adicional de la presente descripción, cuando se codifican conjuntamente constelaciones de distinto tamaño, es decir, constelaciones híbridas, las dos constelaciones tienen diferentes niveles de robustez. Así, por ejemplo, el bloque cíclico con el que se correlacionan los bits de una palabra de constelación es distinto del bloque cíclico con el que se correlacionan los bits de la otra palabra de constelación.

A continuación se describe un ejemplo de un sistema MIMO de multiplexación espacial codificada que utiliza dos antenas de transmisión. La señal compleja antes de la codificación es $X = [x_1 \ x_2]$. En este caso, x_1 es una señal a la que se ha aplicado QPSK y x_2 es una señal a la que se ha aplicado 16-QAM. La señal compleja después de la descodificación es $Y = [y_1 \ y_2]$. En este caso, y_1 e y_2 son señales transmitidas respectivamente por una primera antena y una segunda antena. Y se obtiene mediante una multiplicación por la izquierda de X con una matriz generadora G de 2×2 (en donde los elementos de G pueden ser reales o complejos) (es decir, $Y = GX$).

La Figura 41 ilustra un ejemplo de correlación con un factor de plegado de $F = 2$, cuando se multiplexan símbolos QPSK con símbolos 16-QAM en un solo código de bloque. La Figura 41 indica solo los primeros siete bits de los bloques cíclicos. Los dos símbolos complejos x_1 y x_2 están configurados de la siguiente manera.

x_1 es un símbolo QPSK que tiene una parte real b_1 y una parte imaginaria b_2 .

x_2 es un símbolo 16-QAM que tiene partes reales b_3 y b_4 y partes imaginarias b_5 y b_6 .

Los dos símbolos son descodificados conjuntamente por el receptor y forman así un bloque de constelación o un bloque generado.

El bloque completo de constelación de 6 bits tiene tres niveles de robustez.

Nivel 1: los bits QPSK b_1 y b_2 se correlacionan con QB1

Nivel 2: los bits b_3 y b_5 de 16-QAM se correlacionan con QB2

Nivel 3: los bits b_4 y b_6 de 16-QAM se correlacionan con QB3

Cuando una de las constelaciones tiene M_1 bits y la otra constelación tiene M_2 bits, los N grupos cíclicos se dividen en uno o más grupos de M_1 bloques cíclicos y uno o más grupos de M_2 bloques cíclicos para realizar el proceso de

entrelazado de bits.

(Realización 3)

A continuación se describe un ejemplo de un entrelazador que realiza plegado en una situación en la que N no es múltiplo de M .

5 La Figura 42 ilustra un bloque cíclico sujeto al proceso de entrelazado donde $F = 2$, descrito anteriormente, y un bloque cíclico excluido del mismo (es decir, un bloque excluido). En la Figura 42, el código es código LDPC 16K según la norma DVB-T2, y la constelación es una constelación 16-QAM. Tal como se muestra, 44 de los bloques cíclicos están sujetos a entrelazado (es decir, los bloques 1 a 44), y el bloque cíclico 45, en la última fila, es el único bloque cíclico que no está sujeto a entrelazado (es decir, el bloque excluido). Los cuatro cuadrados en negro
10 representan los cuatro bits de la primera constelación.

La Figura 43 es un diagrama de bloques esquemático de un entrelazador de bits que realiza plegado cuando N no es múltiplo de M . Por simplicidad, rigen los siguientes valores: $N = 13$, $Q = 8$, $M = 4$ y $F = 2$.

El número de secciones de plegado es $\text{floor}(N/(M/F)) = 6$ y el número de bloques cíclicos excluidos es $\text{rem}(N, M/F) = 1$.

15 El entrelazador 2000B de bits selecciona $13 - 1 = 12$ bloques cíclicos entre los bloques cíclicos QB1-QB13, de modo que los bloques cíclicos seleccionados QB1-QB12 cumplen las condiciones A1 y A2 y están sujetos a entrelazado. El permutador 2010A de bits del entrelazador 2000B de bits realiza el proceso de permutación descrito con referencia a la Figura 32 sobre los doce bloques cíclicos seleccionados. Aunque los bits del bloque cíclico QB13 se correlacionan aquí con una palabra de constelación sin entrelazado, también se puede aplicar entrelazado antes de
20 efectuar la correlación con la palabra de constelación.

Como ejemplo de un entrelazador que no realiza plegado cuando N no es múltiplo de M , se puede reemplazar el permutador 2010A de bits que se muestra en la Figura 43 por el permutador 2010 mostrado en la Figura 20.

(Suplemento 1)

25 La presente descripción no se limita a las realizaciones descritas en lo que antecede. Siempre que se logren los objetivos de la invención y los objetivos adjuntos, también son posibles otras variaciones, tales como las siguientes.

(1) Se ha descrito más arriba la Realización 1 utilizando los parámetros $N = 12$, $Q = 8$ y $M = 4$. Sin embargo, no se pretende ninguna limitación a los parámetros N , M y Q . En este caso, N puede ser cualquier múltiplo de M . Cuando N es dos o más veces M , el procesamiento por el entrelazador de bits puede ser dividido en una pluralidad de secciones.

30 (2) En la Realización 2, cuando se utiliza plegado, es decir, cuando F es dos o más, los parámetros dados para el ejemplo son $N = 12$, $Q = 8$, $M = 4$ y un factor de plegamiento $F = 2$. Sin embargo, no se pretende ninguna limitación a los parámetros N , M , Q y F . En este caso, F es divisor de M y Q , y N es múltiplo de M/F .

35 (3) En la Realización 2, cuando se utiliza plegado, se ha indicado el valor de F como dos, que es el número de bits que tienen el mismo nivel de robustez en una única constelación 16-QAM. Sin embargo, no se pretende ninguna limitación. El valor de F no tiene por qué ser igual al número de bits que tienen el mismo nivel de robustez en una constelación, y de hecho puede ser distinto del número de bits que tienen el mismo nivel de robustez en una constelación.

40 (4) En la Realización 2, cuando se utiliza plegado, el ejemplo describe un factor de plegado $F = 2$ y las constelaciones QAM son constelaciones 16-QAM. Sin embargo, no se pretende ninguna limitación. Cuando $F = 2$, las constelaciones QAM pueden ser constelaciones distintas de 16-QAM (por ejemplo, constelaciones 64-QAM o constelaciones 256-QAM).

45 (5) En las realizaciones descritas en lo que antecede, las constelaciones se describen como 16-QAM (es decir, $M = 4$). Sin embargo, se pueden especificar las constelaciones mediante otros métodos de modulación, tales como QPSK y QAM, por ejemplo las constelaciones circulares utilizadas en la norma DVB-S2, constelaciones de dimensiones superiores, etc.

50 (6) Los métodos y dispositivos analizados en las realizaciones precedentes pueden implementarse como *software* o como *hardware*. No se pretende ninguna limitación particular a este respecto. Específicamente, las realizaciones descritas en lo que antecede pueden implementarse en forma de un medio legible por ordenador que tenga incorporadas en el mismo instrucciones ejecutables por ordenador que estén adaptadas para permitir que un ordenador, un microprocesador, un microcontrolador y similares, ejecuten los métodos descritos más arriba. Además, las realizaciones descritas en lo que antecede pueden implementarse en forma de un circuito integrado específico para aplicación (ASIC, por sus siglas en inglés) o en forma de una matriz de puertas programable *in situ* (FPGA, por sus siglas en inglés).

(Suplemento 2)

Se describen a continuación el método de entrelazado de bits, el entrelazador de bits, el método de desentrelazado de bits, el desentrelazador de bits y el decodificador de la presente descripción, y sus efectos.

5 En un primer aspecto de un método de entrelazado de bits, un método de entrelazado de bits para un sistema de comunicaciones que utiliza códigos de comprobación de paridad de baja densidad cuasiperiódicos comprende: un paso de recepción consistente en recibir una palabra de código de códigos de comprobación de paridad de baja densidad cuasiperiódicos constituida por N bloques cíclicos en donde cada uno incluye Q bits; un paso de permutación de bit consistente en aplicar un proceso de permutación de bit a la palabra de código con el fin de permutar los bits de la palabra de código; y un paso de división consistente en dividir la palabra de código, después del proceso de permutación de bit, en una pluralidad de palabras de constelación, en donde cada una de las palabras de código está constituida por M bits e indica uno de 2^M puntos de constelación en una constelación predeterminada, en donde, antes del proceso de permutación de bit, se divide la palabra de código en $F \times N/M$ secciones de plegado, siendo F un número entero mayor que uno, estando cada una de las secciones de plegado, incluidos M/F de los bloques cíclicos, y cada una de las palabras de constelación, asociada con una de las $F \times N/M$ secciones de plegado, y en el paso de permutación de bit se aplica el proceso de permutación de bit de manera tal que los M bits de cada una de las palabras de constelación incluyen F bits de cada uno de M/F bloques cíclicos distintos de una sección de plegado dada, asociada con una palabra de constelación dada, y de manera que todos los bits de la sección de plegado dada están correlacionados con solamente Q/F de las palabras de constelación asociadas con la sección de plegado dada.

20 En otro aspecto, un primer entrelazador de bits para un sistema de comunicaciones que utiliza códigos de comprobación de paridad de baja densidad cuasiperiódicos comprende: una unidad de permutación de bit que recibe una palabra de código de los códigos de comprobación de paridad de baja densidad cuasiperiódicos constituida por N bloques cíclicos, cada uno de los cuales incluye Q bits, aplica un proceso de permutación de bit a la palabra de código para permutar los bits de la palabra de código, y divide la palabra de código, para enviarlo como salida después del proceso de permutación de bit, en una pluralidad de palabras de constelación, en donde cada una de las palabras de constelación está constituida por M bits e indica uno de los 2^M puntos de constelación de una constelación predeterminada; en donde, antes del proceso de permutación de bit, se divide la palabra de código en $F \times N/M$ secciones de plegado, siendo F un número entero mayor que uno, incluyendo cada una de las secciones de plegado M/F de los bloques cíclicos, y estando cada una de las palabras de constelación asociada con una de las $F \times N/M$ secciones de plegado, y la unidad de permutación de bit aplica el proceso de permutación de bit de manera que los M bits de cada una de las palabras de constelación incluyen F bits de cada uno de los M/F bloques cíclicos distintos de una sección de plegado dada asociada con una palabra de constelación dada, y de manera que todos los bits de la sección de plegado dada están correlacionados con solamente Q/F de las palabras de constelación asociadas con la sección de plegado dada.

35 Por consiguiente, se logran reducciones en la superficie ocupada por el circuito y en el consumo de energía eléctrica, además de permitir la realización de un proceso de entrelazado de bits que tiene alto paralelismo.

40 En un segundo aspecto del método de entrelazado de bits, el paso de permutación de bit incluye un paso de permutación de sección de plegado consistente en aplicar independientemente un proceso de permutación de sección de plegado a cada una de las $F \times N/M$ secciones de plegado, para permutar los bits de cada una de las secciones de plegado.

Además, en un segundo aspecto de un entrelazador de bits, la unidad de permutación de bit incluye una unidad de permutación de sección de plegado que aplica independientemente un proceso de permutación de sección de plegado a cada una de las $F \times N/M$ secciones de plegado, para permutar los bits de cada una de las secciones de plegado.

45 Por consiguiente, se pueden ejecutar en paralelo una pluralidad de procesos de permutación de sección de plegado.

En un tercer aspecto del método de entrelazado de bits, en el paso de permutación de sección de plegado, se realiza el proceso de permutación de sección de plegado de manera que se correlaciona cada uno de los Q bits de un bloque cíclico dado con un bit de nivel de robustez idéntico en las Q/F palabras de constelación asociadas con una de las secciones de plegado que corresponde al bloque cíclico dado.

50 Además, en un tercer aspecto de un entrelazador de bits, la unidad de permutación de sección de plegado aplica el proceso de permutación de sección de plegado de manera que se correlaciona cada uno de los Q bits de un bloque cíclico dado con un bit de nivel de robustez idéntico en las Q/F palabras de constelación asociadas con una de las secciones de plegado que corresponde al bloque cíclico dado.

55 Por consiguiente, se correlacionan bits de la palabra de código que tienen la misma importancia con bits de la palabra de constelación que tienen el mismo nivel de robustez, lo que permite una coincidencia de importancia y nivel de robustez. Por ejemplo, el bit de la palabra de código que tiene la máxima importancia puede estar correlacionado con un bit de la palabra de constelación que tiene el máximo nivel de robustez. En tal caso, se logra una alta fiabilidad en el momento de la recepción para el bit de la palabra de código que tiene la máxima

importancia, lo que da como resultado una mayor capacidad de recepción.

En un cuarto aspecto del método de entrelazado de bits, F es igual a un número de bits de nivel de robustez idéntico en una de las palabras de constelación.

5 Además, en un cuarto aspecto de un entrelazador de bits, F es igual a un número de bits de nivel de robustez idéntico en una de las palabras de constelación.

Por consiguiente, se realiza una eficaz implementación en *hardware*.

En un quinto aspecto del método de entrelazado de bits, $F = 2$ y las palabras de constelación son constelaciones QAM.

10 Además, en un quinto aspecto de un entrelazador de bits, $F = 2$ y las palabras de constelación son constelaciones QAM.

Por consiguiente, se realiza una eficaz implementación en *hardware*.

En un sexto aspecto del método de entrelazado de bits, el paso de permutación de sección de plegado incluye un paso de permutación columna-fila consistente en aplicar un proceso de permutación columna-fila a los $M/F \times Q$ bits de cada una de las secciones de plegado, para permutar los $M/F \times Q$ bits.

15 En un séptimo aspecto del método de entrelazado de bits, el proceso de permutación columna-fila es equivalente a escribir por filas los $M/F \times Q$ bits en una matriz que tiene Q columnas y M/F filas, y luego leer por columnas los $M/F \times Q$ bits.

20 Además, en un sexto aspecto de un entrelazador de bits, la unidad de permutación de sección de plegado aplica un proceso de permutación columna-fila a los $M/F \times Q$ bits de cada una de las secciones de plegado, para permutar los $M/F \times Q$ bits.

En consecuencia, en el proceso de permutación de sección de plegado se utiliza una permutación columna-fila, permitiendo así la realización de un proceso de permutación de sección de plegado extremadamente eficaz.

25 En un aspecto adicional, un método de desentrelazado de bits para desentrelazar un flujo de bits en un sistema de comunicaciones que utiliza códigos de comprobación de paridad de baja densidad cuasiperiódicos comprende: un paso de recepción consistente en recibir una secuencia de bits compuesta por $N \times Q$ bits; y un paso de permutación inversa de bits consistente en aplicar un proceso de permutación inversa de bits a la secuencia de bits recibida, con el fin de permutar los bits de la secuencia de bits para restaurar la palabra de código de los códigos de comprobación de paridad de baja densidad cuasiperiódicos, en donde el proceso de permutación inversa de bits invierte el proceso de permutación de bit del método de entrelazado de bits del primer aspecto.

30 En un aspecto alternativo, un desentrelazador de bits para desentrelazar un flujo de bits en un sistema de comunicaciones que utiliza códigos de comprobación de paridad de baja densidad cuasiperiódicos comprende: una unidad de permutación inversa de bits que recibe una secuencia de bits compuesta por $N \times Q$ bits y aplica un proceso de permutación inversa de bits a la secuencia de bits recibida, con el fin de permutar los bits de la secuencia de bits para restaurar una palabra de código de los códigos de comprobación de paridad de baja densidad cuasiperiódicos, en donde el proceso de permutación inversa de bits invierte el proceso de permutación de bit aplicado por el entrelazador de bits del primer aspecto.

40 En otro aspecto, un descodificador para un sistema de entrelazado y desmodulación de bits que utiliza códigos de comprobación de paridad de baja densidad cuasiperiódicos, que comprende: un descorrelacionador de constelación que genera una secuencia de bits blandos que indica la probabilidad de que un bit correspondiente sea uno de bit cero y bit uno; el desentrelazador de bits del aspecto alternativo que desentrelaza la secuencia de bits blandos; y un descodificador con comprobación de paridad de baja densidad que descodifica la secuencia de bits blandos desentrelazada.

45 En otro aspecto más, el descodificador del otro aspecto comprende además: una unidad de resta que resta la entrada al descodificador con comprobación de paridad de baja densidad de la salida del descodificador con comprobación de paridad de baja densidad; y el entrelazador de bits del primer aspecto, que envía la diferencia como realimentación desde la unidad de resta al descorrelacionador de constelación.

Por consiguiente, se puede realizar un proceso de entrelazado de bits que tiene alto paralelismo.

[Aplicabilidad industrial]

50 La presente invención es aplicable a un entrelazador de bits en un sistema de codificación y modulación con entrelazado de bits, utilizado para códigos de paridad de baja densidad cuasiperiódicos, y a un desentrelazador de bits correspondiente a dicho entrelazador de bits.

[Lista de signos de referencia]

	2000A	Entrelazador de bits
	2010A	Permutador de bit
	2021A	Permutador de sección de plegado
5	2131A, 2132A	Permutador columna-fila
	2500A	Transmisor
	2510	Codificador LDPC
	2520A	Entrelazador de bits
	2530	Correlacionador de constelación
10	2700A, 2800A	Receptor
	2710	Descorrelacionador de constelación
	2720A	Desentrelazador de bits
	2730	Descodificador LDPC
	2740	Restador
15	2750A	Entrelazador de bits

REIVINDICACIONES

1. Un método de entrelazado de bits para entrelazar bits de una palabra de código generada en base a un esquema de codificación con comprobación de paridad de baja densidad cuasicíclica, que incluye un esquema de codificación con comprobación de paridad de baja densidad cuasicíclica de repetir-acumular, comprendiendo el método de entrelazado de bits:
- 5 un paso de permutación de bloque cíclico consistente en aplicar un proceso de permutación de bloque cíclico a la palabra de código constituida por N bloques cíclicos, cada uno de los cuales consta de Q bits, para reordenar los bloques cíclicos de acuerdo con una regla de permutación de bloque cíclico que define una reordenación de los bloques cíclicos;
- 10 un paso de permutación de bit consistente en aplicar un proceso de permutación de bit a la palabra de código después del proceso de permutación de bloque cíclico, para reordenar los bits de la palabra de código de acuerdo con una regla de permutación de bit que define una reordenación de los bits; y
- un paso de división consistente en dividir la palabra de código después del proceso de permutación de bit en una pluralidad de palabras de constelación, estando constituida cada una de las palabras de constelación por M bits, en donde
- 15 N no es múltiplo de M,
- la regla de permutación de bit define la reordenación de los bits de la palabra de código después del proceso de permutación de bloque cíclico, de manera que cada uno de los Q bits de cada uno de los $N' = N - X$ bloques cíclicos entre los N bloques cíclicos se asigna a un bit con índice de bit idéntico en Q palabras de constelación y dichas Q palabras de constelación están constituidas cada una por un bit de cada uno de M bloques cíclicos distintos, siendo dichos M bloques cíclicos distintos comunes a dichas Q palabras de constelación, donde X es el resto de N dividido por M, y
- 20 el índice de bit del bit de cada una de las Q palabras de constelación al cual se asigna cada bit de cada uno de los $N' = N - X$ bloques cíclicos se determina de acuerdo con la regla de permutación de bloque cíclico.
2. Un entrelazador de bits para entrelazar bits de una palabra de código generada en base a un esquema de codificación con comprobación de paridad de baja densidad cuasicíclica, que incluye un esquema de codificación con comprobación de paridad de baja densidad cuasicíclica de repetir-acumular, comprendiendo el entrelazador de bits:
- un permutador (2310) de bloque cíclico que aplica un proceso de permutación de bloque cíclico a la palabra de código constituida por N bloques cíclicos, cada uno de los cuales consta de Q bits, para reordenar los bloques cíclicos de acuerdo con una regla de permutación de bloque cíclico que define una reordenación de los bloques cíclicos; y
- 30 un permutador (2010A) de bits que aplica un proceso de permutación de bit a la palabra de código después del proceso de permutación de bloque cíclico, para reordenar los bits de la palabra de código de acuerdo con una regla de permutación de bit que define una reordenación de los bits; y
- un divisor que divide la palabra de código después del proceso de permutación de bit en una pluralidad de palabras de constelación, estando constituida cada una de las palabras de constelación por M bits, en donde
- 35 N no es múltiplo de M,
- la regla de permutación de bit define la reordenación de los bits de la palabra de código después del proceso de permutación de bloque cíclico, de manera que cada uno de los Q bits de cada uno de los $N' = N - X$ bloques cíclicos entre los N bloques cíclicos se asigna a un bit con índice de bit idéntico en Q palabras de constelación y dichas Q palabras de constelación están constituidas cada una por un bit de cada uno de M bloques cíclicos distintos, siendo dichos M bloques cíclicos distintos comunes a dichas Q palabras de constelación, donde X es el resto de N dividido por M, y
- 40 el índice de bit del bit de cada una de las Q palabras de constelación al cual se asigna cada bit de cada uno de los $N' = N - X$ bloques cíclicos se determina de acuerdo con la regla de permutación de bloque cíclico.
3. Un método de procesamiento de señales para procesar una señal transmitida por modulación de $N \times Q/M$ palabras de constelación, generándose las palabras de constelación por aplicación de un proceso de reordenación de bits a una palabra de código generada en base a un esquema de codificación con comprobación de paridad de baja densidad cuasicíclica, que incluye un esquema de codificación con comprobación de paridad de baja densidad cuasicíclica de repetir-acumular, y por división de los bits de la palabra de código en las palabras de constelación, estando constituida cada una de las palabras de constelación por M bits, estando constituida la palabra de código por N bloques cíclicos que incluyen cada uno Q bits, comprendiendo el proceso de reordenación de bits:
- 50

un proceso de permutación de bloque cíclico consistente en reordenar los bloques cíclicos de la palabra de código de acuerdo con una regla de permutación de bloque cíclico que define una reordenación de los bloques cíclicos, y

- 5 un proceso de permutación de bit consistente en reordenar los bits de la palabra de código después del proceso de permutación de bloque cíclico de acuerdo con una regla de permutación de bit que define una reordenación de los bits, en donde

N no es múltiplo de M,

- 10 la regla de permutación de bit define la reordenación de los bits de la palabra de código después del proceso de permutación de bloque cíclico, de manera que cada uno de los Q bits de cada uno de los $N' = N - X$ bloques cíclicos entre los N bloques cíclicos se asigna a un bit con índice de bit idéntico en Q palabras de constelación y dichas Q palabras de constelación están constituidas cada una por un bit de cada uno de M bloques cíclicos distintos, siendo los M bloques cíclicos distintos comunes a dichas Q palabras de constelación, donde X es el resto de N dividido por M, y

el índice de bit del bit de cada una de las Q palabras de constelación al cual se asigna cada bit de cada uno de los $N' = N - X$ bloques cíclicos se determina de acuerdo con la regla de permutación de bloque cíclico,

- 15 comprendiendo el método de procesamiento de señales:

un paso de desmodulación consistente en generar una señal desmodulada mediante la desmodulación de la señal que ha sido transmitida mediante la modulación de las $N \times Q/M$ palabras de constelación; y

- 20 un paso de descodificación consistente en realizar, sobre la señal desmodulada, un proceso de reversión que cancela el proceso de permutación de bit y el proceso de permutación de bloque cíclico de acuerdo con la regla de permutación de bloque cíclico y la regla de permutación de bit, y un proceso de descodificación que genera así datos anteriores a la codificación de acuerdo con el esquema de codificación con comprobación de paridad de baja densidad cuasíciclica.

- 25 4. Un procesador de señales para procesar una señal transmitida por modulación de $N \times Q/M$ palabras de constelación, generándose las palabras de constelación por aplicación de un proceso de reordenación de bits a una palabra de código generada en base a un esquema de codificación con comprobación de paridad de baja densidad cuasíciclica, que incluye un esquema de codificación con comprobación de paridad de baja densidad cuasíciclica de repetir-acumular, y por división de los bits de la palabra de código en las palabras de constelación, estando constituida cada palabra de constelación por M bits, estando constituida la palabra de código por N bloques cíclicos que incluyen cada uno Q bits, comprendiendo el proceso de reordenación de bits:

- 30 un proceso de permutación de bloque cíclico consistente en reordenar los bloques cíclicos de la palabra de código de acuerdo con una regla de permutación de bloque cíclico que define una reordenación de los bloques cíclicos, y

un proceso de permutación de bit consistente en reordenar los bits de la palabra de código después del proceso de permutación de bloque cíclico de acuerdo con una regla de permutación de bit que define una reordenación de los bits, en donde

- 35 N no es múltiplo de M,

- 40 la regla de permutación de bit define la reordenación de los bits de la palabra de código después del proceso de permutación de bloque cíclico, de manera que cada uno de los Q bits de cada uno de los $N' = N - X$ bloques cíclicos entre los N bloques cíclicos se asigna a un bit con índice de bit idéntico en Q palabras de constelación y dichas Q palabras de constelación están constituidas cada una por un bit de cada uno de M bloques cíclicos distintos, siendo los M bloques cíclicos distintos comunes a dichas Q palabras de constelación, donde X es el resto de N dividido por M, y

el índice de bit del bit de cada una de las Q palabras de constelación al cual se asigna cada bit de cada uno de los $N' = N - X$ bloques cíclicos se determina de acuerdo con la regla de permutación de bloque cíclico,

comprendiendo el procesador de señales:

- 45 un desmodulador que genera una señal desmodulada mediante la desmodulación de la señal que ha sido transmitida mediante la modulación de las $N \times Q/M$ palabras de constelación; y

- 50 un descodificador que realiza, sobre la señal desmodulada, un proceso de reversión que cancela el proceso de permutación de bit y el proceso de permutación de bloque cíclico de acuerdo con la regla de permutación de bloque cíclico y la regla de permutación de bit, y un proceso de descodificación que genera así datos anteriores a la codificación de acuerdo con el esquema de codificación con comprobación de paridad de baja densidad cuasíciclica.

FIG. 1

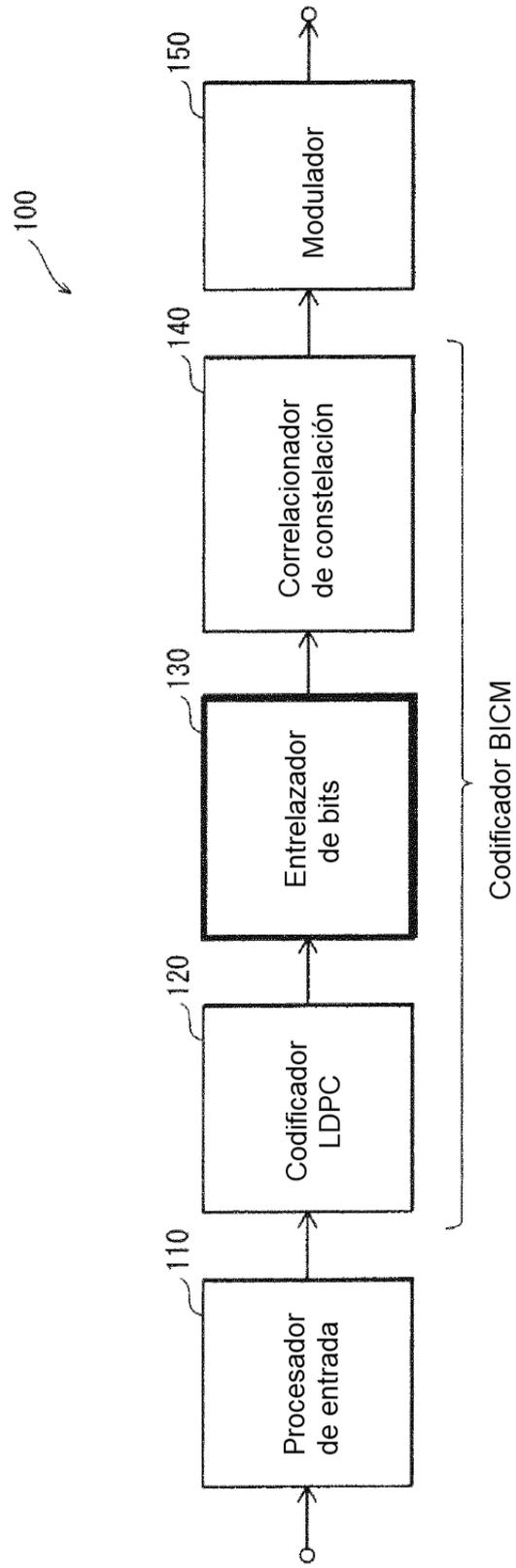


FIG. 2

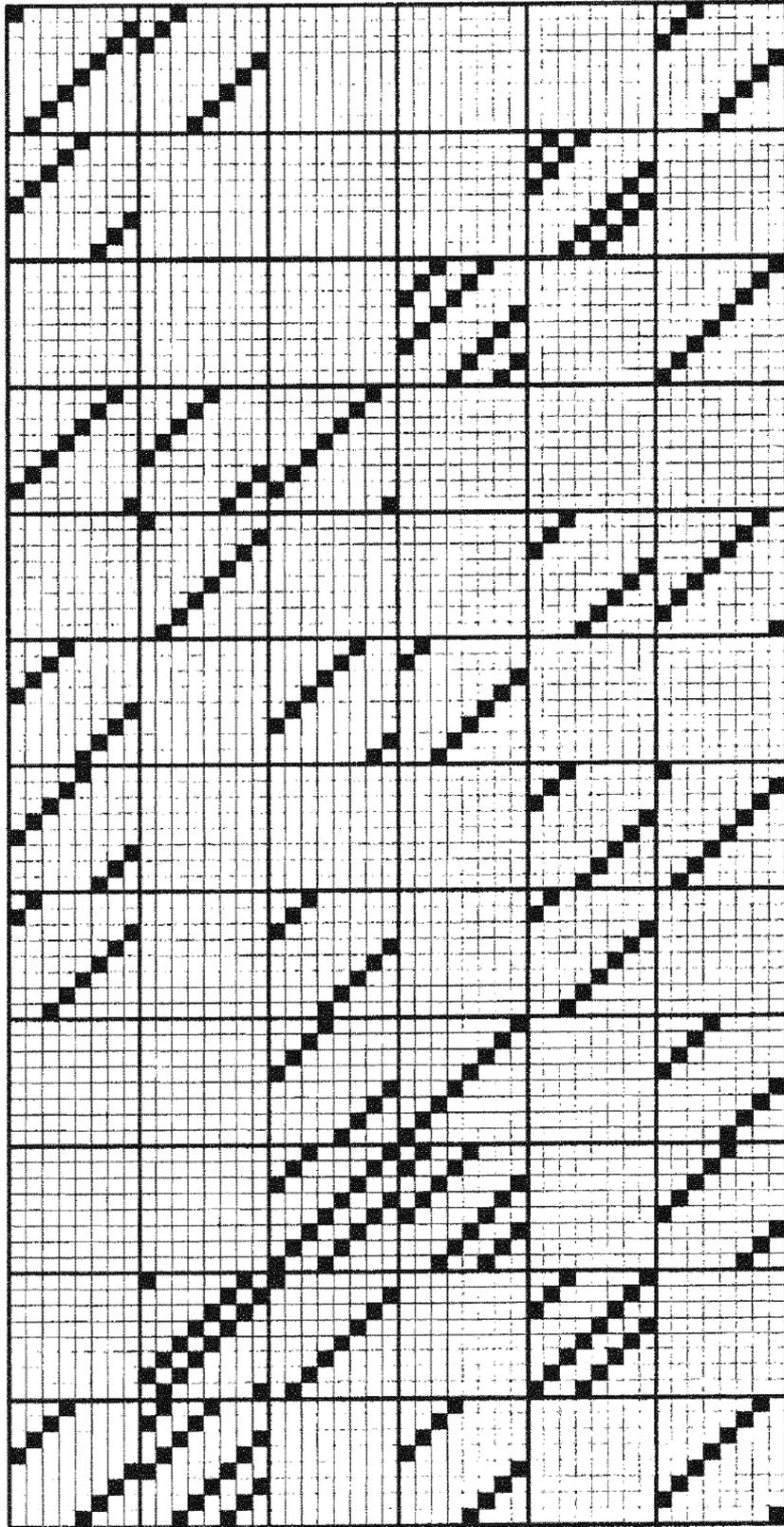


FIG. 3

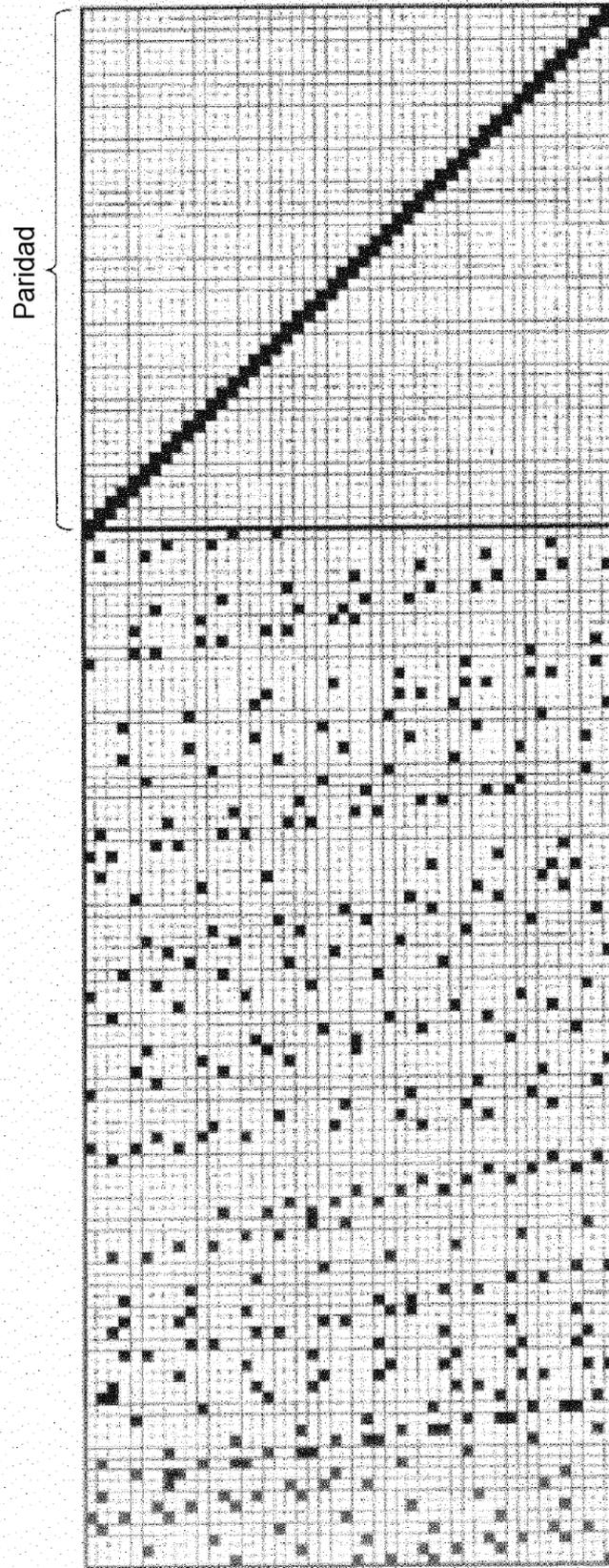


FIG. 4

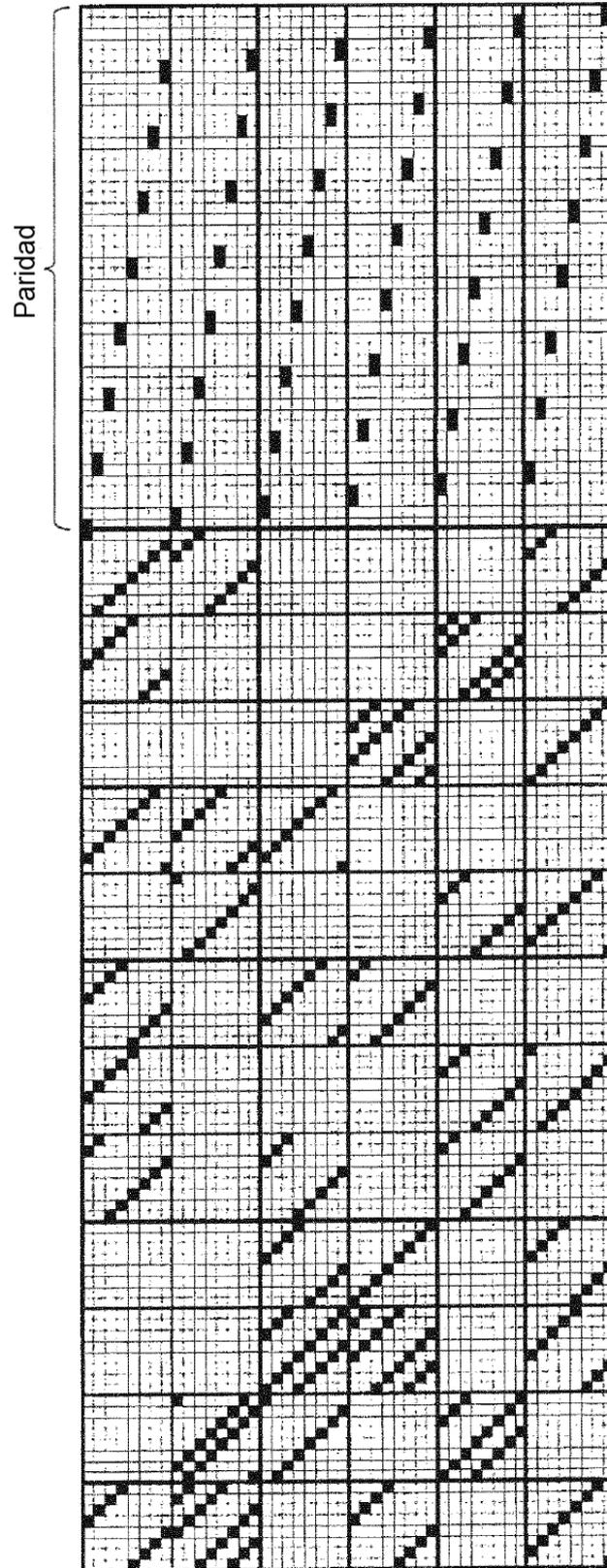


FIG. 5

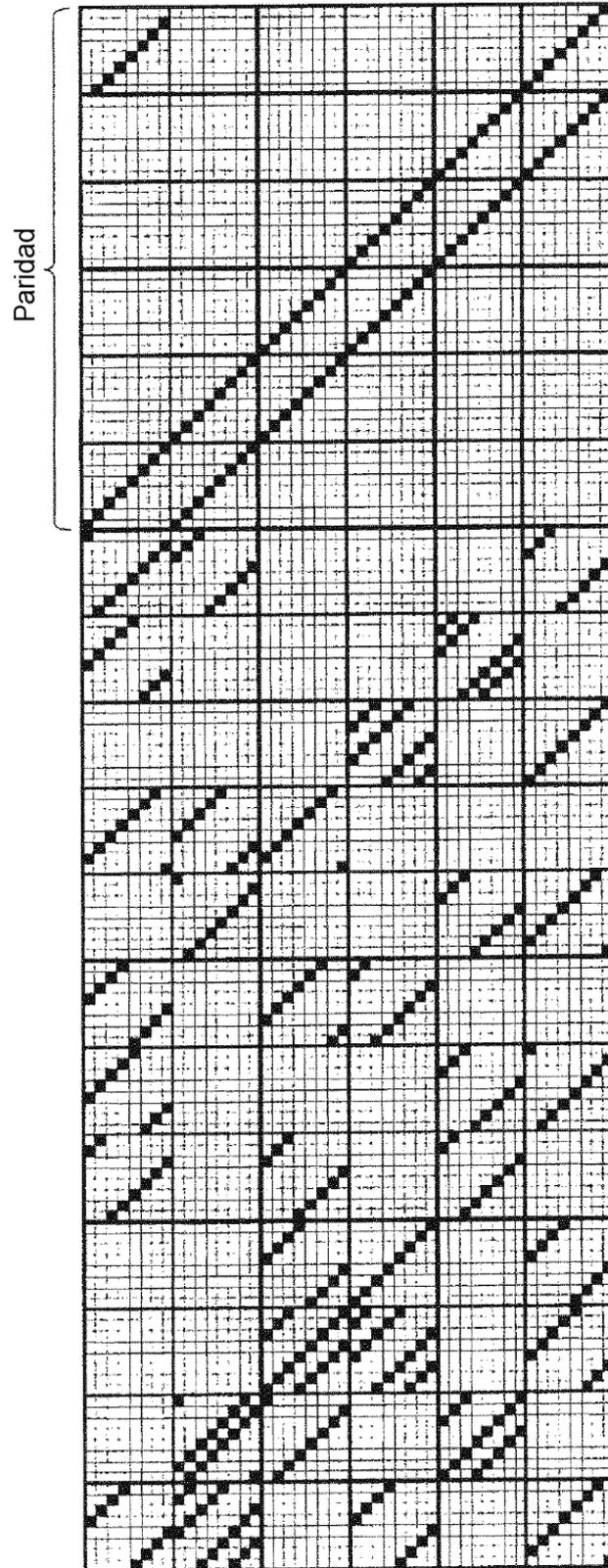
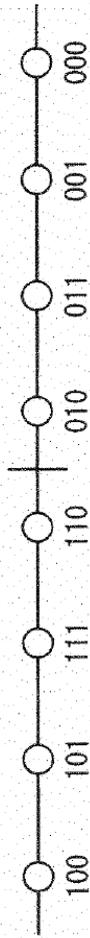
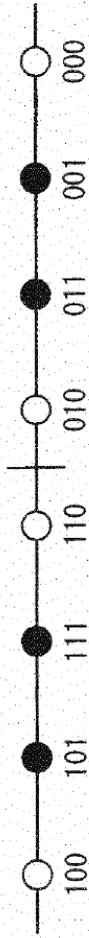


FIG. 6

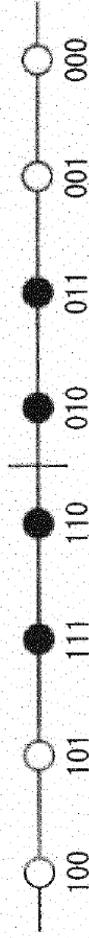
Bits codificados b1, b2, b3 (b3 b2 b1)



Subconjuntos para b1 = 1 (negro), b1 = 0 (blanco)



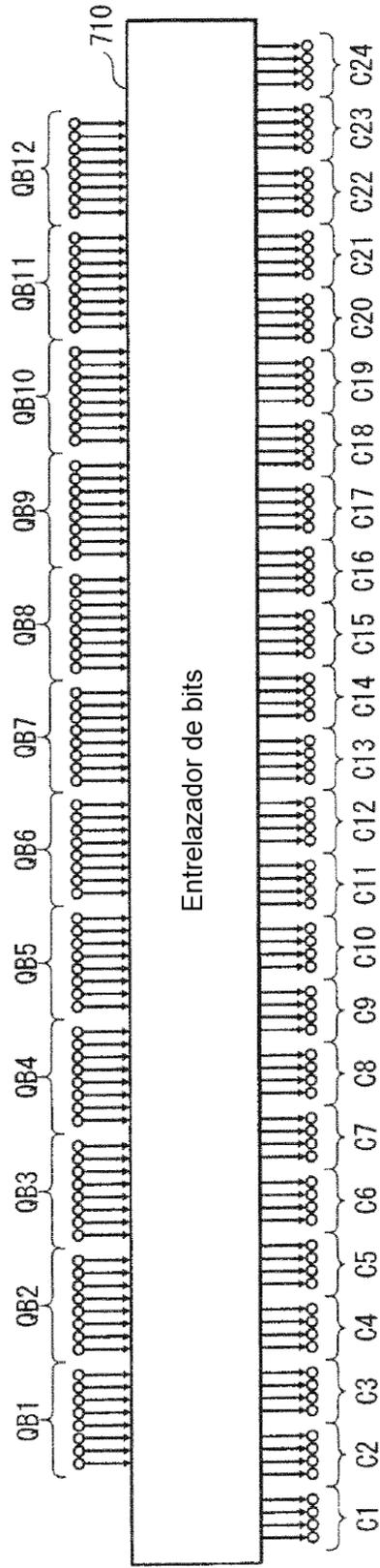
Subconjuntos para b2 = 1 (negro), b2 = 0 (blanco)



Subconjuntos para b3 = 1 (negro), b3 = 0 (blanco)



FIG. 7



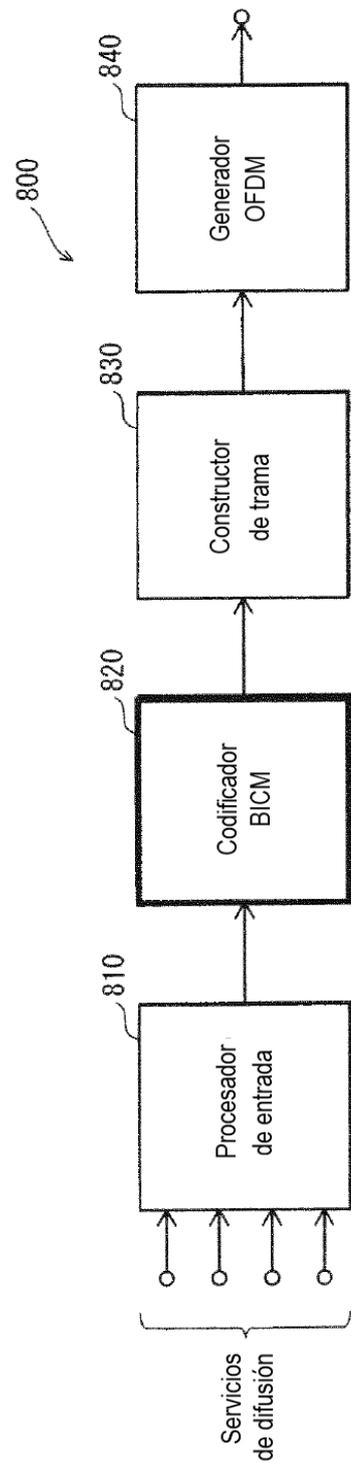


FIG. 8A

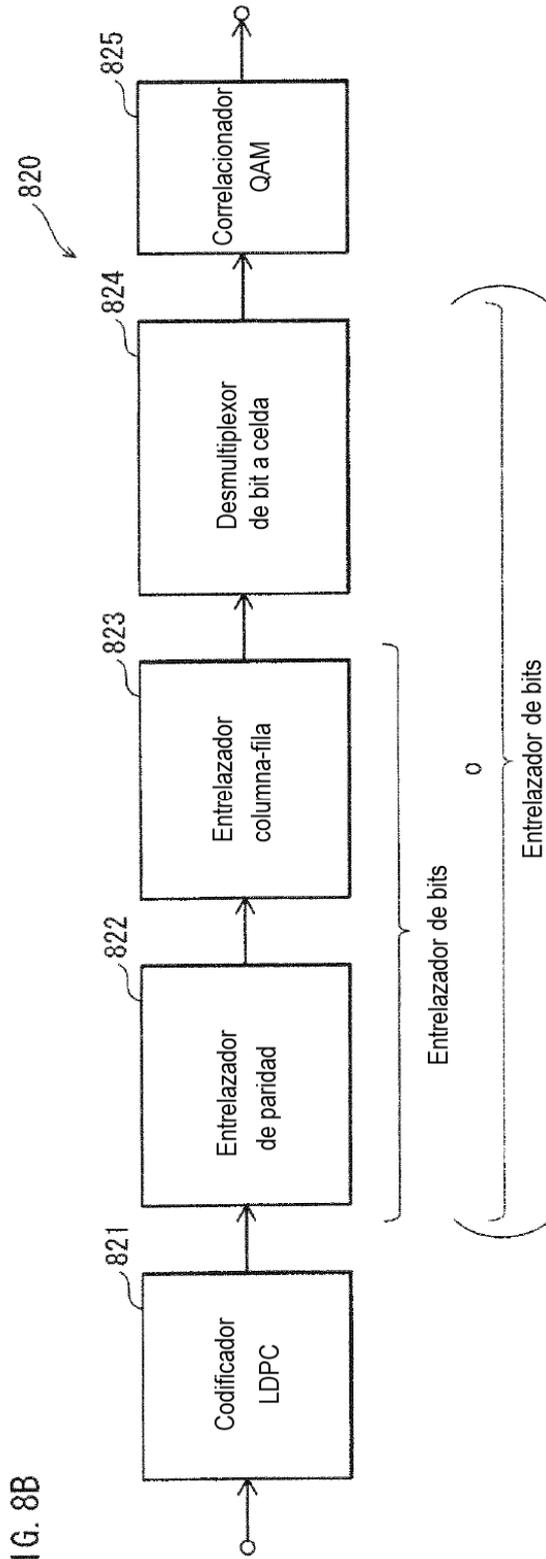


FIG. 8B

FIG. 9A

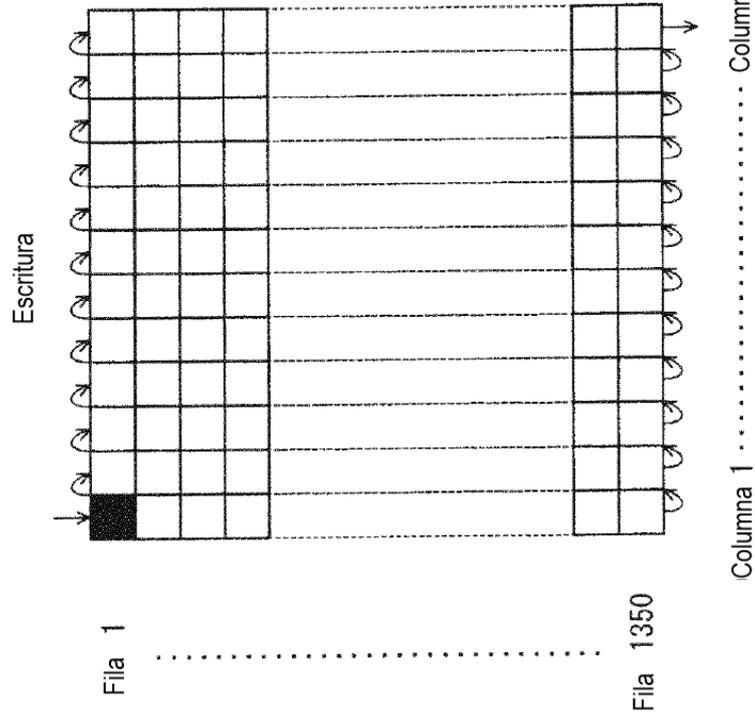


FIG. 9B

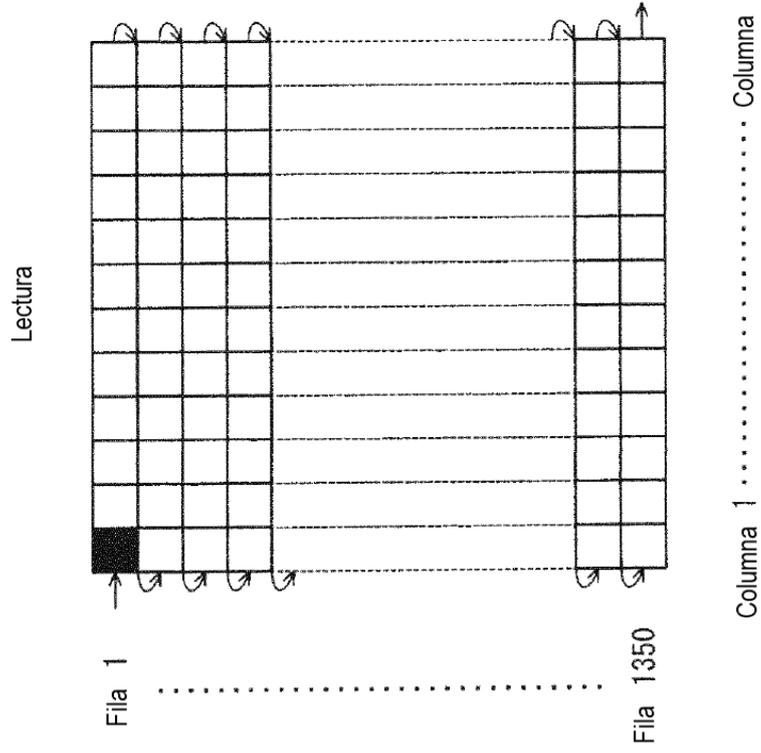


FIG. 10B

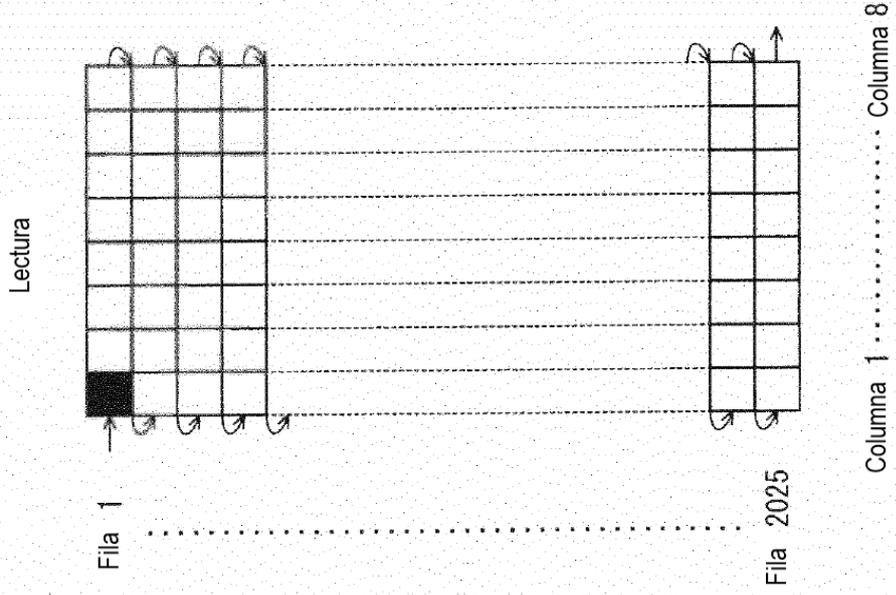


FIG. 10A

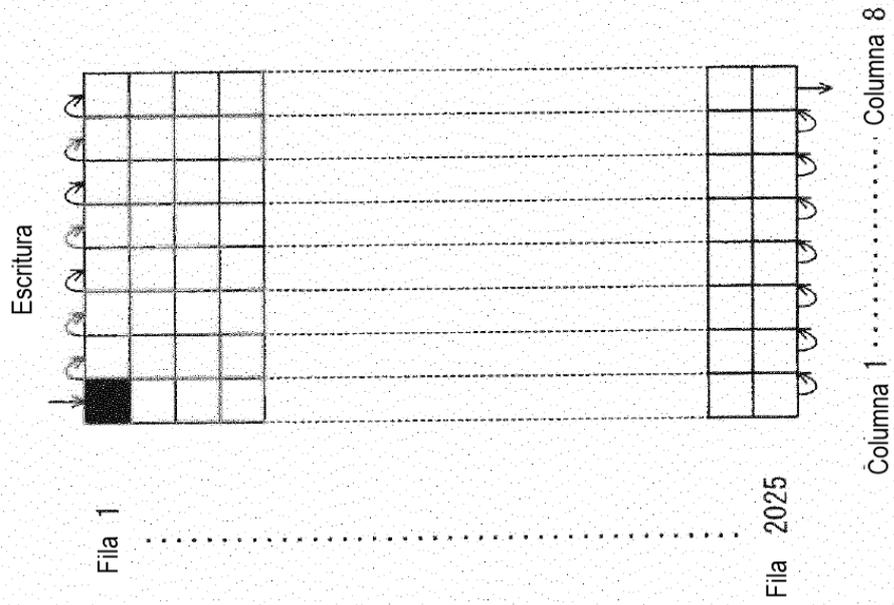


FIG. 11

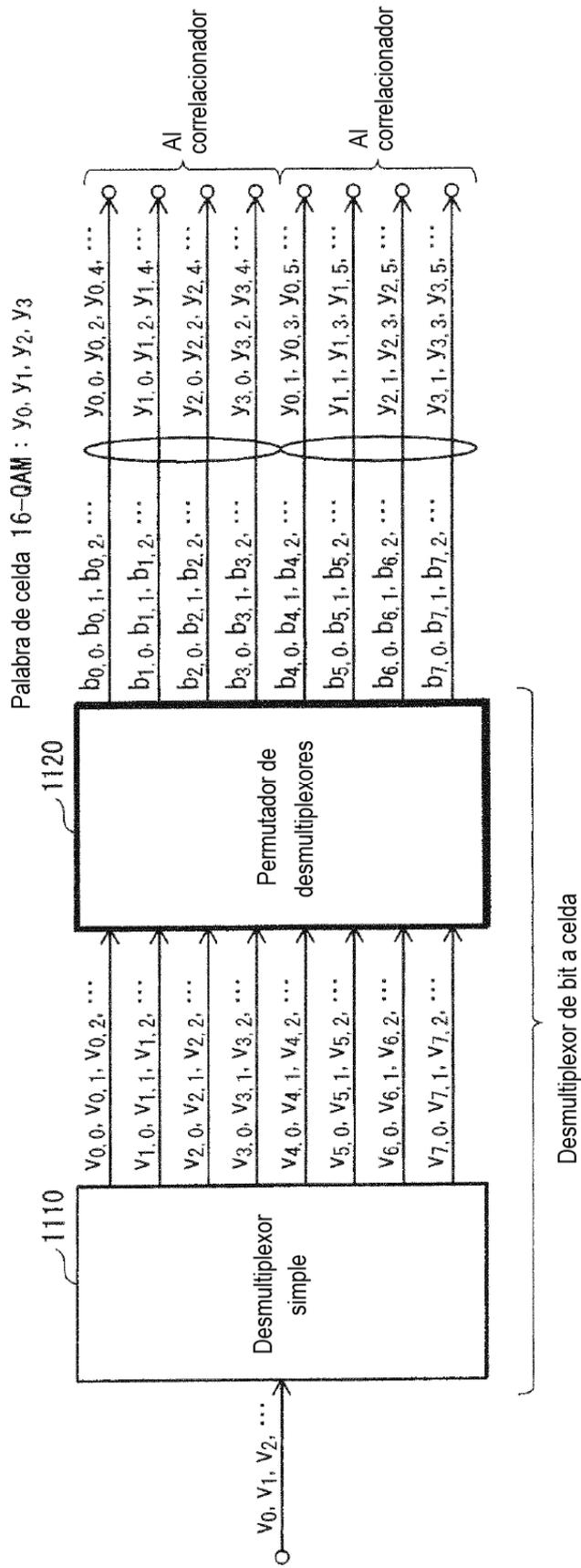


FIG. 12

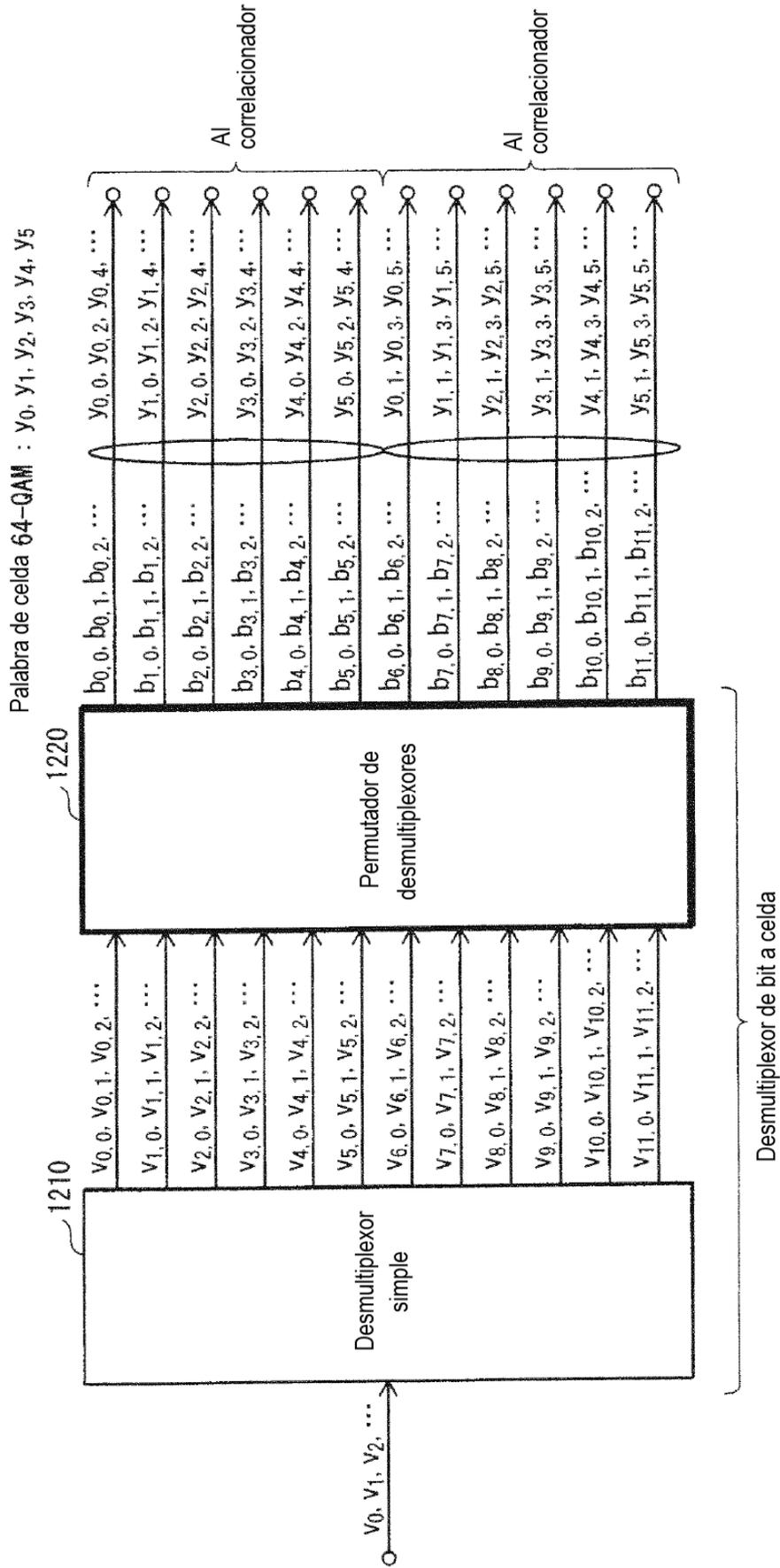
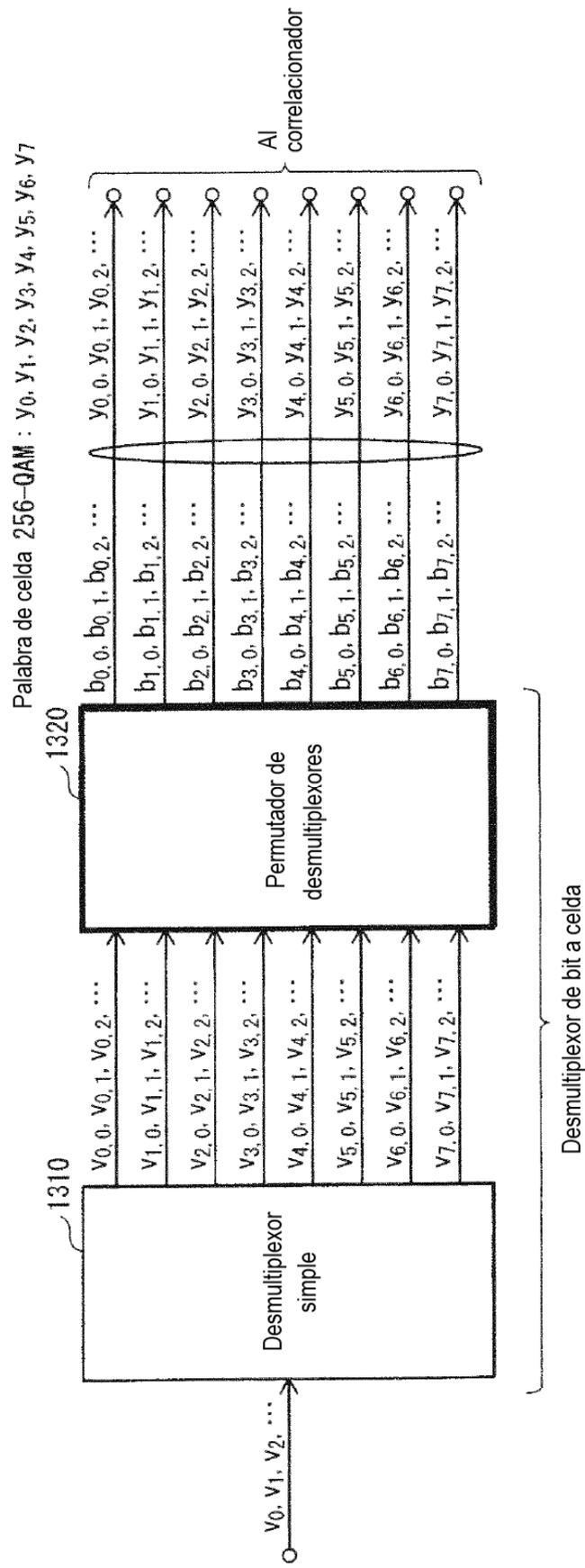
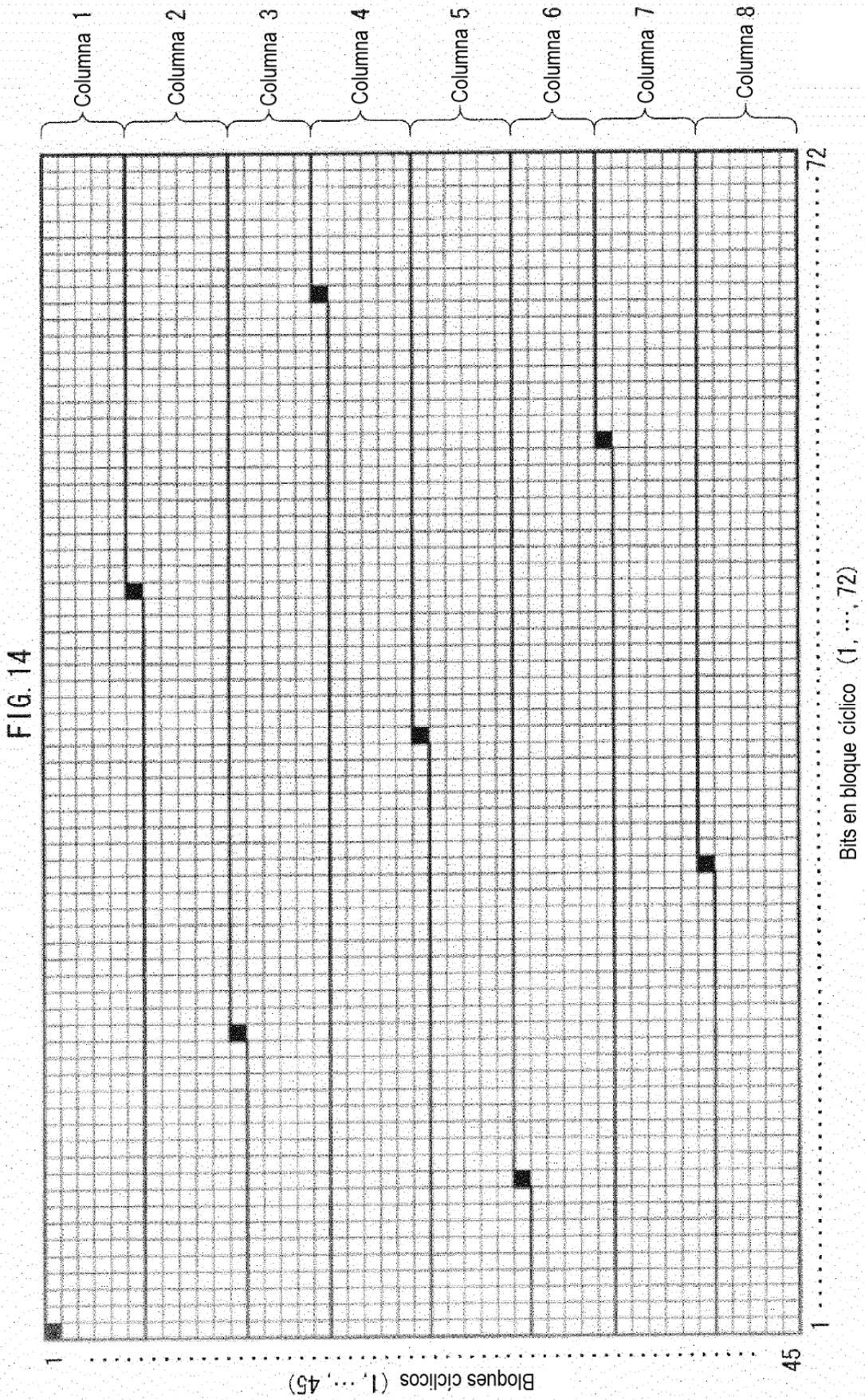
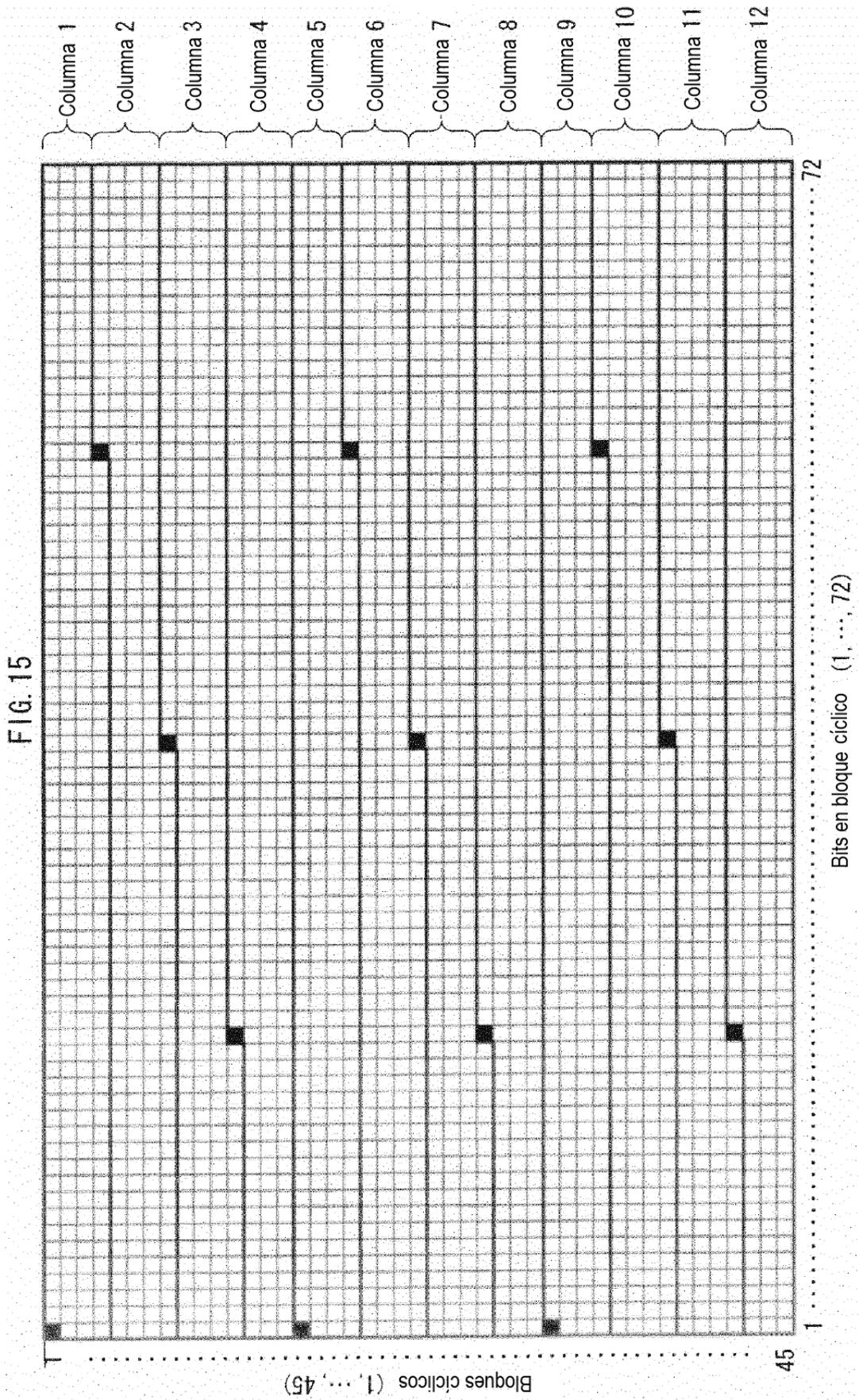
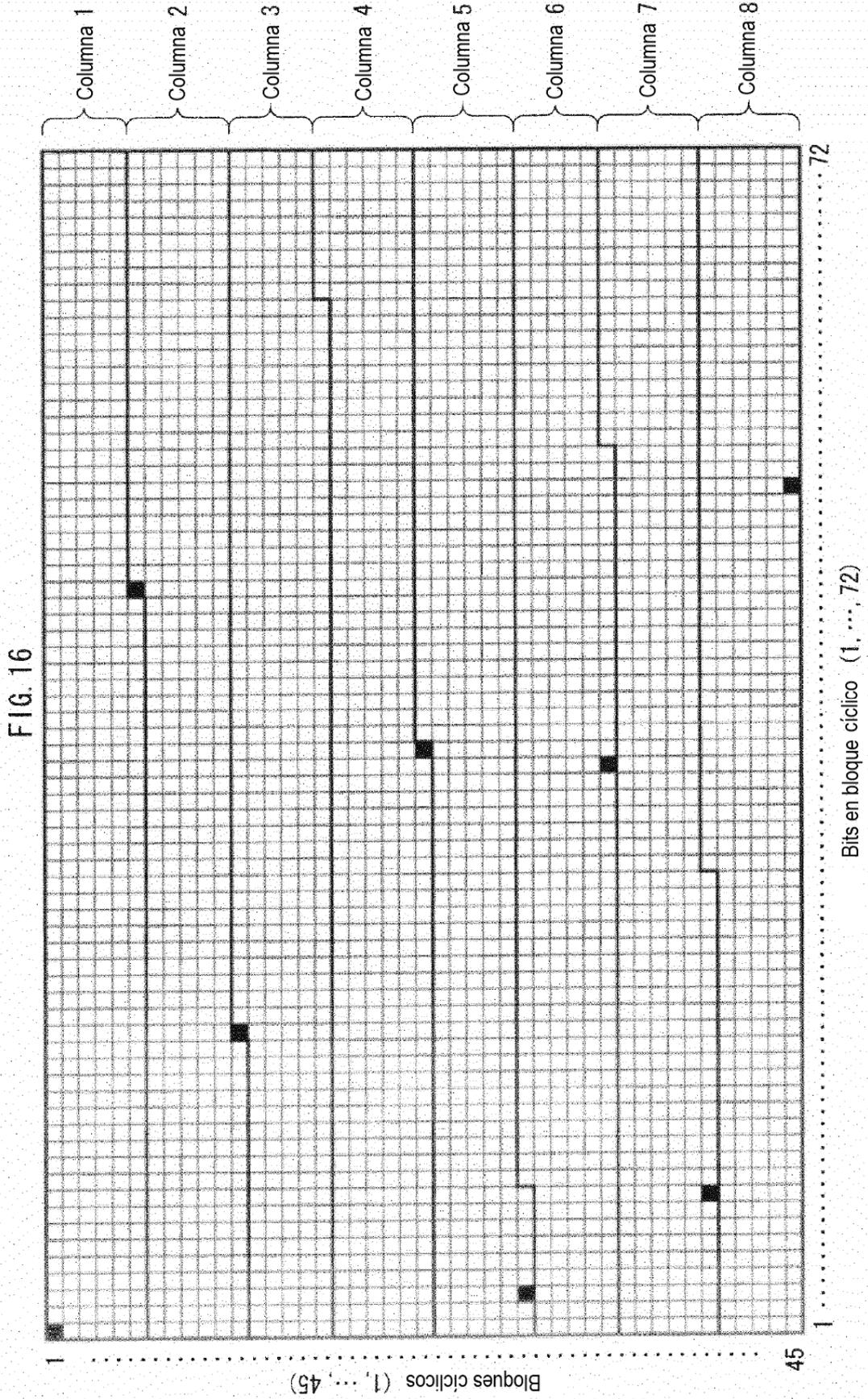


FIG. 13









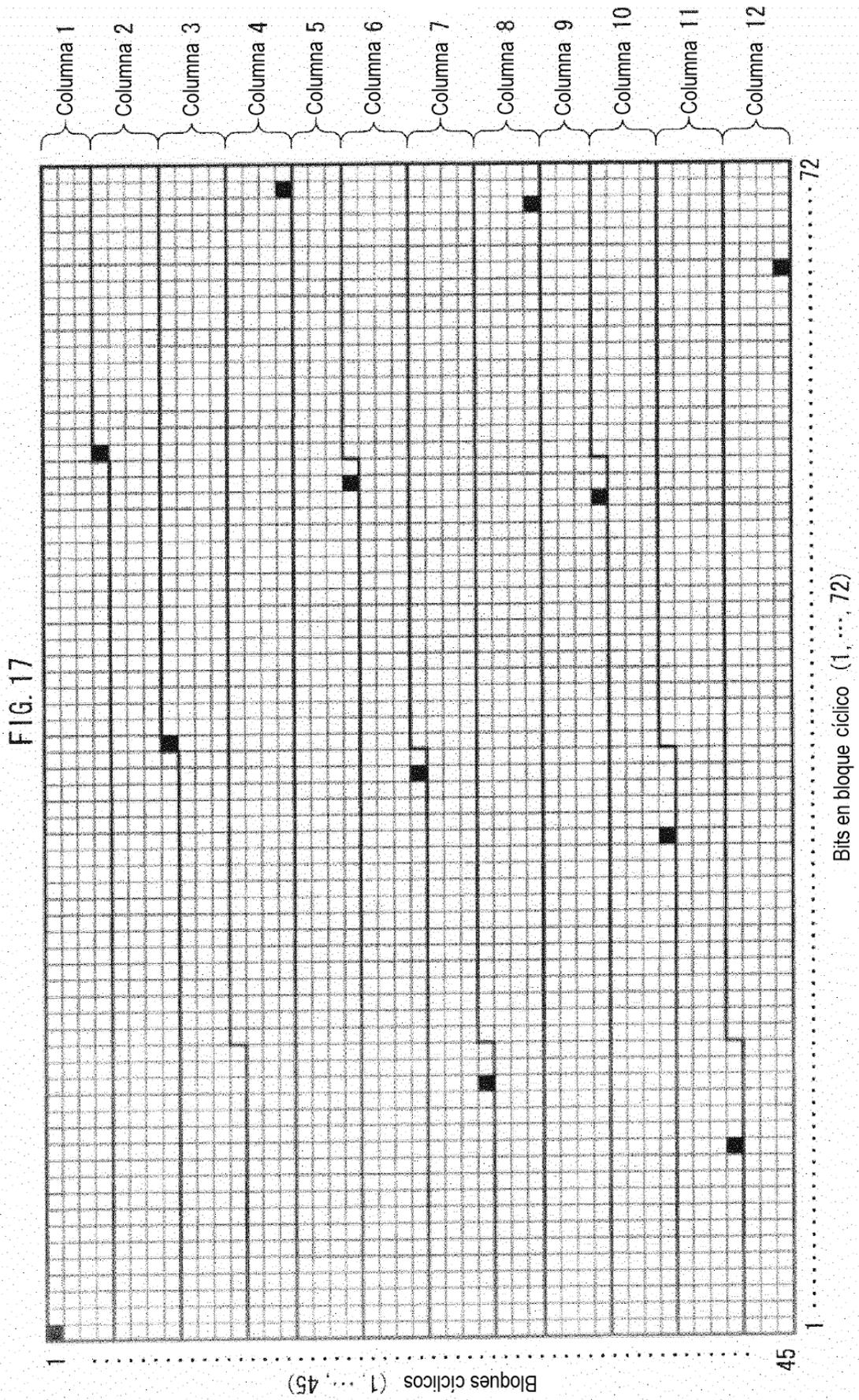


FIG. 18A

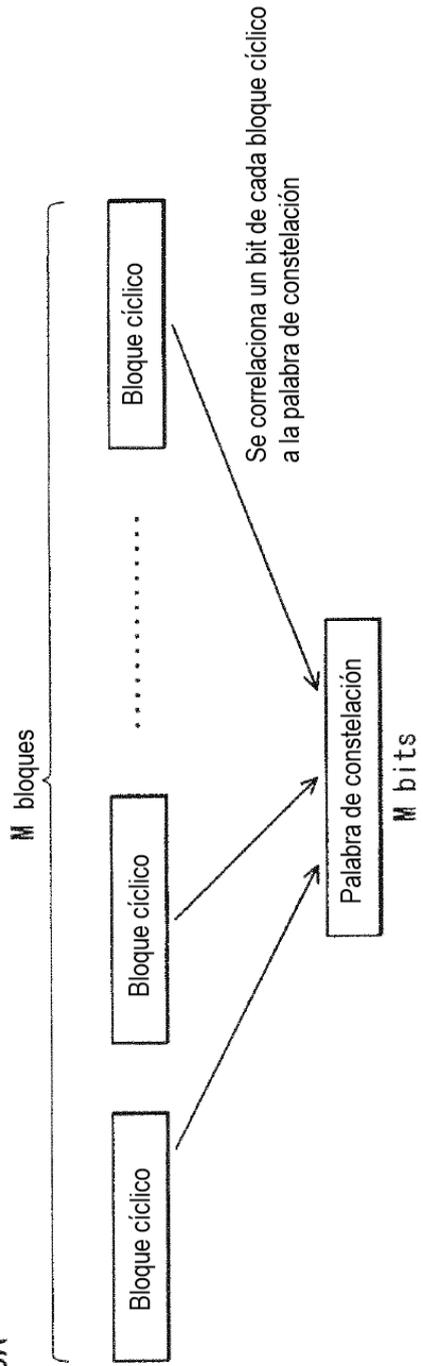


FIG. 18B

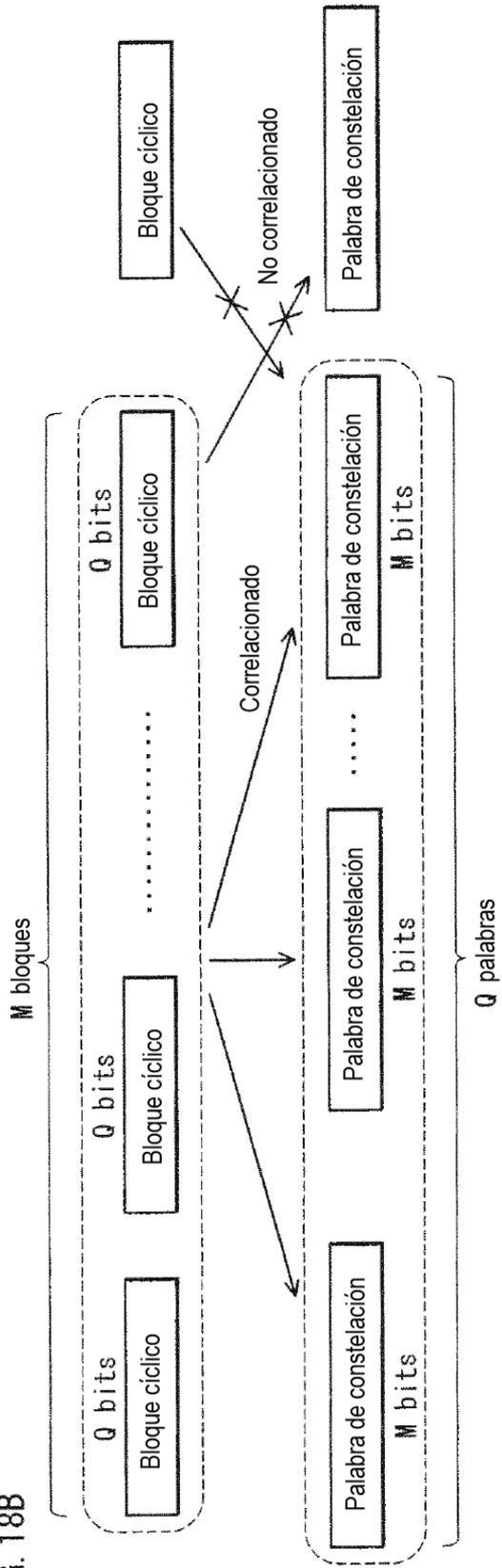


FIG. 19

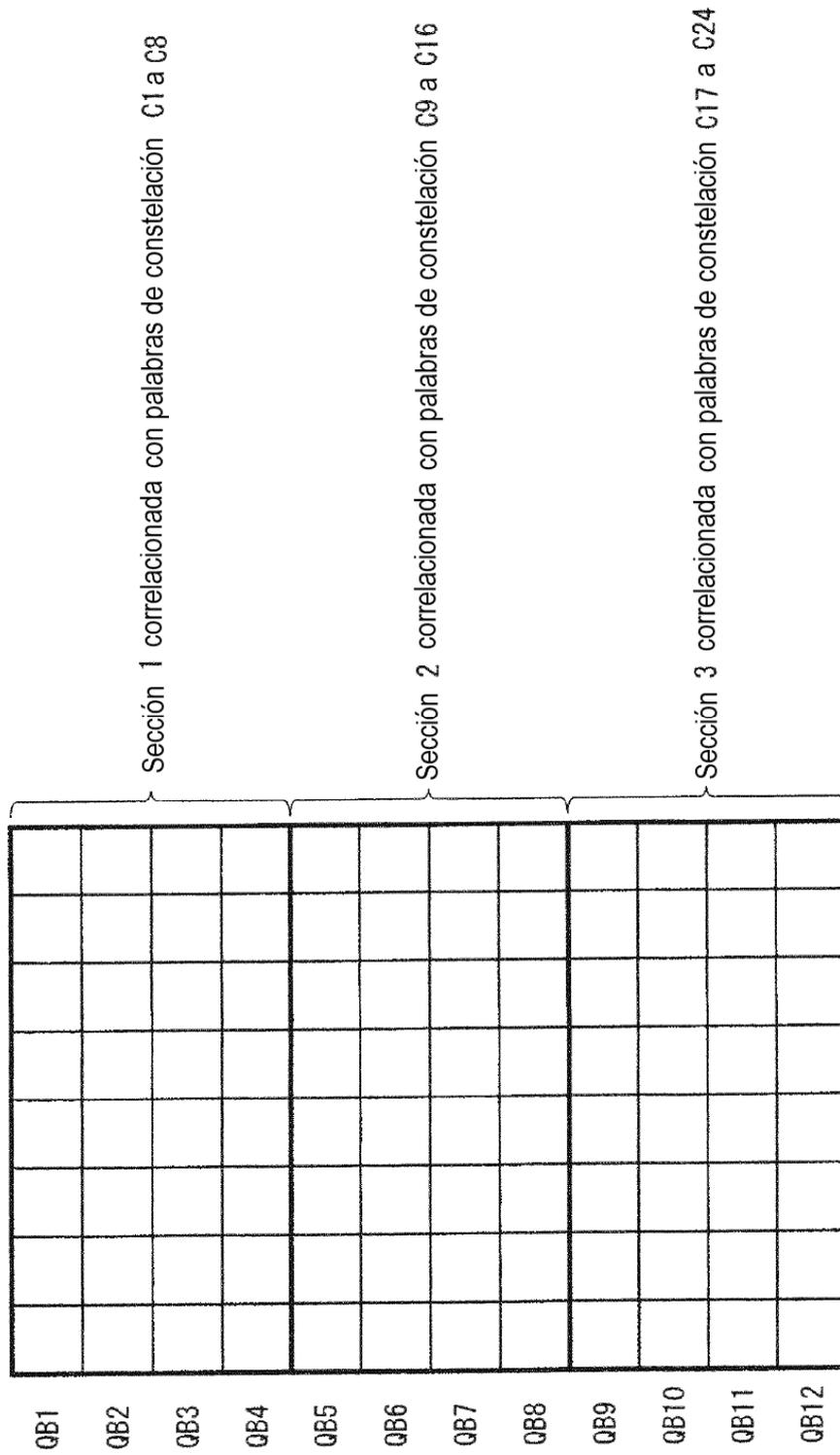


FIG. 20

2000

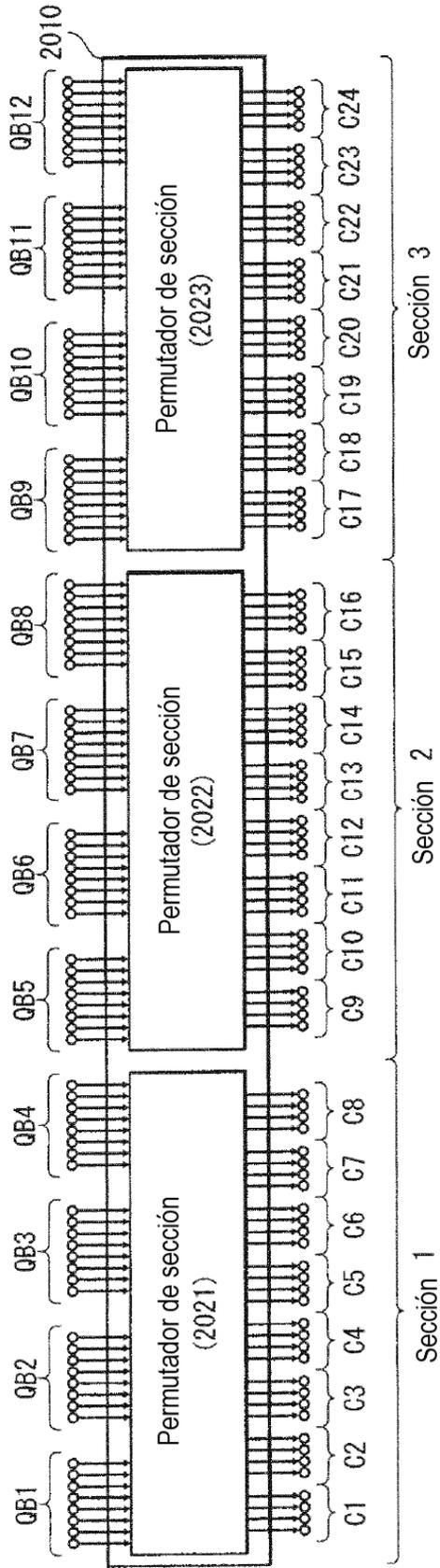


FIG. 21B

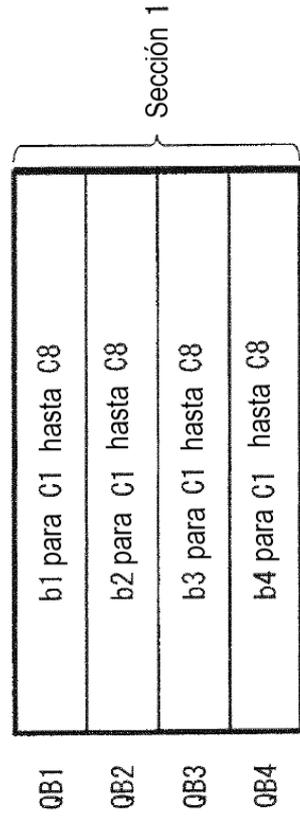


FIG. 21A

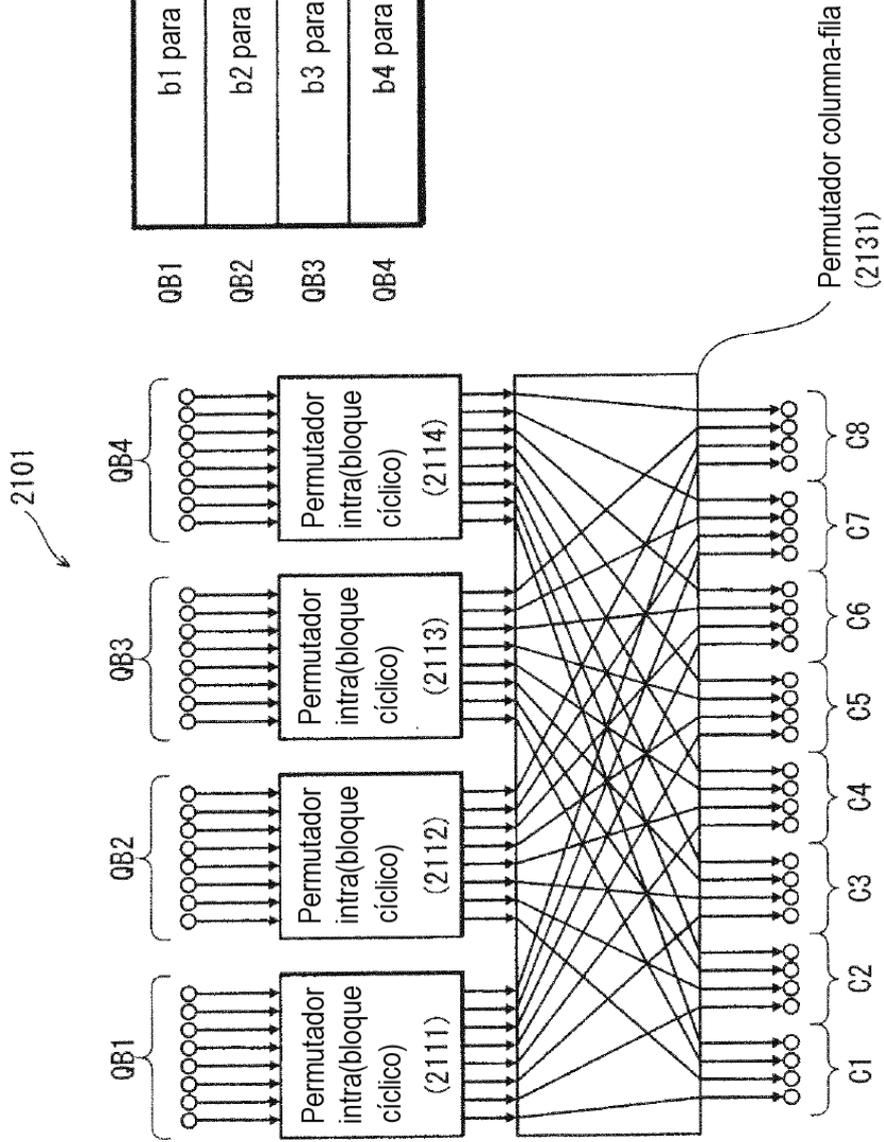


FIG. 22A

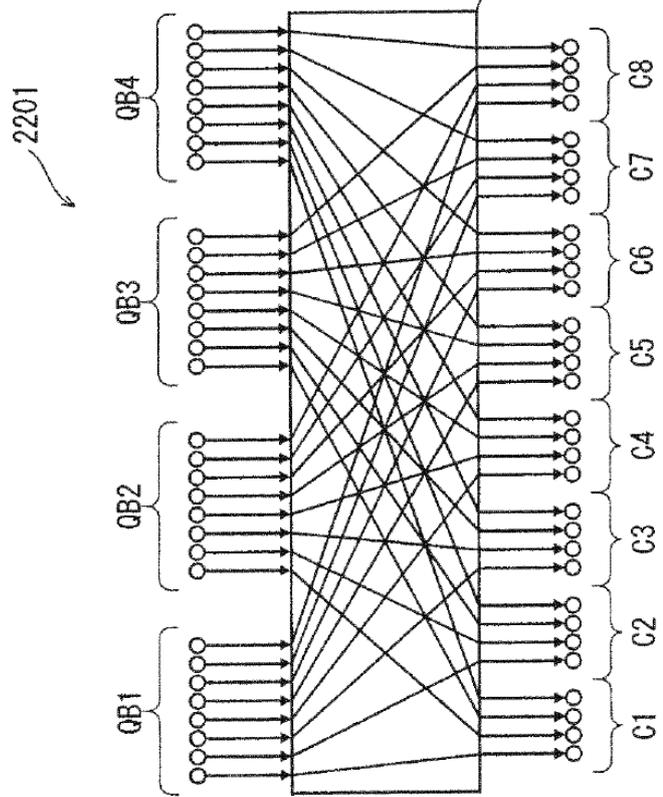


FIG. 22B

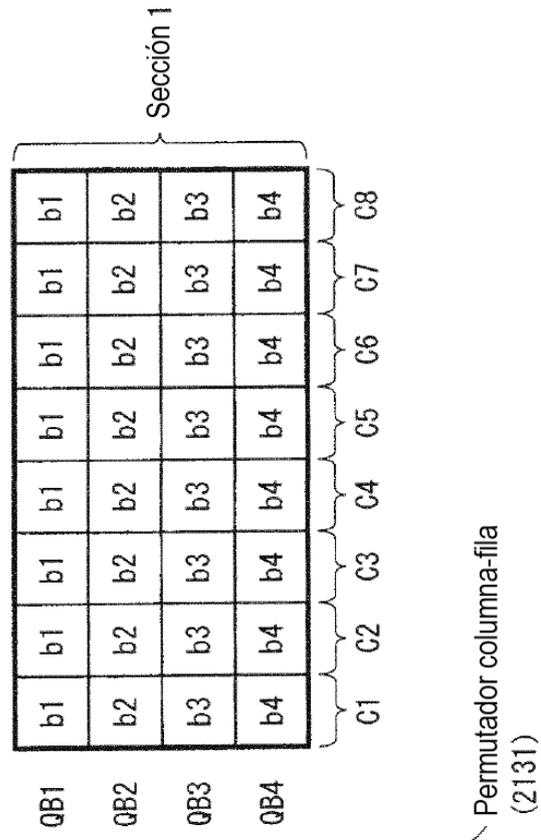


FIG. 23

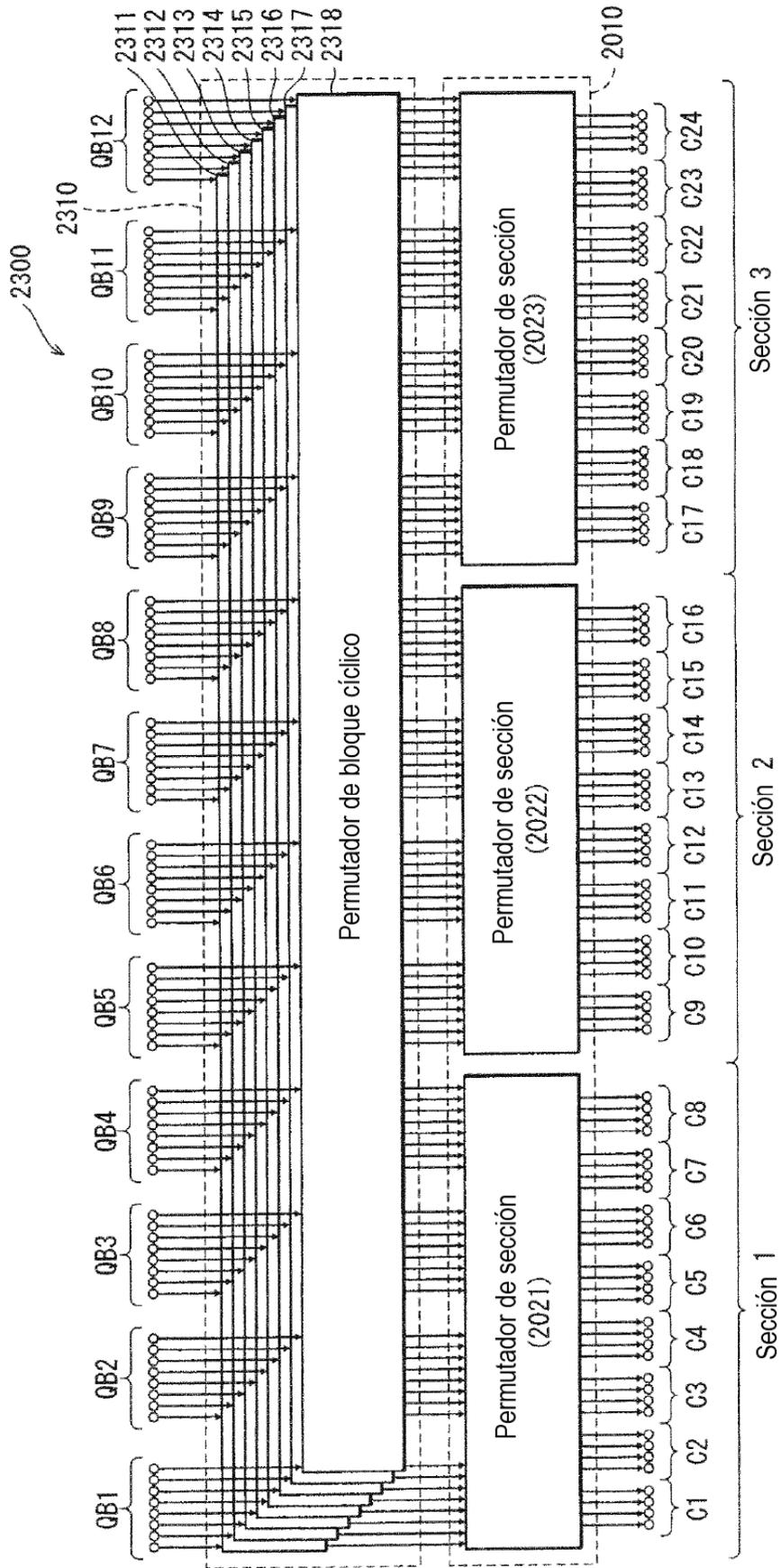


FIG. 24

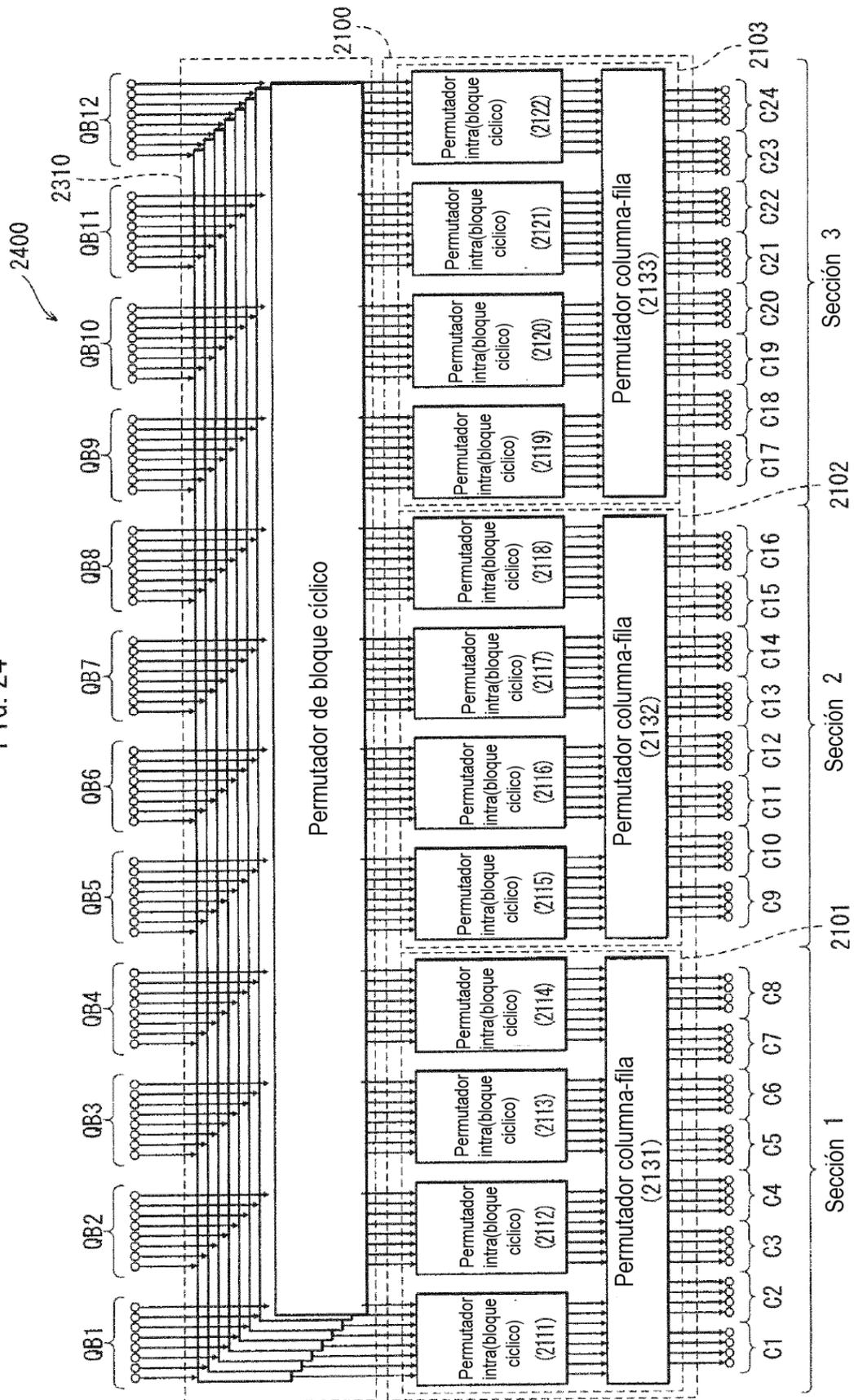
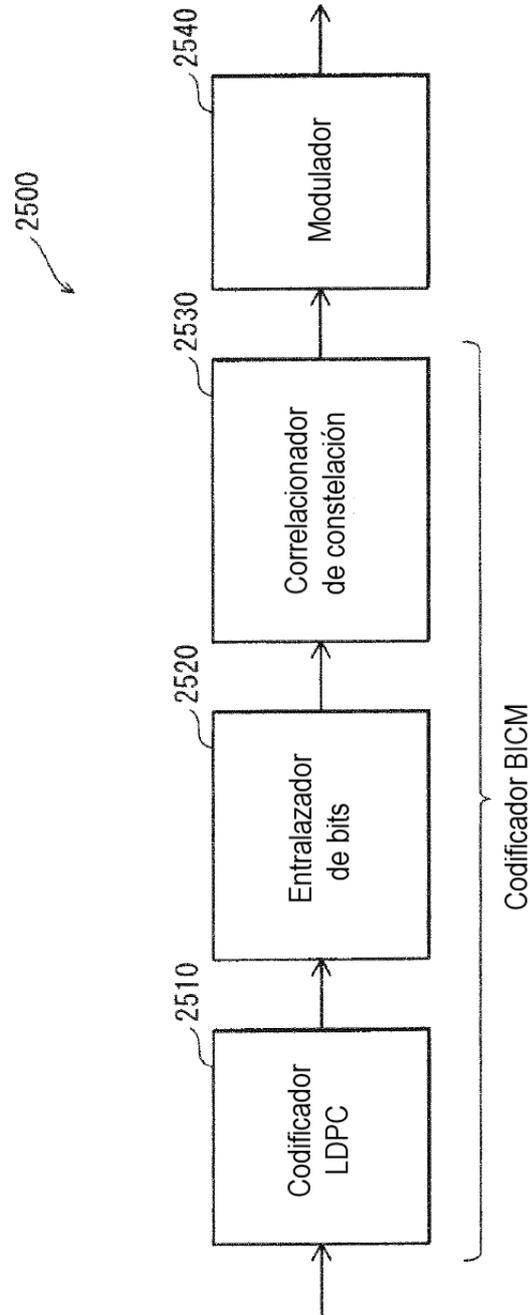


FIG. 25



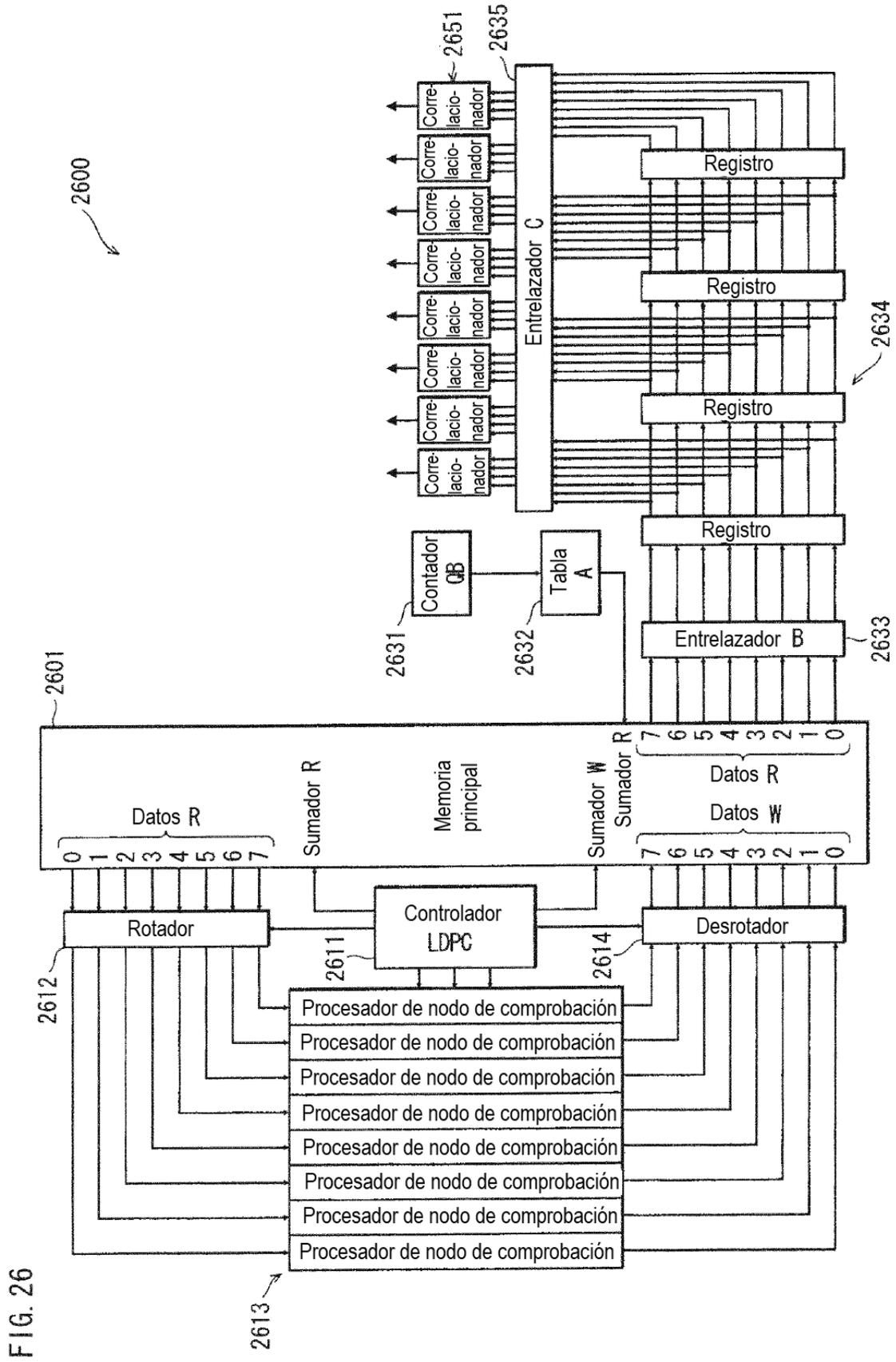


FIG. 26

FIG. 27

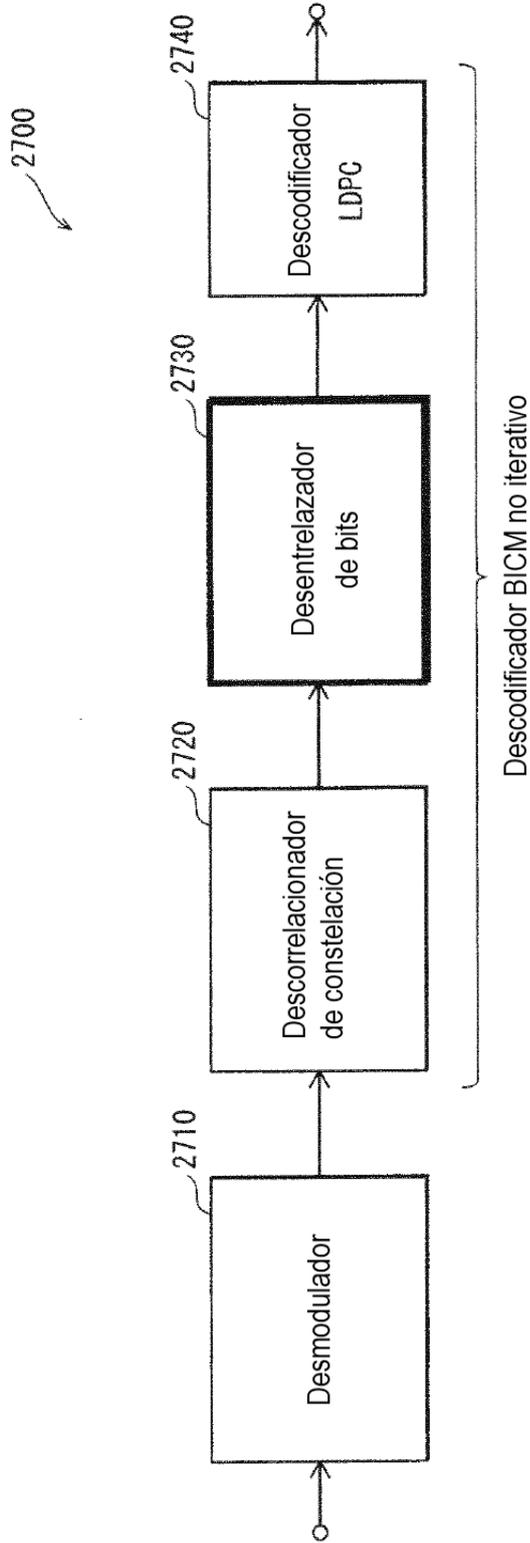
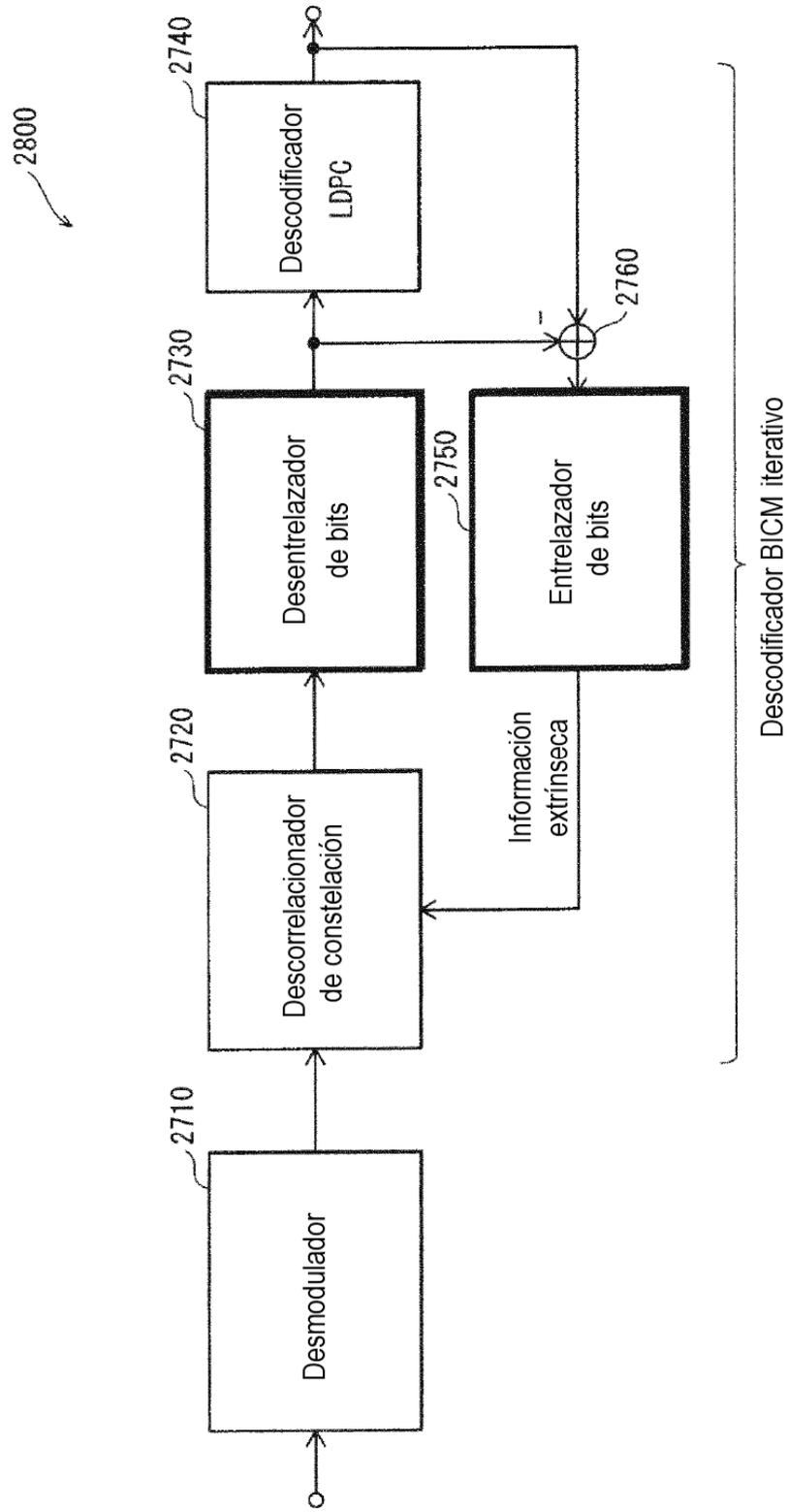


FIG. 28



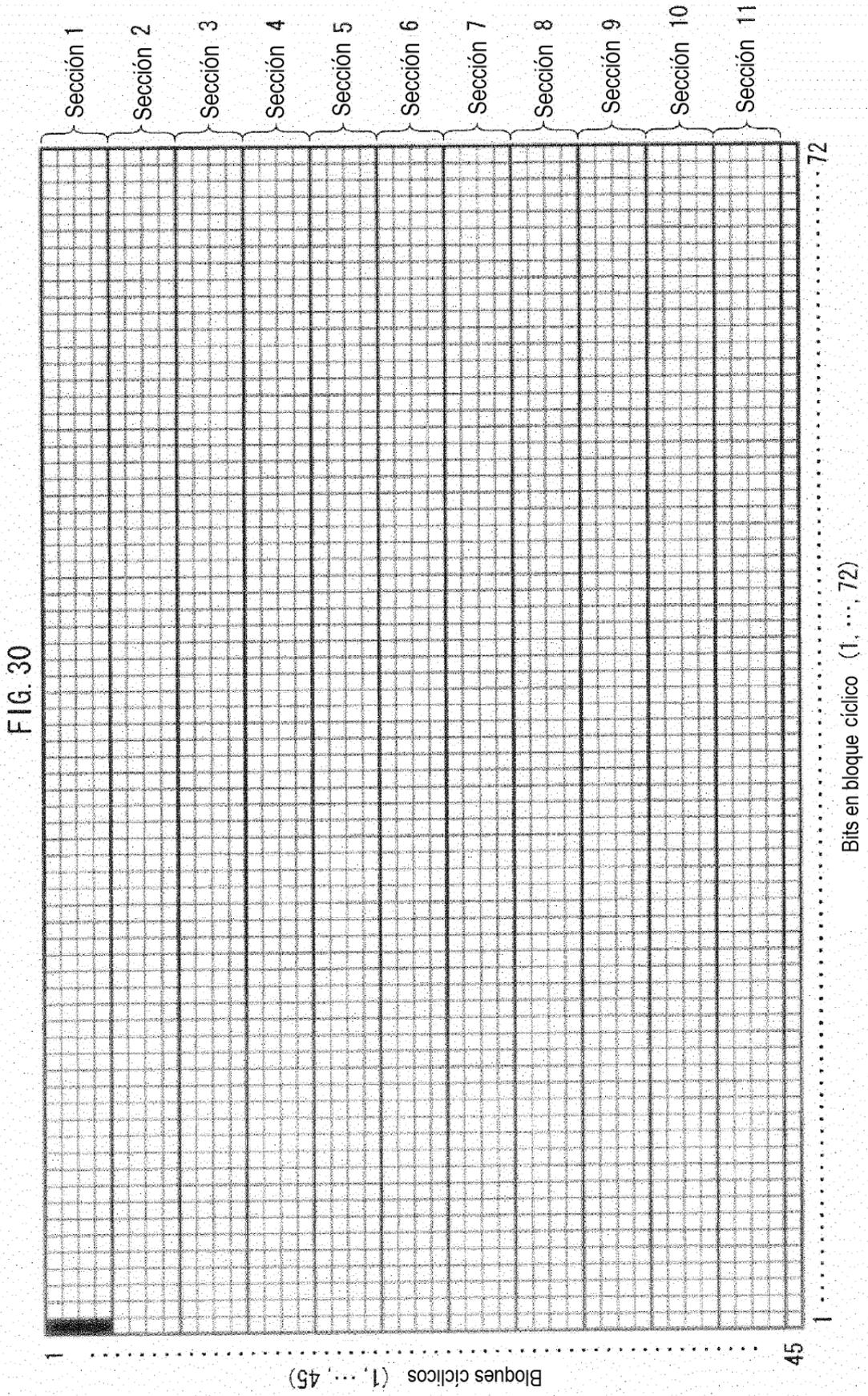


FIG. 31A

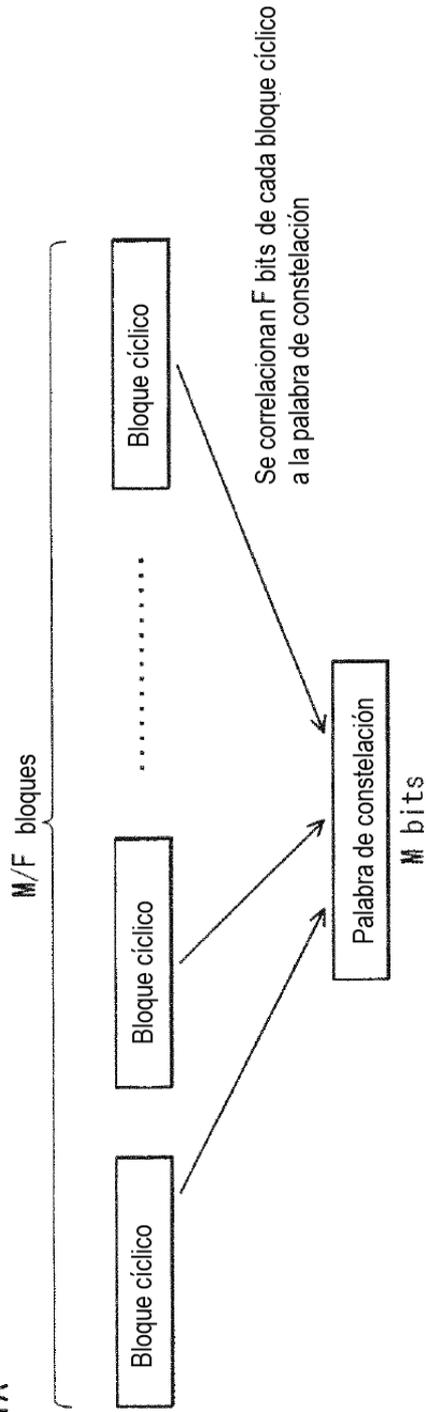


FIG. 31B

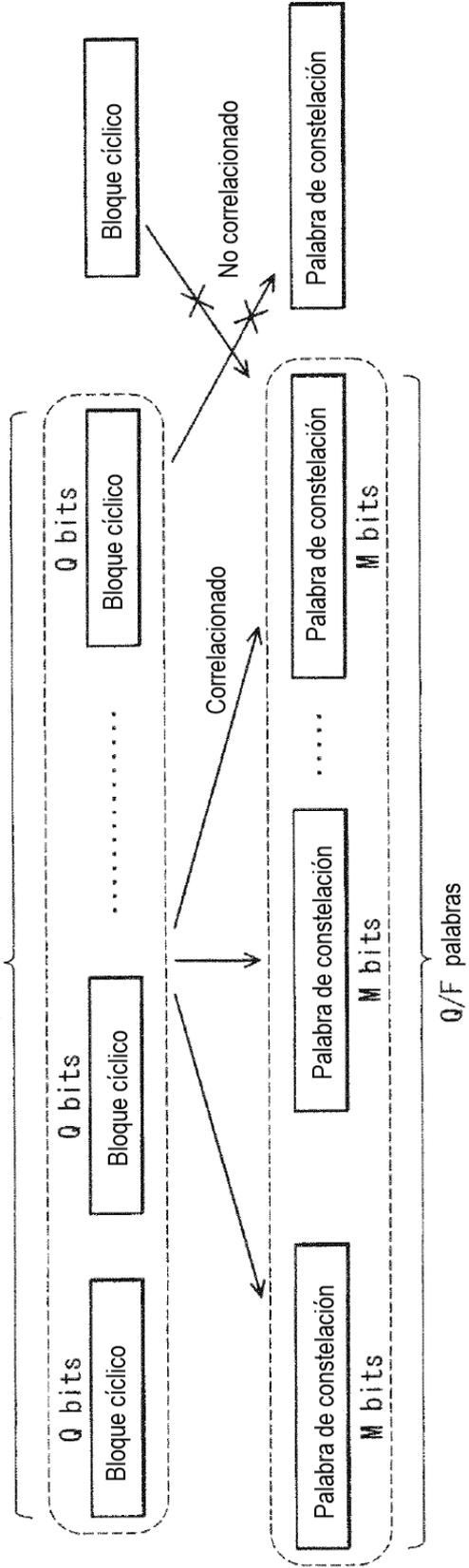


FIG. 32

2000A

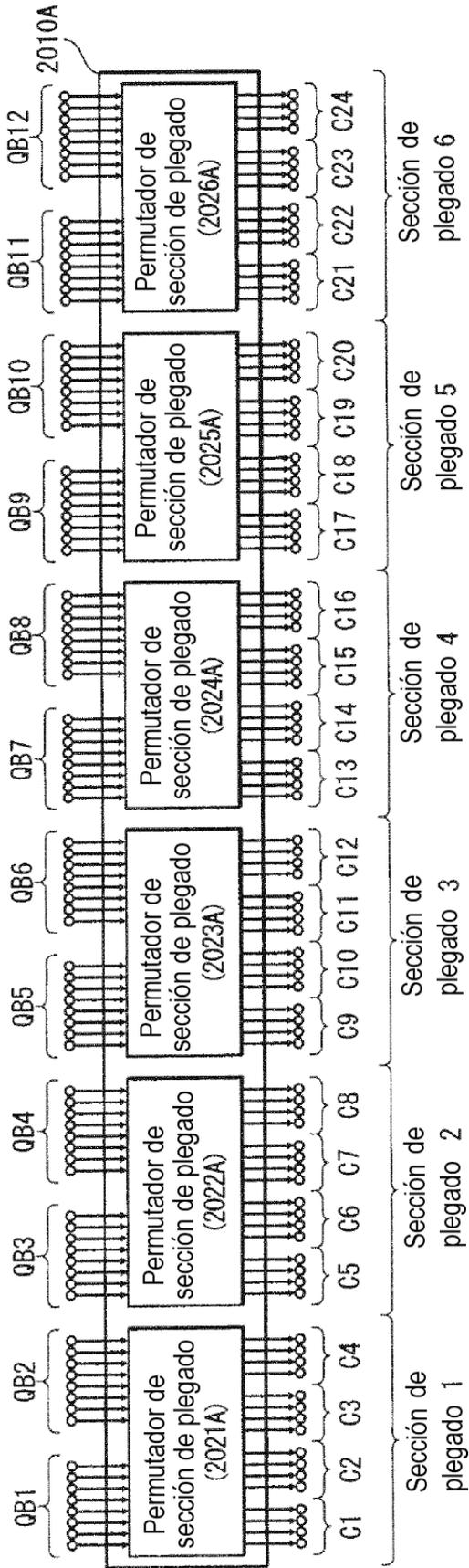


FIG. 33A

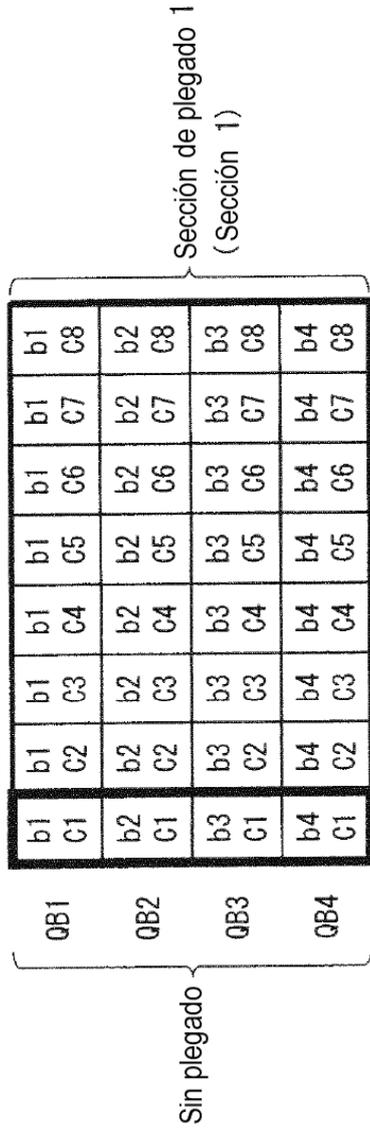


FIG. 33B

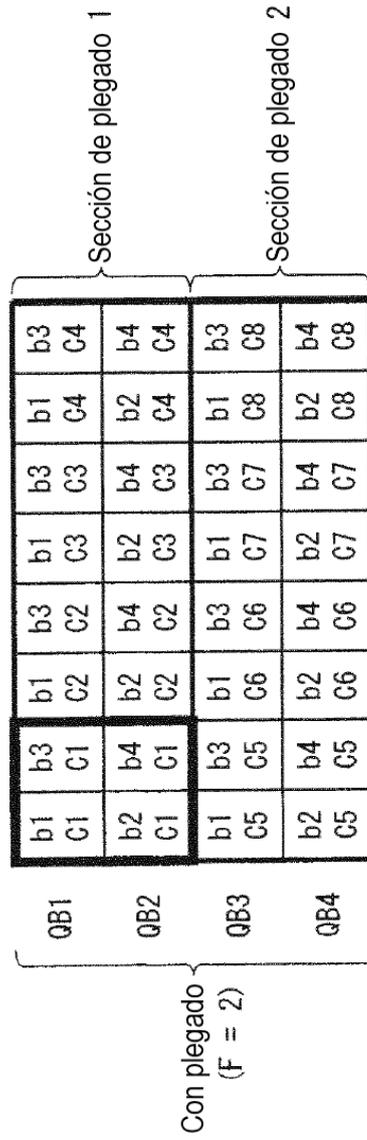


FIG. 34A

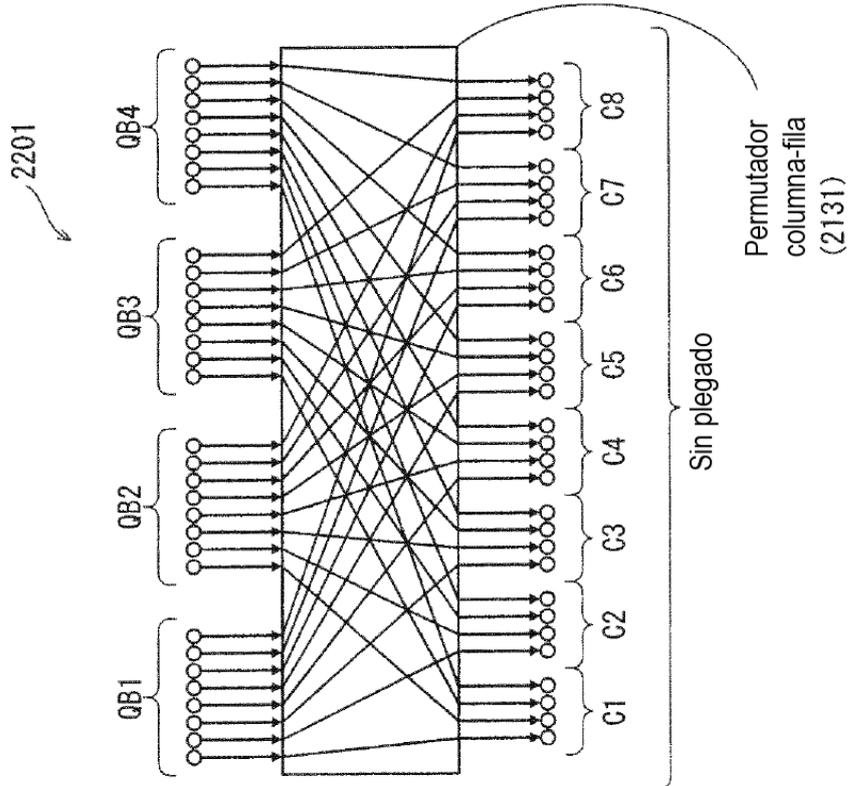


FIG. 34B

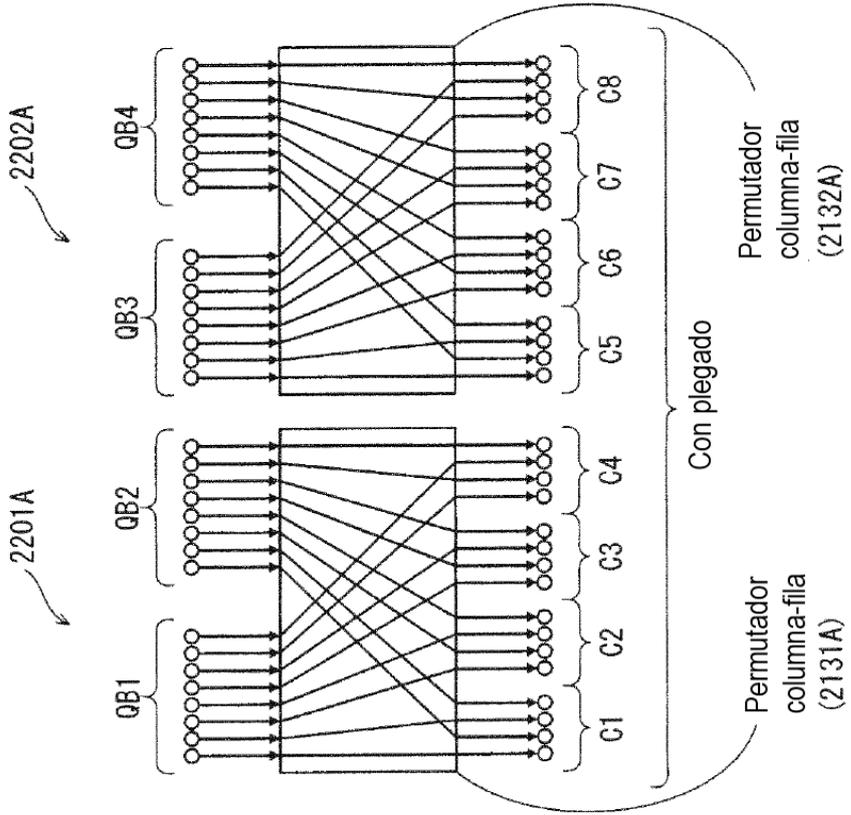


FIG. 35

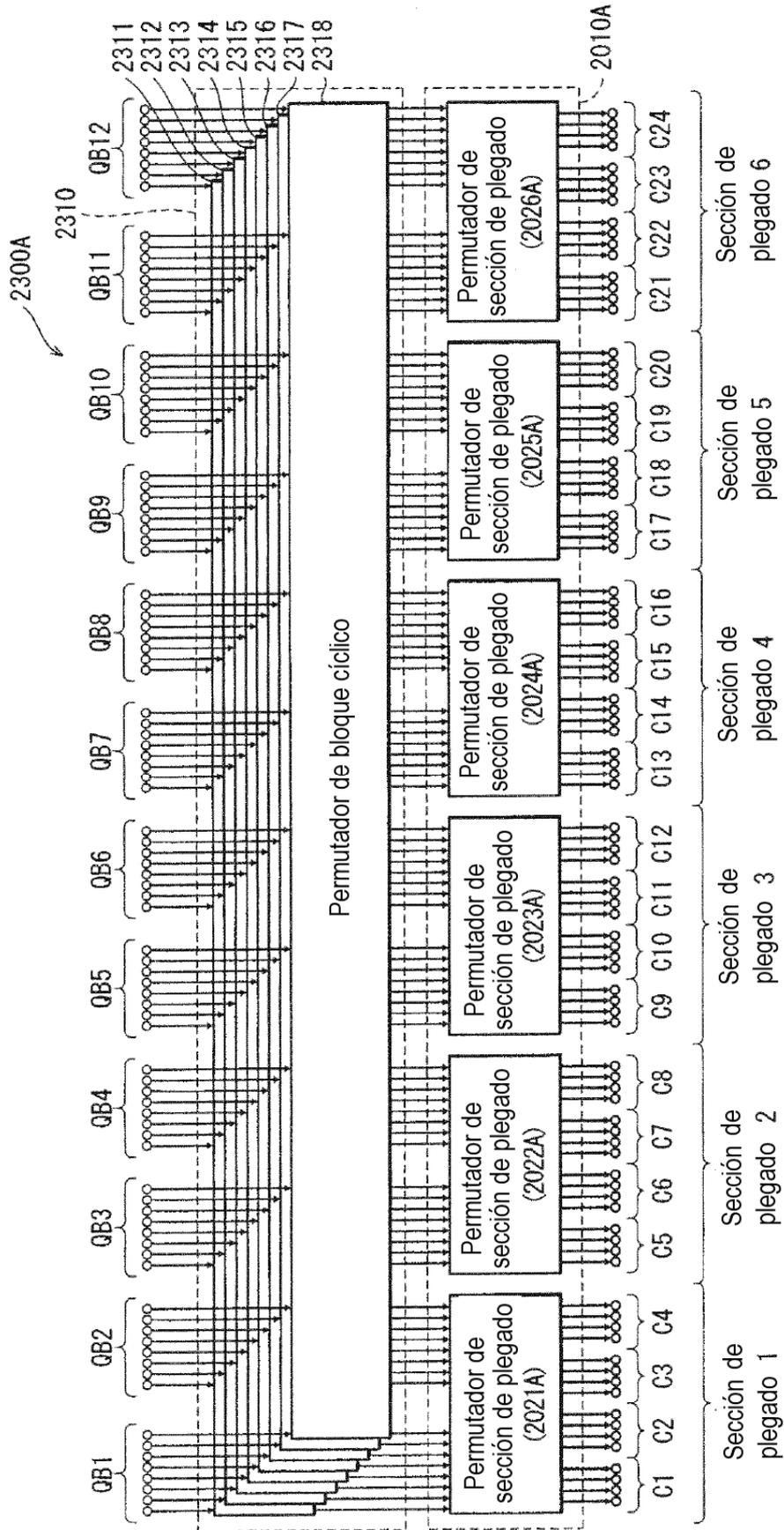


FIG. 36

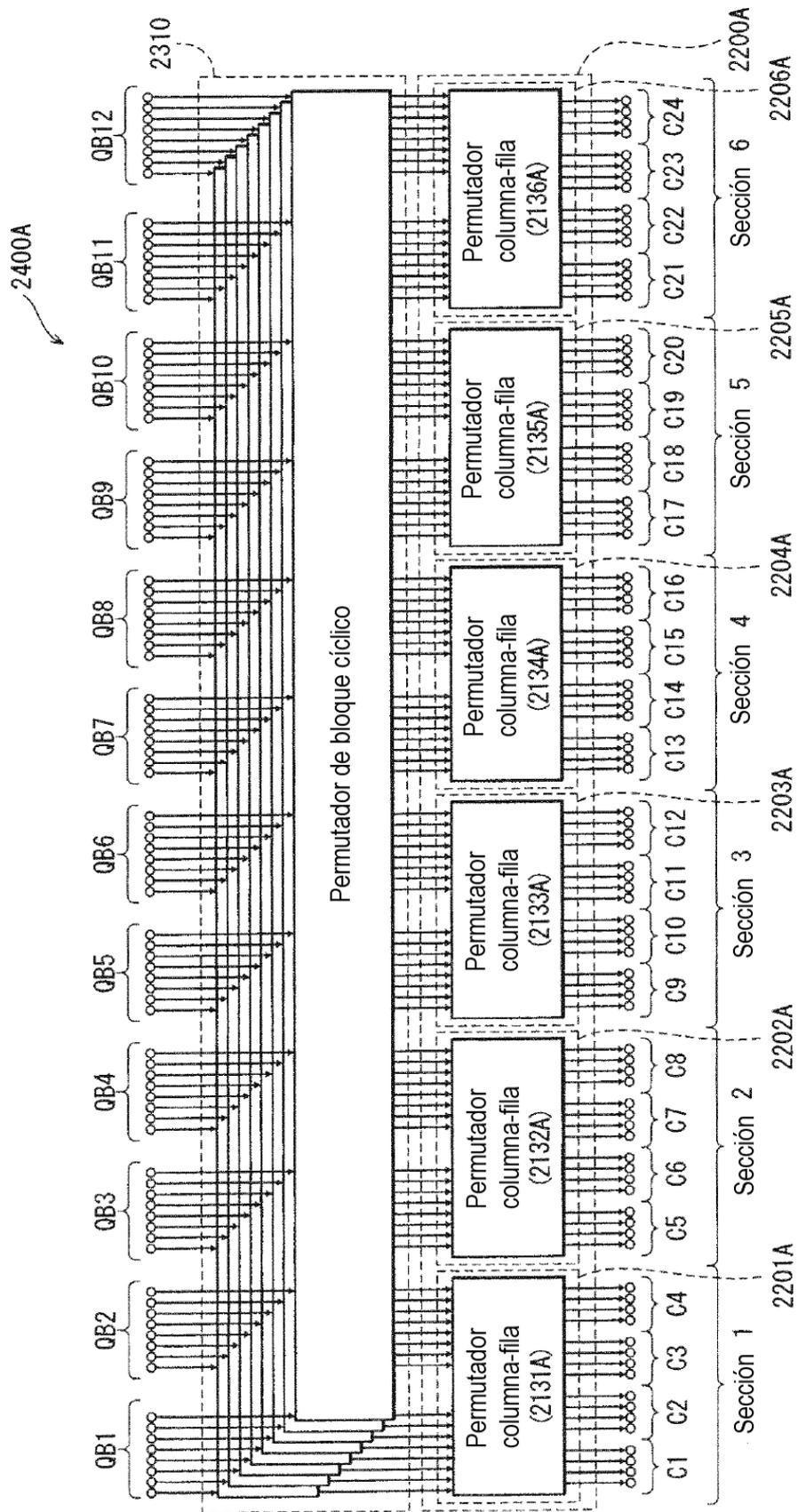


FIG. 37

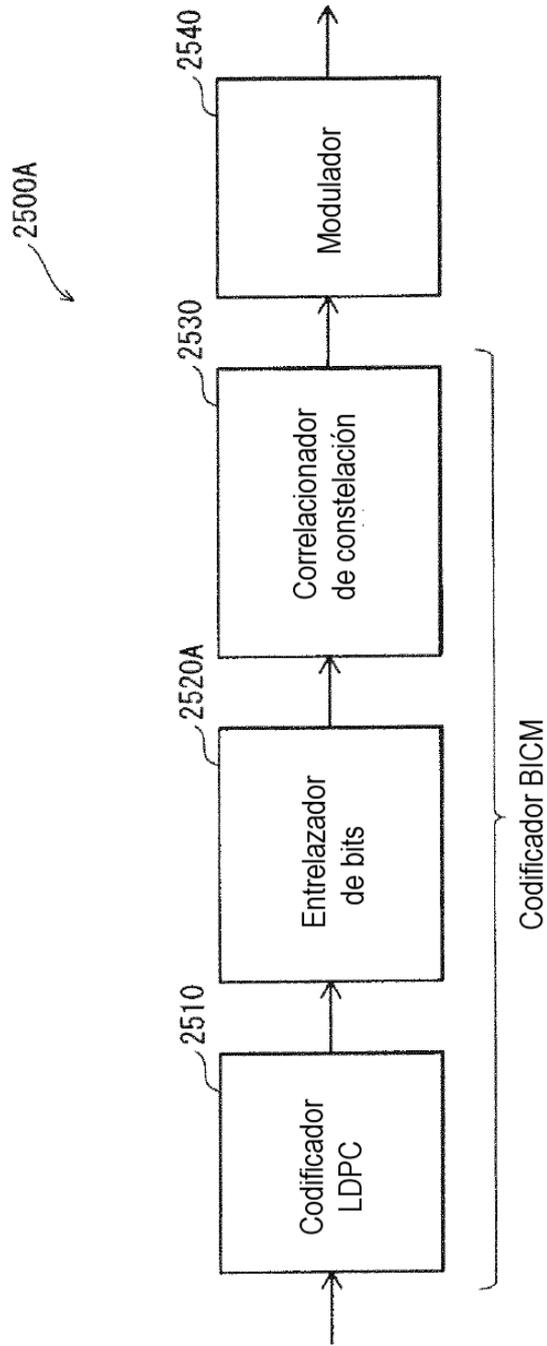


FIG. 38

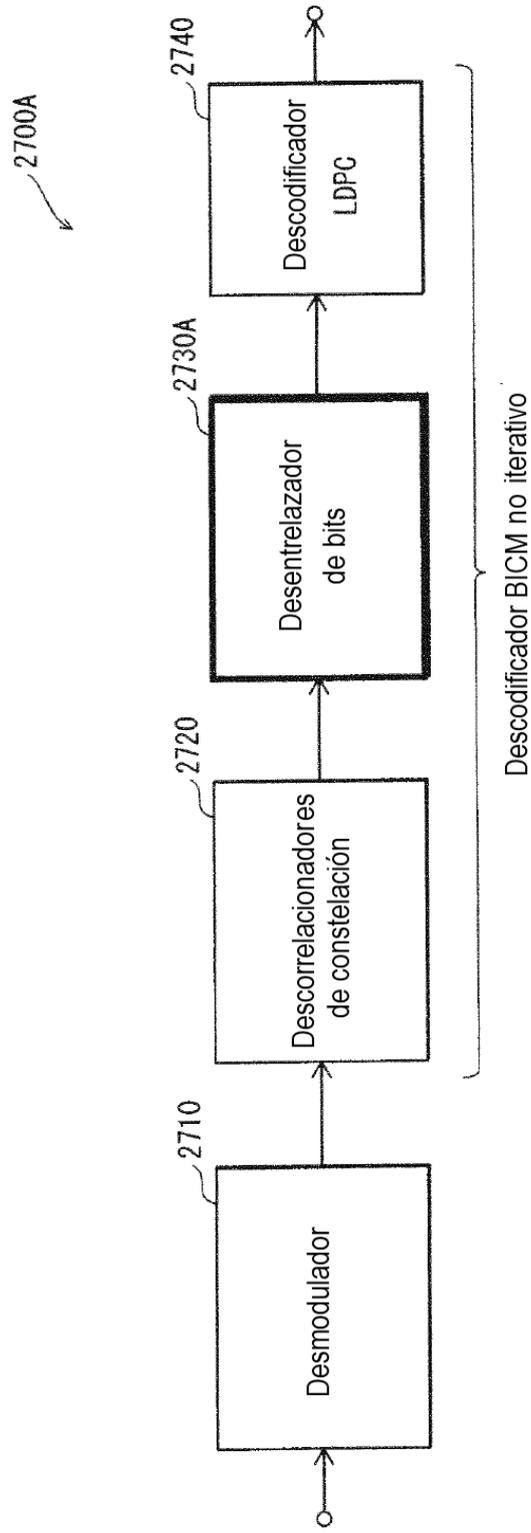


FIG. 39

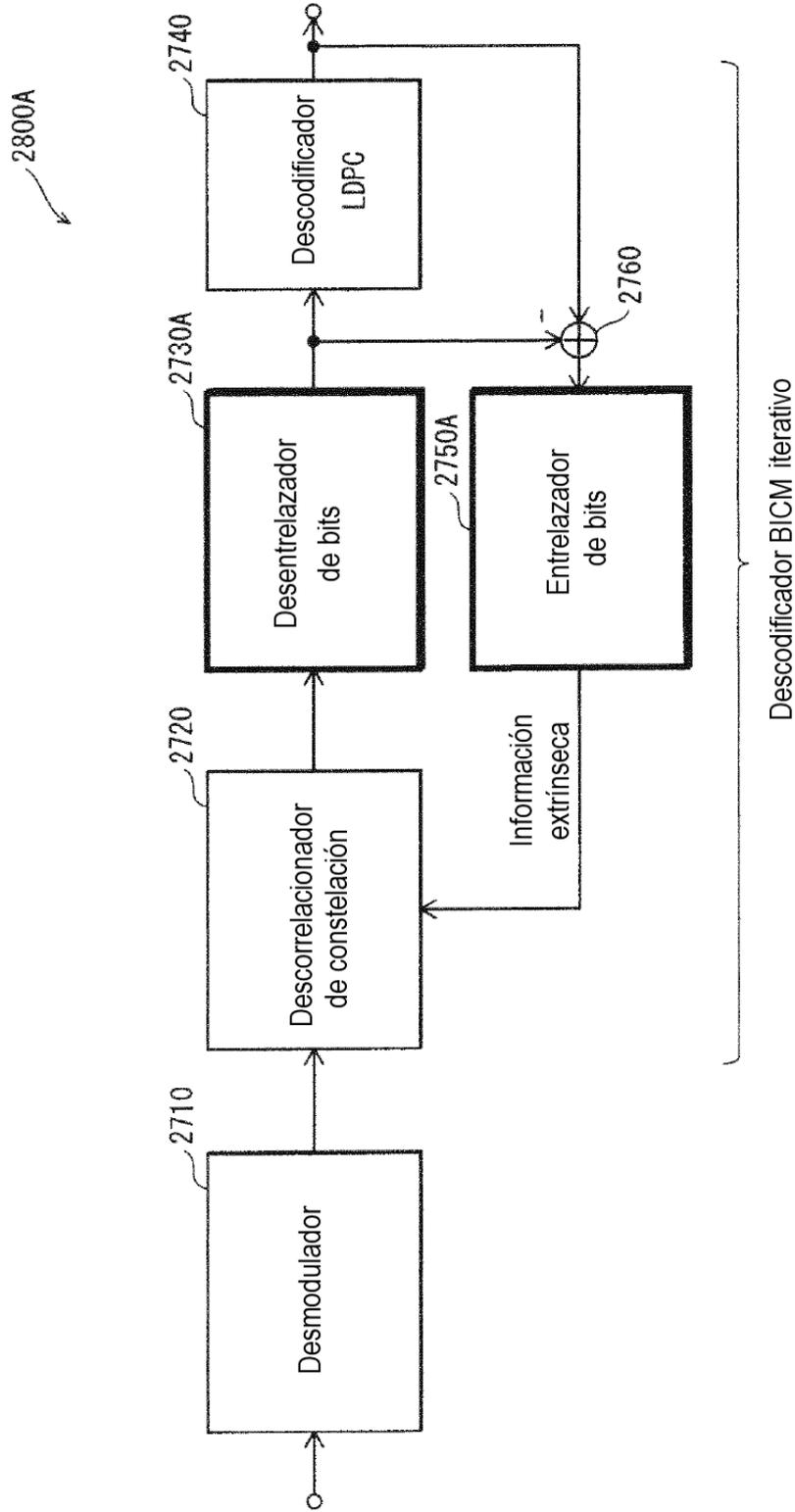


FIG. 40

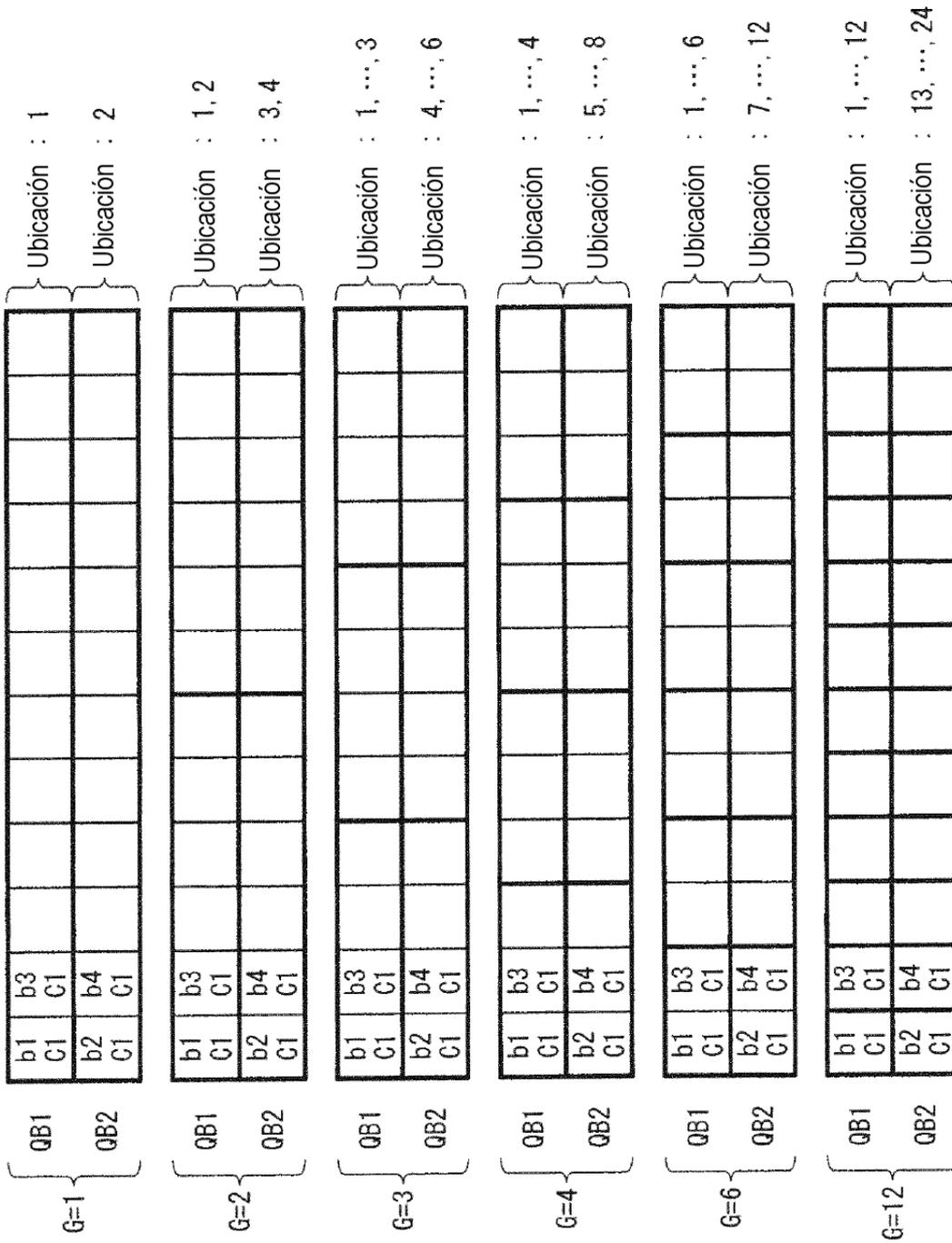


FIG. 41

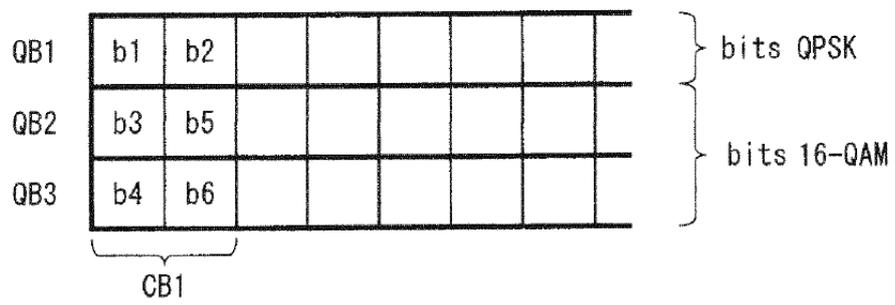


FIG. 42

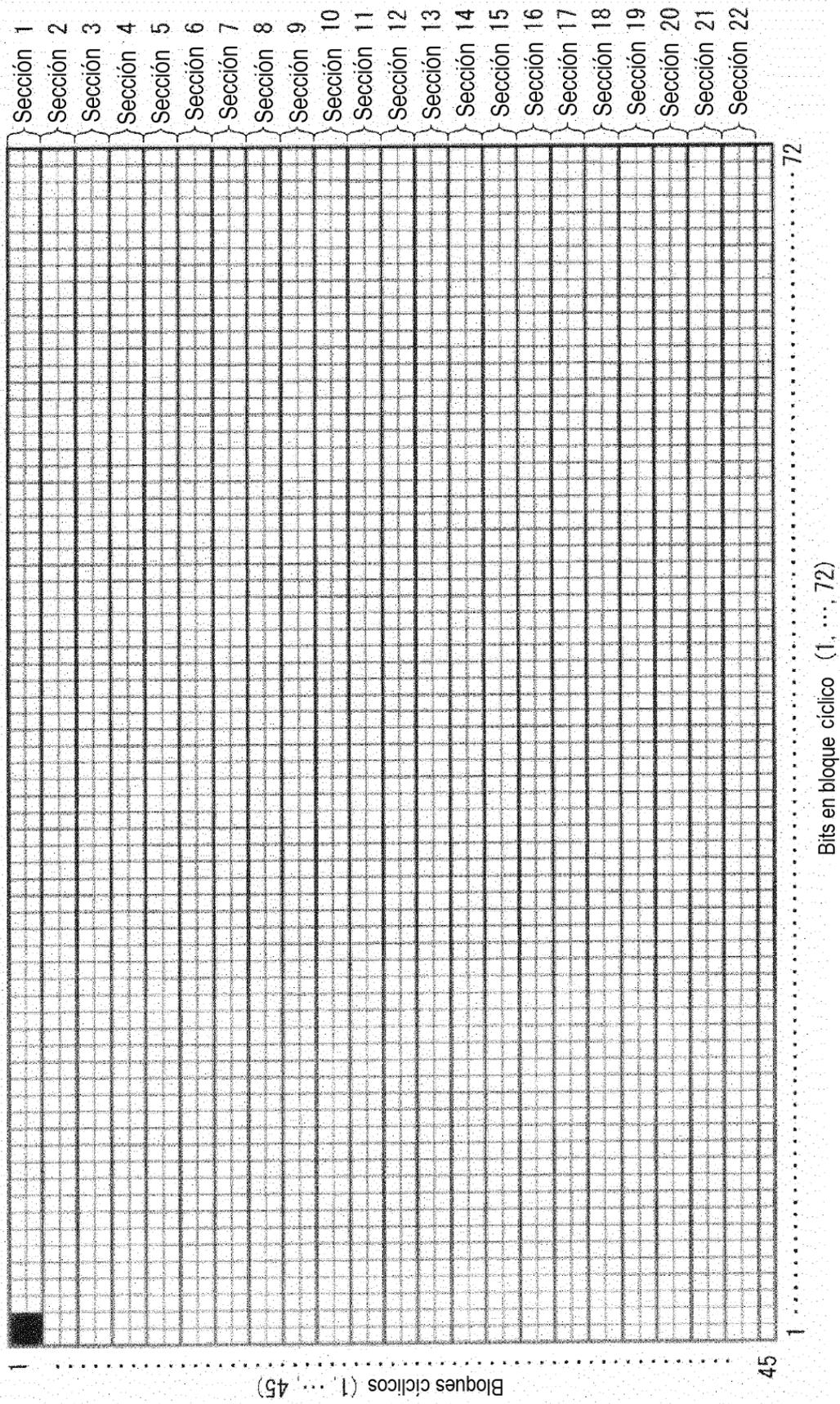


FIG. 43

