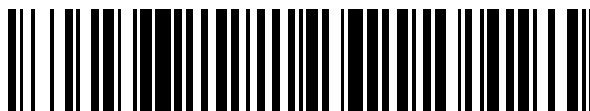


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 702 456**

51 Int. Cl.:

G11C 8/08 (2006.01)

G11C 11/417 (2006.01)

G11C 5/14 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **14.08.2009 PCT/US2009/053870**

87 Fecha y número de publicación internacional: **18.02.2010 WO10019868**

96 Fecha de presentación y número de la solicitud europea: **14.08.2009 E 09791532 (6)**

97 Fecha y número de publicación de la concesión europea: **19.09.2018 EP 2329498**

54 Título: **Esquema de doble alimentación en el circuito de memoria**

30 Prioridad:

15.08.2008 US 192561

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

01.03.2019

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
Attn: International IP Administration, 5775
Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**PARK, DONGKYU y
YOON, SEI, SEUNG**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 702 456 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Esquema de doble alimentación en el circuito de memoria

5 **CAMPO TÉCNICO**

[0001] Los modos de realización divulgados se refieren en general a circuitos de memoria. Más específicamente, la divulgación se refiere a memorias que tienen una configuración de fuente de doble alimentación.

10 **ANTECEDENTES**

[0002] A medida que los circuitos de memoria integrada se reducen para aumentar la capacidad, es deseable reducir el voltaje de la fuente de alimentación. Sin embargo, las células de memoria (p. ej., las células de memoria de acceso aleatorio estático o SRAM) y los amplificadores de detección (SA) son muy sensibles a las reducciones en el voltaje aplicado. A medida que se reduce el voltaje, hay un aumento en los errores de escritura y lectura de la memoria debido, por ejemplo, a la ambigüedad en el valor de una carga almacenada por la célula de la memoria, por ejemplo, errores blandos. Para reducir el consumo de energía y permitir una mayor reducción en el tamaño del circuito, un enfoque es reducir el nivel de voltaje suministrado a otros circuitos que no sean la matriz de células de memoria (por ejemplo, decodificadores, circuitos de reloj) mientras se mantiene el voltaje suministrado a las células de memoria en un nivel deseable. A pesar de que las células de memoria continúan funcionando a niveles más altos de voltaje y potencia, el efecto neto es reducir sustancialmente el consumo de energía porque los circuitos de soporte están funcionando continuamente mientras que solo una pequeña cantidad de células de memoria (por ejemplo, solo aquellas a las que realmente se accede) están totalmente alimentadas en un momento determinado.

[0003] La implementación de un diferencial de voltaje suficientemente alto dentro de una matriz de células de memoria mientras se usa un voltaje reducido para otras estructuras de memoria y dispositivos de interconexión puede lograrse mediante el uso de cambiadores de nivel para interconectar los componentes. Por ejemplo, se puede usar un diferencial de voltaje "alto" con un nivel lógico bajo de 0 V y un nivel lógico alto de 1,3 V dentro de una matriz de células de memoria, mientras que se puede usar un nivel lógico alto de solo 0,7 V fuera de la matriz para otras estructuras de memoria (por ejemplo, circuitos de soporte para/asociados con la matriz de células de memoria, como decodificadores de direcciones y circuitos de sincronización) y dispositivos de interfaz (por ejemplo, buses de datos y direcciones). Se puede lograr una transición de los niveles lógicos de bajo voltaje a uno más alto utilizando los cambiadores de nivel. Los cambiadores de nivel convierten los niveles lógicos de bajo voltaje en los voltajes más altos requeridos por las células de memoria de una matriz de células de memoria. Mientras se reducen los requisitos de energía, la incorporación de estos cambiadores de nivel consume energía adicional para alimentar los cambiadores de nivel y requiere un área o espacio adicional en un chip (por ejemplo, sustrato de chips "bienes raíces"). Los cambiadores de nivel también pueden introducir un retardo en el tiempo de propagación de la señal, la desviación del reloj, el control y las señales de datos. Por lo tanto, el número y la configuración de los cambiadores de nivel pueden afectar al tamaño de la memoria, el tiempo y los requisitos de alimentación.

[0004] La patente US 7,345,946 se refiere a un circuito de dispositivo de memoria que tiene varias líneas de palabras, teniendo cada línea de palabras una pluralidad de células de memoria volátiles acopladas al mismo. El circuito del dispositivo de memoria también puede incluir una pluralidad de circuitos de cambio de nivel, un circuito de cambio de nivel acoplado a una línea de palabras correspondiente. Cada circuito de cambio de nivel puede traducir una señal de entrada en un nodo de decodificación que hace la transición entre un primer nivel de alto voltaje y un primer nivel de bajo voltaje en una señal de salida que hace la transición entre un segundo nivel de alto voltaje y un segundo nivel de bajo voltaje. El segundo alto voltaje puede ser un voltaje "aumentado" que es más alto que el primer alto voltaje. El segundo bajo voltaje puede ser un voltaje "aumentado" que es más bajo que el primer bajo voltaje.

SUMARIO

[0005] Aspectos de la presente invención se exponen en las reivindicaciones adjuntas.

[0006] A continuación se describirán características y ventajas adicionales que constituyen el objeto de las reivindicaciones de la invención. Los expertos en la técnica deben apreciar que la concepción y los modos de realización específicos divulgados se pueden utilizar fácilmente como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos de la presente invención. Los expertos en la técnica también deberían darse cuenta de que dichas estructuras equivalentes no se apartan del espíritu y el alcance de la invención, según se expone en las reivindicaciones adjuntas. Las características novedosas, que se cree que son características de la divulgación, tanto en lo que respecta a su organización como al procedimiento de funcionamiento, junto con los objetos y ventajas adicionales, se comprenderán mejor a partir de la siguiente descripción cuando se considere en relación con las figuras adjuntas. No obstante, debe comprenderse expresamente que cada una de las figuras se proporciona solo con fines de ilustración y descripción, y no pretende ser una definición de los límites de la presente invención.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

5 **[0007]** Para una comprensión más completa de la presente divulgación, ahora se hace referencia a la siguiente descripción tomada junto con las figuras adjuntas.

La Figura 1 es un diagrama de bloques de un dispositivo de memoria convencional que incluye cambiadores de nivel asociados con líneas de palabras respectivas de una matriz de células de memoria.

10 La Figura 2 es un diagrama de bloques de alto nivel de un dispositivo de memoria de doble voltaje con cambiadores de nivel que alimentan el descodificador y los circuitos de sincronización de una matriz de células de memoria.

15 La Figura 3 es un diagrama de bloques más detallado del dispositivo de memoria de doble voltaje que se muestra en la Figura 2.

La Figura 4 es un diagrama de bloques que muestra un circuito de seguimiento de sincronización como parte de un dispositivo de memoria de doble voltaje como se muestra en la Figura 4.

20 La Figura 5 es un diagrama esquemático de un par de interruptores de pie conectados en una ruta de retorno a tierra de partes respectivas de un dispositivo de memoria de doble voltaje.

25 La Figura 6 es un diagrama de bloques que muestra un sistema de comunicación inalámbrica a modo de ejemplo en el que se puede emplear ventajosamente un modo de realización de la invención.

DESCRIPCIÓN DETALLADA

30 **[0008]** La FIGURA 1 es un diagrama de bloques de un dispositivo de memoria que incluye un esquema de doble alimentación convencional. Las partes de los circuitos de memoria (por ejemplo, un descodificador de dirección) se hacen funcionar a niveles de bajo voltaje de relatividad (por ejemplo, 0 - 0,7 V), mientras que una matriz de células de memoria y amplificadores de detección se hacen funcionar a un voltaje más alto (por ejemplo, 0 - 1,3 V) Los circuitos operativos que no requieren niveles de alto voltaje (por ejemplo, el descodificador de direcciones) a un voltaje más bajo reducen el consumo de energía y el calor generado. Por lo tanto, el nivel lógico alto de 1,3 V más alto solo se usa para almacenar información y hacer funcionar las células de memoria de la matriz de células de memoria, ya que niveles de voltaje más altos pueden ser deseables para mejorar la integridad del almacenamiento y recuperación de datos.

35 **[0009]** Con referencia a la Figura 1, el circuito de E/S 101 recibe y transmite señales de voltaje relativamente bajo hacia y desde el dispositivo de memoria, incluidas las señales de entrada de datos (D_{in}), dirección (Addr) y reloj (clk) aplicadas al circuito de E/S y transmite señales de salida de datos de bajo nivel D_{out} desde la matriz de memoria a dispositivos externos (u otros circuitos que podrían estar integrados en un chip o dispositivo de memoria) que reciben datos. Las señales de entrada de datos D_{in} se cambian de nivel de 0-0,7 V a un rango de voltaje nominal superior de 0-1,3 V por los cambiadores de nivel 104a - 104c. La señal D_{in} cambiada de nivel resultante se suministra a los controladores de escritura 105a - 105c. Las señales D_{in} de 0-1,3 V nominales de los controladores de escritura 105a - 105c se aplican a las líneas de bits 109a - f y se transmite a las células de memoria SRAM 111. Aunque solo se muestran conectados a las líneas de bits 109b, 109d, 109f, de hecho, los controladores de escritura 105a - 105c se comunican tanto con las líneas de bits 109b, 109d, 109f, como con las líneas de bits complementarias 109a, 109c, 109e.

40 **[0010]** Las señales de dirección y reloj de bajo nivel Addr y clk se transmiten respectivamente a través del circuito de E/S 101 al descodificador de dirección 102 y al cambiador de nivel de reloj 103. El descodificador 102 está configurado para aceptar la señal de dirección de bajo voltaje Addr, descodificarla, seleccionar y proporcionar una señal de selección de bajo nivel apropiada a los cambiadores de nivel 108a - 108f. Los cambiadores de nivel 108a - 108f cambian los niveles lógicos de la señal de nivel bajo (p. ej., 0-0,7 V) proporcionada por el descodificador 102 a una señal de salida de voltaje de nivel alto apropiada (p. ej., nominalmente que tenga un nivel lógico bajo de 0 V y un nivel lógico alto de 1,3 V) correspondiente a una línea de palabras seleccionada 110a - 110f.

45 **[0011]** Las células de memoria seleccionadas 111 conectadas o asociadas de otra forma con una línea de palabras activada 110a - 110f están habilitadas para escribir o almacenar datos en las células de memoria seleccionadas desde las líneas de bit 109a - f o, cuando se hacen funcionar en un modo de lectura de funcionamiento, leer información de la célula de memoria en una línea de bit correspondiente 109a - f. Debido a que el descodificador 102 proporciona una señal de selección de salida de bajo voltaje a la matriz de memoria (por ejemplo, que tiene un nivel lógico alto de solo 0,7 V), es necesario proporcionar un cambiador de nivel para cada una de las líneas de palabras para obtener un nivel de voltaje más alto (por ejemplo, una señal que tiene un nivel lógico alto nominal de 1,3 V). En general, el número de cambiadores de nivel requeridos para una señal de dirección de fila de n bits da como resultado cambiadores de nivel de 2ⁿ asociados con líneas de palabras respectivas. Por

ejemplo, una SRAM de 16 megabits organizada como palabras de un megabit por 16 bits incluiría 10 líneas de entrada de direcciones y hasta un millón de líneas de palabras individuales, cada una de las cuales requiere un cambiador de nivel por separado.

5 **[0012]** El cambiador de nivel 103 recibe una señal de reloj de nivel bajo clk del circuito de E/S 101 y proporciona la señal de reloj de alto voltaje clk cambiada de nivel a los componentes de la memoria según sea necesario. Se proporcionan señales de salida de alto nivel de células de memoria seleccionadas 111 a los amplificadores de detección 107a - 107c que, a su vez, proporcionan salidas a las siguientes memorias intermedias 106a - 106c para proporcionar una señal de salida de datos D_{out} a través del circuito de E/S 101.

10 **[0013]** La Figura 2 es un diagrama de bloques de un circuito de memoria que implementa un circuito de doble alimentación de sobrecarga reducida que incluye cambiadores de nivel que proporcionan direcciones adecuadas de alto voltaje (por ejemplo, 0 - 1,3 V) y señales de reloj a la sección de E/S de un dispositivo de memoria, lo cual reduce el número y el consumo de energía asociado con los cambiadores de nivel asociados con líneas de palabras individuales. Como se muestra, los controladores de escritura reciben una señal de datos de un circuito de E/S para escribir información en las células de memoria seleccionadas sin la necesidad de cambiadores de nivel. Una serie de amplificadores de sentido SA proporcionan una señal de salida de datos de bajo nivel D_{out} desde células de memoria seleccionadas. En otro modo de realización, los amplificadores de detección funcionan a alto voltaje y una memoria intermedia siguiente funciona a bajo voltaje, como se analiza a continuación.

20 **[0014]** Tenga en cuenta que, a los fines de la presente explicación, se representan las células SRAM de un solo puerto. Se pueden sustituir otros tipos de células de memoria, por ejemplo, memoria de doble puerto. De manera similar, mientras se representa una arquitectura de memoria específica, se pueden implementar otras disposiciones y configuraciones que adoptan un esquema de doble alimentación o doble voltaje. Del mismo modo, mientras que se muestran las señales de entrada de datos, salida de datos y dirección de tres bits, la configuración típica incorporaría muchos más bits de información de datos y dirección transportados por diferentes números de líneas de señales de control, dirección y datos.

30 **[0015]** La Figura 3 es un diagrama de bloques más detallado que muestra un circuito de memoria de doble voltaje que implementa un esquema de doble alimentación de sobrecarga reducida para proporcionar un ahorro dinámico de energía al tiempo que se reduce el tamaño de la memoria. En particular, el modo de realización representado en la Figura 3 proporciona una funcionalidad de cambio de nivel común para señales aplicadas a un circuito de E/S 301 para evitar la necesidad de múltiples cambiadores de nivel asociados con líneas de palabras individuales. Al cambiar de nivel las señales de dirección de nivel bajo antes o como parte del circuito de E/S 301, se requieren menos componentes para soportar el esquema de doble alimentación, lo cual reduce los requisitos de espacio, es decir, el "espacio real del chip" necesario para interactuar con voltajes de un nivel relativamente bajo utilizados por componentes fuera de la propia matriz de memoria.

40 **[0016]** Con referencia a la Figura 3, las señales de dirección y de reloj Addr y clk se aplican a los cambiadores de nivel 313a - 313c y 314 respectivamente para convertir los niveles lógicos de bajo voltaje (por ejemplo, 0-0,7 V) en señales lógicas de alto nivel (por ejemplo, 0-1,3 V) para ser aplicadas al circuito de E/S 301. Las señales de alto nivel se suministran al descodificador 302 y al circuito de seguimiento de sincronización 312. El descodificador 102 descodifica la señal de dirección Addr para activar selectivamente las líneas de palabras 310a a 310f aplicando una señal de selección de célula de memoria de alto nivel apropiada a la línea de palabras apropiada. Como antes, las células de memoria 111 funcionan a los voltajes más altos (0-1.3 V) para mantener la integridad de los datos.

50 **[0017]** D_{in} es una señal de bajo voltaje suministrada a través del circuito de E/S 301 directamente a los controladores de escritura 305a -305c sin la necesidad de distintos cambiadores de nivel (compárela con la configuración de la Figura 2). Los controladores de escritura 305a - 305c proporcionan señales sincronizadas apropiadamente a las líneas de bits 109a - f para escribir información en las células de memoria 111 de la matriz de células de memoria. Aunque solo se muestran conectados a las líneas de bits 109b, 109d, 109f, de hecho, los controladores de escritura 305a - 305c se comunican tanto con las líneas de bits 109b, 109d, 109f, como con las líneas de bits complementarias 109a, 109c, 109e para descargar las líneas de bits o líneas de bits complementarias basándose en la señal que se está escribiendo.

55 **[0018]** Debido a los posibles retardos en el suministro de los datos de los controladores de escritura 305a - 305c a las líneas de bits 109a - f, el circuito de sincronización 312 sincroniza correctamente la señal de reloj clk. La sincronización puede incluir retardar o activar una señal de reloj para adaptarse a la velocidad de los controladores de escritura de nivel de bajo voltaje 305a - 305c que escriben datos en las células de memoria. Es decir, debido a que los controladores de escritura 305a - 305c son activados por una señal de bajo voltaje, puede obtenerse un mayor tiempo de respuesta antes de descargar las líneas de bits apropiadas para escribir el valor deseado. Para adaptarse a este problema de sincronización, el circuito de seguimiento de sincronización 312 puede recibir varias entradas, incluidas las entradas 322 y 324, para habilitar de manera apropiada la escritura, y, si es necesario, leer las señales de habilitación, a las diversas células de memoria 111. Las entradas 322 y 324 se originan en cada dominio de potencia (una señal del dominio de alta potencia y una señal del dominio de baja potencia). Debido a

que la ruta de la línea de palabras está a alto voltaje y la ruta Din está a un bajo voltaje, una señal de cada dominio facilita el control de la sincronización entre los dos dominios de potencia.

[0019] La información se puede recuperar o leer de las células de memoria 111 de una manera similar. Es decir, una señal de dirección Addr que designa las direcciones de las células de memoria 111 a las que se va a acceder se aplica a los cambiadores de nivel 313a - 313c. Tenga en cuenta que, a los efectos del presente ejemplo, aunque se muestra una señal de dirección amplia de tres bits junto con los cambiadores de nivel correspondientes 313a - 313c, típicamente una señal de dirección tendría muchos más bits paralelos de datos de dirección dependiendo del tamaño y la configuración de la memoria; por ejemplo, se pueden usar 10 bits de dirección para proporcionar acceso a un millón de palabras (u otra unidad direccionable) de memoria. De manera similar, aunque se muestra que D_{in} y D_{out} tienen una anchura de tres bits cada una, típicamente tales señales serían sustancialmente más anchas, por ejemplo, señales de 16, 32 o 64 bits de anchura.

[0020] En respuesta a la señal de dirección, el descodificador 102 proporciona señales de selección apropiadas en una línea de palabras seleccionada 310a - 310f para acceder (por ejemplo, habilitar) a las células de memoria correspondientes 111 para el almacenamiento o la recuperación de datos a la misma o desde la misma. En un modo de funcionamiento de lectura, los datos de las células de memoria 111 se transmiten mediante las líneas de bits 109a - f a los amplificadores de detección 107a - 107c y, por consiguiente, a las siguientes memorias intermedias 106a - 106c. Aunque no se representa en los dibujos por razones de claridad, se apreciará que los amplificadores de sentido 107a - 107c se comunican tanto con las líneas de bits como con las líneas de bits complementarias.

[0021] Las siguientes memorias intermedias 106a - 106c funcionan a niveles de voltaje más bajos, proporcionando una señal D_{out} de bajo nivel apropiada (por ejemplo, 0-0,7 V) a un dispositivo externo. En un modo de realización alternativo, tanto los amplificadores de sentido 107a - 107c como las siguientes memorias intermedias 106a - 106c funcionan a bajo voltaje. Aunque, para fines de ilustración y explicación, se puede usar un único conjunto de líneas de bits para leer y escribir en las células de memoria 111 de la matriz de células de memoria, en lugar de eso se pueden usar líneas de bits de escritura y lectura separadas.

[0022] La Figura 4 es un diagrama de bloques de un circuito de memoria de doble voltaje que implementa un esquema de doble alimentación de sobrecarga reducida que incluye el circuito de seguimiento de sincronización 312. En particular, una señal de entrada de datos proporcionada por el circuito de E/S 301 (consulte la figura 3) es una señal de bajo nivel que activa los controladores de escritura 305a - 305c. Como se describió anteriormente, se puede experimentar un retardo en el suministro de datos apropiados en las respectivas líneas de bits 109a - f, debido al bajo nivel de activación de los controladores de escritura 305a - 305c. Sin embargo, la línea de palabras WL debe habilitarse después de que los controladores de escritura 305a - 305c hayan completado la operación de escritura. La señal de habilitación de línea de palabras está en el dominio de alta potencia y, por lo tanto, debería retardarse. Para crear el retardo, el circuito de seguimiento de sincronización 312, que recibe señales de reloj clk desde E/S ctrl (una parte en el circuito de E/S 301), puede retardar la aplicación de la señal de selección de línea de palabras WL apropiada desde el descodificador 102 proporcionándole una señal de reloj retardada clk_d . El circuito de seguimiento de sincronización 312 puede responder a una o ambas señales de nivel bajo 322 y señales de nivel alto 324 para proporcionar la sincronización apropiada de la señal de reloj clk_d .

[0023] Ahora se explica el funcionamiento del seguimiento de sincronización. Un biestable [flip flop] (401) (o un circuito de retención) retiene datos desde fuera de la memoria, y en respuesta a una señal de reloj recibida desde el circuito de E/S 301 (más específicamente una parte del circuito de E/S 301 denominado el E/S ctrl 301a) reenvía los datos retenidos en el controlador de escritura 305. A continuación, el controlador de escritura 305 se prepara para escribir los datos retenidos en una célula de memoria 111. El circuito de seguimiento de sincronización 312 retarda la ruta del descodificador para que coincida con el retardo de la ruta Din generando una señal de reloj retardada clk_d . La ruta de la línea de palabras (WL) es más rápida porque es de alto voltaje y la ruta Din es más lenta porque es de bajo voltaje. El circuito de seguimiento de sincronización 312 sigue la sincronización de la ruta Din basándose en la entrada 322. Debido a que el descodificador 102 se retarda en relación con el controlador de escritura 305, los datos están listos para escribir antes de que el descodificador 102 habilite la línea de palabras WL.

[0024] El circuito de seguimiento de sincronización también puede rastrear la variación de sincronización causada por la fluctuación de voltaje. En un modo de realización, la señal de nivel bajo 322 proviene de la ruta Din (en el dominio de baja potencia) y la señal de nivel alto 324 proviene de una señal de reloj de dominio de alta potencia. En otro modo de realización, solo se proporcionan señales del dominio de alto voltaje al circuito de seguimiento de sincronización 312.

[0025] La Figura 5 es un diagrama de bloques de un par de "interruptores de pie" 501 y 502, cada uno de los cuales controla las respectivas partes de alto y bajo voltaje 503 y 504, respectivamente, de una memoria para colocar selectivamente la memoria en un modo operativo o un modo en espera o de "inactividad". Cada interruptor de pie 501, 502 interrumpe selectivamente una conexión a una conexión a tierra virtual 505, 506 para la parte asociada 503, 504 de memoria. Se proporcionan dos conexiones a tierra virtuales diferentes porque los voltajes

operativos en los diferentes dominios de energía son diferentes. Como se describió anteriormente, la matriz de células de memoria y, de acuerdo con un modo de realización de la invención, el descodificador, se hacen funcionar a un nivel de alto voltaje y, por lo tanto, se controlan mediante el interruptor de pie 501 para colocar selectivamente esa lógica en un modo operativo o de desactivación en respuesta a una señal de modo de inactividad. De manera similar, los circuitos de nivel de bajo voltaje que incluyen, por ejemplo, los controladores de escritura 305a - 305c y las siguientes memorias intermedias 106a - 106c se hacen funcionar selectivamente en un modo operativo o de inactividad de respuesta de funcionamiento a un estado del interruptor 502. El modo de inactividad proporciona una fuga de corriente reducida.

[0026] La FIGURA 6 muestra un sistema de comunicación inalámbrica a modo de ejemplo 600 en el que se puede emplear ventajosamente un modo de realización de la invención. Con fines ilustrativos, la FIGURA 6 muestra tres unidades remotas 620, 630 y 650 y dos estaciones base 640. Se reconocerá que los típicos sistemas de comunicación inalámbrica pueden tener muchas más unidades remotas y estaciones base. Las unidades remotas 620, 630 y 650 incluyen circuitos de memoria de doble alimentación 625A, 625B y 625C, respectivamente, que son modos de realización de la invención como se analizó anteriormente. La FIGURA 6 muestra las señales de enlace directo 680 desde las estaciones base 640 y las unidades remotas 620, 630 y 650, y las señales de enlace inverso 690 desde las unidades remotas 620, 630 y 650 a las estaciones base 640.

[0027] En la FIGURA 6, la unidad remota 620 se muestra como un teléfono móvil, la unidad remota 630 se muestra como un ordenador portátil y la unidad remota 650 se muestra como una unidad remota de ubicación fija en un sistema de bucle local inalámbrico. Por ejemplo, las unidades remotas pueden ser teléfonos celulares, unidades manuales de sistemas de comunicación personal (PCS), unidades de datos portátiles, tales como asistentes de datos personales, o unidades de datos de ubicación fija, tales como equipos de lectura de contadores. Aunque la FIGURA 6 ilustra unidades remotas de acuerdo con las enseñanzas de la invención, la invención no está limitada a estas unidades a modo de ejemplo ilustradas. La invención puede emplearse adecuadamente en cualquier dispositivo que incluya un circuito de memoria de doble alimentación.

[0028] Las características de los diversos circuitos de memoria de doble voltaje proporcionan ventajas sobre disposiciones alternativas. Por ejemplo, el uso de un interruptor de pie que incluye elementos de conmutación separados para circuitos de alto y bajo voltaje da como resultado una disminución de la corriente de fuga durante el modo de funcionamiento de espera o inactividad. El uso de controladores de escritura de bajo voltaje puede eliminar la necesidad de cambiadores de nivel separados, reduciendo el área de chips y reduciendo aún más los requisitos de potencia. Proporcionar cambiadores de nivel en la entrada a los circuitos de E/S reduce el número de cambiadores de nivel que de otro modo podrían requerirse en otras disposiciones, como cuando en lugar de eso se suministran en la salida de un descodificador de direcciones. Otra ventaja adicional de acuerdo con las características de las configuraciones de memoria descritas se debe a los amplificadores de detección que proporcionan un nivel de bajo voltaje de salida, lo cual reduce el consumo de energía durante las operaciones de lectura y minimiza las pérdidas de energía que de otro modo podrían obtenerse de la activación de altos voltajes en largas líneas de interconexión de metal en un chip (por ejemplo, un bus de salida).

[0029] Aunque se han establecido unos circuitos específicos, los expertos en la técnica apreciarán que no se requieren todos los circuitos divulgados para practicar la invención. Además, ciertos circuitos bien conocidos no se han descrito, para mantener el enfoque en la invención.

[0030] Aunque la presente invención y sus ventajas se han descrito en detalle, debería entenderse que pueden realizarse diversos cambios, sustituciones y alteraciones en el presente documento sin apartarse del alcance de la invención, tal como se define en las reivindicaciones adjuntas. Además, el alcance de la presente solicitud no pretende limitarse a los modos de realización particulares del proceso, la máquina, la fabricación, la composición de la materia, los medios, los procedimientos y los pasos descritos en la memoria descriptiva. Como alguien medianamente experto en la técnica apreciará inmediatamente a partir de la divulgación de la presente invención, se pueden utilizar procesos, máquinas, fabricación, composiciones de materia, medios, procedimientos o pasos, actualmente existentes o a desarrollar posteriormente, que realizan esencialmente la misma función o logran esencialmente el mismo resultado que los modos de realización correspondientes descritos en el presente documento, de acuerdo con la presente invención. Por consiguiente, las reivindicaciones adjuntas pretenden incluir dentro de su alcance tales procesos, máquinas, fabricación, composiciones de materia, medios, procedimientos o pasos.

REIVINDICACIONES

1. Un dispositivo de memoria de semiconductor de doble voltaje que comprende:

5 una pluralidad de controladores de escritura (105a-c) que reciben señales de entrada de datos de bajo voltaje y, en respuesta, que escriben valores de datos de nivel de bajo voltaje en un núcleo de memoria; un cambiador de nivel configurado para cambiar un nivel de una señal de dirección de un nivel de bajo voltaje a un nivel de voltaje más alto (313a-313c); un descodificador configurado para descodificar la señal de dirección de nivel cambiado (102) para proporcionar una señal de línea de palabras de nivel
10 cambiado de voltaje más alto que activa las células de memoria seleccionadas;

caracterizado por que un cambiador de nivel de señal de reloj configurado para transformar una señal de reloj de nivel de bajo voltaje en una señal de reloj de nivel de voltaje más alto; un circuito de seguimiento de sincronización (312) operativo para retardar una señal de línea de palabras de alto voltaje de acuerdo con un retardo asociado con la pluralidad de controladores de escritura (105a-c) que escriben datos en el núcleo de memoria;

15 el circuito de seguimiento de sincronización (312) que proporciona un retardo apropiado de la señal de reloj de nivel superior para compensar el retardo en los controladores de escritura (105a-c) que escriben los valores de datos en las células de memoria seleccionadas;

20 la señal de reloj de nivel de voltaje superior retardada que se aplica al descodificador; y

25 una pluralidad de células de memoria (111) que responden a la señal de línea de palabras de alto voltaje retardada y a los controladores de escritura.

2. El dispositivo de memoria de semiconductor de doble voltaje de acuerdo con la reivindicación 1, que comprende además una pluralidad de líneas de bits conectadas a los controladores de escritura para recibir los valores de los datos.

3. El dispositivo de memoria de semiconductor de doble voltaje según la reivindicación 1, en el que el circuito de seguimiento de sincronización recibe una señal de alto voltaje, el circuito de seguimiento de sincronización que está configurado para determinar una duración del retardo basándose en al menos la señal de alto voltaje.

4. El dispositivo de memoria de semiconductor de doble voltaje según la reivindicación 3, en el que el circuito de seguimiento de sincronización recibe además una señal de bajo voltaje, el circuito de seguimiento de sincronización que esté configurado para determinar una duración del retardo basándose en al menos las señales de bajo voltaje y alto voltaje.

5. El dispositivo de memoria de semiconductor de doble voltaje de acuerdo con la reivindicación 1, que comprende además:

45 una pluralidad de cambiadores de nivel de señal de dirección configurados para transformar señales de dirección de bajo voltaje en señales de dirección de alto voltaje; y

50 un descodificador configurado para recibir las señales de dirección de alto voltaje y, en respuesta, proporcionar señales de línea de palabras, en el que la pluralidad de células de memoria recibe las señales de línea de palabras, designando así las células de memoria seleccionadas para tener los datos almacenados en ellas.

6. El dispositivo de memoria de semiconductor de doble voltaje de acuerdo con la reivindicación 1, 2 o 3, que comprende además:

55 un interruptor de pie de bajo voltaje (502) que incluye un primer elemento de conmutación que conecta selectivamente los elementos de bajo voltaje del dispositivo de memoria de semiconductor de doble voltaje a una primera conexión a tierra virtual (506); y

60 un interruptor de pie de alto voltaje (501) que incluye un segundo elemento de conmutación que conecta selectivamente elementos de alto voltaje del dispositivo de memoria de semiconductor de doble voltaje a una segunda conexión a tierra virtual (505).

7. El dispositivo de memoria de semiconductor de acuerdo con la reivindicación 6, en el que el circuito de interruptor de pie de alta potencia (501) y el circuito de interruptor de pie de baja potencia (502) responden a una señal de inactividad común para hacer funcionar selectivamente el dispositivo de memoria de semiconductor en modos de funcionamiento activo y de espera.

- 5
8. El dispositivo de memoria de semiconductor de acuerdo con la reivindicación 5, que comprende además un circuito de entrada/salida configurado para transmitir la señal de dirección de alto nivel al descodificador (102) y transmitir las señales de entrada de datos a los controladores de escritura.
- 10
9. Un procedimiento para hacer funcionar una pluralidad de células de memoria (111), que comprende:
- 15
- activar una señal de escritura de datos de nivel de bajo voltaje en una pluralidad de líneas de bits (109a-f) que se conectan a células de memoria basándose en una señal de entrada de datos de nivel de bajo voltaje;
- 20
- cambiar un nivel de una señal de dirección de un nivel de bajo voltaje a un nivel de voltaje más alto;
- 25
- descodificación de la señal de dirección de nivel cambiado para proporcionar una señal de línea de palabras de nivel cambiado de voltaje más alto que activa las células de memoria seleccionadas;
- caracterizado por que** los pasos de
- 30
- cambiar el nivel de voltaje de una señal de reloj aplicada para proporcionar una señal de reloj de nivel de alto voltaje;
- 35
- ajustar una sincronización de la señal de reloj de nivel de alto voltaje para proporcionar una señal de reloj de alto voltaje retardada para la descodificación, la sincronización ajustada que compensa una disponibilidad retardada de la señal de escritura de datos retardando la señal de línea de palabras cambiada de nivel de voltaje más alto; y
- 40
- almacenar datos en las células de memoria seleccionadas (111) a partir de la señal de escritura en las líneas de bits en respuesta a la señal de reloj retardada.
- 45
10. El procedimiento de acuerdo con la reivindicación 9, que comprende además:
- 50
- seleccionar una pluralidad de células de memoria para leer;
- detectar datos almacenados en las células de memoria seleccionadas; y
- proporcionar una señal de salida de datos.
11. El procedimiento de acuerdo con la reivindicación 9 o 10, que comprende además:
- interrumpir de forma selectiva una conexión a una primera conexión a tierra virtual (506) de componentes de memoria de nivel de bajo voltaje; y
- interrumpir de forma selectiva una conexión a una segunda conexión a tierra virtual (505) de componentes de memoria de nivel de alto voltaje para hacer funcionar selectivamente un dispositivo de memoria de semiconductor en modos de funcionamiento activo y en espera.
12. El procedimiento de acuerdo con la reivindicación 9, 10 u 11, en el que la interrupción selectiva de las conexiones a la primera y la segunda conexión a tierra virtual (506, 505) comprende recibir una señal de inactividad común.

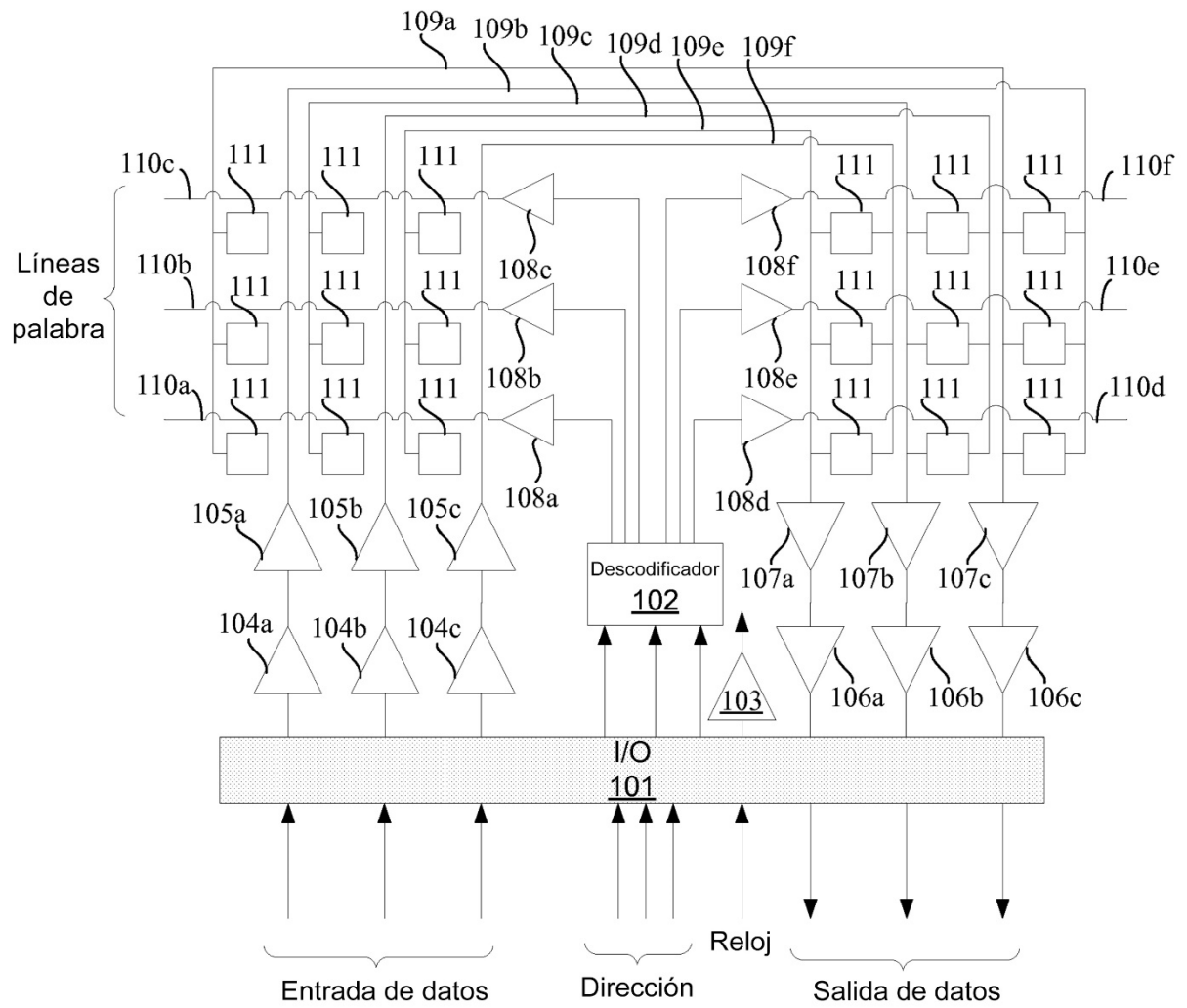


FIG. 1 (TÉCNICA ANTERIOR)

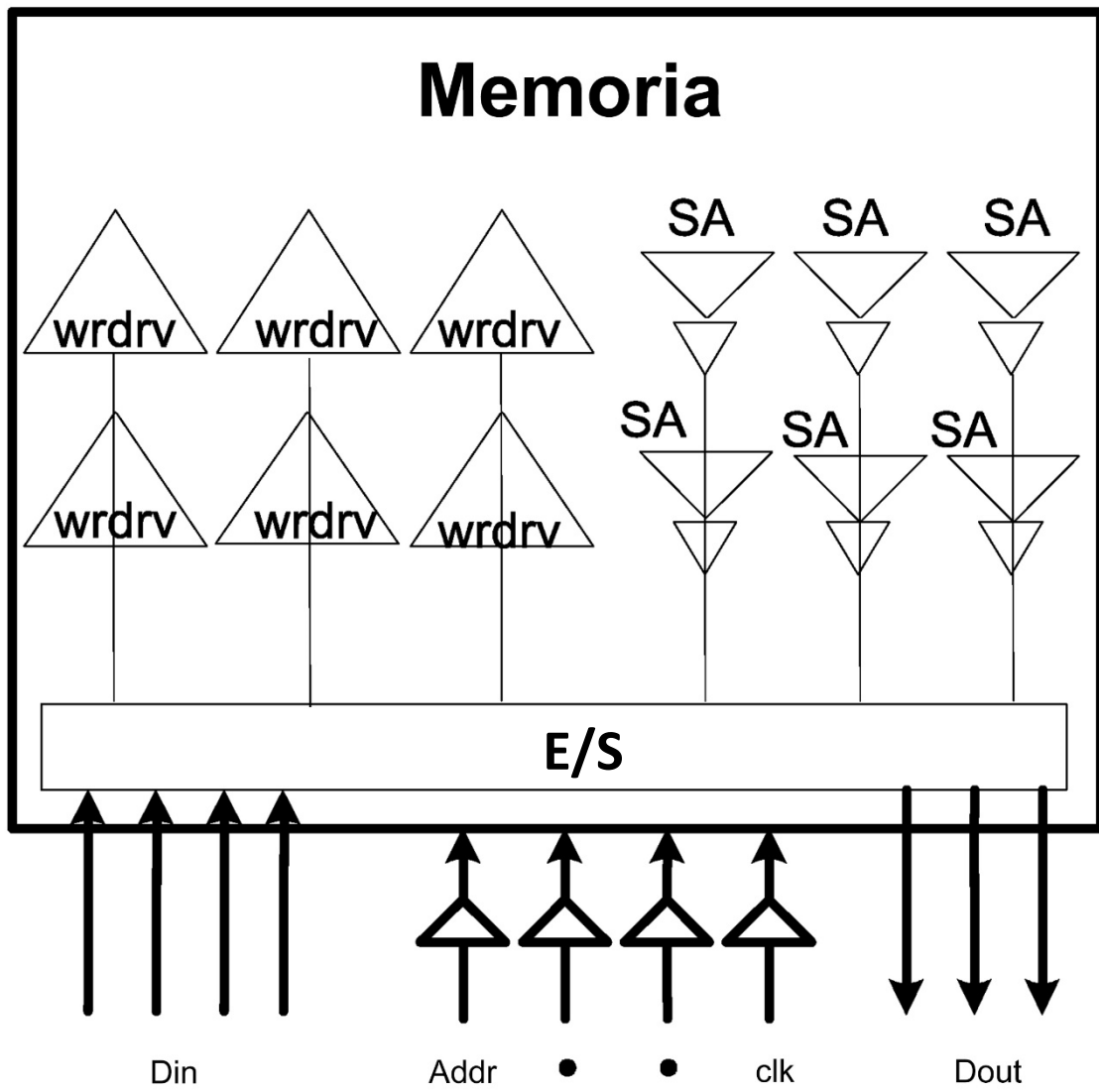


FIG. 2

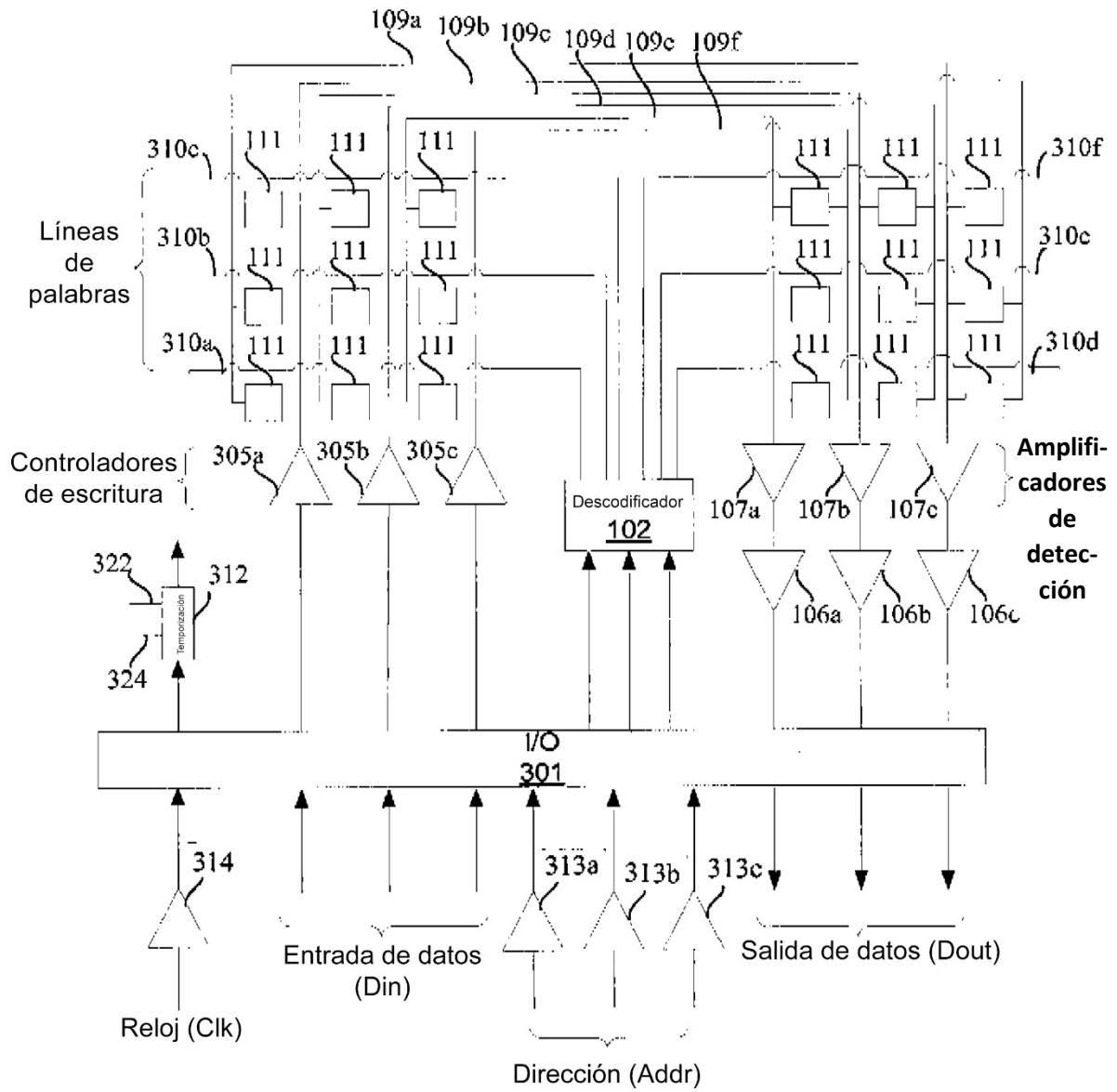


FIG. 3

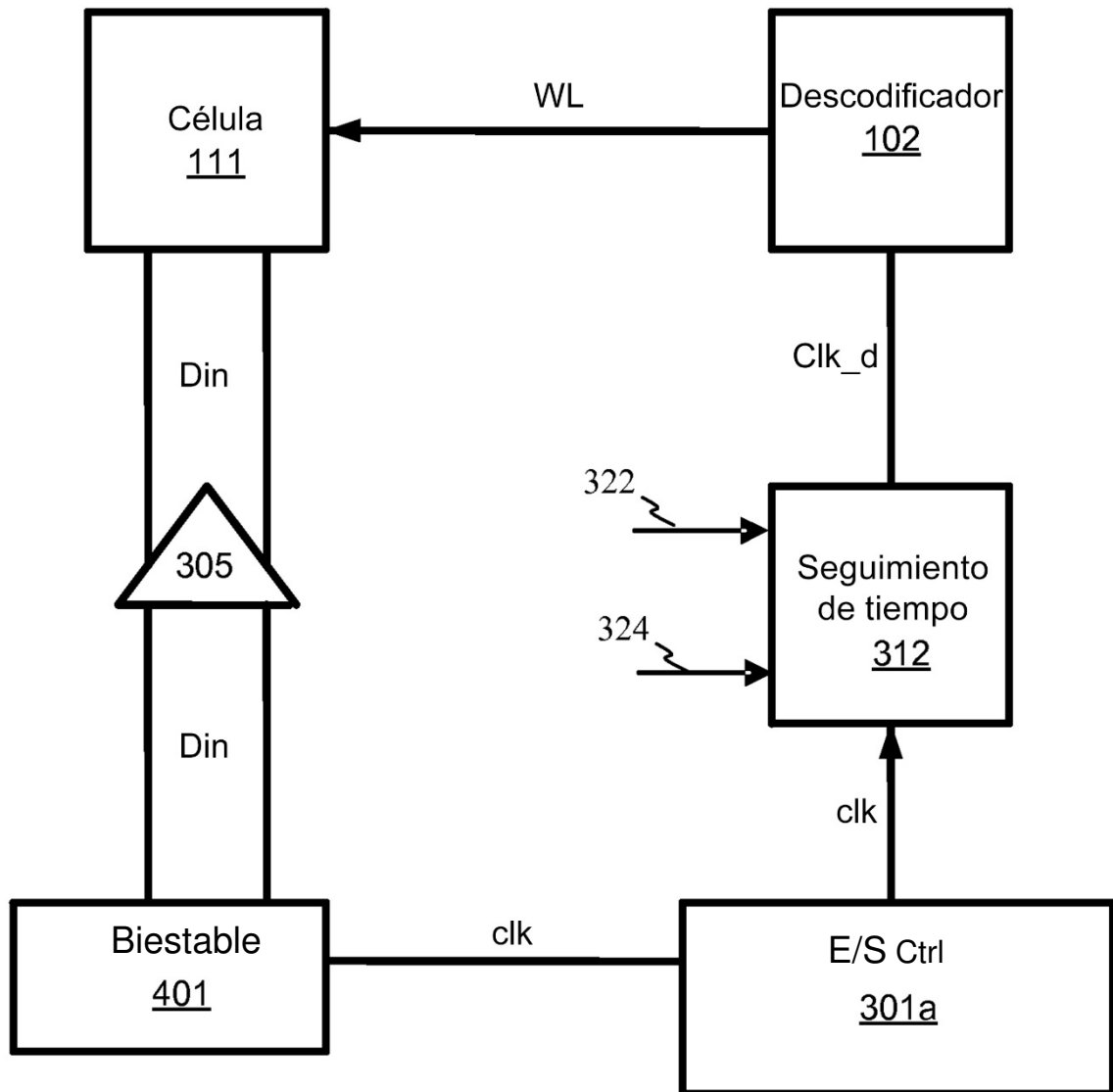


FIG. 4

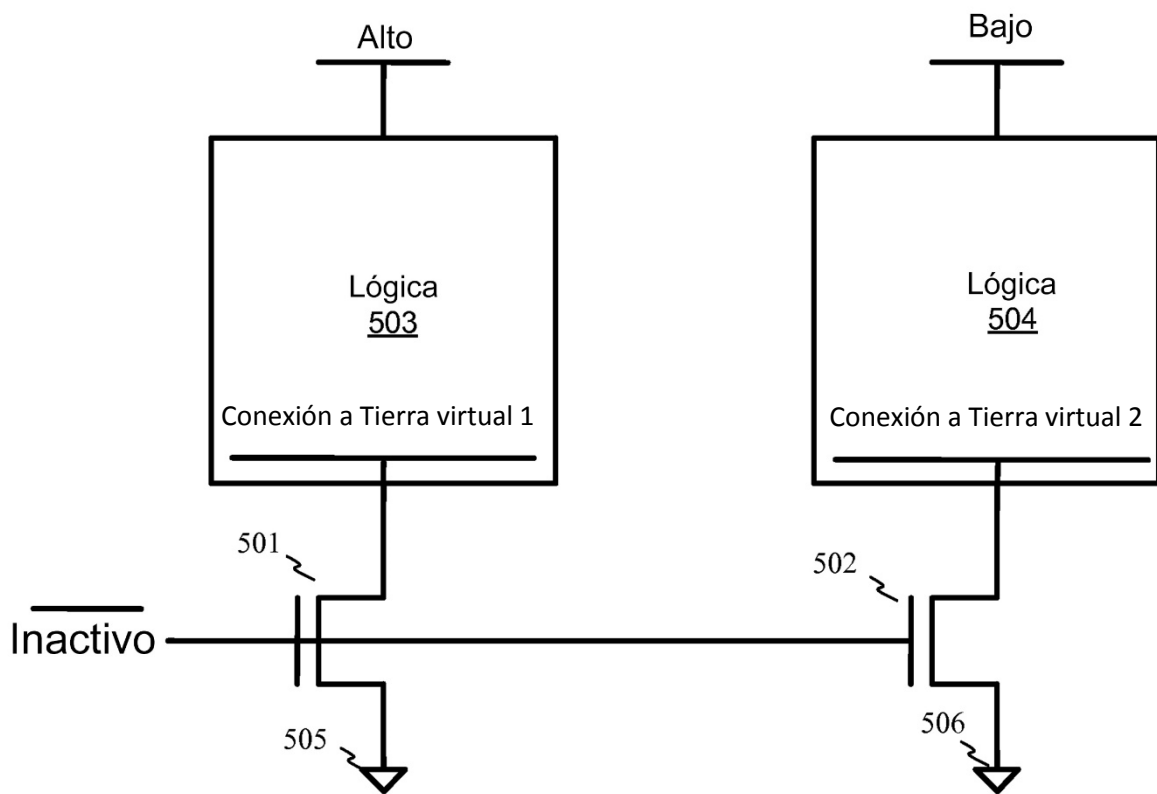


FIG. 5

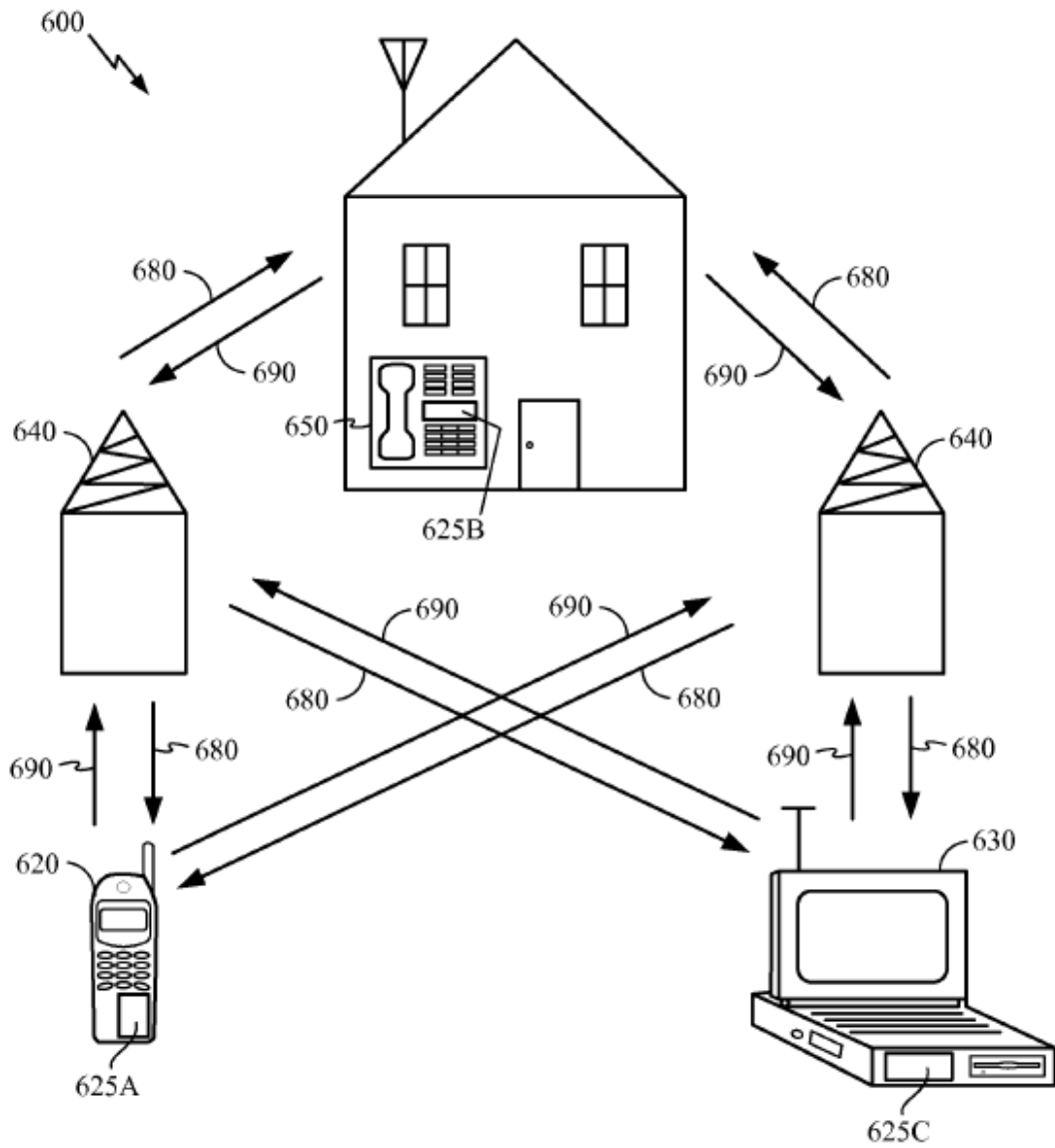


FIG. 6