

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 705 042**

51 Int. Cl.:

**G06F 13/38** (2006.01)

**G06F 13/42** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **16.06.2015 PCT/US2015/035948**

87 Fecha y número de publicación internacional: **23.12.2015 WO15195612**

96 Fecha de presentación y número de la solicitud europea: **16.06.2015 E 15733958 (1)**

97 Fecha y número de publicación de la concesión europea: **24.10.2018 EP 3158461**

54 Título: **Interfaz serie de capa de enlace a capa física (PHY)**

30 Prioridad:

**16.06.2014 US 201462012888 P**  
**15.06.2015 US 201514739439**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**21.03.2019**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)**  
**5775 Morehouse Drive**  
**San Diego, CA 92121-1714, US**

72 Inventor/es:

**REMPLE, TERRENCE, BRIAN;**  
**DANG, NAM, VAN y**  
**SHAHROKHINIA, SASSAN**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

**ES 2 705 042 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Interfaz serie de capa de enlace a capa física (PHY)

5 **ANTECEDENTES****I. Campo de la divulgación**

10 **[0001]** La tecnología de la divulgación se refiere en general a la comunicación entre una capa de enlace y una capa física.

**II. Antecedentes**

15 **[0002]** Los dispositivos informáticos se han vuelto comunes en la sociedad contemporánea. Estos dispositivos informáticos se basan en microprocesadores y otros circuitos integrados (IC). Tanto en los dispositivos informáticos móviles como en los teléfonos inteligentes y en los dispositivos informáticos estacionarios, tal como ordenadores de escritorio, hay una tendencia general hacia la disminución del tamaño de dichos IC. A medida que disminuye el tamaño del dispositivo, también disminuyen las tensiones transportadas en los raíles de tensión internos.

20 **[0003]** Aunque la tensión en los raíles de tensión en los IC generalmente ha disminuido, algunos IC incluyen una capa física (a veces denominada PHY) que requiere tensiones de señalización más altas. Por ejemplo, un sistema en un chip (SoC) puede tener una capa física de bus serie universal (USB) diseñada para comunicarse con un periférico remoto (por ejemplo, memoria, un ratón, un teclado o similar). El USB generalmente requiere 3,6 voltios para la señalización. Si los raíles de tensión transportan 1,8 voltios, se requiere un doblador de tensión si la capa física permanece en el IC. Si los raíles de tensión transportan 1,2 voltios, se requiere un triplicador de tensión si la capa física permanece en el IC. Tales estructuras multiplicadoras de tensión no son necesariamente fiables.

30 **[0004]** Una solución al problema de la tensión es mover la capa física fuera del IC SoC a un IC separado (por ejemplo, un circuito integrado de administración de energía (PMIC)) y tener una capa de enlace a puente de capa física entre los dos IC. Sin embargo, muchos protocolos de capa de enlace a capa física requieren múltiples líneas o canales. Por ejemplo, la interfaz de macrocélula transceptora USB (UTMI) tiene treinta y dos (32) canales, y la UTMI+ puede tener hasta cincuenta y seis (56) canales. Normalmente, un canal requiere una conexión eléctrica dedicada (por ejemplo, un cable) y, por lo tanto, tener una capa física USB eliminada de la capa de enlace requerirá treinta y dos pines tanto en el IC SoC como en el IC PHY. Un IC SoC típico no puede dedicar tantos pines a una interfaz relativamente menor, como USB.

40 **[0005]** Se han propuesto varias soluciones para solucionar este problema, incluida la interfaz de pin bajo (ULPI) + UTMI, la Interfaz PHY de enlace en serie (SLPI) y USB2 incorporado (eUSB). ULPI aún requiere ocho o doce pines y ha demostrado ser comercialmente poco práctico para la comunicación de IC a IC. SLPI requiere solo dos pines, utilizados en un modo diferencial. Sin embargo, SLPI define cuatro procedimientos de señalización para los accesos de registro y dos procedimientos de señalización para la transferencia de datos, lo que ha demostrado ser difícil de gestionar. Del mismo modo, eUSB utiliza dos pines, que se utilizan en un modo de un solo extremo para un tipo de señalización y modo diferencial para otro tipo de señalización. Las máquinas de estado rastrean la actividad para determinar qué modo se está utilizando. El resultado final es que eUSB tiene un procedimiento de señalización para los registros de acceso, dos procedimientos de señalización para la transferencia de datos y dos procedimientos de señalización para la transferencia de información de control. La pluralidad de procedimientos de señalización en eUSB es pesada. Además, SLPI y eUSB definen interfaces eléctricas que requieren circuitos analógicos en el IC SoC para funciones tales como controladores diferenciales, receptores diferenciales, terminaciones diferenciales y detectores de silenciamiento. Uno de los beneficios de mover el PHY al IC SoC es reducir la cantidad de diseño de circuito analógico requerido en el IC SoC. Al mantener las funciones analógicas en el IC SoC, el beneficio de mover la PHY al IC SoC no se realiza completamente. Por consiguiente, sigue existiendo la necesidad de un esquema de señalización simple y de bajo número de pines para permitir el enlace a la comunicación PHY entre múltiples IC. El documento US8626975 B1 divulga un circuito integrado que comprende un circuito de capa de enlace, un puente de enlace acoplado operativamente al circuito de capa de enlace, comprendiendo el puente de enlace un serializador y una interfaz de bus acoplada operativamente al puente de enlace y configurada para acoplarse a un bus. El serializador está configurado para serializar la señalización UTMI recibida en el puente de enlace desde el circuito de capa de enlace. El puente de enlace está configurado para pasar la señalización UTMI serializada a la interfaz del bus para su transmisión a un chip de capa física remota a través del bus.

60 **SUMARIO DE LA DIVULGACIÓN**

65 **[0006]** La invención se expone en el conjunto adjunto de reivindicaciones. Las reivindicaciones dependientes establecen realizaciones particulares. Los aspectos descritos en la descripción detallada incluyen una interfaz serie de capa de enlace a capa física (PHY). En un aspecto ejemplar, un circuito integrado (IC) de un sistema en un chip (SoC) incluye un circuito de capa de enlace, y un IC remoto incluye un circuito PHY de bus serie universal (USB).

Un bus que tiene cuatro o menos cables conecta los dos IC. Un puente de enlace se comunica con el circuito de la capa de enlace y serializa la señalización de la interfaz de macrocélula de transceptor USB (UTMI) recibida desde el circuito de la capa de enlace como mensajes de alta velocidad (HS) para su transmisión al IC remoto. El puente de enlace también recibe mensajes HS desde el circuito PHY USB en el IC remoto. El puente de enlace deserializa los mensajes HS para extraer la señalización UTMI y pasa la señalización UTMI extraída al circuito de la capa de enlace. Al serializar la señalización UTMI en mensajes HS de esta manera, el número de cables entre los dos IC se minimiza y puede ser tan bajo como un solo cable. Al definir una interfaz eléctrica que solo requiere una entrada/salida digital (I/O), la cantidad de circuitos analógicos requeridos en el IC SoC para USB se reduce significativamente. Aún más, al usar mensajes HS para información de control y datos, no se requiere el conocimiento del estado del circuito USB PHY, ni se requieren esquemas de sincronización complejos. Aún más, el uso de mensajes HS permite tiempos de respuesta relativamente rápidos que pueden satisfacer requisitos de latencia relativamente estrictos.

**[0007]** A este respecto, en un aspecto, se proporciona un IC. El IC comprende un circuito de capa de enlace. El IC también comprende un puente de enlace acoplado operativamente al circuito de capa de enlace. El puente de enlace comprende un serializador. El IC también comprende una interfaz bus acoplada operativamente al puente de enlace. La interfaz bus está configurada para acoplarse a un bus que tiene cuatro o menos carriles. El serializador está configurado para serializar la señalización UTMI recibida en el puente de enlace desde el circuito de capa de enlace. El puente de enlace está configurado para pasar la señalización UTMI serializada a la interfaz bus para su transmisión a un chip PHY remoto a través del bus mediante mensajes HS. La señalización UTMI se selecciona del grupo que consiste en control UTMI, datos de baja velocidad (LS) y datos de velocidad completa (FS).

**[0008]** En otro aspecto, se proporciona un IC. El IC comprende un circuito PHY. El IC también comprende un puente PHY acoplado operativamente al circuito PHY. El puente PHY comprende un serializador. El IC también incluye una interfaz USB configurada para acoplarse a un bus USB. El IC también comprende una interfaz bus acoplada operativamente al puente PHY. La interfaz bus está configurada para acoplarse a un bus que tiene cuatro o menos carriles. El serializador está configurado para serializar la señalización UTMI recibida en el puente PHY desde el circuito PHY. El puente PHY está configurado para pasar la señalización UTMI serializada a la interfaz bus para su transmisión a un chip de capa de enlace remoto a través del bus mediante mensajes HS. La señalización UTMI se selecciona del grupo que consiste en control UTMI, datos LS y datos FS.

**[0009]** En otro aspecto, se proporciona un procedimiento para comunicarse entre un circuito PHY y un circuito de capa de enlace. El procedimiento comprende, en un primer IC, serializar la señalización UTMI generada por un circuito de capa de enlace. El procedimiento también comprende la transmisión a un IC PHY remoto de una señalización UTMI serializada a través de un bus de cuatro o menos cables como mensajes HS. La señalización UTMI se selecciona del grupo que consiste en control UTMI, datos LS y datos FS.

## **BREVE DESCRIPCIÓN DE LAS FIGURAS**

### **[0010]**

La figura 1 es un diagrama de bloques de un sistema convencional ejemplar de un circuito integrado (IC) en un chip (SoC) que tiene un circuito de capa de enlace y un circuito de capa física (PHY) en su interior;

La figura 2 es un diagrama de bloques de una capa de enlace de un solo cable de un solo extremo bidireccional de ejemplo a un sistema de interfaz serie PHY de acuerdo con un aspecto ejemplar de la presente divulgación;

La figura 3 es un diagrama de bloques de una capa de enlace de un solo extremo unidireccional de dos cables a un sistema de interfaz serie PHY de acuerdo con un aspecto ejemplar de la presente divulgación;

La figura 4 es un diagrama de bloques de una capa de enlace de extremo diferencial bidireccional de dos cables a un sistema de interfaz serie PHY de acuerdo con un aspecto ejemplar de la presente divulgación;

La figura 5 es un diagrama de bloques de una capa de enlace de dos extremos diferenciales unidireccional de cuatro cables ejemplar a un sistema de interfaz serie PHY de acuerdo con un aspecto ejemplar de la presente divulgación;

La figura 6 es un diagrama de señal en función del tiempo que ilustra cómo se transfieren los paquetes entre la capa de enlace en el IC SoC y el PHY;

La figura 7 es un diagrama de señal en función del tiempo que ilustra cómo se transfieren los paquetes desde el PHY a la capa de enlace;

La figura 8 es un diagrama de señal en función del tiempo que ilustra el cumplimiento con los requisitos de tiempo de respuesta de la señalización a velocidad máxima (FS);

La figura 9 ilustra en forma tabular la estructura de una señal de comando de paquetes de registro;

La figura 10 ilustra en forma tabular la estructura de una señal de comando de paquetes de control; y

La figura 11 ilustra un diagrama de señal en función del tiempo de diferentes paquetes de control y símbolos que se utilizan para comunicar la señalización UTMI durante una operación de reinicio USB.

### **DESCRIPCIÓN DETALLADA**

**[0011]** Con referencia a continuación a las figuras de los dibujos, se describen varios aspectos a modo de ejemplo de la presente divulgación. El término "ejemplar" se usa en el presente documento para indicar que "sirve de ejemplo, caso o ilustración". Cualquier aspecto descrito en el presente documento como "a modo de ejemplo" no se debe interpretar necesariamente que es preferente o ventajoso con respecto a otros aspectos.

**[0012]** Los aspectos descritos en la descripción detallada incluyen una interfaz serie de capa de enlace a capa física (PHY). En un aspecto ejemplar, un circuito integrado (IC) de un sistema en un chip (SoC) incluye un circuito de capa de enlace, y un IC remoto incluye un circuito PHY de bus serie universal (USB). Un bus que tiene cuatro o menos cables conecta los dos IC. Un puente de enlace se comunica con el circuito de la capa de enlace y serializa la señalización de la interfaz de macrocélula de transceptor USB (UTMI) recibida desde el circuito de la capa de enlace como mensajes de alta velocidad (HS) para su transmisión al IC remoto. El puente de enlace también recibe mensajes HS desde el circuito PHY USB en el IC remoto. El puente de enlace deserializa los mensajes HS para extraer la señalización UTMI y pasa la señalización UTMI extraída al circuito de la capa de enlace. Al serializar la señalización UTMI en mensajes HS de esta manera, el número de cables entre los dos IC se minimiza y puede ser tan bajo como un solo cable. Al definir una interfaz eléctrica que solo requiere una entrada/salida digital (I/O), la cantidad de circuitos analógicos requeridos en el IC SoC para USB se reduce significativamente. Aún más, al usar mensajes HS para información de control y datos, no se requiere el conocimiento del estado del circuito USB PHY, ni se requieren esquemas de sincronización complejos. Aún más, el uso de mensajes HS permite tiempos de respuesta relativamente rápidos que pueden satisfacer requisitos de latencia relativamente estrictos.

**[0013]** Antes de abordar aspectos ejemplares de la presente divulgación, se proporciona una breve descripción general de una capa de enlace convencional a la interfaz PHY con referencia a la figura 1. La discusión de los aspectos ejemplares de la presente divulgación comienza a continuación con referencia a la figura 2.

**[0014]** A este respecto, la figura 1 es un diagrama de bloques de un IC SoC 10 ejemplar convencional que tiene tanto un circuito de capa de enlace 12 como un circuito PHY 14 en el mismo. El IC SoC 10 también incluye un sistema de control 16, que puede ser un microprocesador o similar. El circuito de capa de enlace 12 se comunica con el circuito PHY 14 a través de un bus 18, que tiene cables 20(1)-20(32) para transportar la señalización UTMI entre los mismos. Debe apreciarse que el bus 18 puede tener cincuenta y seis (56) cables (no mostrados) si se usa UTMI+ para comunicarse entre el circuito de capa de enlace 12 y el circuito PHY 14. El circuito PHY 14 se comunica con una interfaz USB 22 que se acopla a un conector USB 24 para comunicarse con un periférico remoto (no mostrado) como un elemento de memoria, un teclado, un ratón o similar. La interfaz USB 22 puede incluir un conector hembra en el que se inserta un conector 26, como se entiende bien. El conector 26 puede incluir cuatro o cinco conductores que están agrupados en un cable 28. Es decir, la mayoría de los conectores USB tienen cuatro conductores (Vbus, D+, D, tierra), pero los conectores mini y micro USB tienen un conector de ID que indica si se trata de un conector tipo A o tipo B. El USB 3.0 puede tener dos pares trenzados adicionales (SSTx+, SST-, SSRx+, SSRx-) como se entiende bien.

**[0015]** Con referencia continua a la figura 1, la existencia de los cables 20(1)-20(32) permite que la señalización UTMI se comunique efectivamente entre el circuito de capa de enlace 12 y el circuito PHY 14. El uso de dichos cables 20(1)-20(32) es óptimo cuando tanto el circuito de capa de enlace 12 como el circuito PHY 14 están en el mismo chip. Sin embargo, a medida que el tamaño del dispositivo continúa disminuyendo, las tensiones que los transistores dentro del IC SoC 10 pueden tolerar están disminuyendo a 1,8 voltios o incluso a 1,2 voltios. Por el contrario, la tensión para el circuito PHY 14 está establecida por el estándar USB y permanece en 3,6 voltios. Por lo tanto, los diseñadores están presionados para eliminar el circuito PHY 14 del IC SoC 10. Sin embargo, tener treinta y dos cables entre un IC del circuito PHY retirado (no mostrados) y el IC SoC 10 no es práctico porque un IC SoC típico no puede permitirse dedicar tantos pines a una función relativamente menor, como el PHY USB para la interfaz de enlace. Incluso los recuentos de pines más bajos de las interfaces de pin bajo UTMI (ULPI) son demasiado altos para un IC SoC típico.

**[0016]** Aspectos ejemplares de la presente divulgación permiten que el circuito PHY se elimine del IC SoC mientras se minimiza el número de cables en el bus entre los mismos a un número que el IC SoC pueda proporcionar. Aspectos adicionales permiten que se suministren diferentes tensiones a los diferentes IC, lo que proporciona mejores implementaciones de baja potencia. Otros aspectos de la presente divulgación permiten una señalización simplificada entre el circuito de capa de enlace y el circuito PHY, tal que el modo del conector USB

(por ejemplo, el conector USB 24) no importa. La señalización simplificada aún conserva, en gran medida, la señalización UTMI explícita entre el enlace y el PHY. La preservación de la señalización UTMI ayuda a reducir el tiempo requerido para el desarrollo del circuito y los tiempos de depuración del producto, ya que UTMI está bien establecido en la industria. Al definir una interfaz eléctrica que solo requiere una entrada/salida digital (I/O), la cantidad de circuitos analógicos requeridos en SoC se reduce. Como beneficio final, aspectos ejemplares de la presente divulgación permiten implementaciones que son totalmente compatibles con USB 2.0 y específicamente compatibles con los tiempos de respuesta requeridos por USB 2.0. La interfaz de señalización simplificada se denomina a veces interfaz UTMI serie (USI) en los siguientes dibujos.

**[0017]** A este respecto, la figura 2 es un diagrama de bloques de una capa de enlace de un solo cable de un solo extremo bidireccional de ejemplo a un sistema de interfaz serie PHY 30 de acuerdo con un aspecto ejemplar de la presente divulgación. El sistema 30 incluye un IC SoC 32 y un IC PHY 34 acoplados por un bus 36 de un cable bidireccional. El IC SoC 32, el IC PHY 34 y el bus bidireccional de un solo cable 36 pueden colocarse en una placa de circuito impreso (PCB) 38, como se entiende bien. El IC SoC 32 incluye un sistema de control 40, que puede ser un microprocesador o similar y contener un registro de control y estado (CSR), un controlador de interrupción (Interrupción) y un bucle de bloqueo de fase (PLL). El IC SoC 32 también incluye un circuito de capa de enlace 42 y un puente de enlace 44 operativamente acoplado al mismo por la conexión 46. En un aspecto ejemplar, la conexión 46 contiene treinta y dos (32) cables y lleva la señalización UTMI en la misma. En un aspecto ejemplar alternativo, la conexión 46 contiene cincuenta y seis (56) cables y lleva la señalización UTMI+ en la misma. En otro aspecto ejemplar alternativo, la conexión 46 contiene ocho (8) o doce (12) cables y lleva la señalización ULPI en la misma. El sistema de control 40 puede pasar una señal de reloj al puente de enlace 44, y las señales de acceso de registro y/o las interrupciones también pueden pasar entre el puente de enlace 44 y el sistema de control 40. El IC SoC 32 también incluye una interfaz de bus 48 acoplada operativamente al puente de enlace 44 y configurada para acoplarse al bus bidireccional de un cable 36. La interfaz bus 48 puede ser un pin.

**[0018]** Con referencia continua a la figura 2, el IC PHY 34 incluye una interfaz de bus 50 configurada para acoplarse al bus bidireccional de un cable 36. La interfaz bus 50 puede ser un pin. Un puente PHY 52 está acoplado operativamente a la interfaz bus 50. El IC PHY 34 también incluye un circuito PHY 54 acoplado operativamente al puente PHY 52 mediante la conexión 56. En un aspecto ejemplar, la conexión 56 incluye treinta y dos (32) cables y lleva la señalización UTMI en la misma. En un aspecto ejemplar alternativo, la conexión 56 contiene cincuenta y seis (56) cables y lleva la señalización UTMI+ en la misma. En otro aspecto ejemplar, la conexión 56 contiene ocho (8) o doce (12) cables y lleva la señalización ULPI en la misma. El circuito PHY 54 se comunica con una interfaz USB 58, que puede ser una interfaz USB convencional similar o idéntica a la interfaz USB 22 de la figura 1.

**[0019]** Con referencia continua a la Figura 2, el puente de enlace 44 recibe señalización UTMI (como se usa en este documento, el término UTMI incluye UTMI 1.0, UTMI 1.05, UTMI+ y ULPI) del circuito de capa de enlace 42. Un serializador 60 serializa la señalización UTMI en los mensajes HS, y el puente de enlace 44 está configurado para pasar los mensajes HS a la interfaz bus 48 para su transmisión al PHY remoto 34 a través del bus bidireccional de un solo cable 36. Un deserializador 62 dentro del puente de enlace 44 toma los mensajes HS recibidos a través de la interfaz bus 48 desde el IC PHY 34 remoto a través del bus de un cable bidireccional 36 y deserializa los mensajes HS recibidos en la señalización UTMI que pasan al circuito 42 de la capa de enlace. De manera similar, el puente PHY 52 recibe señalización UTMI desde el circuito PHY 54. Un serializador 64 serializa la señalización UTMI en mensajes HS y el puente PHY 52 está configurado para pasar los mensajes HS a la interfaz bus 50 para su transmisión al IC SoC 32 a través del bus bidireccional de un solo cable 36. Un deserializador 66 dentro del puente PHY 52 toma los mensajes HS recibidos a través de la interfaz bus 50 desde el IC SoC 32 a través del bus bidireccional de un solo cable 36 y deserializa los mensajes HS recibidos en señalización UTMI que pasan al circuito PHY 54. Debe apreciarse que un mensaje HS puede ser un símbolo de ocho (8) bits, un paquete de comando o un paquete de datos.

**[0020]** Con referencia continua a la figura 2, el bus bidireccional de un solo cable 36 permite la señalización de extremo único entre el IC SoC 32 y el IC PHY 34. Otros aspectos ejemplares permiten diferentes señales y se ilustran en las figuras 3-5. Sin embargo, la mayoría de los elementos siguen siendo los mismos y no se describen de nuevo.

**[0021]** A este respecto, la figura 3 es un diagrama de bloques de una capa de enlace de un solo extremo unidireccional de dos cables a un sistema de interfaz serie PHY 70 de acuerdo con un aspecto ejemplar de la presente divulgación. En lugar del bus bidireccional de un solo cable 36 del sistema 30, el sistema 70 incluye un bus de dos cables 72, donde el cable 72A es una conexión unidireccional de un solo extremo para la transmisión al IC PHY 34, y el cable 72B es una conexión unidireccional de un solo extremo para la transmisión al IC SoC 32. En el sistema 70, la interfaz bus 48 y la interfaz bus 50 pueden incluir cada una dos pines.

**[0022]** La figura 4 es un diagrama de bloques de una capa de enlace de extremo diferencial bidireccional de dos cables a un sistema de interfaz serie PHY 80 de acuerdo con un aspecto ejemplar de la presente divulgación. En lugar de un bus bidireccional de un solo cable 36 o un bus de dos cables 72, el sistema 80 incluye un bus de dos cables 82, donde el bus de dos cables es una conexión bidireccional de extremo diferencial. En el sistema 80, la interfaz bus 48 y la interfaz bus 50 pueden incluir cada una dos pines.

5 **[0023]** La figura 5 es un diagrama de bloques de una capa de enlace de dos extremos diferenciales unidireccional de cuatro cables ejemplar a un sistema de interfaz serie PHY 90 de acuerdo con un aspecto ejemplar de la presente divulgación. En lugar de un bus bidireccional de un solo cable 36, un bus de dos cables 72 o un bus de dos cables 82, el sistema 90 incluye un bus de cuatro cables 92, que incluye una primera conexión unidireccional de dos cables de extremo diferencial 94 para transmitir mensajes HS al IC PHY 34 y una segunda conexión unidireccional de dos hilos de extremo diferencial 96 para llevar los mensajes HS al IC SoC 32. En el sistema 90, la interfaz bus 48 y la interfaz bus 50 pueden incluir cada una cuatro pines.

10 **[0024]** Pasando ahora a los mensajes HS que se proporcionan a través de los buses 36, 72, 82 y 92, se hace referencia a la Tabla 1, que muestra el código binario para los mensajes HS.

**TABLA 1**

Símbolos/Sincronizar Palabras	Código binario (bits HS)
j_smb1	1111 0000
k_smb1	1111 0100
se0_smb1	1111 0101
dis_smb1	1111 1111
cmd_sync	1010 1010 1001
dat_sync	1010 1010 1000

15 **[0025]** Como se indica en la Tabla 1, hay cuatro símbolos (J, K, cero de extremo único, y deshabilitar, o j\_smb1, k\_smb1, se0\_smb1 y dis\_smb1 respectivamente), una palabra de sincronización de comandos (cmd\_sync) para paquetes de comandos y una palabra de sincronización de datos (dat\_sync) para paquetes de datos HS. Esta combinación de símbolos y comandos permite que la señalización UTMI se pase entre el IC SoC 32 y el IC PHY 34 con un nivel aceptable de latencia. El bajo número de cables y pines permite que los costes se contengan y que el diseño del circuito sea simple. A continuación, se realiza una discusión más detallada de la señalización.

20 **[0026]** Debe tenerse en cuenta que el cmd\_sync es de doce (12) bits. Una palabra de sincronización de doce bits permite que un elemento receptor permita que su reloj y el circuito de recuperación de datos (CDR) se bloqueen. En contraste, los símbolos son solo de ocho (8) bits ayudan a cumplir con las restricciones de tiempo de la señalización de velocidad máxima (FS) y el tiempo de respuesta del paquete FS. Los paquetes de datos de baja velocidad (LS) y FS se transfieren entre el IC SoC 32 y el IC PHY 34 usando los símbolos. El j\_smb1 indica un estado J, el k\_smb1 indica un estado K, el se0\_smb1 indica un estado SE0 y el dis\_smb1 indica que el IC PHY 34 debería deshabilitar su controlador de salida. Los símbolos más cortos permiten decodificarlos con una latencia mínima. Del mismo modo, los símbolos se pueden usar para transferir información de estado de línea entre el IC SoC 32 y el IC PHY 34 durante las operaciones de USB, tal como reinicio, gorjeo, suspensión, reanudación y activación remota. La señalización de control UTMI se transfiere explícitamente entre el IC SoC 32 y el IC PHY 34 mediante paquetes de comando. Entre cada mensaje, el bus 36, 72, 82 o 92 se mantiene en estado inactivo y consume una potencia mínima.

35 **[0027]** Para ayudar a comprender mejor, la figura 6 es un diagrama de señal en función del tiempo 100 que ilustra cómo se transfieren los paquetes FS desde el IC SoC 32 al IC PHY 34. Cuando el circuito 42 de la capa de enlace afirma la señal UTMI 102 de link\_txvalid, el puente de enlace 44 envía una serie de símbolos (j\_smb1 y k\_smb1) 104 al IC PHY 34, que comienza con un primer j\_smb1 106. El primer j\_smb1 106 hace que el IC PHY 34 habilite su controlador de salida (phy\_ser\_txen o habilitación de transmisión en serie PHY) indicado en general en 108 y conduzca un estado J a las líneas D+/D- de la interfaz USB 58 (indicada en general en 110). Los siguientes siete símbolos enviados por el puente de enlace 44 hacen que la interfaz USB 58 del IC PHY 34 emita una palabra de sincronización de USB FS en las líneas D+/D-, donde la palabra de sincronización de USB FS consiste en KJKJKJKK (indicado generalmente en 112). El puente de enlace 44 luego envía una carga útil del paquete FS 114 al IC PHY 34 en una serie de símbolos (j\_smb1 y k\_smb1) 116. Cuando el enlace anula el enlace link\_txvalid 118, el puente de enlace 44 envía un final de la serie de paquetes de símbolos 120 al IC PHY 34. El primero de estos símbolos es un se0\_smb1 122, que hace que el IC PHY 34 conduzca un estado SE0 124 a las líneas D+/D-. El segundo símbolo es un j\_smb1 126, y el tercer símbolo es un dis\_smb1 128, lo que hace que el IC PHY 34 deje de conducir las líneas D+/D- de la interfaz USB 58 al deshabilitar el phy\_ser\_txen (indicado generalmente como 130).

50 **[0028]** La figura 7 es un diagrama de señal frente al tiempo 140 que ilustra cómo se transfieren los paquetes LS y FS desde el IC PHY 34 al circuito 42 de la capa de enlace. Si el IC PHY 34 no controla las líneas D+/D- (es decir, el phy\_ser\_txen no está habilitado) de la interfaz USB 58, entonces cada vez que el circuito PHY 54 detecta una

transición en las líneas D+/D- (indicada generalmente en 142) de la interfaz USB 58, el puente PHY 52 envía un símbolo correspondiente al puente de enlace 44. Así, como se ilustra, cuando las líneas D+/D- cambian a un estado K (indicado generalmente en 144), el puente PHY 52 envía un k\_smb1 146 al puente de enlace 44. El puente de enlace 44 luego envía un estado K al enlace a través de las señales UTMI llamadas link\_linestate [1:0]. Las transiciones 148 y 150 posteriores generan j\_smb1 152 y k\_smb1 154 respectivamente, y así sucesivamente. Cuando las líneas D+/D- reciben un SE0 156, el puente PHY 52 envía un se0\_smb1 158.

**[0029]** Bajo el protocolo USB, cuando un dispositivo recibe un paquete FS de un servidor USB, se requiere que el dispositivo responda a ese paquete dentro de un tiempo de respuesta de menos de tiempos de bits de 6,5 FS. Este requisito de tiempo se ilustra en la figura 8, que es un diagrama de señal en función del tiempo 170. El diagrama de señal en función del tiempo 170 muestra que el tiempo entre el final del SE0 172 en las líneas D+/D- y el inicio 174 del siguiente estado K en las líneas D+/D- es menor que los tiempos de bits de 6,5 FS. Como se muestra en la Tabla 2 a continuación, este tiempo de bits de 6,5 FS de retardo consiste en demoras a través del PHY, puente de PHY, puente de enlace, enlace, puente de enlace, puente de enlace, puente de PHY y PHY. En particular, la Tabla 2 resume la fuente de demoras que suponen un período de 60 MHz (a veces citado aquí como prds) y compara el presupuesto asignado por UTMI 1.05 al presupuesto de un aspecto ejemplar de la presente divulgación (columna titulada Máx. Recomendado). Volviendo a la figura 8, para lograr un tiempo de respuesta de tiempo de bits de 6,5 FS, el tiempo entre el puente de enlace 44 que recibe un j\_smb1 176 y la salida de un estado J 178 al circuito de la capa de enlace 42 debe ser inferior a dos períodos de 60 MHz, o menos de 16 tiempos de bits HS. De manera similar, el tiempo entre el puente PHY 52 que recibe un k\_smb1 180 y que emite un estado K 182 al circuito PHY 54, debe ser inferior a dos períodos de 60 MHz o inferior a 16 tiempos de bits HS. Si los símbolos utilizados para j\_smb1 y k\_smb1 tuvieran palabras de sincronización y cargas útiles que debían ser decodificadas por un circuito CDR, entonces no sería posible cumplir el tiempo de decodificación de 16 tiempos de bits HS.

**TABLA 2**

Bloque	Parámetro	Nombre	Presupuesto UTMI 1.05 (60 MHz prds)	Máximo recomendado (60 MHz prds)
PHY	D+/-EOP → linestate_eop	t_phy_dpm_Inst	2-3	3
Puente phy	linestate_eop → usi_dat	t_pbrg_Inst_usi		1
Puente de enlace	usi_dat → linestate_eop	t_lbrg_usi_Inst		2
Enlace	linestate_eop → link_txvalid	t_link_Inst_txv	2-24	14
Puente de enlace	link_txvalid → usi_k	t_lbrg_txv_usik		8
Puente phy	usi_k → txdat_k	tpbrg_usik_txd		2
PHY	txdat_k → D+/-SYNC	t_phy_txd_dpm	1-10	2
Total			32	32

**[0030]** Para evitar los retrasos asociados con el circuito CDR, los símbolos en la Tabla 1 se definen de manera tal que sean cortos (solo 8 bits de tiempo HS), y de manera que puedan decodificarse con una latencia mínima. Una forma de decodificar estos símbolos es con un circuito que tenga las siguientes funcionalidades. La primera funcionalidad muestra el bus 36, 72, 82 o 92 en los bordes ascendente y descendente de un reloj de 480 MHz (que puede ser generado por un PLL). Si esta funcionalidad detecta el estado inactivo seguido por al menos tres bits HS de uno, entonces el mensaje entrante no es un paquete de comando o un paquete de datos, sino un símbolo o un pulso largo que se puede usar para restablecer o interrumpir. La funcionalidad del segundo circuito muestrea los tiempos de bits del bus 36, 72, 82 o 92 10 HS después del final del estado inactivo. Si el estado del bus 36, 72, 82 o 92 es cero después de 10 tiempos de bits HS, entonces el mensaje entrante es un símbolo y no un pulso. La funcionalidad del tercer circuito cuenta el número de bordes ascendentes en el bus 36, 72, 82 o 92 desde el estado inactivo. Si hay dos bordes ascendentes, el símbolo es un k\_smb1. Si hay tres bordes ascendentes, el símbolo es un se0\_smb1. Si hay un borde ascendente, entonces el símbolo es un j\_smb1 o un dis\_smb1. Si la primera funcionalidad que muestrea el bus 36, 72, 82 o 92 en los bordes ascendentes del reloj de 480 MHz detecta más de cinco tiempos de bits HS de uno después del estado inactivo, entonces el símbolo es un dis\_smb1. De lo contrario, el símbolo es un j\_smb1. Dicho circuito tiene una latencia mínima y, por lo tanto, puede decodificar los símbolos en menos de 16 tiempos de bits HS.

**[0031]** Cuando una o más señales de control UTMI cambian en el enlace, el puente de enlace 44 envía un paquete de comando al puente PHY 52. El puente PHY 52 responde con un paquete de confirmación. Hay dos tipos de paquetes de comando, a saber, paquetes de registro y paquetes de control. El formato de los paquetes

de registro se ilustra en la figura 9. De manera similar, el formato de los paquetes de control se ilustra en la figura 10. Ambos tipos de paquetes usan el mismo cmd\_sync de la Tabla 1 para comenzar el paquete. Asimismo, ambos paquetes tienen una longitud de veintinueve (29) bits. Los paquetes de registro son utilizados por el circuito de capa de enlace 42 para leer y escribir en los registros en el circuito PHY 54. El IC PHY 34 responde al circuito de capa de enlace 42 con el mismo paquete de escritura de registro. Si el circuito de la capa de enlace 42 no recibe un paquete de confirmación desde el IC PHY 34 con los mismos valores que se envió, el circuito de la capa de enlace 42 vuelve a intentarlo. Si se produce un evento en el IC PHY 34 que debe comunicarse al circuito de la capa de enlace 42, el IC PHY 34 puede enviar un pulso de interrupción al circuito de la capa de enlace 42. El circuito de la capa de enlace 42 responde leyendo un registro de estado de interrupción en el IC PHY 34.

**[0032]** Como se ilustra en la figura 10, los paquetes de control comunican varias señales de control UTMI que provienen del circuito de la capa de enlace 42 (por ejemplo, opmode, xcrrsel, termsel, suspendm, txvalid y tdat), y varias señales de control UTMI que provienen del circuito PHY 54 (por ejemplo, linestate, hostdisc, iddig y bvalid). Cuando una señal de control UTMI del circuito de la capa de enlace 42 cambia, el puente de enlace 44 envía un paquete de control al puente PHY 52. Este paquete de control contiene los últimos valores de las señales de control UTMI en el circuito de la capa de enlace 42. Cuando el puente PHY 52 recibe este paquete de control, el puente PHY 52 aplica las últimas señales de salida UTMI al circuito PHY 54 y espera un corto periodo de tiempo para que las señales de control UTMI del circuito PHY 54 cambien. Después de este periodo de tiempo, el puente PHY 54 envía un paquete de control al puente de enlace 44 como una confirmación. El paquete de control original del puente de enlace 44 tiene establecido el bit ack\_req, lo que indica al IC PHY 34 que el puente de enlace 44 está esperando un paquete de confirmación. Cuando el puente PHY 52 envía el paquete de confirmación al puente de enlace 44, el puente PHY 52 no necesita establecer el bit ack\_req en el paquete de control al puente de enlace 44. Si el puente de enlace 44 no recibe el paquete de acuse de recibo del IC PHY 34, el puente de enlace 44 reintentará su paquete de control inicial.

**[0033]** Si el puente PHY 52 envía un símbolo para comunicar un cambio de estado de línea al mismo tiempo que se envía un paquete de control desde el puente de enlace 44, el puente PHY 52 no recibiría el paquete de control, no se enviaría una confirmación, y el puente de enlace 44 volvería a enviar su paquete de control. Cuando el puente PHY 52 recibe el paquete de control de reintento desde el puente de enlace 44, el puente PHY responde con un paquete de confirmación. Dado que el paquete de acuse de recibo contiene el valor lineal actualizado, toda la información de control de UTMI se intercambia de manera fiable entre el CI 34 y el circuito de la capa de enlace 42, incluso en caso de colisión.

**[0034]** Además, con la definición propuesta del paquete de control, los eventos de control UTMI que ocurren durante las operaciones USB de reinicio, gorjeo, suspensión, reanudación y activación remota pueden comunicarse de manera robusta entre el puente de enlace 44 y el puente PHY 52 con un intercambio de dos paquetes de control. En contraste, la misma información requeriría seis paquetes y un pulso de interrupción si se usaran los paquetes de registro. Por lo tanto, la presente disposición reduce la latencia en relación con algunas alternativas posibles.

**[0035]** La figura 11 es un diagrama de señal en función del tiempo 200 de diferentes paquetes de control y símbolos que se utilizan para comunicar la señalización UTMI durante una operación de reinicio USB. Las seis líneas superiores 202 muestran las señales de control UTMI en el enlace. La siguiente línea 204 muestra los mensajes enviados por el puente de enlace 44. La siguiente línea 206 muestra los mensajes enviados por el puente PHY 52. Las siguientes seis líneas 208 muestran las señales de control UTMI en el IC PHY 34. La última línea 210 muestra las líneas D+/D- de la interfaz USB 58. La forma en que se utilizan los paquetes de control y de confirmación para comunicar la señalización UTMI puede verse examinando una transacción típica. El cambio en el puente de enlace 44 de xcrrsel, opmode, txvalid y txdat 212 hace que el puente de enlace 44 envíe un paquete de control único 214 al puente PHY 52. El puente PHY 52 actualiza las señales de control UTMI 214 al puente de enlace 44. Esta actualización hace que el valor en las líneas D+/D- cambie 216, lo que a su vez da como resultado un cambio en la línea de prueba PHY 218. El puente PHY 52 permite que se complete este cambio, antes de enviar un paquete de confirmación 220 al puente de enlace 44. El paquete de acuse de recibo contiene el último valor del estado de línea del puente PHY 52, por lo que el puente de enlace 44 puede hacer que este último valor de estado K 222 vuelva al puente de enlace 44.

**[0036]** La capa de enlace a la interfaz serial PHY de acuerdo con los aspectos descritos en este documento puede proporcionarse o integrarse en cualquier dispositivo basado en procesador. Los ejemplos, sin limitación, incluyen un módulo de conexión, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de ubicación fija, una unidad de datos de ubicación móvil, un teléfono móvil, un teléfono celular, un teléfono inteligente, una tableta, un ordenador, un ordenador portátil, un ordenador de sobremesa, un asistente digital personal (PDA), un monitor, un monitor de ordenador, un televisor, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de discos de vídeo digital (DVD), un reproductor de vídeo digital portátil y un automóvil.

- 5 [0037] Los expertos en la técnica apreciarán además que los diversos bloques lógicos ilustrativos, módulos, circuitos y algoritmos descritos en conexión con los aspectos divulgados en el presente documento puedan implementarse como hardware electrónico, instrucciones almacenadas en la memoria o en otro medio legible por ordenador y ejecutarse por un procesador u otro dispositivo de procesamiento, o combinaciones de ambos. Los dispositivos descritos en el presente documento pueden emplearse en cualquier circuito, componente de hardware, IC o chip de IC, como ejemplos. La memoria divulgada en el presente documento puede ser una memoria de cualquier tipo y tamaño y puede configurarse para almacenar cualquier tipo de información deseada. Para ilustrar claramente esta intercambiabilidad, anteriormente se han descrito diversos componentes, bloques, módulos, circuitos y etapas ilustrativos, generalmente en términos de su funcionalidad. Cómo se implementa dicha funcionalidad depende de la aplicación en particular, de las elecciones de diseño y/o de las restricciones de diseño que se imponen en el sistema general. Los expertos en la materia pueden implementar la funcionalidad descrita de distintas maneras para cada solicitud particular, pero no se debería interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente divulgación.
- 10
- 15 [0038] Los diversos bloques lógicos ilustrativos, módulos y circuitos descritos con relación a los modos de realización divulgados en el presente documento pueden implementarse o realizarse con un procesador, un procesador de señales digitales (DSP), un circuito integrado específico de la aplicación (ASIC), una matriz de puertas programables por campo (FPGA) u otro dispositivo lógico programable, compuerta discreta o lógica de transistor, componentes discretos de hardware o cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador puede ser un microprocesador pero, como alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estado convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos (por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo).
- 20
- 25 [0039] Los aspectos divulgados en el presente documento pueden realizarse en hardware y en instrucciones que estén almacenadas en hardware, y pueden residir, por ejemplo, en Memoria de Acceso Aleatorio (RAM), memoria flash, Memoria de Solo Lectura (ROM), ROM Eléctricamente Programable (EPROM), ROM Programable Eléctricamente Borrable (EEPROM), registros, un disco duro, un disco extraíble, un CD-ROM o cualquier otra forma de medio legible por ordenador conocido en la técnica. Un medio de almacenamiento ejemplar está acoplado al procesador de modo que el procesador pueda leer información de, y escribir información en, el medio de almacenamiento. De forma alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en una estación remota. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en una estación remota, una estación base o un ordenador central.
- 30
- 35
- 40 [0040] También se observa que las etapas operativas descritas en cualquiera de los modos de realización ejemplares en el presente documento están descritas para proporcionar ejemplos y análisis. Las operaciones descritas pueden realizarse en numerosas secuencias diferentes distintas de las secuencias ilustradas. Además, las operaciones descritas en una única etapa operativa pueden realizarse realmente en varias etapas diferentes. Adicionalmente, pueden combinarse una o más etapas operativas analizadas en los aspectos a modo de ejemplo. Se entenderá que las etapas operativas ilustradas en los diagramas pueden someterse a numerosas modificaciones diferentes, como resultará inmediatamente evidente para un experto en la técnica. Los expertos en la técnica también entenderán que la información y las señales pueden representarse usando cualquiera entre una amplia variedad de distintas tecnologías y técnicas. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan haberse mencionado a lo largo de la descripción anterior pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos o partículas ópticos o cualquier combinación de los mismos.
- 45

**REIVINDICACIONES**

1. Un circuito integrado, IC, que comprende:
- 5 un circuito de capa de enlace (42);
- un puente de enlace (44) acoplado operativamente al circuito de capa de enlace (42), el puente de enlace que comprende un serializador (60); y
- 10 una interfaz bus (48) acoplada operativamente al puente de enlace (44) y configurada para acoplarse a un bus que tiene cuatro o menos carriles; y
- en el que el serializador (60) está configurado para serializar señalización Bus Serie Universal, USB, Interfaz de Macro célula de Transceptor, UTMI, recibida en el puente de enlace desde el circuito de la capa de enlace (42) en mensajes de alta velocidad, HS, y el puente de enlace (44) está configurado para pasar la señalización UTMI serializada a la interfaz bus para su transmisión a un chip de capa física remota (PHY) a través del bus utilizando los mensajes HS, en el que la señalización UTMI se selecciona del grupo que consiste en datos de control UTMI, de baja velocidad, LS, y datos de velocidad completa, FS.
- 15
2. El IC según la reivindicación 1, en el que la interfaz bus comprende:
- un solo pin para un cable bidireccional de un solo extremo; o
- 25 dos pines para un par de cables diferenciales bidireccionales; o
- dos pines para dos cables unidireccionales de un solo extremo; o
- cuatro pines para dos pares de cables diferenciales unidireccionales.
- 30
3. El IC según la reivindicación 1, en el que el puente de enlace comprende un deserializador (62) configurado para deserializar los mensajes HS recibidos desde el bus.
- 35
4. El IC según la reivindicación 1, en el que la señalización UTMI es una señalización UTMI+.
5. El IC según la reivindicación 1, en el que el puente de enlace está configurado para decodificar mensajes midiendo anchos de pulso y contando los bordes para cumplir con los tiempos de respuesta FS de USB 2.0.
- 40
6. Un circuito integrado, IC, que comprende:
- una circuito de capa física, PHY (54);
- un puente PHY (52) acoplado operativamente al circuito PHY (54), el puente PHY que comprende un serializador (64);
- 45 una interfaz Bus Serie Universal, USB (58) configurada para acoplarse a un bus USB;
- una interfaz bus (50) acoplada operativamente al puente PHY y configurada para acoplarse a un bus que tiene cuatro o menos carriles; y
- 50 en el que el serializador (64) está configurado para serializar USB, Interfaz de Macro célula de Transceptor, UTMI, recibida en el puente PHY (52) desde el circuito PHY (54) en mensajes de alta velocidad, HS, y el puente PHY está configurado para pasar la señalización UTMI serializada a la interfaz bus para su transmisión a un chip de enlace remoto a través del bus utilizando los mensajes HS, en el que la señalización UTMI se selecciona del grupo que consiste en datos de control UTMI, de baja velocidad, LS, y datos de velocidad completa, FS.
- 55
7. Un procedimiento para comunicarse entre un circuito de capa física, PHY, (54) y un circuito de capa de enlace (42), el procedimiento que comprende:
- 60 en un primer circuito integrado, IC, serializar señalización de Bus Serie Universal, USB, interfaz de Macro célula de Transceptor, UTMI, generada por un circuito de capa de enlace (42) como mensajes de alta velocidad, HS; y
- 65

transmitir a un IC PHY remoto señalización UTMI serializada a través de un bus de cuatro o menos cables como los mensajes HS, en donde la señalización UTMI se selecciona del grupo que consiste en datos de control UTMI, de baja velocidad, LS, y datos de máxima velocidad, FS.

- 5     **8.** El procedimiento según la reivindicación 7, en el que la transmisión comprende:
- transmitir a través de un bus bidireccional de un solo extremo de un solo cable; o
- 10     transmitir a través de un cable de un bus unidireccional de dos cables de un solo extremo; o
- transmitir a través de un par de cables diferenciales bidireccionales; o
- transmitir a través de un par de cables diferenciales unidireccionales.
- 15     **9.** El procedimiento según la reivindicación 7, que comprende además codificar señales de estado J, estado K, SE0 y de desactivación en mensajes de estado HS que pueden cumplir con los tiempos de respuesta FS de USB 2.0.
- 20     **10.** El procedimiento según la reivindicación 9, que comprende además decodificar los mensajes de estado HS midiendo anchos de pulso y contando bordes.
- 11.** El procedimiento según la reivindicación 7, en el que transmitir la señalización UTMI serializada comprende transmitir un evento de control UTMI+ como un mensaje HS.
- 25     **12.** El procedimiento según la reivindicación 11, que comprende además recibir una respuesta al evento de control UTMI+ como un solo mensaje HS.
- 13.** El procedimiento según la reivindicación 7, que comprende además codificar información de estado de línea FS que incluye el estado J, el estado K, SE0 y de desactivación en mensajes HS que son lo suficientemente
- 30     cortos para cumplir con los tiempos de respuesta FS de USB 2.0.
- 14.** El procedimiento según la reivindicación 7, que comprende además decodificar mensajes midiendo el ancho de los pulsos y contando los bordes de tal manera que cumpla con los tiempos de respuesta FS de USB
- 35     2.0.
- 15.** El procedimiento según la reivindicación 7, que comprende además:
- comunicar eventos de control UTMI en un puente de enlace usando un solo mensaje HS; y
- 40     recibir como un solo mensaje HS, una respuesta resultante desde el IC PHY remoto para recuperar los mensajes perdidos o colisiones de mensajes.

10

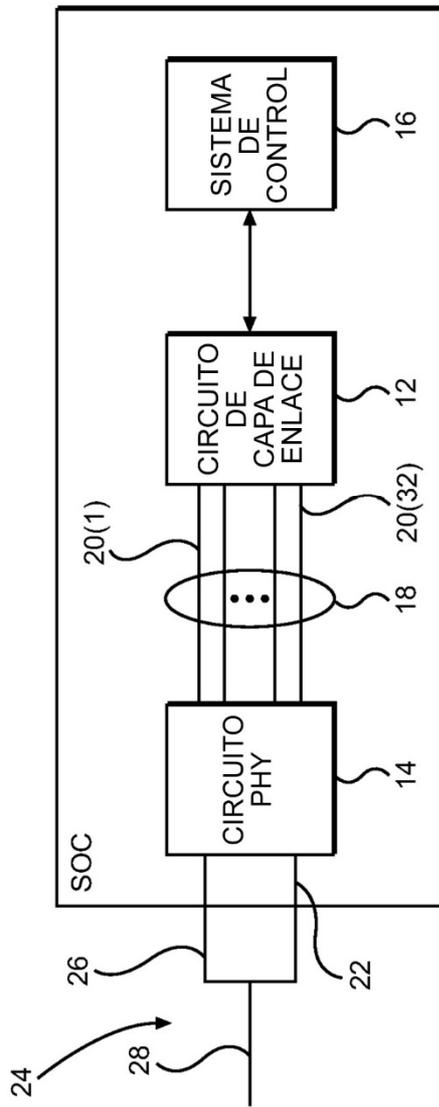


FIG. 1

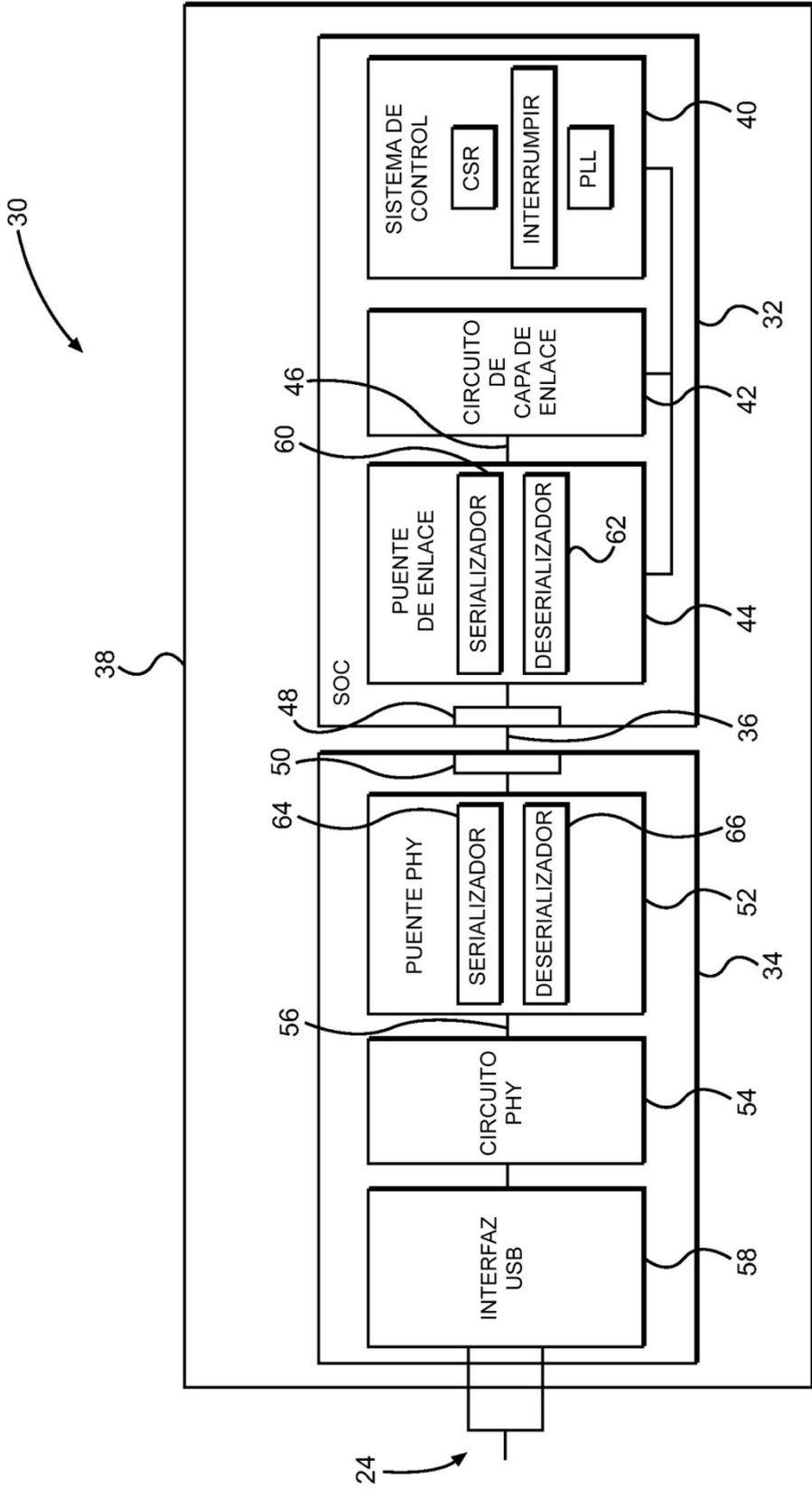


FIG. 2

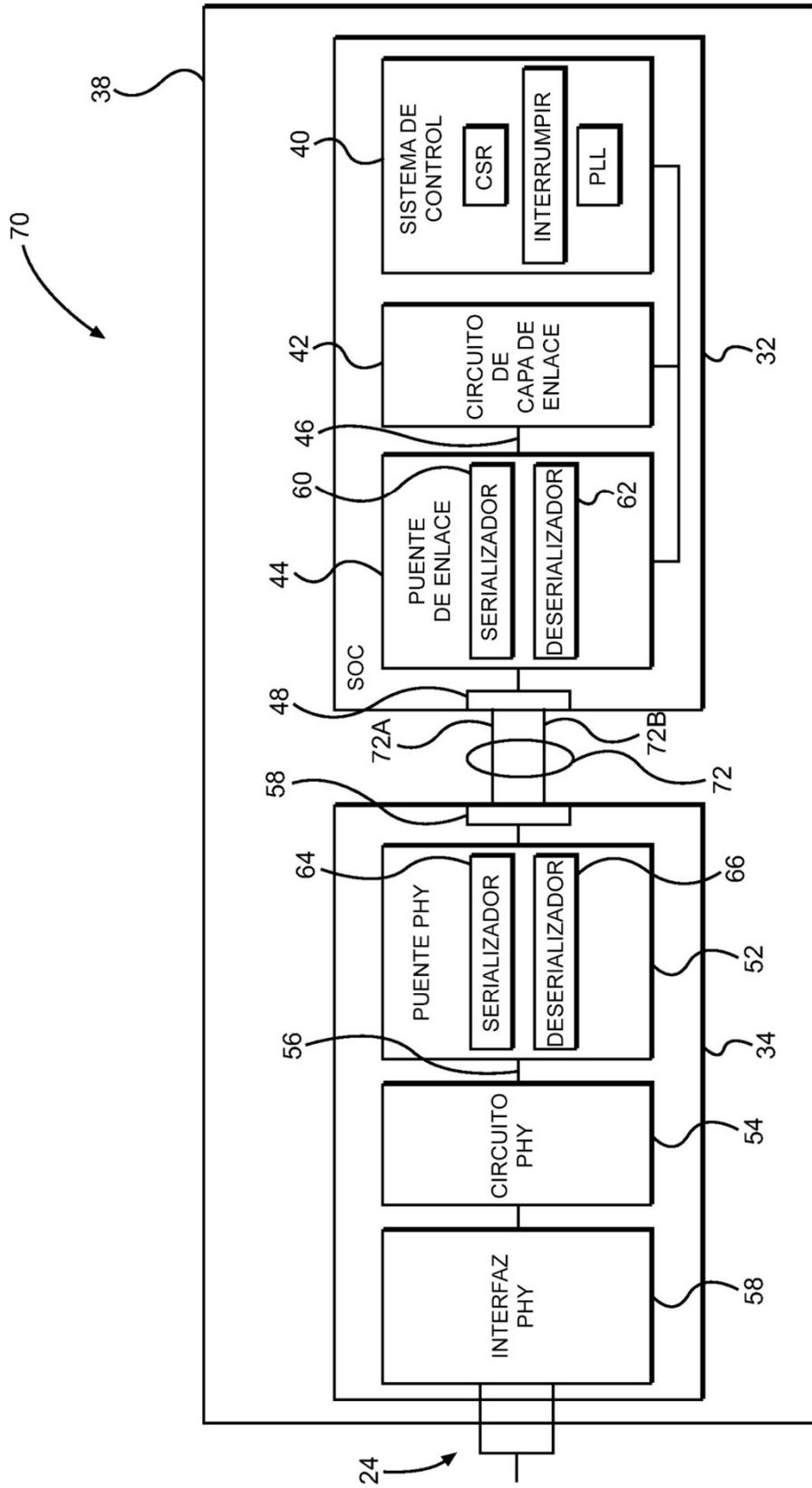


FIG. 3

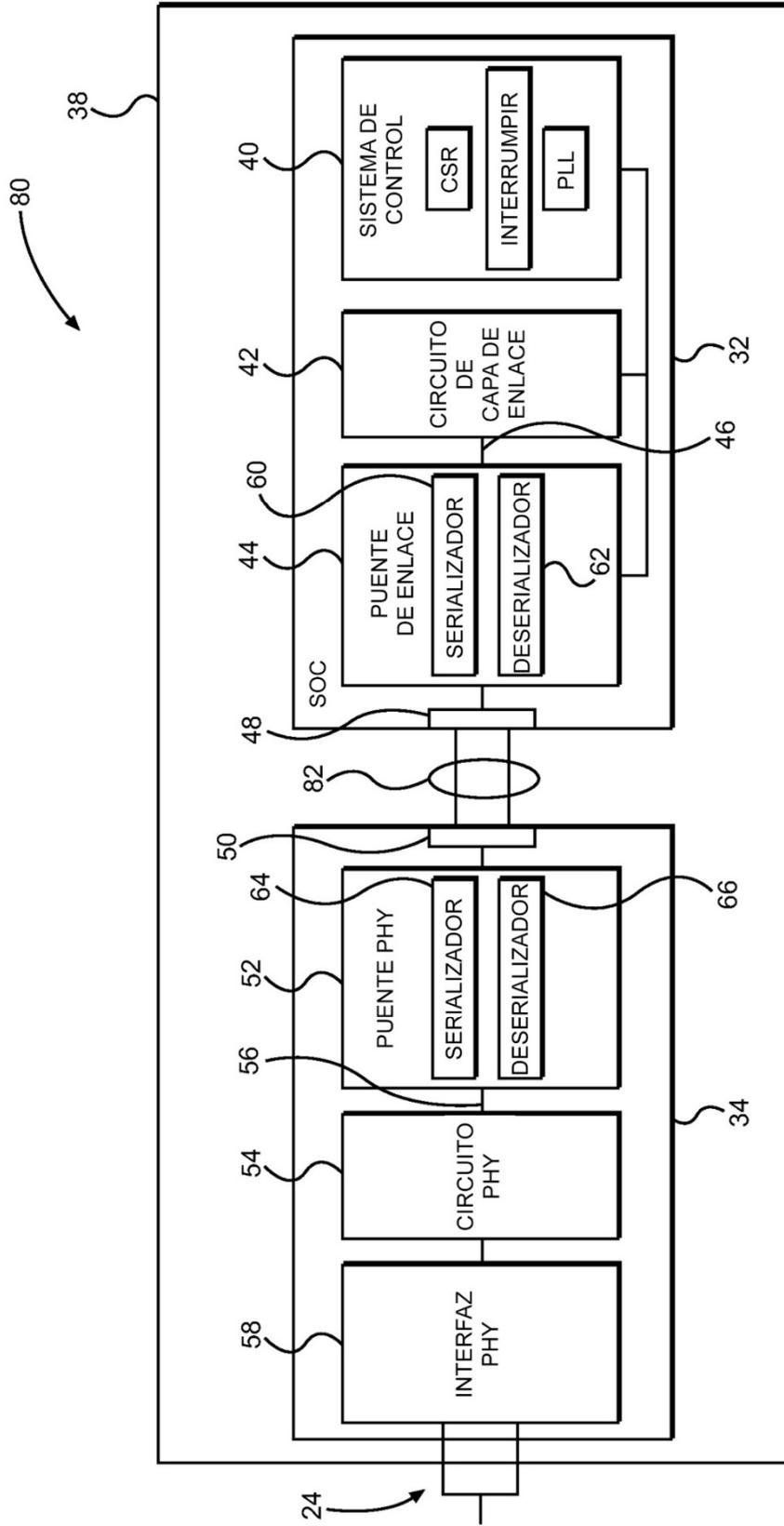


FIG. 4

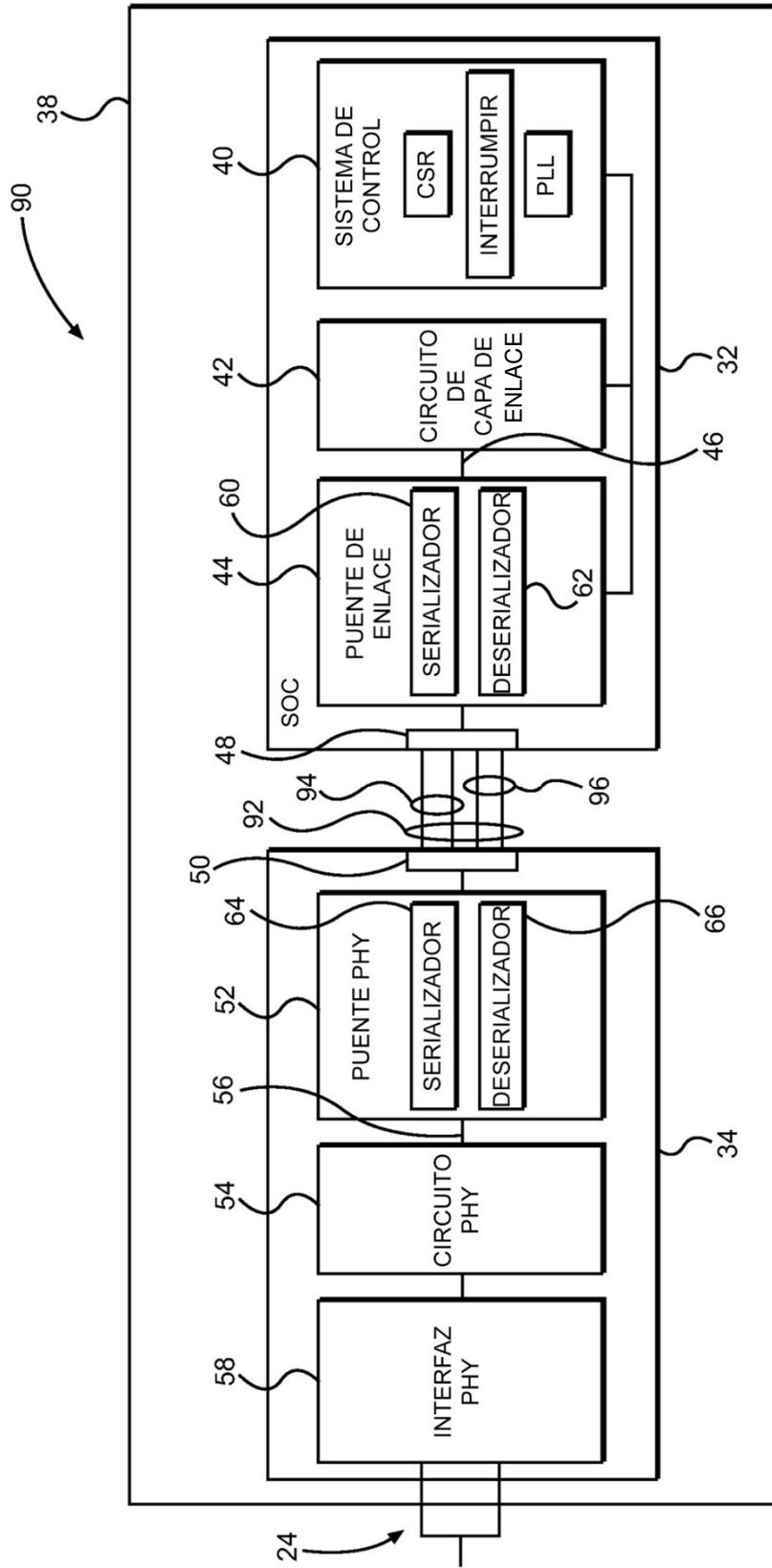


FIG. 5





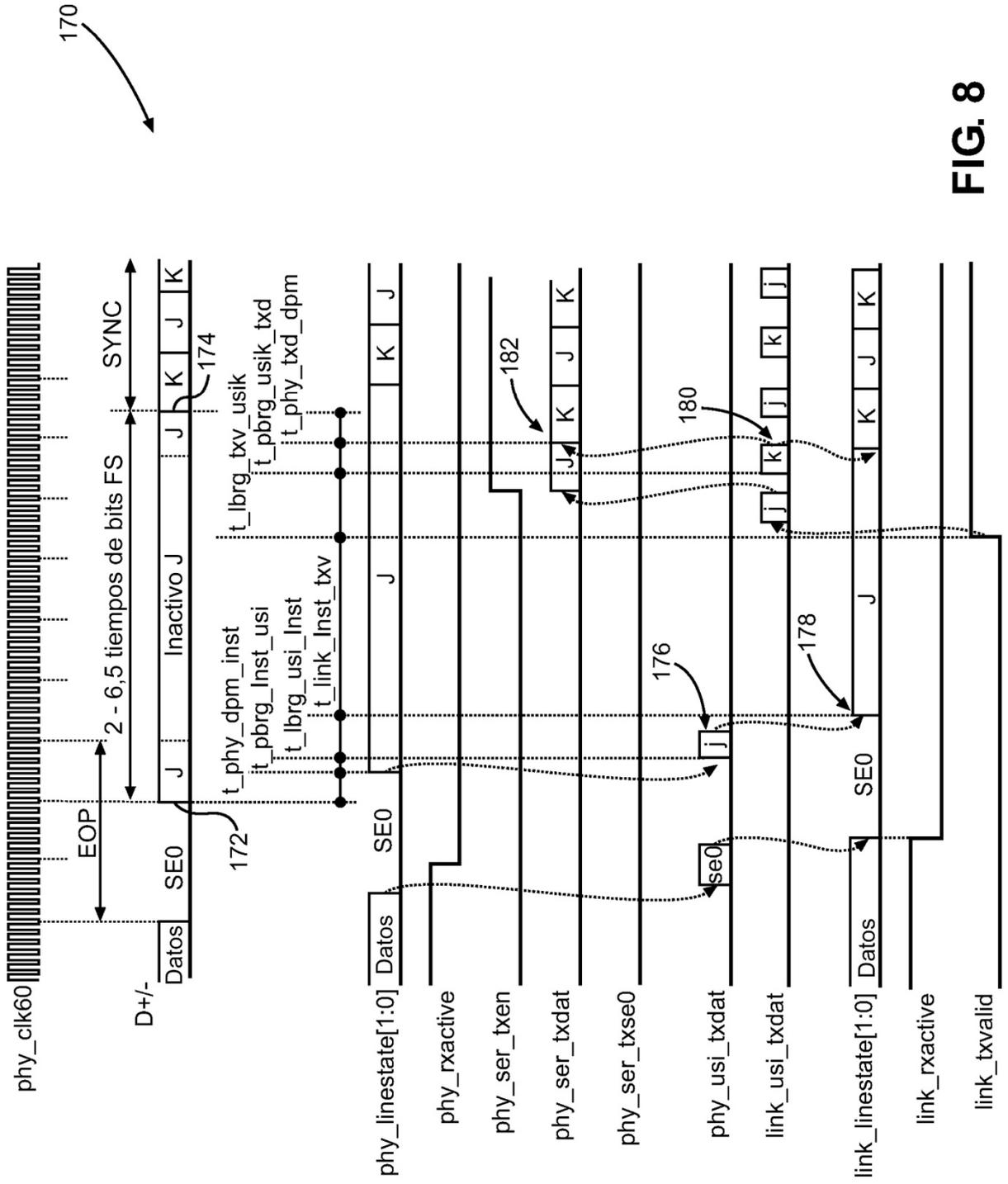


FIG. 8

<b>Campo</b>	<b>Bits</b>	<b>Comentario</b>	<b>Bit#</b>
cmd_sync	8	Véase la tabla 1	0-11
ctl_ack	0	1 = control/confirmación, 0 = acceso de registro	12
wr	1	1 = escribir, 0 = leer	13
adr[5:0]	6	dirección de registro	14-19
conmutar	1	inversa de bit 19	20
dat[7:0]	8	datos	21-28

**FIG. 9**

Campo	Bits	Fuente	Tipo	Comenta-	Bit#
cmd_sync	12	puente	formato de paquete	Véase la tabla 1	0-11
ctl_ack	1	puente	formato de paquete	1 = control/confirmación, 0 = acceso de registro	12
ack_req	1	puente	formato de paquete	1 = paquete de confirmación solicitado	13
opmode[1:0]	2	enlace	control		14-15
xcvrsel[1:0]	2	enlace	control		16-17
termssel	1	enlace	control		18
suspendm	1	enlace	control		19
conmutar	1	puente	formato de paquete	inversa de bit 19	20
txvalid	1	enlace	control		21
txdat	1	enlace	datos		22
linestate[1:0]	2	PHY	datos		23-24
hostdisc	1	PHY	control		25
iddig	1	PHY	control		26
bvalid	1	PHY	control		27
phy_int	1	PHY	control	Se afirma si se produce una interrupción PHY desensmascarada.	28

**FIG. 10**

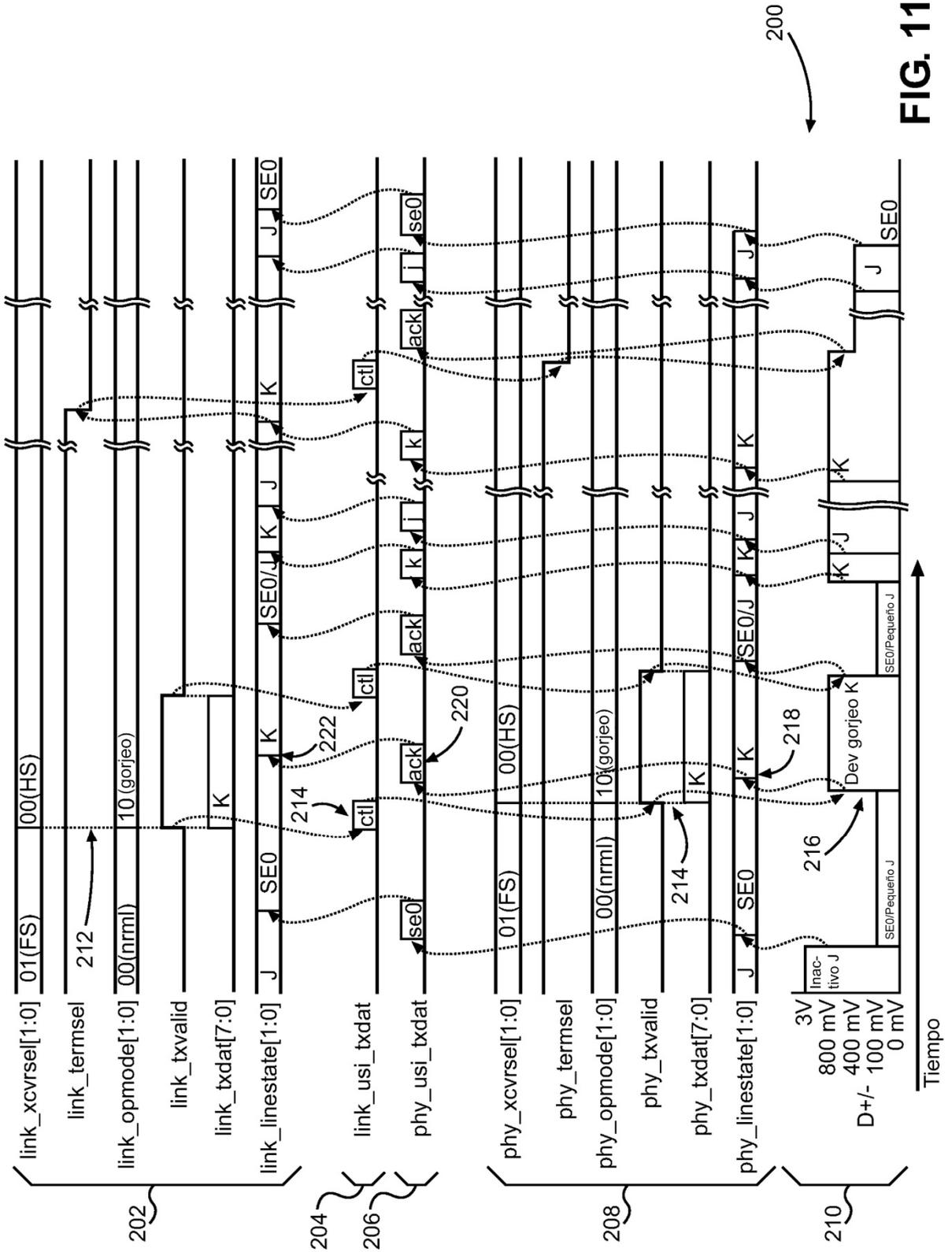


FIG. 11