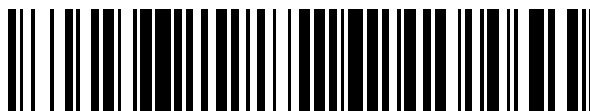


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 710 483**

51 Int. Cl.:

H03D 7/16 (2006.01)

H03H 17/02 (2006.01)

H03H 17/06 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **30.07.2015 E 15762490 (9)**

97 Fecha y número de publicación de la concesión europea: **07.11.2018 EP 3175550**

54 Título: **Convertidor digital de frecuencia y procedimiento de tratamiento en un convertidor digital de frecuencia**

30 Prioridad:

30.07.2014 FR 1401758

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

25.04.2019

73 Titular/es:

**THALES (100.0%)
Tour Carpe Diem, Esplanade Nord, Place des
Corolles
92400 Courbevoie, FR**

72 Inventor/es:

**JOLEC, FRANÇOIS y
DOUMENJOU, ANTHONY**

74 Agente/Representante:

SALVÀ FERRER, Joan

ES 2 710 483 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Convertidor digital de frecuencia y procedimiento de tratamiento en un convertidor digital de frecuencia

5 [0001] La presente invención se refiere a un convertidor digital de frecuencia.

[0002] Dichos convertidores digitales se utilizan para llevar a cabo una conversión descendente de frecuencia, transformando muestras reales procedentes de un convertidor analógico-digital y centrados en una frecuencia transpuesta f_0 , en muestras complejas I/Q en banda de base, seguido de un filtro de paso bajo y de una
10 decimación.

[0003] Los convertidores numéricos de frecuencia conocidos en la técnica anterior se describen en los documentos: US5841811, US2004056785, y en el artículo de J.M.P. Langlois y col. "A High Performance, Wide Bandwidth, Low Cost FPGA-Based Quadrature Demodulator", Proceedings of the 1999 IEEE Canadian Conference on Electrical and Computer Engineering, Edmonton, Alberta, Canada, 9-12 de mayo de 1999, páginas 497-502.
15

[0004] Estos convertidores digitales de frecuencia se implementan a menudo en un circuito impreso del tipo red de puertas programables, también denominado FPGA (en inglés "*field-programmable gate array*"), que funciona a una velocidad de tratamiento F_{FPGA} inferior a la frecuencia de muestreo F_e del convertidor analógico-digital. Por lo tanto, la conversión de frecuencia no se realiza de forma continua y en tiempo real, o bien es necesario limitar la frecuencia de muestreo por la frecuencia de tratamiento F_{FPGA} si se desea un tratamiento continuo y en tiempo real.
20

[0005] A veces se utilizan varios bloques convertidores analógicos-digitales a frecuencias de muestreo inferiores a F_{FPGA} para tener un equipo de banda ancha, pero surgen problemas de unión entre los diferentes bloques.
25

[0006] Con referencia a la gráfica de la figura 1 que representa en la abscisa la frecuencia de muestreo F_e y en la ordenada la frecuencia de tratamiento F_{FPGA} , y señalando a F_{FPGA_MAX} como el valor máximo de tratamiento de FPGA, la zona sombreada Z1 es la zona explotable en tratamiento continuo y en tiempo real, y la frecuencia F_{e1} es la frecuencia de muestreo máxima que se puede utilizar para un tratamiento continuo y en tiempo real.
30

[0007] Por lo tanto, es deseable contar con un convertidor digital que permita reducir el número de cálculos necesarios para la conversión, por una parte, y, por otra parte, para llevar a cabo el tratamiento, a la frecuencia de tratamiento F_{FPGA} de FPGA, que marca el funcionamiento del convertidor, de muestras muestreadas a una frecuencia de muestreo F_e superior a esta frecuencia de tratamiento F_{FPGA} .
35

[0008] A tal fin, según un primer aspecto, la invención propone un convertidor digital de frecuencia adecuado para recibir muestras de señal y que comprende:

40 - al menos un bloque de transposición en frecuencia adaptado para transponer en frecuencia dichas muestras recibidas;

- al menos un bloque de filtro adaptado para filtrar dichas muestras transpuestas y para producir muestras filtradas $y(n)$ verificando la fórmula $y(n) = c(0).x(n) + c(1).x(n-1) + c(2).x(n-2) + \dots + c(p-1).x(n-p+1) + c(p).x(n-p) + c(p-1).x(n-p-1) + \dots + \dots + c(1).x(n-2.p+1) + c(0).x(n-2.p)$, en la que $x(i)$ son las muestras transpuestas y $c(0), \dots, c(p)$ son
45 coeficientes reales del filtro; y

- un conjunto de memorias,

dicho convertidor de frecuencia está adaptado para, durante un ciclo de determinación del valor de la muestra filtrada $y(n)$, llevar a cabo las operaciones de
50

- cálculo de los primeros términos $c(0).x(n), c(1).x(n-1), c(2).x(n-2), \dots, c(p).x(n-p)$ multiplicando los respectivos coeficientes y muestras transpuestas, y almacenamiento de al menos algunos de dichos primeros términos calculados en el conjunto de memorias;

55 - lectura, en el conjunto de memorias, de al menos algunos de los segundos términos $c(p-1).x(n-p-1), \dots, c(1).x(n-2.p+1), c(0).x(n-2.p)$, calculados y almacenados durante ciclos previos de determinación del valor de las muestras filtradas y $(n-m)$, siendo m un número entero estrictamente positivo; y

- determinación de $y(n)$ por suma de los primeros y segundos términos,

60 dicho convertidor de frecuencias está adaptado para recibir muestras reales muestreadas de señal y para ofrecer señales complejas I/Q, resultantes del filtro por el bloque de filtrado después de la transposición por el bloque de transposición de dichas muestras reales muestreadas, dicho convertidor incluye canales paralelos de tratamiento de las señales I y de las señales Q, al menos una de dichas cadenas de tratamiento I, Q incluye N canales paralelos, cada uno de ellos adaptado para llevar a cabo una transposición de frecuencia, dicho convertidor de frecuencias se
65 adapta para un orden $-ésimo$ para distribuir selectivamente las muestras reales entre dichos canales, cada $(N.n+i-1)$

muestra real se proporciona en el canal de orden $i^{\text{ésimo}}$, $i = 1$ a N , n es un número entero positivo, al menos los canales paralelos de orden $k^{\text{ésimo}}$ y $j^{\text{ésimo}}$ de dicha cadena de tratamiento, $k \neq j$ y k, j números enteros entre 1 y N , que comprenden un subbloque de filtrado adaptado para determinar la señal filtrada $y(N.n+i-1) = c(0).x(N.n+i-1) + c(1).x(N.n+i-1-1) + c(2).x(N.n+i-1-2) + \dots + c(p-1).x(N.n+i-1-p) + c(p).x(N.n+i-1-p) + c(p-1).x(N.n+i-1-p-1) + \dots + c(1).x(N.n+i-1-2.p+1) + c(0).x(N.n+i-1-2.p)$, en el que $x()$ son las señales resultantes de la transposición en dicha cadena de tratamiento, con $i = j$ en el canal de orden $j^{\text{ésimo}}$, e $i = k$ en el canal de orden $k^{\text{ésimo}}$, el subbloque de filtrado del canal de orden $k^{\text{ésimo}}$, respectivamente del canal de orden $j^{\text{ésimo}}$, se adapta para calcular los primeros términos $c(0).x(N.n+i-1), \dots, c(p).x(N.n+i-1-p)$ multiplicando los respectivos coeficientes y muestras transpuestas, para almacenar al menos algunos de dichos primeros términos calculados en el conjunto de memorias y para leer, en el conjunto de memorias, al menos algunos de los segundos términos $c(p-1).x(N.n+i-1-p-1), \dots, c(0).x(N.n+i-1-2.p)$, calculados y almacenados durante ciclos anteriores de determinación del valor de las muestras filtradas $y(n-m)$, siendo m un número entero estrictamente positivo, algunos de dichos segundos términos se calculan por el subbloque de filtrado del canal de orden $j^{\text{ésimo}}$, respectivamente del canal de orden $k^{\text{ésimo}}$.

15 **[0009]** Dicho convertidor, al explotar las propiedades de los filtros simétricos, permite reducir el volumen de cálculo a realizar y, por lo tanto, limitar los recursos necesarios para la conversión.

[0010] En realizaciones, el convertidor digital de frecuencia según la invención incluye además una o más de las siguientes características:

20

- el convertidor está adaptado para funcionar de manera sincronizada por una señal de reloj de frecuencia, referida como frecuencia de funcionamiento, y adaptado para recibir las muestras reales muestreadas según una frecuencia de muestreo, N es igual al cociente de la frecuencia de muestreo por la frecuencia de funcionamiento;

- la transposición de frecuencia comprende una multiplicación de las muestras por un seno o coseno de frecuencia igual a $F_e/4$, $N/2$ canales que producen de este modo muestras transpuestas siempre cero.

25

[0011] Según un segundo aspecto, la presente invención propone un procedimiento de tratamiento en un convertidor de frecuencia adaptado para recibir muestras de señales, comprendiendo el procedimiento las siguientes etapas:

30

- recepción de muestras de señales;
- transposición en frecuencia de dichas muestras recibidas;
- filtrado de dichas muestras transpuestas, las muestras filtradas $y(n)$ verifican la fórmula $y(n) = c(0).x(n) + c(1).x(n-1) + c(2).x(n-2) + \dots + c(p-1).x(n-p+1) + c(p).x(n-p) + c(p-1).x(n-p-1) + \dots + c(1).x(n-2.p+1) + c(0).x(n-2.p)$, en la que $x()$ son las muestras transpuestas y $c(0), \dots, c(p)$ son coeficientes reales del filtro,

35

dicho procedimiento de tratamiento comprende las siguientes etapas, durante un ciclo de determinación del valor de la muestra filtrada $y(n)$:

- 40 - cálculo de los primeros términos $c(0).x(n), c(1).x(n-1), c(2).x(n-2), \dots, c(p).x(n-p)$ multiplicando los respectivos coeficientes y muestras transpuestas, y almacenamiento de al menos algunos de dichos primeros términos calculados en un conjunto de memorias;

- lectura, en el conjunto de memorias, de al menos algunos de los segundos términos $c(p-1).x(n-p-1), \dots, c(1).x(n-2.p+1), c(0).x(n-2.p)$, calculados y almacenados durante ciclos anteriores de determinación del valor de las muestras

- 45 filtradas $y(n-m)$, siendo m un número entero estrictamente positivo; y

- determinación de $y(n)$ por suma de los primeros y segundos términos,

el convertidor de frecuencias está adaptado para recibir muestras reales muestreadas de la señal y ofrecer señales complejas I/Q resultantes del filtro después de la transposición de dichas muestras reales muestreadas, comprendiendo dicho procedimiento las etapas de:

50

- tratamiento en paralelo de muestras reales en una cadena de tratamiento I de señales I y una cadena de tratamiento Q de señales Q;

- en al menos una de dichas cadenas de tratamiento paralelo comprenden N canales paralelos,

55

distribución selectiva de las muestras reales entre dichos canales, cada $(N.n+i-1)$ muestra real se proporciona al canal de orden $i^{\text{ésimo}}$, $i = 1$ a N , n es un entero positivo,

el procedimiento de tratamiento comprende, en al menos en los canales paralelos de orden $k^{\text{ésimo}}$ y $j^{\text{ésimo}}$ de dicha cadena de tratamiento, $k \neq j$ y k, j enteros entre 1 y N , la determinación de la señal filtrada $y(N.n+i-1) = c(0).x(N.n+i-1) + c(1).x(N.n+i-1-1) + c(2).x(N.n+i-1-2) + \dots + c(p-1).x(N.n+i-1-p) + c(p).x(N.n+i-1-p) + c(p-1).x(N.n+i-1-p-1) + \dots + c(1).x(N.n+i-1-2.p+1) + c(0).x(N.n+i-1-2.p)$, en la que $x()$ son las señales resultantes de la transposición en dicha cadena de tratamiento, con $i = j$ en el canal de orden $j^{\text{ésimo}}$, e $i = k$ en el canal de orden $k^{\text{ésimo}}$,

60 y comprende en el canal de orden $k^{\text{ésimo}}$, respectivamente del canal de orden $j^{\text{ésimo}}$, el cálculo de los primeros términos $c(0).x(N.n+i-1), \dots, c(p).x(N.n+i-1-p)$ multiplicando los coeficientes y muestras transpuestos respectivos, el almacenamiento de al menos algunos de dichos primeros términos calculados en el conjunto de memorias y la

65

lectura en el conjunto de memorias, de al menos algunos de los segundos términos $c(p-1).x(N.n+i-1-p-1)$, ..., $c(0).x(N.n+i-1-2.p)$, calculados y almacenados durante ciclos anteriores de determinación del valor de las muestras filtradas $y(n-m)$, siendo m un número entero estrictamente positivo, en el canal de orden $j^{\text{ésima}}$, respectivamente el canal de orden $k^{\text{ésima}}$.

5

[0012] Estas características y ventajas de la invención resultarán evidentes tras la lectura de la siguiente descripción, dada únicamente a modo de ejemplo, y con referencia a los dibujos adjuntos, en los cuales:

- La figura 1 representa un gráfico que ilustra la relación entre la frecuencia de muestreo y la frecuencia de tratamiento en la técnica anterior, por una parte, y según la invención, por otra parte;
- la figura 2 es una vista de un convertidor de frecuencia de tipo descendente;
- la figura 3 es una vista detallada de un convertidor de frecuencia de tipo descendente en una realización de la invención;
- la figura 4 es un diagrama de flujo de etapas implementadas en una realización de la invención.

15

[0013] La figura 2 es una vista de un convertidor de frecuencia de tipo descendente 10.

[0014] El convertidor de frecuencia de tipo descendente 10 o DDC 10 (en inglés "*Digital Down Converter*") está adaptado para recibir en entrada muestras reales $z(n)$ en la banda transpuesta.

20

[0015] DDC 10, (en inglés "*Digital Down Converter*") está adaptado para generar a la salida muestras complejas $Z(n)$ en banda de base, es decir, cuyo espectro está centrado en 0.

[0016] $z(n)$ es la muestra correspondiente al tiempo de muestreo $t_n = n/F_e$ y $Z(n)$ es la muestra proporcionada a $T_{\text{inic}}+n/F_e$, en la que n es un número entero positivo y el instante de muestreo inicial.

25

[0017] Cada muestra compleja se escribe $Z(n) = I(n) + i.Q(n)$, en la que $I(n)$ es el componente en fase y $Q(n)$ es el componente en cuadratura.

[0018] El espectro de estas muestras $z(n)$ se centra, pues, alrededor de la frecuencia portadora f_0 .

[0019] La frecuencia de muestreo F_e de estas muestras $z(n)$ es, por ejemplo, la frecuencia de muestreo de un convertidor analógico-digital ubicado corriente arriba del DDC 10.

[0020] El DDC 10 es una parte integral de un FPGA y sus operaciones están marcadas por una señal de reloj de FPGA que tiene una frecuencia igual a F_{FPGA} , llamada frecuencia de tratamiento.

35

[0021] El DDC 10 está adaptado para tratar continuamente y en tiempo real las muestras $z(n)$ recibidas. El DDC 10 incluye un canal de tratamiento V_I y un canal de tratamiento V_Q .

40

[0022] El DDC 10 está adaptado para proporcionar cada muestra real $z(n)$ en la entrada de cada canal de tratamiento V_I y V_Q .

[0023] El DDC 10 comprende, en el canal V_I , un bloque de transposición en banda de base, 11_I , un filtro de paso bajo 12_I y un bloque decimador 13_I .

45

[0024] El DDC 10 comprende, en el canal V_Q , un bloque de transposición en banda de base, 11_Q , un filtro de paso bajo 12_Q y un bloque decimador 13_Q .

[0025] El bloque de transposición de frecuencia 11_I está adaptado para multiplicar una muestra real $z(n)$ recibida en la entrada por una función de coseno a la frecuencia f_0 : $\cos(2\pi f_0 t_n)$.

50

[0026] El bloque de transposición de frecuencia 11_Q se adapta para multiplicar una muestra real $z(n)$ por una función de seno a la frecuencia f_0 : $\text{seno}(2\pi f_0 t_n)$.

55

[0027] Cada bloque decimador 13_I , 13_Q está adaptado para reducir el número de muestras, en el caso considerado, el número de muestras se reduce en un factor de 2. Esta decimación reduce la cadencia en el canal I, respectivamente Q, de 800 MHz a 400 MHz.

[0028] En el caso considerado, cada filtro 12_I , 12_Q es un filtro a una respuesta a un impulso finito, referido como filtro FIR (en inglés "*Finite Impulse Response filter*").

60

[0029] La salida $y(n)$ de cada uno de estos filtros 12_I , 12_Q se escribe en la forma de una misma combinación lineal en función de la señal de entrada $x(n)$ del filtro:

65

$$y(n) = c(0).x(n) + c(1).x(n-1) + c(2).x(n-2) \dots + c(M-1).x(n-M+1) \quad (\text{fórmula 1})$$

en la que M es un entero positivo.

5 **[0030]** En la realización descrita, cada filtro es un filtro simétrico, con las siguientes propiedades:

- el número M de coeficientes es impar: $M = 2.p + 1$, siendo p un número entero positivo;
- los coeficientes son números reales y son simétricos $c(i) = c(2.p-i)$ $i = 0$ a p;
- los coeficientes impares son cero excepto el coeficiente impar entre $c(p)$ et $c(p+1)$.

10

[0031] En la realización descrita, cada filtro se normaliza aún más por el valor del coeficiente central $c(p)$.

[0032] La fórmula que da $y(n)$ se puede escribir:

$$y(n) = c(0).x(n) + c(1).x(n-1) + c(2).x(n-2) + \dots + c(p-1).x(n-p+1) + c(p).x(n-p) + c(p-1).x(n-p-1) \dots + c(1).x(n-2.p+1) + c(0).x(n-2.p).$$

15

[0033] Tenga en cuenta que los últimos p términos de la combinación lineal, a partir del término $c(p-1).x(n-p-1)$ al término $c(0).x(n-2.p)$ son términos utilizados para determinar las salidas anteriores de filtro:

- 20 $c(0).x(n-2.p)$ entra en el cálculo de $y(n-2.p)$,
- $c(1).x(n-2.p+1)$ entra en el cálculo de $y(n-2.p+2)$,
- $c(p-1).x(n-p-1)$ entra en el cálculo de $y(n-2)$; y
- más generalmente, $c(i).x(n-2p+i)$ entre en el cálculo de $y(n-2p+2i)$, $i = 0$ a $p-1$.

25 **[0034]** De manera similar, los primeros p términos de la combinación lineal, a partir del término $c(0).x(n)$ al término $c(p-1).x(n-p+1)$, son términos utilizados para determinar salidas posteriores del filtro.

[0035] Según un aspecto de la invención, el número de multiplicaciones a realizar y, por lo tanto, el número de multiplicadores que se implementarán, se reducirá por la configuración al calcular una salida $y(n)$ de filtro, almacenando los primeros p términos de la combinación lineal después de su cálculo, en lo sucesivo denominados resultados intermedios, y la extracción y reutilización de los resultados intermedios previamente almacenados durante el cálculo de salidas anteriores, para determinar los últimos p términos de la combinación lineal.

30 **[0036]** El DDC 10 según la invención está adaptado para realizar los tratamientos en cada canal paralelo a la frecuencia F_{FPGA} y para proporcionar a la salida un flujo I y un flujo Q, siendo cada flujo un flujo continuo y en tiempo real de muestras respecto a $F_e/2$.

[0037] En el caso particular considerado:

- 40 - p se elige igual a 27, el número de coeficientes es por lo tanto igual a 55;
- los coeficientes son los siguientes: $c(0)$, $c(1)$, $c(2)$, ..., $c(25)$, $c(26)$, $c(27)$, $c(28)$, $c(29)$, ..., $c(52)$, $c(53)$, $c(54)$;
- $c(0)$, $c(2)$, ..., $c(52)$, $c(54)$ equivale entre -1 y 1 después de la normalización por el coeficiente central $c(27)$;
- los coeficientes impares son cero $c(1)=c(3)= \dots =c(25)=c(29)= \dots =c(51)=c(53)=0$ excepto $c(27)$ igual a 1 siguiendo la normalización de coeficientes;
- 45 - la frecuencia transpuesta f_0 es igual a 200 MHz, la frecuencia de muestreo F_e es igual a 800 MHz, la frecuencia F_{FPGA} del tratamiento de FGPA es igual a 200 MHz.

[0038] Pero, por supuesto, la invención se puede implementar con otros valores para p y estas frecuencias.

50 **[0039]** Las muestras sucesivas $y(n)$, $y(n+1)$ en el canal I en la salida del filtro 12i, se escriben por lo tanto en función de las muestras $x(i)$ en la entrada del filtro 12i debido a que la transposición da lugar a una muestra igual a 0 cada dos muestras debido al valor de $2\pi f_0 t_i$:

$$y(n) = c(0) * x(n) + 0 * 0 + c(2) * x(n - 2) + 0 * 0 + \dots + 0 * 0 + c(26) * x(n - 26) + 1 * 0 + c(28) * x(n - 28) + 0 * 0 + \dots + c(52) * x(n - 52) + 0 * 0 + c(54) * x(n - 54)$$

55

ya que las muestras cero en la entrada que sigue a la transposición y los coeficientes cero se superponen y $y(n)$ es una suma de 28 términos, y

$$y(n+1) = c(0) * 0 + 0 * x(n) + c(2) * 0 + 0 * x(n-2) + \dots + c(26) * 0 + 1 * x(n-26) + c(28) * 0 + \dots + 0 * x(n-52) + c(54) * 0$$

[0040] Debido a la anulación de los términos, excepto por un término, ya sea por muestras cero o por coeficientes cero, $y(n+1) = x(n-26)$. Así que no hay que hacer ningún cálculo, solo se aplica un retraso.

5

[0041] Las muestras sucesivas $y(n)$, $y(n+1)$ en el canal Q en la salida del filtro 12_Q , se escriben por lo tanto, de manera similar en función de las muestras $x(i)$ en la entrada del filtro 12_Q debido a que la transposición da lugar a una muestra igual a ambas muestras debido al valor de $2\pi f_0 t_n$, $y(n) = x(n-27)$ y $y(n+1)$ se escribe como una suma de 28 términos.

10

[0042] La decimación de las muestras por 2 equivale a mantener solo una muestra de 2, es decir, según las realizaciones es $y(n)$ o $y(n+1)$.

[0043] En el caso considerado descrito a continuación, se considera que las muestras $y(n)$ se suprimen y las muestras $y(n+1)$ se mantienen, lo que induce la implementación de un retraso en el canal I y un filtro FIR con 28 coeficientes como se describe a continuación.

15

[0044] Los coeficientes son simétricos ($c(0) = c(54)$, $c(1)=c(53)=0$, $c(2)=c(52)$, ...), esto implica 14 multiplicaciones.

20

[0045] La figura 3 ilustra una realización particular del DDC 10 representado en la figura 2.

[0046] El DDC 10 en esta realización comprende un distribuidor 15 adaptado para recibir las muestras $z(n)$ a la frecuencia $F_e = 800$ MHz y para tratar las muestras N por N, con $N = F_e/F_{FPGA}$, aquí $N = 4$.

25

[0047] El tratamiento de este distribuidor 15 comprende el suministro en paralelo de cada una de estas N muestras en la entrada del canal V_I y el suministro en paralelo de cada una de estas N muestras en la entrada del canal V_Q .

30

[0048] El canal V_I del DDC 10 comprende, por lo tanto, N subcanales $V_{I_0}, \dots, V_{I_{N-1}}$.

[0049] Cada subcanal V_{I_i} $i = 0$ a $N-1$, recibe selectivamente las muestras $z(kN+i)$, siendo k un número entero natural.

35

[0050] Cada subcanal V_{I_i} está adaptado para llevar a cabo en paralelo con otros subcanales del canal V_I , la transposición de frecuencia en banda de base mediante la multiplicación por $\cos(2\pi f_0 t_n)$ en un bloque de transposición en banda de base 11_{I_i} , y el filtro FIR por un bloque de filtrado 12_{I_i} .

[0051] De manera similar, el canal V_Q de DDC 10 comprende así N subcanales $V_{Q_0}, \dots, V_{Q_{N-1}}$.

40

[0052] Cada subcanal V_{Q_i} $i = 0$ a $N-1$, recibe de forma selectiva las muestras $z(kN+i)$, siendo k un número entero natural.

[0053] Cada subcanal V_{Q_i} está adaptado para llevar a cabo en paralelo con otros subcanales del canal V_Q , la transposición de frecuencia en banda de base mediante la multiplicación por $-\sin(2\pi f_0 t_n)$ en un bloque de transposición en banda de base 11_{Q_i} , y el filtro FIR mediante un bloque de filtrado 12_{Q_i} .

45

[0054] Los bloques de filtrado 12_{Q_1} y 12_{Q_3} son además adecuados para calcular y almacenar resultados intermedios, por ejemplo, en los registros de desfase, y para comunicar entre ellos estos resultados intermedios, por ejemplo, por medio de los medios de entrada/salida de dichos registros de acceso.

50

[0055] En el caso particular considerado con los valores indicados anteriormente para p y las frecuencias, como consecuencia de $F_e/f_0 = 4$, resulta que la transposición en banda de base en los subcanales V_{I_1} , V_{I_3} , V_{Q_0} y V_{Q_2} siempre proporciona un valor cero. En consecuencia, en el caso particular considerado, el DDC 10 en realidad comprende en cada uno de los canales V_I y V_Q solo $N/2 = 2$ subcanales: V_{I_0} y V_{I_2} en el canal V_I y V_{Q_1} y V_{Q_3} en el canal V_Q .

55

[0056] En la realización considerada, debido a que $F_e/f_0 = 4$, $t_n = n/F_e$ y las señales recibidas en cada subcanal:

60

- en el canal V_{I_0} , la multiplicación por $\cos(2\pi f_0 t_n)$ en el bloque de transposición en banda de base 11_{I_0} es

equivalente a la multiplicación por un factor de 1;

- en el canal $V_{L,2}$, la multiplicación por $\cos(2\pi f_0 t_n)$ en el bloque de transposición en banda de base $11_{L,2}$ es equivalente a la multiplicación por un factor de -1;

5 - en el canal $V_{Q,1}$, la multiplicación por $-\sin(2\pi f_0 t_n)$ en el bloque de transposición en banda de base $11_{Q,1}$ es equivalente a la multiplicación por un factor de -1;

- en el canal $V_{Q,3}$, la multiplicación por $-\sin(2\pi f_0 t_n)$ en el bloque de transposición en banda de base $11_{Q,3}$ es equivalente a la multiplicación por un factor de 1.

10 **[0057]** En los subcanales $V_{L,0}$ y $V_{L,2}$, la aplicación del filtro es equivalente a la aplicación de un retardo por la aplicación de la función de transferencia z^{-13} : si l_0 es la salida del filtro en el subcanal $V_{L,0}$ y l_2 la salida del filtro en el subcanal $V_{L,2}$: $l_0(n=4k) = z(n-14)$ et $l_2(n=4k+2) = z(n-12)$. De hecho, el retardo teórico corresponde a $p-1$ (= 26) como se indicó anteriormente dividido por dos después de la operación de decimación, es decir $(p-1)/2$ (= 13); dado que el cálculo de filtro en el canal Q dura más de 13 ciclos de reloj, el canal I se retrasa aún más para sincronizarse con el canal Q.

15

[0058] Las muestras resultantes del paso en banda de base del canal $V_{Q,1}$ y del canal $V_{Q,3}$ se proporcionan en la entrada de cada bloque de filtro FIR $12_{Q,1}$, y $12_{Q,3}$.

20 **[0059]** El bloque de filtro $12_{Q,1}$ en el subcanal $V_{Q,1}$ está adaptado para determinar el resultado de la combinación lineal; si Q_1 es la salida del filtro en el subcanal $V_{Q,1}$:

$$Q_1(n=4k+1) = -c(0)z(4k+1) + c(2)z(4k-1) - c(4)z(4k-3) \dots + c(26)z(4k-25) - c(26)z(4k-27) \dots - c(0)z(4k-53).$$

25 **[0060]** Para ello, está adaptado para calcular cada término de la primera mitad de la combinación lineal, es decir, los términos $c(0)z(4k+1)$, $c(2)z(4k-1)$, $c(4)z(4k-3) \dots$, $c(26)z(4k-25)$ en función de los coeficientes del filtro $c(0), \dots, c(26)$ y muestras en banda de base recibidas $-z(4k+1), +z(4k-1), \dots, z(4k-25)$, y para memorizar como resultado intermedio el resultado de cada uno de estos términos. Cada uno de estos resultados intermedios memorizados se hace más accesible al bloque de filtrado $12_{Q,3}$.

30 **[0061]** El bloque de filtrado $12_{Q,1}$ está además adaptado para extraer memorias en las que se almacenaron previamente, los términos de la segunda mitad de la combinación lineal, es decir, $c(26)z(4k-27)$, $c(24)z(4k-29), \dots, c(0)z(4k-53)$, y para determinar la suma de los términos de la primera mitad y los términos de la segunda mitad teniendo en cuenta los signos de estos términos.

35 **[0062]** De manera similar, el bloque de filtrado $12_{Q,3}$ en el subcanal $V_{Q,3}$ está adaptado para determinar el resultado de la combinación lineal; si Q_3 es la salida del filtro en el subcanal $V_{Q,3}$:

$$Q_3(n=4k+3) = c(0)z(4k+3) - c(2)z(4k+1) + c(4)z(4k-1) \dots - c(26)z(4k-23) + c(26)z(4k-25) \dots + c(0)z(4k-51).$$

40 **[0063]** Para ello, está adaptado para calcular cada término de la primera mitad de la combinación lineal, es decir, los términos $c(0)z(4k+3)$, $c(2)z(4k+1)$, $c(4)z(4k-1) \dots$, $c(26)z(4k-23)$ en función de los coeficientes del filtro $c(0), \dots, c(26)$ y las muestras en banda de base recibidas $z(4k+3)$, $z(4k+1), \dots, -z(4k-23)$, y para memorizar como resultado intermedio el resultado de cada uno de estos términos. Cada uno de estos resultados intermedios memorizados se hace accesible además del bloque de filtrado $12_{Q,1}$.

45

[0064] El bloque de filtrado $12_{Q,3}$ está además adaptado para extraer memorias en las que se almacenaron previamente, los términos de la segunda mitad de la combinación lineal, es decir, $c(26)z(4k-25)$, $c(24)z(4k-27), \dots, c(0)z(4k-51)$, y para determinar la suma de los términos de la primera mitad y los términos de la segunda mitad teniendo en cuenta los signos de estos términos.

50

[0065] El DDC 10 proporciona así, simultáneamente, a la salida del canal I, las muestras $l_0(n=4k)$ y $l_2(n=4k+2)$ y, a la salida del canal Q, las muestras $Q_1(n=4k+1)$ y $Q_3(n=4k+3)$.

55 **[0066]** Se considera que las muestras I pares de DDC 10 son proporcionadas por el subcanal l_0 , las muestras I impares de DDC 10 son proporcionadas por el subcanal l_2 , las muestras Q pares de DDC 10 son proporcionadas por el subcanal Q_1 , las muestras Q impares de DDC 10 son proporcionadas por el subcanal Q_3 .

[0067] Según un aspecto, la invención propone un procedimiento de tratamiento en un convertidor de frecuencia.

[0068] En una realización, con referencia a la figura 4, se implementan las siguientes etapas.

[0069] En una etapa 101, las muestras $z(n)$ en la frecuencia $F_e = 800$ MHz se reciben en el DDC 10 y se proporcionan en paralelo, N por N, en la entrada del canal V_I y en la entrada del canal V_Q .

[0070] En una etapa 102, en cada subcanal V_{P_i} , en paralelo con los otros subcanales del canal V_I , la transposición de frecuencia en banda de base mediante la multiplicación por $\cos(2\pi f_0 t_n)$ en un bloque de transposición en banda de base 1_{I_i} , se lleva a cabo, $P=I$ o Q y $i=0$ a $N-1$.

[0071] Cada subcanal V_{P_i} recibe selectivamente las muestras $z(kN+i)$, siendo k un número entero natural.

[0072] Las muestras resultantes de la transposición llevada a cabo en un subcanal V_{P_i} se proporcionan con los otros subcanales del mismo canal V_P .

[0073] En una etapa 103, en cada subcanal V_{P_i} , en paralelo con los otros subcanales del canal V_P , las muestras filtradas $P(kN+i)$ se determinan utilizando la fórmula $P(kN+i) = c(0).x(kN+i) + c(1).x(kN+i - 1) + c(2).x(kN+i - 2) + \dots - c(p).x(kN+i - p) + c(p).x(kN+i - p - 1) + \dots + c(1).x(kN+i - 2.p + 1) + c(0).x(kN+i - 2.p)$, en la que $x(n)$ es el resultado de la transposición de frecuencia de la muestra $z(n)$.

[0074] Los resultados intermedios determinados en cada subcanal se memorizan y comunican y/o se pueden acceder a ellos entre subcanales de un mismo canal para reutilizarlos en etapas de determinación de los valores de las muestras filtradas de rango superior.

[0075] En una etapa 104, las muestras I_0 ($n=4k$) y I_2 ($n=4k+2$) y, en la salida del canal Q , las muestras Q_1 ($n=4k+1$) y Q_3 ($n=4k+3$) se proporcionan simultáneamente a la salida del DDC 10.

[0076] Por supuesto, las realizaciones específicas descritas anteriormente con referencia a la figura 3 también pueden implementarse mediante el procedimiento según la invención.

[0077] El convertidor según la presente invención permite, por lo tanto, tratar en flujo continuo las muestras reales muestreadas en F_e , en este caso 800 MHz, a la frecuencia F_{FPGA} de tratamiento de FGPA, aquí 200 MHz, proporcionando un flujo continuo y en tiempo real de muestras I a $F_e/2$, aquí 400 MHz, y suministrando un flujo continuo y en tiempo real de muestras Q a $F_e/2$.

[0078] Con referencia nuevamente a la gráfica de la figura 1, la zona cubierta por los puntos Z2 es la zona que puede explotarse en el tratamiento continuo y en tiempo real según la invención. La limitación aportada a la frecuencia de muestreo que se puede utilizar para un tratamiento continuo y en tiempo real corresponde a la velocidad de muestreo máxima del convertidor analógico-digital corriente arriba del convertidor de frecuencia y ya no está limitada por el FPGA.

[0079] La paralelización de los tratamientos en varios subcanales I y varios subcanales Q , la explotación de las propiedades del filtro y la memorización y reutilización de los resultados intermedios permiten realizar los tratamientos a velocidades reducidas, que pueden soportar los FPGA, y limitar la cantidad de recursos necesarios.

[0080] Se observará que la paralelización de los tratamientos en varios subcanales I y varios subcanales Q se puede implementar en un convertidor según la invención, sin que se implemente la memorización y reutilización de los resultados intermedios.

[0081] En cambio, la memorización y la reutilización de resultados intermedios, aprovechando las propiedades de los filtros simétricos, pueden implementarse en un convertidor de frecuencia según la invención sin la implementación de paralelización de los tratamientos en varios subcanales I y varios subcanales Q . En particular, se ha descrito anteriormente una aplicación con un convertidor de frecuencia de tipo descendente, pero la explotación de las propiedades de los filtros simétricos según la invención puede, en otra realización, implementarse en un convertidor de frecuencia de tipo ascendente.

[0082] En la realización particular descrita anteriormente como referencia, se ha considerado una frecuencia transpuesta f_0 de 200 MHz, una frecuencia de muestreo F_e de 800 MHz y una frecuencia de tratamiento F_{FPGA} de 200 MHz. Por supuesto, la invención se puede implementar para otros valores de estas frecuencias.

[0083] Si N es igual al cociente F_e/F_{FPGA} , el tratamiento se paralizará normalmente en N canales para el canal I , y en N canales para el canal Q . La frecuencia de tratamiento F_{FPGA} fija así el número N de canales paralelos que se configurarán, que puede ser igual a una potencia de 2: 2, 4, 8, 16, etc.

[0084] En las realizaciones, el valor de la frecuencia transpuesta f_0 también se establecerá igual a $F_e/4$, como

en la realización particular descrita, de modo que todas las muestras proporcionadas por algunos de estos canales paralelos sean sistemáticamente cero, para así lograr, de manera simple, una decimación y reducir el número de subcanales paralelos.

5 **[0085]** Además, el filtro FIR considerado tenía coeficientes normalizados con respecto al coeficiente central y era simétrico. La implementación propuesta permite modificar con facilidad el número de sus coeficientes. El valor de estos depende de la frecuencia de muestreo F_e y, por lo tanto, se adapta en consecuencia. En otras realizaciones, los coeficientes no están normalizados, la reutilización de los resultados intermedios, por supuesto, también puede implementarse en este caso.

10

[0086] En el caso de una realización de la invención con un filtro FIR no simétrico, los resultados intermedios no se pueden reutilizar. En este caso, el número de multiplicadores necesarios para la implementación del filtro se duplica.

REIVINDICACIONES

1. Convertidor de frecuencias (10) adecuado para recibir muestras de señal y que comprende:

- 5 - al menos un bloque de transposición en frecuencia (11_{Q_1} , 11_{Q_3}) adaptado para transponer en frecuencia dichas muestras recibidas;
 - al menos un bloque de filtrado (12_{Q_1} , 12_{Q_3}) adaptado para filtrar dichas muestras transpuestas y para proporcionar muestras filtradas $y(n)$ verificando la fórmula $y(n) = c(0).x(n) + c(1).x(n-1) + c(2).x(n-2) + \dots + c(p-1).x(n-p+1) + c(p).x(n-p) + c(p-1).x(n-p-1) + \dots + \dots + c(1).x(n-2.p+1) + c(0).x(n-2.p)$, en la que $x()$ son las muestras transpuestas y $c(0)$, ... $c(p)$ son coeficientes reales del filtro; y
 10 - un conjunto de memorias,

dicho convertidor de frecuencias está adaptado para, durante un ciclo de determinación del valor de la muestra filtrada $y(n)$, llevar a cabo las operaciones de

- 15 - cálculo de los primeros términos $c(0).x(n)$, $c(1).x(n-1)$, $c(2).x(n-2)$, ..., $c(p).x(n-p)$ multiplicando los respectivos coeficientes y muestras transpuestas, y almacenamiento de al menos algunos de dichos primeros términos calculados en el conjunto de memorias;
 - lectura, en el conjunto de memorias, de al menos algunos de los segundos términos $c(p-1).x(n-p-1)$, ..., $c(1).x(n-2.p+1)$, $c(0).x(n-2.p)$, calculados y almacenados durante ciclos previos de determinación del valor de las muestras filtradas $y(n-m)$, siendo m un número entero estrictamente positivo; y
 20 - determinación de $y(n)$ por suma de los primeros y segundos términos,

el convertidor de frecuencias (10) está adaptado para recibir muestras reales muestreadas de señal y para ofrecer 25 señales complejas I/Q, resultantes del filtrado por el bloque de filtrado después de la transposición con el bloque de transposición de dichas muestras reales muestreadas,

dicho convertidor incluye cadenas paralelas de tratamiento (V_I , V_Q) de las señales I y de las señales Q, al menos una de dichas cadenas de tratamiento I, Q incluye N canales paralelos (V_{Q_1} , V_{Q_3}), cada uno de ellos adaptado para llevar a cabo una transposición de frecuencia, dicho convertidor de frecuencias se adapta para distribuir selectivamente las muestras reales entre dichos canales, cada $(N.n+i-1)^{\text{ésima}}$ muestra real se proporciona en el canal de orden $i^{\text{ésima}}$, $i = 1$ a N, n es un número entero positivo,

- 30 al menos los canales paralelos de orden $k^{\text{ésima}}$ y $j^{\text{ésima}}$ de dicha cadena de tratamiento (V_Q), $k \neq j$ y k, j números enteros entre 1 y N, comprenden un subbloque de filtrado adaptado para determinar la señal filtrada $y(N.n+i-1) = c(0).x(N.n+i-1) + c(1).x(N.n+i-1-1) + c(2).x(N.n+i-1-2) + \dots + c(p-1).x(N.n+i-1-p) + c(p).x(N.n+i-1-p) + c(p-1).x(N.n+i-1-p-1) + \dots + c(1).x(N.n+i-1-2.p+1) + c(0).x(N.n+i-1-2.p)$, en la que $x()$ son las señales resultantes de la transposición en dicha cadena de tratamiento, con $i = j$ en el canal de orden $j^{\text{ésima}}$, e $i = k$ en el canal de orden $k^{\text{ésima}}$,

- el subbloque de filtrado (12_{Q_1} , 12_{Q_3}) del canal de orden $k^{\text{ésima}}$, respectivamente del canal de orden $j^{\text{ésima}}$, se adapta para calcular los primeros términos $c(0).x(N.n+i-1)$, ..., $c(p).x(N.n+i-1-p)$ multiplicando los respectivos coeficientes y muestras transpuestas, para almacenar al menos algunos de dichos primeros términos calculados en el conjunto de memorias y para leer, en el conjunto de memorias, al menos algunos de los segundos términos $c(p-1).x(N.n+i-1-p-1)$, ..., $c(0).x(N.n+i-1-2.p)$, calculados y almacenados durante ciclos anteriores de determinación del valor de las muestras filtradas $y(n-m)$, siendo m un número entero estrictamente positivo, algunos de dichos segundos términos se calculan por el subbloque de filtrado (12_{Q_1} , 12_{Q_3}) del canal de orden $j^{\text{ésima}}$, respectivamente del canal de orden $k^{\text{ésima}}$.

- 45 2. Convertidor de frecuencias (10) según la reivindicación 1, adaptado para funcionar de manera sincronizada por una señal de reloj de frecuencia, denominada frecuencia de funcionamiento (f_{FPGA}), y adaptado para recibir las muestras reales muestreadas según una frecuencia de muestreo (F_e), N es igual al cociente de la frecuencia de muestreo por la frecuencia de funcionamiento.

- 30 3. Convertidor de frecuencias (10) según la reivindicación 2, en el que la transposición de frecuencia comprende una multiplicación de las muestras por un seno o coseno de frecuencia (f_0) igual a $F_e/4$, N/2 canales que proporcionan así muestras transpuestas siempre cero.

- 55 4. Procedimiento de tratamiento en un convertidor de frecuencias adaptado para recibir muestras de señal, el procedimiento comprende las siguientes etapas:

- recepción de muestras de señal;
 - transposición en frecuencia de dichas muestras recibidas;
 60 - filtrado de dichas muestras transpuestas, las muestras filtradas $y(n)$ verifican la fórmula $y(n) = c(0).x(n) + c(1).x(n-1) + c(2).x(n-2) + \dots + c(p-1).x(n-p+1) + c(p).x(n-p) + c(p-1).x(n-p-1) + \dots + c(1).x(n-2.p+1) + c(0).x(n-2.p)$, en la que $x()$ son las muestras transpuestas y $c(0)$, ... $c(p)$ son coeficientes reales del filtro,

dicho procedimiento de tratamiento comprende las siguientes etapas, durante un ciclo de determinación del valor de la muestra filtrada $y(n)$:

- cálculo de los primeros términos $c(0).x(n)$, $c(1).x(n-1)$, $c(2).x(n-2)$,..., $c(p).x(n-p)$ multiplicando los respectivos coeficientes y muestras transpuestas, y almacenamiento de al menos algunos de dichos primeros términos calculados en un conjunto de memorias;
 - 5 - lectura, en el conjunto de memorias, de al menos algunos de los segundos términos $c(p-1).x(n-p-1)$,..., $c(1).x(n-2.p+1)$, $c(0).x(n-2.p)$, calculados y almacenados durante ciclos anteriores de determinación del valor de las muestras filtradas $y(n-m)$, siendo m un número entero estrictamente positivo; y
 - determinación de $y(n)$ por suma de los primeros y segundos términos,
- 10 el convertidor de frecuencias está adaptado para recibir muestras reales muestreadas de la señal y ofrecer señales complejas I/Q resultantes del filtrado después de la transposición de dichas muestras reales muestreadas, comprendiendo dicho procedimiento las etapas de:
- tratamiento en paralelo de muestras reales en una cadena de tratamiento I de señales I y una cadena de
 - 15 tratamiento Q de señales Q (V_I , V_Q);
 - en al menos una de dichas cadenas de tratamiento paralelo comprenden N canales paralelos (V_{Q-1} , V_{Q-3}), distribución selectiva de las muestras reales entre dichos canales, cada $(N.n+i-1)^{ésima}$ muestra real se proporciona al canal de orden $i^{ésimo}$, $i = 1$ a N , n es un entero positivo,
- 20 el procedimiento de tratamiento comprende, en al menos en los canales paralelos de orden $k^{ésima}$ y $j^{ésima}$ de dicha cadena de tratamiento (V_Q), $k \neq j$ y k, j números enteros entre 1 y N , la determinación de la señal filtrada $y(N.n+i-1) = c(0).x(N.n+i-1) + c(1).x(N.n+i-1-1) + c(2).x(N.n+i-1-2) + \dots + c(p-1).x(N.n+i-1-p) + c(p).x(N.n+i-1-p) + c(p-1).x(N.n+i-1-p-1) + \dots + c(1).x(N.n+i-1-2.p+1) + c(0).x(N.n+i-1-2.p)$, en la que $x()$ son las señales resultantes de la transposición en dicha cadena de tratamiento, con $i = j$ en el canal de orden $j^{ésima}$, e $i = k$ en el canal de orden $k^{ésima}$,
- 25 y comprende en el canal de orden $k^{ésima}$, respectivamente del canal de orden $j^{ésima}$, el cálculo de los primeros términos $c(0).x(N.n+i-1)$, ..., $c(p).x(N.n+i-1-p)$ multiplicando los respectivos coeficientes y muestras transpuestas, el almacenamiento de al menos algunos de dichos primeros términos calculados en el conjunto de memorias y la lectura en el conjunto de memorias, de al menos algunos de los segundos términos $c(p-1).x(N.n+i-1-p-1)$, ..., $c(0).x(N.n+i-1-2.p)$, calculados y almacenados durante ciclos anteriores de determinación del valor de las muestras
- 30 filtradas $y(n-m)$, siendo m un número entero estrictamente positivo, en el canal de orden $j^{ésima}$, respectivamente el canal de orden $k^{ésima}$.
5. Procedimiento de tratamiento según la reivindicación 4, en el que el tratamiento está sincronizado por una señal de reloj de frecuencia, denominada frecuencia de funcionamiento (f_{FPGA}), y según el cual las muestras
- 35 reales muestreadas son recibidas según una frecuencia de muestreo (F_e) y N es igual al cociente de la frecuencia de muestreo por la frecuencia de funcionamiento.
6. Procedimiento de tratamiento según la reivindicación 5, según el cual la transposición de frecuencia comprende una multiplicación de las muestras por un seno o coseno de frecuencia (f_0) igual a $F_e/4$, $N/2$ canales que
- 40 proporcionan así muestras transpuestas siempre cero.

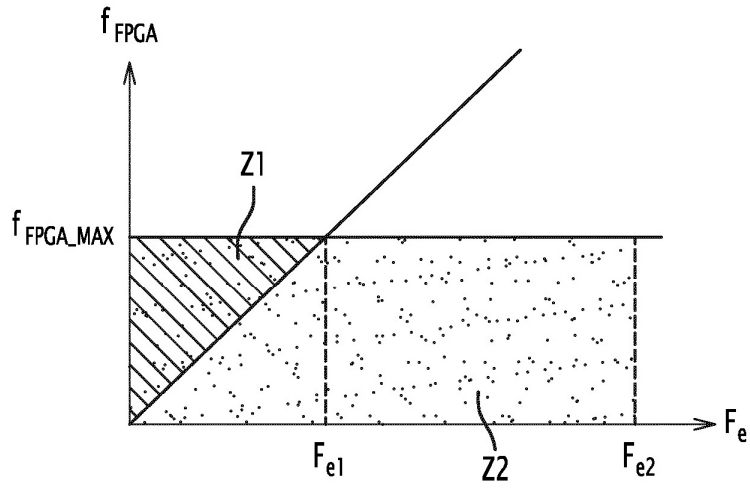


FIG.1

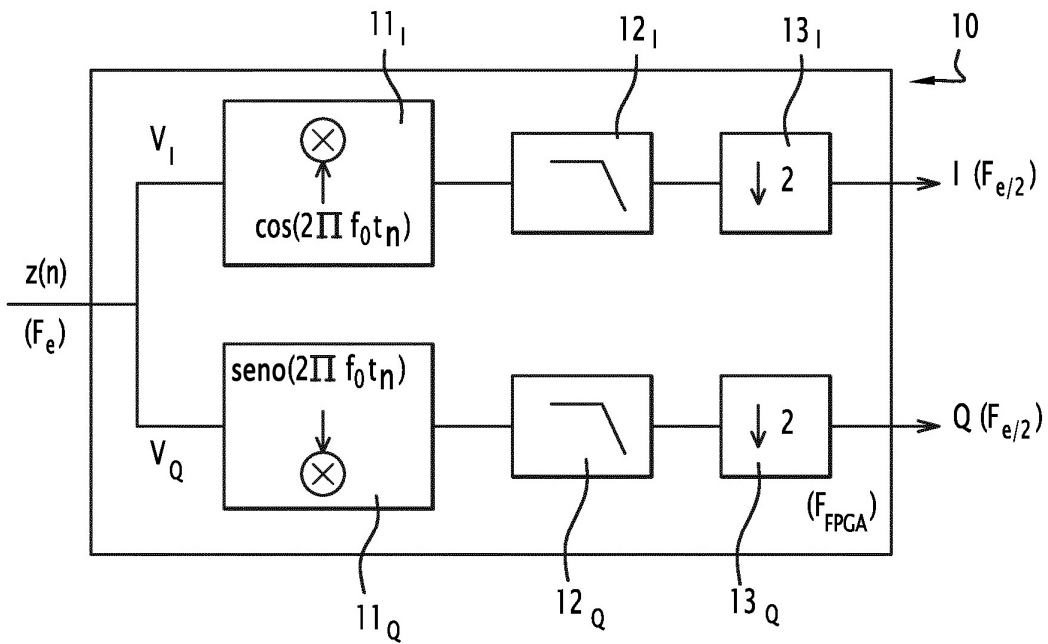


FIG.2

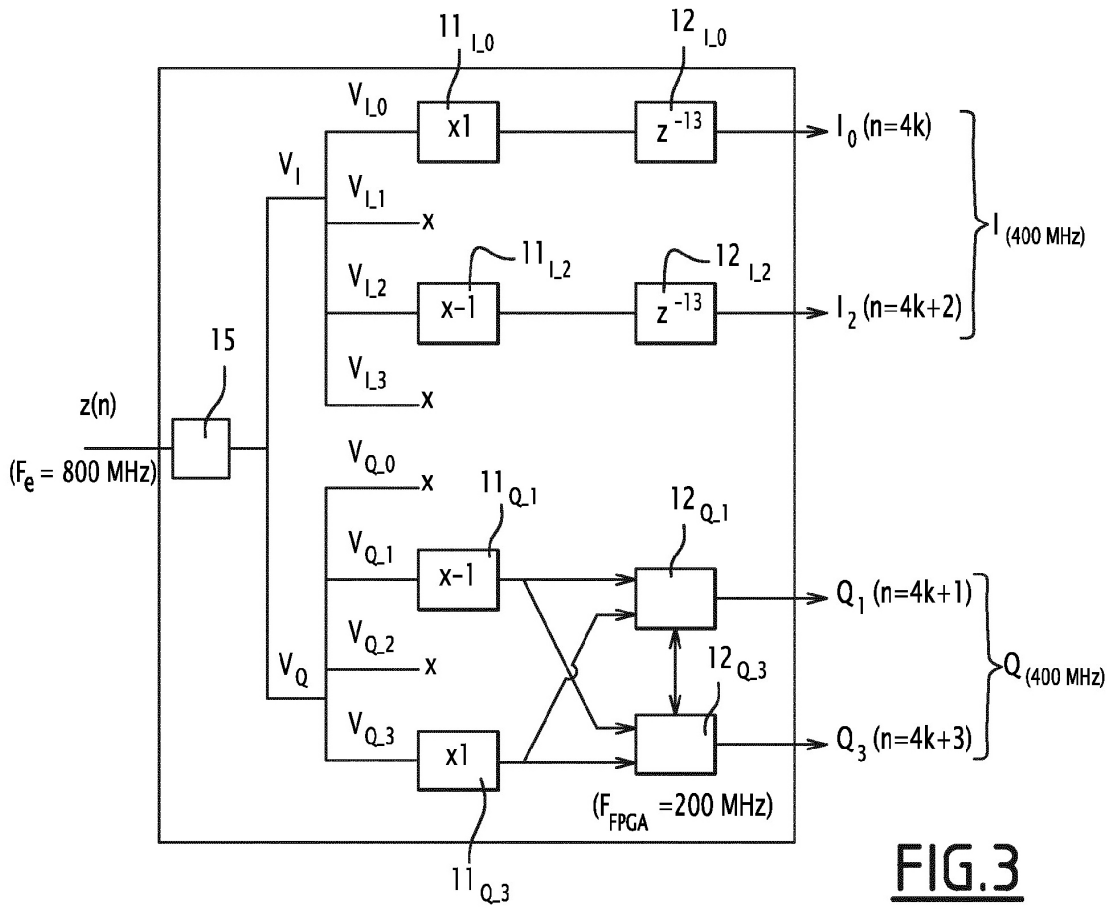


FIG.3

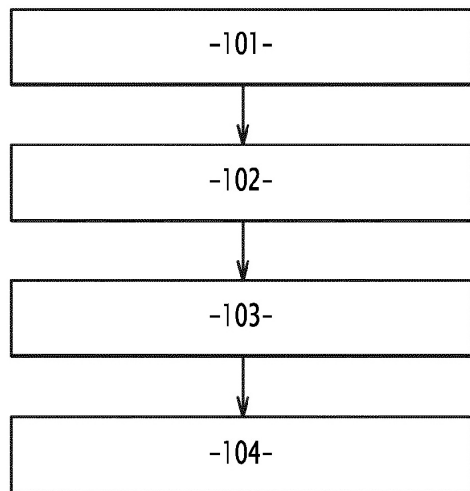


FIG.4