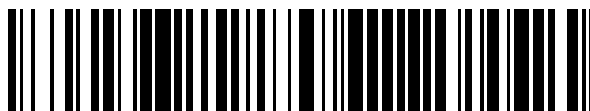


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 710 887**

51 Int. Cl.:

**G06F 13/12**

(2006.01)

12

## TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **25.05.2012 PCT/EP2012/059859**

87 Fecha y número de publicación internacional: **13.12.2012 WO12168099**

96 Fecha de presentación y número de la solicitud europea: **25.05.2012 E 12724327 (7)**

97 Fecha y número de publicación de la concesión europea: **09.01.2019 EP 2601586**

54 Título: **Utilización de palabras de dirección de datos indirectos de trasladador de datos asíncronos extendidos**

30 Prioridad:

**10.06.2011 US 201113157729**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**29.04.2019**

73 Titular/es:

**INTERNATIONAL BUSINESS MACHINES  
CORPORATION (100.0%)  
New Orchard Road  
Armonk, NY 10504, US**

72 Inventor/es:

**OAKES, KENNETH, JAMES;  
SUTTON, PETER, GRIMM;  
DRIEVER, PETER, DANA;  
YUDENFRIEND, HARRY y  
GLASSEN, STEVEN, GARDNER**

74 Agente/Representante:

**ELZABURU, S.L.P**

ES 2 710 887 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Utilización de palabras de dirección de datos indirectos de trasladador de datos asíncronos extendidos

### Antecedentes

5 Uno o más aspectos de la presente invención hacen referencia, en general, al almacenamiento auxiliar de un entorno informático y, en particular, a la gestión de aspectos del almacenamiento auxiliar.

10 Un entorno informático puede incluir un almacenamiento principal (conocido asimismo como memoria principal), así como un almacenamiento auxiliar. El almacenamiento principal es el almacenamiento accesible para un procesador al que se puede acceder de manera aleatoria, por ejemplo, mediante una dirección absoluta. El almacenamiento principal se considera almacenamiento de acceso rápido en comparación con el almacenamiento auxiliar, tal como los dispositivos de almacenamiento de acceso directo (DASD – Direct Access Storage Devices, en inglés) o la memoria de clase de almacenamiento. Además, el direccionamiento del almacenamiento principal se considera más simple que el direccionamiento de DASD o la memoria de clase de almacenamiento.

15 La memoria de clase de almacenamiento, que es un espacio de almacenamiento externo fuera del almacenamiento principal clásico, proporciona un acceso más rápido que los dispositivos de almacenamiento de acceso directo. A diferencia de los DASD, la memoria de clase de almacenamiento no se implementa típicamente como discos giratorios de brazo mecánico, sino, por el contrario, como partes de estado sólido no mecánicas. Típicamente, la memoria de clase de almacenamiento se implementa como grupos de dispositivos de estado sólido conectados a un sistema informático a través de varios adaptadores de entrada / salida (E/S), que se utilizan para asignar la tecnología de un dispositivo de E/S al bus de memoria de la unidad o unidades de procesamiento central.

### 20 Compendio

La invención se expone en el conjunto de reivindicaciones adjuntas. Las reivindicaciones dependientes exponen realizaciones particulares. Las realizaciones o ejemplos de la siguiente descripción que no están cubiertos por las reivindicaciones adjuntas se considera que no forman parte de la invención de acuerdo con esta descripción.

25 Los productos y sistemas de programas informáticos relacionados con uno o más aspectos de la presente invención se describen y reivindican asimismo en el presente documento. Además, se describen y pueden ser reivindicados asimismo en el presente documento servicios relacionados con uno o más aspectos de la presente invención.

30 Características y ventajas adicionales se realizan por medio de las técnicas de la presente invención. Otras realizaciones y aspectos de la invención se describen en detalle en el presente documento y se consideran parte de la invención reivindicada.

### Breve descripción de los dibujos

A continuación, se describirán realizaciones de la invención, solo a modo de ejemplo, haciendo referencia a los dibujos adjuntos, en los que:

35 la figura 1A representa una realización de un entorno informático para incorporar y utilizar uno o más aspectos de la presente invención;

figura 1B representa otra realización de un entorno informático para incorporar y utilizar uno o más aspectos de la presente invención;

la figura 2A representa una realización de un bloque de solicitud de operación de trasladador de datos asíncronos extendidos utilizado, de acuerdo con un aspecto de la presente invención;

40 la figura 2B representa una realización de un bloque de operación de trasladador de datos asíncronos extendidos utilizado, de acuerdo con un aspecto de la presente invención;

la figura 2C representa una realización de un bloque de solicitud de trasladador de datos asíncronos extendidos utilizado, de acuerdo con un aspecto de la presente invención;

45 la figura 2D representa una realización de un bloque de respuesta de trasladador de datos asíncronos extendidos utilizado, de acuerdo con un aspecto de la presente invención;

la figura 2E representa una realización de un bloque de especificación del traslado del trasladador de datos asíncronos extendidos utilizado, de acuerdo con un aspecto de la presente invención;

la figura 2F representa una realización de una palabra de dirección de datos indirectos de trasladador de datos asíncronos extendidos utilizada, de acuerdo con un aspecto de la presente invención;

- la figura 3A representa una realización de una instrucción de Iniciar el canal secundario utilizada, de acuerdo con un aspecto de la presente invención;
- la figura 3B representa una realización de la lógica asociada con la instrucción de Iniciar el canal secundario, de acuerdo con un aspecto de la presente invención;
- 5 la figura 3C representa una realización de una instrucción de Borrar el canal secundario utilizada, de acuerdo con un aspecto de la presente invención;
- la figura 3D representa una realización de una instrucción de Probar el canal secundario utilizada, de acuerdo con un aspecto de la presente invención;
- 10 la figura 3E representa una realización de una instrucción de Modificar el canal secundario utilizada, de acuerdo con un aspecto de la presente invención;
- la figura 3F representa una realización de una instrucción de Almacenar el canal secundario utilizada, de acuerdo con un aspecto de la presente invención;
- la figura 4A representa una realización de un bloque de información del canal secundario del trasladador de datos asíncronos extendidos utilizado, de acuerdo con un aspecto de la presente invención;
- 15 la figura 4B representa una realización de una palabra de control de gestión de la ruta del trasladador de datos asíncronos extendidos utilizada, de acuerdo con un aspecto de la presente invención;
- la figura 4C representa una realización de una palabra de estado del canal secundario utilizada, de acuerdo con un aspecto de la presente invención;
- 20 la figura 4D representa una realización de una palabra de estado extendida del trasladador de datos asíncronos extendidos utilizada, de acuerdo con un aspecto de la presente invención;
- la figura 5A representa una realización de un bloque de solicitud de Almacenar la información de la memoria de clase de almacenamiento utilizada, de acuerdo con un aspecto de la presente invención;
- la figura 5B representa una realización de un bloque de respuesta a Almacenar la información de la memoria de clase de almacenamiento utilizada, de acuerdo con un aspecto de la presente invención;
- 25 la figura 5C representa una realización de una entrada de la lista de direcciones de la memoria de clase de almacenamiento utilizada, de acuerdo con un aspecto de la presente invención;
- la figura 5D representa una realización de la lógica asociada con el comando Almacenar información de la memoria de clase de almacenamiento, de acuerdo con un aspecto de la presente invención;
- 30 la figura 6A representa un ejemplo de un diagrama de estado que representa varios estados de la memoria de clase de almacenamiento, de acuerdo con un aspecto de la presente invención;
- la figura 6B representa una realización de un diagrama de estado que muestra estados de operación y estados de datos, de acuerdo con un aspecto de la presente invención;
- la figura 7A representa una realización de un bloque de solicitud de Configurar la memoria de clase de almacenamiento utilizado, de acuerdo con un aspecto de la presente invención;
- 35 la figura 7B representa una realización de un bloque de respuesta a Configurar la memoria de clase de almacenamiento utilizado, de acuerdo con un aspecto de la presente invención;
- las figuras 7C a 7D representan una realización de la lógica asociada con un comando de Configurar la memoria de clase de almacenamiento utilizada, de acuerdo con un aspecto de la presente invención;
- 40 la figura 8A representa un ejemplo de un bloque de respuesta de notificación utilizado, de acuerdo con un aspecto de la presente invención;
- la figura 8B representa una realización de un bloque de solicitud de Almacenar la información de un evento utilizado, de acuerdo con un aspecto de la presente invención;
- la figura 8C representa una realización de un bloque de respuesta a Almacenar la información de un evento utilizado de acuerdo con un aspecto de la presente invención;
- 45 la figura 9A representa una realización de un bloque de solicitud de Desconfigurar la memoria de clase de almacenamiento utilizado, de acuerdo con un aspecto de la presente invención;

la figura 9B representa una realización de una entrada de la lista de solicitudes de Incrementar la memoria de clase de almacenamiento utilizada, de acuerdo con un aspecto de la presente invención;

la figura 9C representa una realización de un bloque de respuesta a Desconfigurar la memoria de clase de almacenamiento utilizado, de acuerdo con un aspecto de la presente invención;

- 5 las figuras 9D a 9E representan una realización de la lógica asociada con un comando de Desconfigurar la memoria de clase de almacenamiento utilizada, de acuerdo con un aspecto de la presente invención;

la figura 10 representa una realización de un producto de programa informático que incorpora uno o más aspectos de la presente invención;

- 10 la figura 11 representa una realización de un sistema informático anfitrión para incorporar y utilizar uno o más aspectos de la presente invención;

la figura 12 representa otro ejemplo de un sistema informático para incorporar y utilizar uno o más aspectos de la presente invención;

la figura 13 representa otro ejemplo de un sistema informático que comprende una red informática para incorporar y utilizar uno o más aspectos de la presente invención;

- 15 la figura 14 representa una realización de diversos elementos de un sistema informático para incorporar y utilizar uno o más aspectos de la presente invención;

la figura 15A representa una realización de la unidad de ejecución del sistema informático de la figura 14 para incorporar y utilizar uno o más aspectos de la presente invención;

- 20 la figura 15B representa una realización de la unidad de bifurcación del sistema informático de la figura 14 para incorporar y utilizar uno o más aspectos de la presente invención;

la figura 15C representa una realización de la unidad de carga / almacenamiento del sistema informático de la figura 14 para incorporar y utilizar uno o más aspectos de la presente invención; y

la figura 16 representa una realización de un sistema informático anfitrión emulado para incorporar y utilizar uno o más aspectos de la presente invención.

## 25 Descripción detallada

De acuerdo con una o más realizaciones, se proporciona una abstracción para la memoria de clase de almacenamiento que oculta los detalles de la implementación de la memoria de clase de almacenamiento desde un programa (por ejemplo, el sistema operativo) y proporciona una interfaz estándar de programación de canal para realizar ciertas acciones, tales como controlar el traslado de los datos entre el almacenamiento principal y la memoria de clase de almacenamiento.

- 30 En un ejemplo, se proporciona una función, denominada función de trasladador de datos asíncronos extendidos (EADM – Extended Asynchronous Data Mover, en inglés), que permite a los programas solicitar la transferencia de bloques de datos entre el almacenamiento principal y la memoria de clase de almacenamiento, así como solicitar otras operaciones. Los aspectos de esta función se describen en detalle a continuación.

- 35 Además, asociada con la función de EADM existe una función opcional denominada función de liberación de EADM. Cuando está instalada, la función de liberación de EADM proporciona un medio para que el programa especifique que ya no requiere la retención de los datos en uno o más bloques de la memoria de clase de almacenamiento. Depende del modelo si la operación de liberación está soportada por todos los bloques de la memoria de clase de almacenamiento o solo por un subconjunto de la memoria de clase de almacenamiento.

- 40 Una vez que se ha liberado un bloque de la memoria de clase de almacenamiento, el programa puede transferir nuevos datos al bloque, de lo contrario, las solicitudes subsiguientes para transferir datos del bloque al almacenamiento principal no tendrán éxito.

- 45 Una realización de un entorno informático para incorporar y/o utilizar uno o varios aspectos de la presente invención se describe haciendo referencia a la figura 1A. El entorno informático 100 está basado, por ejemplo, en la z / Architecture® comercializada por la firma International Business Machines Corporation (IBM®), Armonk, Nueva York. Una realización de la z / Architecture® se describe en una publicación de IBM® titulada "z / Architecture Principles of Operation", publicación de IBM N° SA22-7832-08, agosto de 2010.

- 50 En un ejemplo, un entorno informático basado en la z / Architecture® incluye el sistema zEnterprise 196 (z196) comercializado por la firma International Business Machines Corporation. IBM® y z / Architecture® son marcas comerciales registradas, y zEnterprise 196 y z196 son marcas comerciales de International Business Machines

Corporation, Armonk, Nueva York, U.S.A. Otros nombres aquí utilizados pueden ser marcas registradas, marcas comerciales o nombres de productos comercializados por la firma International Business Machines Corporation o por otras compañías.

Como ejemplo, el entorno informático 100 incluye una o más unidades centrales de procesamiento 102 acopladas a la memoria principal 104 a través de uno o más buses 106. Una o más de las unidades centrales de procesamiento pueden ejecutar un sistema operativo 108, como el sistema operativo z/OS® comercializado por la firma International Business Machines Corporation. En otros ejemplos, una o más de las unidades centrales de procesamiento pueden ejecutar otros sistemas operativos o ningún sistema operativo. z/OS® es una marca registrada comercializada por la firma International Business Machines Corporation, Armonk, Nueva York, U.S.A.

Las unidades centrales de procesamiento 102 y la memoria principal 104 se pueden acoplar adicionalmente a un concentrador de E/S 120 a través de una o más conexiones 122 (por ejemplo, buses u otras conexiones). El concentrador de E/S proporciona conectividad a uno o más adaptadores de E/S 130, que se acoplan además a uno o más dispositivos de estado sólido 140. Los adaptadores y dispositivos de estado sólido son una implementación de la memoria de clase de almacenamiento (por ejemplo, una memoria rápida (flash, en inglés). El concentrador de E/S forma parte de un subsistema de E/S 145 que facilita uno o más aspectos de una realización.

En otra realización, tal como se representa en la figura 1B, un entorno informático 150 puede incluir un complejo de procesamiento central (CPC – Central Processing Complex, en inglés) 152, que se basa en la z / Architecture® comercializado por la firma International Business Machines Corporation. El complejo de procesamiento central 152 incluye, por ejemplo, una o más particiones 154, un hipervisor 156, uno o más procesadores centrales 158 y uno o más componentes de un subsistema de entrada / salida 160. En este ejemplo, las particiones 154 son particiones lógicas (por ejemplo, LPAR), cada una de las cuales incluye un conjunto de recursos de hardware del sistema, virtualizado como un sistema separado.

Cada partición lógica 154 es capaz de funcionar como un sistema separado. Es decir, cada partición lógica se puede restablecer de manera independiente, se puede cargar inicialmente con un sistema operativo u otro código de control, si se desea, y operar con diferentes programas. Un sistema operativo o programa de aplicación que se ejecuta en una partición lógica parece tener acceso a un sistema global y completo, pero en realidad, solo una parte está disponible. Una combinación de hardware y de código interno bajo licencia (LIC – Licensed Internal Code, en inglés), conocido como firmware, evita que un programa en una partición lógica interfiera con un programa en una partición lógica diferente. Esto permite que varias particiones lógicas diferentes operen en uno o varios procesadores físicos en forma de intervalo de tiempo. Tal como se utiliza en este documento, el firmware incluye, por ejemplo, el microcódigo, el milicódigo y/o el macrocódigo del procesador (o entidad que realiza el procesamiento). Incluye, por ejemplo, las instrucciones de nivel a hardware y/o las estructuras de datos utilizadas en la implementación del código de máquina de nivel superior. En una realización, incluye, por ejemplo, un código propietario que, típicamente, se entrega como un microcódigo que incluye un software fiable o un microcódigo especificado para el hardware subyacente y controla el acceso del sistema operativo al hardware del sistema.

En este ejemplo, varias de las particiones lógicas tienen un sistema operativo (OS – Operating System, en inglés) 170 residente, que puede diferir para una o más particiones lógicas. En una realización, por lo menos una partición lógica está ejecutando el sistema operativo z/OS®, comercializado por la firma International Business Machines Corporation, Armonk, Nueva York.

Las particiones lógicas 154 son administradas por el hipervisor 156, que se implementa mediante un software que se ejecuta en los procesadores centrales 158. Las particiones lógicas 154 y el hipervisor 156 incluyen cada uno de los programas que residen en las porciones respectivas de la memoria principal 159 asociadas con los procesadores centrales. Un ejemplo de hipervisor 156 es el gestor de recursos y sistemas del procesador (PR/SM™ - Processor Resource / Systems Manager, en inglés), comercializado por la firma International Business Machines Corporation, Armonk, Nueva York.

Los procesadores centrales 158 son recursos físicos del procesador que están asignados a las particiones lógicas. Por ejemplo, una partición lógica 154 incluye uno o más procesadores lógicos, cada uno de los cuales representa todo o un recurso compartido de un recurso de procesador físico 158 asignado a la partición. Los procesadores lógicos de una partición particular 154 pueden estar dedicados a la partición, de tal modo que el recurso del procesador subyacente está reservado para esa partición; o compartido con otra partición, de tal modo que el recurso del procesador subyacente esté potencialmente disponible para otra partición.

El subsistema de entrada / salida 160 (del cual solo está representada una parte) proporciona conectividad a la memoria de clase de almacenamiento 180. En este ejemplo, se proporciona un espacio de direcciones para la memoria de clase de almacenamiento que presenta la memoria como plana, ocultando los detalles de la implementación física del programa. Como ejemplo, existe un espacio de direcciones en todo el sistema para la memoria de clase de almacenamiento, pero desde la vista de una configuración (por ejemplo, LPAR o en otra realización, un huésped virtualizado) existe un espacio de direcciones en el que los incrementos de la memoria de clase de almacenamiento son rellenados para cada configuración del sistema. El espacio de direcciones de la

memoria de clase de almacenamiento está separado y aparte del espacio de direcciones de almacenamiento principal.

En un ejemplo particular de z / Architecture®, el subsistema de E/S incluye un subsistema de canal, que no solo dirige el flujo de información entre las unidades (y dispositivos) de control periférico de E/S y la memoria principal, sino también entre la memoria de clase de almacenamiento y la memoria principal. Sin embargo, el subsistema de E/S puede ser distinto de un subsistema de canal.

En el caso de un subsistema de canal, los canales secundarios se utilizan para realizar operaciones de EADM. Estos canales secundarios se denominan canales secundarios de tipo de transportador de datos asíncrono (ADM - Asynchronous Data Mover, en inglés) y están asociados con operaciones de EADM, y no como dispositivos de E/S, como otros canales secundarios de tipo E/S. Un canal secundario de tipo de ADM no contiene un número de dispositivo, ni contiene información de ruta de canal. El número de canales secundarios de tipo de ADM proporcionados para una configuración depende del modelo. Los canales secundarios de tipo de ADM son direccionados por una palabra de identificación de subsistema (SID – Subsystem Identification Word, en inglés).

Los canales secundarios de tipo de ADM son utilizados por la función del trasladador de datos asíncronos extendidos, que es una extensión del subsistema de canal. Tal como se describe en el presente documento, la función de EADM permite a un programa solicitar la transferencia de bloques de datos entre el almacenamiento principal y la memoria de clase de almacenamiento, así como realizar otras operaciones, tales como borrar un bloque de la memoria de clase de almacenamiento o liberar un bloque de memoria de clase de almacenamiento. En una realización, cuando la función de EADM está instalada:

- Se proporcionan uno o más canales secundarios de tipo de ADM que se utilizan para las operaciones de EADM.
- Las operaciones de EADM están designadas por un bloque de operación de EADM (AOB) especificado. El AOB incluye un bloque de solicitud de EADM (ARQB – EADM ReQuest Block, en inglés) y un bloque de respuesta de EADM (ARSB – EADM Response Block, en inglés), y designa una lista de bloques de especificación de traslado de EADM (MSB). Para una operación de traslado, los MSB contienen información acerca de los bloques de datos que se moverán, tal como el tamaño de los bloques, las ubicaciones de origen y destino de los bloques y la dirección del traslado de los datos.
- El número máximo de MSB que puede especificar un AOB depende del modelo. El recuento máximo de bloques que un MSB puede especificar para ser movido u operado también depende del modelo.
- Un programa inicia las operaciones de EADM emitiendo una instrucción de Iniciar el canal secundario que designa un canal secundario de tipo de ADM y un bloque de solicitud de operación de EADM (ORB). A su vez, el ORB de EADM designa un AOB. La instrucción pasa los contenidos del ORB de EADM al canal secundario designado.
- Cuando se emite una instrucción de Iniciar el canal secundario para iniciar operaciones de EADM, el subsistema de canal realiza de manera asíncrona la operación especificada.
- De acuerdo con lo observado por el programa, la memoria de clase de almacenamiento parece ser de bloques coincidentes en un tamaño de bloque mínimo que depende del modelo. Este valor que depende del modelo se denomina tamaño de coincidencia del bloque de SCM.
- Cuando se completan las operaciones de EADM, se produce una interrupción de E/S en espera del programa para el canal secundario de tipo de ADM en el que se iniciaron las operaciones.

El ORB de EADM incluye la especificación de una clave de canal secundario y la dirección del AOB que se utilizará. El AOB se designa, por ejemplo, en un límite de 4 Kbytes y puede tener un tamaño de hasta 4 Kbytes. Si se necesitan más MSB que se ajusten a un AOB de 4 Kbytes, el AOB puede especificar una lista de MSB que se extiende a áreas de almacenamiento adicionales mediante la utilización de MSB que designan la dirección del siguiente MSB en la lista, en lugar de designar un área de almacenamiento para ser utilizada para la transferencia de datos.

La primera operación de EADM es iniciada por el subsistema de canal utilizando información en el ORB de EADM designado y el ARQB en el AOB designado para obtener un MSB. El MSB incluye la información que especifica y controla la operación de EADM que se procesará.

Cada operación de EADM está representada por un MSB. Un MSB puede especificar, por ejemplo, una transferencia de bloques de datos del almacenamiento principal a la memoria de clase de almacenamiento; una transferencia de bloques de datos desde la memoria de clase de almacenamiento al almacenamiento principal; un borrado de bloques de la memoria de clase de almacenamiento; y la liberación de bloques de la memoria de clase de almacenamiento.

Si los bloques de almacenamiento a transferir no son contiguos en el almacenamiento principal, se puede utilizar un nuevo MSB, o el MSB puede utilizar direccionamiento indirecto especificando una lista de palabras de dirección de datos indirectos de EADM (AIDAW – EADM Indirect Data Address Words, en inglés) para designar los bloques no contiguos.

- 5 Puesto que un MSB especifica la transferencia de datos en una sola dirección, se debe utilizar un nuevo MSB cuando haya un cambio en la dirección de la transferencia.

La finalización de una operación de EADM normalmente está indicada por las situaciones de estado combinadas del fin del canal y del fin del dispositivo. Esta combinación de estados representa la combinación de estados primario y secundario que indica que el canal secundario está disponible para otra función de inicio después de que el estado ha sido borrado.

Una operación de EADM puede ser terminada prematuramente mediante una instrucción de Borrar el canal secundario. La ejecución de la instrucción de Borrar el canal secundario termina la ejecución del AOB en el canal secundario, borra el canal secundario de indicaciones del AOB en ejecución y realiza de manera asincrónica la función de borrado.

- 15 Otros detalles relacionados con el ORB de EADM y las estructuras de control relacionadas se describen a continuación haciendo referencia a las figuras 2A a 2F. Inicialmente, haciendo referencia a la figura 2A, se describe una realización de un ORB de EADM.

Como ejemplo, un ORB de EADM 200 incluye:

20 Parámetro de Interrupción 202: este campo se conserva sin modificar en el canal secundario hasta que sea reemplazado por una subsiguiente instrucción de Modificar el canal secundario o Iniciar el canal secundario. Estos bits se encuentran en el código de interrupción de E/S cuando se produce una interrupción de E/S para el canal secundario, y cuando una solicitud de interrupción es borrada por la ejecución, por ejemplo, de una instrucción de Probar interrupción pendiente.

25 Clave de canal secundario 204: este campo forma la clave de canal secundario para las operaciones de EADM especificadas por el ARQB y se aplica a la obtención del ARQB, a la obtención del MSB, al almacenamiento del ARSB y para acceder al almacenamiento principal para la transferencia de datos. El valor de este campo es un valor definido; de lo contrario, el subsistema de canal reconoce una situación de Comprobación del programa o reconoce una excepción de operando.

30 Control de extensión de ORB (X) 205: este campo especifica si el ORB está extendido. Este campo toma un valor especificado cuando se designa un canal secundario de tipo de ADM; de lo contrario, se reconoce una excepción de operando o una situación de Comprobación del programa.

Dirección 206 del bloque de operación de EADM (AOB): este campo especifica una dirección del bloque de operación de EADM (AOB). Si ciertos bits de este campo no incluyen un valor definido, entonces se reconoce una excepción de operando o una situación de Comprobación del programa.

35 Si este campo designa una ubicación protegida contra la captura o designa una ubicación fuera de la configuración, la función de inicio no se inicia. En este caso, el canal secundario pasa a estar en estado pendiente con el estado primario, secundario y de alerta.

40 Prioridad del subsistema de canal (CSS – Channel SubSystem, en inglés) 208: este campo incluye un número de prioridad del subsistema de canal que es asignado al canal secundario designado y se utiliza para ordenar la selección de canales secundarios de tipo de ADM cuando se debe iniciar una función de inicio para uno o más canales secundarios que están pendientes de inicio.

Prioridad de la memoria de clase de almacenamiento (SCM – Storage Class Memory, en inglés) 210: Este campo incluye un número de prioridad de la memoria de clase de almacenamiento (SCM) que especifica el nivel de prioridad que se aplica a todas las operaciones de EADM asociadas con la función de inicio.

45 Depende del modelo si los contenidos del campo de prioridad de SCM son reconocidos por la función de EADM. En los modelos que no reconocen este campo, el contenido del campo está marcado y todas las operaciones de EADM asociadas con la función de inicio tienen asignado un número de prioridad implícito.

50 Formato (FMT - ForMaT) 212: Este campo especifica el diseño del ORB. Este campo debe incluir un valor especificado cuando se designa un canal secundario de tipo de ADM; de lo contrario, se reconoce una excepción de operando o se configura un código de situación particular.

El bloque de operación de EADM (AOB) especificado por la dirección del AOB de EADM 206 del ORB de EADM incluye la información utilizada para invocar las operaciones de EADM. Un AOB es asignado, en un ejemplo, en un límite de 4 Kbytes y tiene una longitud variable.

En un ejemplo, tal como se muestra en la figura 2B, un AOB de EADM 220 incluye tres secciones: un bloque de solicitud de EADM (ARQB) 222; un bloque de respuesta de EADM (ARSB) 224; y un área de MSB 226 que contiene hasta un número definido (por ejemplo, 124) de MSB. No obstante, el ARQB puede especificar la utilización de más de los MSB definidos, cuando se utiliza la bifurcación de MSB (es decir, utilizando la rama hacia el siguiente indicador de MSB en el MSB).

Una realización de un bloque de solicitud de EADM (ARQB) 222 se describe haciendo referencia a la figura 2C. En un ejemplo, ARQB 222 incluye:

Formato (FMT) 230: este campo especifica el diseño de ARQB. El valor de este campo es un valor definido; de lo contrario, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de código de comando en el campo de código de calificador de excepción del ARSB.

Código de comando 232: este campo es para especificar el comando de traslado de bloques de EADM; de lo contrario, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error en el código del comando en el campo de código de calificador de excepción del ARSB.

Recuento de MSB 234: este campo especifica un recuento de MSB que componen la solicitud de EADM. El número máximo de MSB que se pueden especificar depende del modelo. El valor de este campo debe ser mayor que cero y menor o igual que el valor máximo del recuento de MSB dependiente del modelo; de lo contrario, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de recuento de MSB en el campo del código de calificador de excepción del ARSB.

Además del bloque de solicitud de EADM, el ORB de EADM también especifica un bloque de respuesta de EADM (ARSB). El bloque de respuesta de EADM es significativo, en esta realización, solo cuando se reconoce una situación de excepción. Específicamente, un ARSB es significativo solo cuando el estado de alerta está presente en la palabra de estado de canal secundario de EADM (SCSW – SubChannel Status Word, en inglés), la palabra de estado extendida de EADM (ESW – Extended Status Word, en inglés) es significativa, y el bit de bloque de respuesta (R) de EADM almacenado es uno en la palabra de informe extendida de EADM (ERW – Extended Report Word, en inglés), cada uno de los cuales se describe a continuación. Cuando un ARSB no es significativo, el contenido del ARSB en el AOB es impredecible.

Si un programa es almacenado en el ARSB mientras el canal secundario asociado está activo en un canal secundario, se pueden producir resultados impredecibles.

Cuando se almacena un ARSB, la cantidad de datos que se ha transferido, en su caso, es impredecible.

Una realización de un bloque de respuesta de EADM se describe haciendo referencia a la figura 2D. En un ejemplo, el ARSB 224 incluye:

Formato (FMT) 240: este campo especifica el diseño del ARSB. Cuando se almacena un ARSB, el valor de este campo se almacena como un valor definido.

Indicadores de excepción (EF – Exception Flag, en inglés) 242: cuando se almacena un ARSB, este campo, cuando se configura, especifica el motivo de excepción por el que se almacena el ARSB. Las razones de excepción de ejemplo incluyen:

Comprobación del programa: se detectó un error de programación.

Comprobación de protección: el mecanismo de protección impide el acceso al almacenamiento. La protección se aplica a la obtención de ARQB, MSB, AIDAW y datos a transferir a la memoria de clase de almacenamiento y al almacenamiento de información en el ARSB y datos transferidos desde la memoria de clase de almacenamiento.

Comprobación de datos del canal: se detectó un error de almacenamiento no corregido en relación con los datos contenidos en el almacenamiento principal y que son utilizados actualmente en la ejecución de una operación de EADM. La situación puede ser indicada cuando se detecta, incluso si los datos no se utilizan cuando se realiza una captación previa. La comprobación de datos del canal se indica cuando los datos o la clave asociada tienen un código de bloque de comprobación (CBC – Checking Block Code, en inglés) no válido en el almacenamiento principal cuando el subsistema de canal hace referencia a esos datos.

Comprobación de control del canal: la comprobación de control del canal se debe a un fallo de la máquina que afecta a los controles del subsistema de canal. La situación incluye un CBC no válido en un ARQB, un ARSB, un MSB, una AIDAW o la clave asociada respectiva. La situación puede indicarse cuando se detecta un CBC no válido en un ARQB, MSB, AIDAW o la clave asociada respectiva, incluso si ese ARQB, MSB o AIDAW no se utiliza.

Comprobación de la función de traslado de datos asíncronos extendidos: se ha detectado un error no corregido con respecto a los datos que están contenidos en la memoria de clase de almacenamiento y se utiliza actualmente en la ejecución de una operación de EADM.



Identificadores de bloque de control de excepciones (ECBI – Exception Control Block Identifiers, en inglés) 244: cuando se almacena un ARSB, este campo es una máscara de múltiples bits, cuyos bits, cuando se configuran, especifican cualquier componente individual o combinación de los siguientes que están asociados con la excepción reconocida designada por el campo EF:

- 5 • el bloque o bloques de control
- el área principal de datos de almacenamiento
- la memoria de clase de almacenamiento.

Los bits que se pueden configurar representan, por ejemplo, un bloque de especificación de traslado de EADM, una dirección de datos indirectos de EADM, datos en el almacenamiento principal y/o datos en la memoria de clase de almacenamiento.

Los bits en el campo ECBI describen los componentes asociados con una situación de excepción única. Si no se pueden identificar componentes para la situación de excepción, este campo contiene, por ejemplo, ceros.

Indicador de validez de campo (FVF – Field Validity Flag, en inglés) 246: cuando se almacena un ARSB, este campo incluye una máscara de múltiples bits cuyos bits indican la validez de ciertos campos en el ARSB. Cuando se ha configurado un bit de validez, el campo correspondiente ha sido almacenado y es utilizable con fines de recuperación. Los bits que pueden estar configurados representan, por ejemplo, el campo de dirección de MSB con errores, el campo de AIDAW con errores, el campo de dirección de almacenamiento principal con errores y/o el campo de dirección de memoria de clase de almacenamiento con errores.

Código de calificador de excepción (EQC – Exception Qualifier Code, en inglés) 248: cuando se almacena un ARSB, este campo incluye un valor de código que describe con más detalle la excepción especificada por el campo de indicadores de excepción. Los valores del código pueden representar lo siguiente, como ejemplos:

No se proporciona ninguna descripción adicional. Para este caso, el campo de identificadores de bloque de control de excepción (ECBI) y aquellos campos validados por el campo de indicadores de validez de campo pueden identificar los bloques de control para los cuales se reconoce la excepción.

Error de formato: el formato especificado por el campo de formato está reservado. Para este caso, el campo de identificadores de bloque de control de excepción (ECBI) y los campos validados por el campo de indicadores de validez de campo pueden identificar los bloques de control para los cuales se reconoce la excepción.

Error de código de comando: el valor especificado en el campo de código de comando del ARQB no se reconoce.

Error de recuento de MSB: el valor especificado en el campo de recuento de MSB del ARQB es cero o supera el máximo número de MSB dependientes del modelo que se pueden especificar.

Error de indicadores: los bits de indicador especificados por el campo de indicadores están reservados. Para este caso, el campo de identificadores de bloque de control de excepción (ECBI) y aquellos campos validados por el campo de indicadores de validez de campo pueden identificar los bloques de control para los cuales se reconoce la excepción.

Error de código de operación: se especifica un valor de código de operación reservado. Si el campo de indicadores de validez de campo indica que el campo de dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción.

Error de tamaño de bloque: se especifica un valor de tamaño de bloque reservado. Si el campo de indicadores de validez de campo indica que el campo de dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción.

Error de recuento de bloques: el valor especificado en el campo de recuento de bloques de un MSB es cero o excede el número máximo de bloques dependientes del modelo que pueden ser especificados por un MSB. Si el campo de indicadores de validez de campo indica que el campo de dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción.

Error de especificación de la dirección de almacenamiento principal: se especifica una dirección de almacenamiento principal en un límite incorrecto. Dicha dirección podría haber sido designada por un MSB o por una AIDAW. Si el campo de indicadores de validez de campo indica que el campo de dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de la dirección de almacenamiento principal con errores es válido, el campo contiene la dirección de almacenamiento principal para la que se reconoce la excepción.

- 5 Error de especificación de dirección de la memoria de clase de almacenamiento: se especifica una dirección de la memoria de clase de almacenamiento en un límite incorrecto. Dicha dirección es designada por un MSB. Si los indicadores de validez de campo indican que el campo de dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la memoria de clase de almacenamiento con errores es válido, el campo contiene la dirección de la memoria de clase de almacenamiento para la que se reconoce la excepción.
- 10 Excepción de la dirección de almacenamiento principal: la función de EADM intentó utilizar una dirección que no está disponible en la configuración o que se ajustó a la dirección de almacenamiento máximo. Dicha dirección podría haber sido designada por un MSB o resultar de un incremento de las direcciones de almacenamiento principal durante la transferencia de datos. Si el campo de indicadores de validez de campo indica que el campo de la dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección del almacenamiento principal con errores es válido, el campo contiene la dirección de almacenamiento principal para la cual se reconoce la excepción.
- 15
- 20 Excepción de dirección de la memoria de clase de almacenamiento: la función de EADM intentó utilizar una dirección de la memoria de clase de almacenamiento que no está disponible en la configuración. Dicha dirección podría haber sido designada por un MSB o como resultado del incremento de las direcciones de la memoria de clase de almacenamiento durante la transferencia de datos. Si el campo de indicadores de validez de campo indica que el campo de dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la memoria de clase de almacenamiento con errores es válido, el campo contiene la dirección de la memoria de clase de almacenamiento para la cual se reconoce la excepción.
- 25
- 30 Error de almacenamiento principal: se detectó un error de almacenamiento principal no corregido. Si el campo de indicadores de validez de campo indica que el campo de la dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de almacenamiento principal con errores es válido, el campo contiene la dirección de almacenamiento principal para la cual se reconoce la excepción.
- 35
- 40 Error de lista de MSB: el AOB especifica una lista de MSB que cruza un límite de 4 Kbytes sin especificar la rama hasta el siguiente MSB (BNM – Branch to Next MSB, en inglés) para sobrepasar el límite o el MSB es el último MSB en la lista de MSB especificada y la BNM está especificado por el MSB. Si el campo de indicadores de validez de campo indica que el campo de dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción.
- 45
- 50 Error de lista de AIDAW: un MSB especifica una lista de palabras de dirección de datos indirectos (AIDAW) de EADM que cruza un límite de 4 Kbytes sin especificar la rama hasta la siguiente AIDAW (BNA – Branch to Next AIDAW) para sobrepasar el límite. Si el campo de indicadores de validez de campo indica que el campo de dirección de MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la AIDAW con errores es válido, el campo contiene la dirección de AIDAW para la cual se reconoce la excepción.
- 55
- Error de rama de AIDAW: un MSB especifica una lista de palabras de dirección de datos indirectos (AIDAW) en la que una AIDAW (AIDAW de la rama hasta el origen) especifica una AIDAW de la rama hasta el origen (BNA) y la AIDAW que es el objetivo de la rama también especifica la BNA. Si el campo de indicadores de validez de campo indica que el campo de dirección de MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW de la rama hasta el origen para la cual se reconoce la excepción.
- Error temporal de la memoria de clase de almacenamiento: se detectó un error de memoria de clase de almacenamiento recuperable. Si el campo del indicador de validez de campo indica que el campo de la dirección

- del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de la dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la memoria de clase de almacenamiento con errores es válido, el campo contiene la dirección de la memoria de clase de almacenamiento para la cual se reconoce la excepción.
- 5 Error de operación de liberación no soportada: se especificó una operación de liberación para la memoria de clase de almacenamiento para la cual no está soportada la operación de liberación. Si el campo de indicadores de validez de campo indica que el campo de la dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de la dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la memoria de clase de almacenamiento con errores es válido, el campo contiene la dirección de la memoria de clase de almacenamiento para la cual se reconoce la excepción.
- 10 Error de lectura de datos liberados: se especificó una operación de lectura para la memoria de clase de almacenamiento para la cual la última operación con éxito fue una operación de liberación. Si el campo de indicadores de validez de campo indica que el campo de la dirección del MSB con errores es válido, el campo contiene la dirección del MSB para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de la dirección de la AIDAW con errores es válido, el campo contiene la dirección de la AIDAW para la cual se reconoce la excepción. Si el campo de indicadores de validez de campo indica que el campo de dirección de la memoria de clase de almacenamiento con errores es válido, el campo contiene la dirección de la memoria de clase de almacenamiento para la cual se reconoce la excepción.
- 15 20 Dirección del MSB con errores 250: cuando un bit especificado del campo de indicadores de validez de campo está configurado, este campo indica una dirección del MSB para la cual se reconoce una excepción.
- 25 Dirección de la AIDAW con errores 252: cuando un bit especificado del campo de indicadores de validez de campo está configurado, este campo indica una dirección de la AIDAW para la cual se reconoce una excepción.
- Dirección del almacenamiento principal con errores 254: cuando un bit especificado del campo de indicadores de validez de campo está configurado, este campo indica una dirección del bloque de almacenamiento principal para la cual se reconoce una excepción.
- 30 Dirección de la memoria de clase de almacenamiento con errores 256: cuando un bit especificado del campo de indicadores de validez de campo está configurado, este campo incluye la dirección de la SCM (por ejemplo, 64 bits) del bloque de memoria de clase de almacenamiento para el cual se reconoce una excepción.
- Además del bloque de solicitud de EADM y del bloque de respuesta de EADM, el bloque de operación de EADM (AOB) especifica asimismo uno o más bloques de especificación de traslado de EADM (MSB). El AOB puede contener, por ejemplo, hasta 124 MSB. Sin embargo, el programa puede especificar más de 124 MSB designando un mayor número de MSB en el campo de recuento de ARQB y utilizando el indicador de rama hasta el siguiente MSB (BNM) para derivar hasta una continuación de la lista de MSB. Puede haber múltiples continuaciones de la lista de MSB, pero, en una realización, ninguna de estas continuaciones puede sobrepasar un límite de 4 Kbytes sin utilizar BNM para sobrepasar ese límite. No es necesario que las continuaciones de la lista de MSB sean contiguas. Cada continuación de la lista de MSB, si está designada para comenzar en un límite de 4 Kbytes, puede contener hasta 128 MSB. El número total de MSB en una lista de MSB se especifica mediante el campo de recuento de MSB en el ARQB.
- 35 40 Un bloque de especificación de traslado de EADM describe, por ejemplo, los bloques de almacenamiento que serán trasladados entre el almacenamiento principal y la memoria de clase de almacenamiento, o una operación que se realizará en un bloque de almacenamiento. Una realización de MSB 226 se describe haciendo referencia a la figura 2E, e incluye, por ejemplo:
- 45 Formato (FMT) 260: Este campo especifica el diseño del MSB. El valor de este campo es un valor definido; de lo contrario, se indica un error de formato MSB en el campo de código de calificador de excepción del ARSB.
- Código de operación (OC – Operation Code, en inglés) 262: este campo especifica la operación a realizar. En un ejemplo, cuando un bit especificado del campo de indicadores, que se describe a continuación, es un valor definido, este campo especifica la operación a realizar. Operaciones de ejemplo incluyen:
- 50 Borrado de la memoria de clase de almacenamiento: cuando se designa este código, se borra la memoria de clase de almacenamiento especificada por la dirección de la memoria de clase de almacenamiento, el tamaño del bloque y el campo de recuento de bloques (por ejemplo, configurados en ceros). El campo de dirección de almacenamiento principal no tiene ningún significado para esta operación.
- 55

Lectura: cuando se designa este código, los datos se especifican para ser transferidos desde la memoria de clase de almacenamiento al almacenamiento principal. Los campos de recuento de bloques, tamaño de bloque, dirección de almacenamiento principal y dirección de memoria de clase de almacenamiento tienen significado para esta operación.

- 5 Escritura: cuando se designa este código, los datos se especifican para ser transferidos desde el almacenamiento principal a la memoria de clase de almacenamiento. Los campos de recuento de bloques, tamaño de bloque, dirección de almacenamiento principal y dirección de memoria de clase de almacenamiento tienen significado para esta operación.

- 10 Liberación: cuando se designa este código y está instalada la función de liberación de EADM, se libera la memoria de clase de almacenamiento especificada por los campos de dirección de la memoria de clase de almacenamiento, el tamaño de bloque y el recuento de bloques. El campo de la dirección del almacenamiento principal no tiene ningún significado para esta operación. Cuando la función de liberación de EADM no está instalada, este código está reservado.

- 15 Si se especifica un valor reservado, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de código de operación en el campo del código de calificador de excepción del ARSB.

Cuando el bit de indicador especificado del campo de indicadores no es el valor definido, este campo está reservado y no está marcado.

- 20 Indicadores 264: este campo identifica uno o más indicadores que se pueden configurar. Los bits de indicador que están reservados se configuran en un valor definido; de lo contrario, se indica un error de indicador en el campo de código de calificador de excepción del ARSB. Indicadores de ejemplo incluyen:

- Rama hasta el siguiente MSB (BNM): cuando se configura, este indicador indica que el MSB no especifica una operación de EADM y no se utiliza para transferir datos. En su lugar, el campo de la dirección de almacenamiento principal especifica la dirección del siguiente MSB que será utilizado para especificar una operación de EADM.

- 25 Cuando se configura el indicador de BNM (por ejemplo, uno) y el campo de la dirección del almacenamiento principal especifica un MSB en el que también está configurado el indicador de BNM, el subsistema de canal reconoce una situación de comprobación del programa, la dirección de la rama hasta el origen de MSB está almacenada en el campo de dirección del MSB con errores del ARSB y un error de rama de MSB se indica en el campo de código de calificador de excepción del ARSB.

- 30 Si un MSB termina en un límite de 4 Kbytes, el AOB especifica MSB adicionales, y el indicador de BNM no está configurado, el subsistema de canal reconoce una situación de comprobación del programa, la dirección del MSB se almacena en el campo de la dirección del MSB con errores. El ARSB y un error de lista de MSB se indican en el campo de código de calificador de excepción del ARSB.

- 35 Si un MSB es el último MSB en la lista de MSB especificada y está configurado el indicador de BNM, el subsistema de canal reconoce una situación de comprobación del programa, la dirección del MSB se almacena en el campo de la dirección del MSB con errores del ARSB, y un error de lista de MSB se indica en el campo del código de calificador de excepción del ARSB.

- 40 Cuando se configura el indicador de BNM, los indicadores restantes, el campo de código de operación, el campo de tamaño de bloque, el campo de recuento del conjunto de bloques y la dirección de la memoria de clase de almacenamiento no tienen ningún significado.

- Direccionamiento indirecto: cuando se configura, este indicador indica que el campo del almacenamiento principal designa una dirección de una palabra de dirección de datos indirectos EADM (AIDAW) o de la primera AIDAW de una lista de AIDAW que designa la ubicación o ubicaciones del almacenamiento principal, respectivamente, para ser utilizado para la transferencia de datos. Cuando no está configurado, este indicador indica que el campo de dirección del almacenamiento principal designa una dirección de la ubicación del almacenamiento principal que se utilizará para la transferencia de datos.

- 50 Tamaño de bloque (BS – Block Size, en inglés) 266: este campo especifica el tamaño y el límite de los bloques de datos que se transferirán tanto para el almacenamiento principal como para la memoria de clase de almacenamiento, o el tamaño y el límite de un bloque de la memoria de clase de almacenamiento sobre la que se va a actuar (por ejemplo, será borrada o liberada). Ejemplos, incluyen:

4K: cuando el valor del código es un valor definido, los bloques de datos a transferir se encuentran en un límite de 4 Kbytes y tienen un tamaño de 4 Kbytes.

1M: cuando el valor del código es otro valor definido, los bloques de datos a transferir se encuentran en un límite

de 1 Mbyte y tienen un tamaño de 1 Mbyte.

Si se especifica un valor reservado, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de tamaño de bloque en el campo del código de calificador de excepción del ARSB.

Cuando el indicador de BNM está configurado, este campo se ignora.

- 5 Recuento de bloques 268: este campo incluye un número de bloques de datos a ser transferidos o sobre los que se actuará (por ejemplo, serán borrados o liberados). Sobre la base del campo de tamaño de bloque, este es el recuento de bloques de 4 Kbytes o de 1 Mbyte.

10 El valor de este campo debe ser mayor que cero y menor o igual que el recuento máximo de bloques dependientes del modelo que puede especificar un MSB; de lo contrario, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de recuento de bloques en el campo de código de calificador de excepción del ARSB.

Cuando el indicador de BNM está configurado, este campo está reservado y no es comprobado.

15 Dirección de almacenamiento principal 270: cuando el campo del código de operación tiene un significado (por ejemplo, el indicador de BNM no está configurado) y especifica una operación de lectura o escritura, y el indicador de direccionamiento indirecto en el campo de indicadores no está configurado, este campo incluye una dirección de almacenamiento principal que será utilizado para la transferencia de datos, y lo siguiente se aplica:

- Cuando el campo de tamaño de bloque especifica bloques de 4 Kbytes, los bits especificados de este campo contienen un valor definido (por ejemplo, cero); de lo contrario, el subsistema de canal reconoce la situación de comprobación del programa y se indica un error de especificación de almacenamiento principal en el campo de código de calificador de excepción del ARSB.
- Cuando el campo de tamaño de bloque especifica bloques de 1 Mbyte, los bits especificados de este campo contienen un valor definido (por ejemplo, ceros); de lo contrario, el subsistema de canal reconoce la situación de comprobación del programa y se indica un error de especificación de almacenamiento principal en el campo de código de calificador de excepción del ARSB.

25 Cuando el campo del código de operación tiene un significado y especifica una operación de lectura o de escritura y el indicador de direccionamiento indirecto está configurado en el campo de indicadores, el campo incluye una dirección de almacenamiento principal de una AIDAW o de la primera de una lista de AIDAW que se utilizará para la transferencia de datos. Para este caso, ciertos bits de este campo contienen un valor definido; de lo contrario, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de especificación del almacenamiento principal en el campo del código de calificador de excepción del ARSB.

30 Cuando el indicador BNM está configurado, el código de operación no tiene significado y el MSB no especifica una operación de EADM. En su lugar, este campo incluye una dirección de almacenamiento principal del siguiente MSB que especifica una operación de EADM. Para este caso, los bits especificados de este campo contienen un valor definido; de lo contrario, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de especificación de almacenamiento principal en el campo de código de calificador de excepción del ARSB.

35 Dirección de la memoria de clase de almacenamiento 272: cuando el campo del código de operación tiene significado, este campo incluye la dirección de la memoria de clase de almacenamiento (por ejemplo, 64 bits) que se utilizará para la transferencia de datos o para actuar sobre la misma (por ejemplo, ser borrada, liberada) y lo siguiente se aplica:

- Cuando el campo de tamaño de bloque especifica bloques de 4 Kbytes, los bits especificados de este campo contienen un valor definido (por ejemplo, ceros); de lo contrario, el subsistema de canal reconoce la situación de comprobación del programa y se indica un error de especificación de la memoria de clase de almacenamiento en el campo de código de calificador de excepción del ARSB.
- Cuando el campo de tamaño de bloque especifica bloques de 1 Mbyte, los bits especificados de este campo contienen un valor definido; de lo contrario, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de especificación de la memoria de clase de almacenamiento en el campo de código de calificador de excepción del ARSB.

Cuando el indicador BNM está configurado, este campo está reservado y no es comprobado.

50 Tal como se indicó anteriormente, se puede especificar una palabra de dirección de datos indirectos de EADM. La palabra de dirección de datos indirectos de EADM (AIDAW) permite al programa especificar la transferencia de bloques de datos entre la memoria de clase de almacenamiento y bloques no contiguos del almacenamiento principal. Una AIDAW o una lista de AIDAW es designado por un MSB cuando el indicador de direccionamiento

indirecto en el MSB está configurado.

La cantidad de datos transferidos mediante una sola AIDAW se especifica mediante el campo de tamaño de bloque en el MSB. El número de AIDAW en una lista de AIDAW es la suma del número especificado por el campo de recuento de bloques en el MSB más el número de AIDAW que especifican la rama hasta la siguiente AIDAW. Las transferencias de datos pueden ser procesadas en órdenes que son diferentes de las especificadas en una lista de AIDAW. Además, las transferencias de datos especificadas por varias AIDAW en una lista de AIDAW pueden ser procesadas al mismo tiempo.

Una AIDAW es asignada, por ejemplo, a un límite de cuatro palabras. Una lista de AIDAW puede tener cualquier longitud, pero, en un ejemplo, no se debe sobrepasar un límite de 4 Kbytes a menos que se especifique una rama hasta la siguiente AIDAW (BNA) para sobrepasar el límite. No hay ningún requisito de que la AIDAW que es el objetivo de una rama sea contigua a la BNA que especifica la AIDAW. Sin embargo, el programa debe crear una lista de AIDAW en el menor número posible de bloques de 4 Kbytes; de lo contrario, se puede producir una degradación de la ejecución.

Haciendo referencia a la figura 2F, en un ejemplo, una palabra de dirección de datos indirectos de EADM 280 incluye:

Indicadores 282: un ejemplo de indicador incluye:

Rama hasta la siguiente AIDAW (BNA): cuando se configura, este indicador indica que el campo de la dirección de almacenamiento principal no especifica una dirección de almacenamiento principal para ser utilizada para transferir datos. En su lugar, el campo de dirección de almacenamiento principal especifica la dirección de la siguiente AIDAW que será utilizada para transferir datos.

Cuando el indicador de BNA está configurado y el campo de la dirección de almacenamiento principal especifica una AIDAW en la que también está configurado el indicador de BNA, la dirección del MSB se almacena en el campo de dirección del MSB con errores del ARSB, se almacena la dirección de la AIDAW de la rama hasta el origen en el campo de dirección de almacenamiento principal con errores en el ARSB, y un error de rama de AIDAW se indica en el campo de código de calificador de excepción en el ARSB.

Si una AIDAW termina en un límite de 4 Kbytes, el MSB especifica AIDAW adicionales, y el indicador de BNA no se configura, la dirección del MSB se almacena en el campo de dirección del MSB con errores del ARSB, la dirección de la AIDAW se almacena en el campo de dirección de almacenamiento principal con errores en el ARSB, y un error de lista de AIDAW se indica en el campo del código de calificador de excepción en el ARSB.

Dirección de almacenamiento principal 284: cuando el campo de BNA no está configurado, este campo incluye una dirección en el almacenamiento principal que se utilizará para la transferencia de datos y lo siguiente se aplica:

- Cuando el campo de tamaño de bloque en el MSB especifica bloques de 4 Kbytes, los bits especificados de este campo contienen un valor definido (por ejemplo, cero); de lo contrario, el subsistema del canal reconoce una situación de comprobación del programa y se indica un error de especificación del almacenamiento principal en el campo del código de calificador de excepción del ARSB.
- Cuando el campo de tamaño de bloque en el MSB especifica bloques de 1 Mbyte, los bits especificados de este campo contienen un valor definido (por ejemplo, ceros); de lo contrario, el subsistema de canal reconoce una situación de comprobación del programa y se indica un error de especificación de almacenamiento principal en el campo de código de calificador de excepción del ARSB.
- Cuando el indicador BNA está configurado, este campo incluye una dirección de almacenamiento principal de la siguiente AIDAW que se utilizará para la transferencia de datos.

Tal como se describió anteriormente, las operaciones de EADM se especifican mediante una instrucción de Iniciar el canal secundario. Es decir, el programa inicia las operaciones de EADM mediante la emisión de una instrucción de Iniciar el canal secundario que designa un canal secundario de tipo de ADM y un ORB de EADM. La ejecución de la instrucción pasa los contenidos del ORB de EADM al canal secundario designado. El ORB de EADM incluye la especificación de la clave del canal secundario (utilizada para protección) y la dirección del AOB que se utilizará.

En un ejemplo, tal como se muestra en la figura 3A, una instrucción de Iniciar el canal secundario 300 incluye un código de operación 302 que especifica la función de Iniciar el canal secundario, un primer operando 304, que es un operando implícito situado, por ejemplo, en el registro general 1, que incluye el identificador del subsistema que designa el canal secundario de tipo de ADM que se debe iniciar, y un segundo operando 306, que es la dirección lógica del ORB de EADM. El ORB de EADM especifica los parámetros utilizados para controlar la función de inicio. Los contenidos del ORB de EADM son colocados en el canal secundario designado durante la ejecución de la instrucción de Iniciar el canal secundario, antes de configurar el código de situación. Si la ejecución de la instrucción de Iniciar el canal secundario da como resultado la configuración de un código de situación distinto a un

código que indica éxito, el contenido del ORB de EADM no se coloca en el canal secundario designado.

Posteriormente a la ejecución de la instrucción de Iniciar el canal secundario para un canal secundario de tipo de ADM, el subsistema de canal realiza de manera asíncrona la función de iniciar las operaciones de EADM con la función de EADM. La función de inicio incluye, por ejemplo, lo siguiente:

- 5     1. Obtener el ARQB del AOB.
  2. Ejecutar las operaciones de EADM de acuerdo con lo especificado por el ARQB y los MSB que designa.
  3. Almacenar condicionalmente la información de finalización en el ARSB en el AOB.
  4. Hacer que el canal secundario de tipo de ADM pase a estar en estado pendiente, lo que indica que la función de inicio ha finalizado.
- 10    En una realización, haciendo referencia a la figura 3B, cuando se ejecuta la instrucción de Iniciar el canal secundario y la SID designa un canal secundario de tipo de ADM y el segundo operando designa un ORB de EADM, se especifica una operación de EADM, ETAPA 320. Los parámetros en el ORB de EADM son pasados al canal secundario designado, ETAPA 322, y se solicita al subsistema de canal que ejecute una función de inicio con la función de EADM, ETAPA 324. El subsistema de canal ejecuta de manera asíncrona la función de inicio
- 15    mediante la utilización de información en el canal secundario, incluida la información pasada durante la ejecución de la instrucción de Iniciar el canal secundario, para iniciar operaciones EADM, ETAPA 326.
- La ejecución de una operación de EADM (por ejemplo, la primera operación) incluye la utilización de información del ORB de EADM para obtener el AOB, ETAPA 328, y la información utilizada en el AOB para obtener el bloque de solicitud de EADM (ARQB) y una designación de uno o más bloques de especificación de traslado de EADM (MSB), ETAPA 330. Los uno o más MSB designados son capturados del almacenamiento principal, ETAPA 332, y la información especificada en los MSB se utiliza para controlar la operación de EADM solicitada. Se considera que la primera operación se ha iniciado cuando el subsistema de canal intenta iniciar la transferencia de datos o intenta una operación de borrado o liberación.
- 20    El subsistema de canal realiza la operación o las operaciones solicitadas en el MSB o los MSB, ETAPA 334. Este procesamiento es asíncrono con respecto a la ejecución del comando Iniciar.
- 25    Cuando las operaciones de EADM iniciadas por el fin de Iniciar el canal secundario, ETAPA 336, el subsistema de canal genera situaciones de estado, ETAPA 338. La generación de estas situaciones se pone en conocimiento del programa mediante una interrupción de E/S, ETAPA 339. El programa también puede consultar estas situaciones mediante la ejecución de una instrucción de Probar interrupción pendiente.
- 30    Las situaciones de estado generadas son presentadas al programa en forma de una palabra de estado de canal secundario de EADM (SCSW). La SCSW de EADM se almacena como parte del bloque de respuesta de interrupción (IRB – Interruption Response Block, en inglés) de EADM mediante la ejecución de la instrucción de Probar el canal secundario.
- 35    Cuando se terminan las operaciones de EADM especificadas en el bloque de operación de EADM (AOB), el subsistema de canal genera los estados de interrupción primario y secundario. Las operaciones de EADM pueden ser terminadas con la instrucción de Borrar el canal secundario o con una situación anormal reconocida mientras se realiza la función de inicio.
- 40    El procesamiento de un MSB por el subsistema de canal, para una operación de traslado, controla el flujo de una unidad de información hacia el almacenamiento principal o desde el mismo. Para cambiar la dirección del traslado de datos durante el procesamiento de MSB, se necesita un nuevo MSB. El ARQB designa el recuento de MSB que comprenden la solicitud.
- Cada operación de EADM está representada por un MSB. Un MSB puede especificar cualquiera de los siguientes:
- La transferencia de bloques de datos desde el almacenamiento principal a la memoria de clase de almacenamiento.
  - 45    • La transferencia de bloques de datos desde la memoria de clase de almacenamiento al almacenamiento principal.
  - El borrado de bloques de la memoria de clase de almacenamiento.
  - La liberación de bloques de la memoria de clase de almacenamiento, cuando la función de liberación de EADM está instalada.
- 50    Si los bloques de almacenamiento a ser transferidos para una operación de traslado no son contiguos en el

almacenamiento principal, se puede utilizar un nuevo MSB, o el MSB puede utilizar direccionamiento indirecto especificando una lista de palabras de dirección de datos indirectos (AIDAW) de EADM para designar los bloques no contiguos. Puesto que un MSB puede especificar la transferencia de datos en una sola dirección, se utilizará un nuevo MSB cuando haya un cambio en la dirección de la transferencia de datos.

5 Las siguientes son características de las transferencias de datos de EADM:

- Las transferencias de datos pueden ser procesadas fuera de orden con respecto al orden de la lista MSB especificada.
- Las transferencias de datos especificadas mediante múltiples MSB en una lista de MSB pueden ser procesadas simultáneamente.

10 • Las transferencias de datos pueden ser procesadas fuera de orden con respecto al orden de la lista de AIDAW especificada.

- Las transferencias de datos especificadas en varias AIDAW en una lista de AIDAW pueden ser procesadas simultáneamente.

15 • Los accesos al almacenamiento principal y a la memoria de clase de almacenamiento no son necesariamente referencias de acceso único y no se realizan necesariamente en una dirección de izquierda a derecha, de acuerdo con lo observado por el programa y por otras CPU.

- Si dos o más operaciones de EADM están actualmente activas y se dirigen a las mismas ubicaciones de la SCM, ubicación de almacenamiento principal, o ambas, las operaciones pueden ser realizadas al mismo tiempo, y el contenido de diferentes operaciones puede ser intercalado; sin embargo:

20 – Para las operaciones de entrada, los datos almacenados por la función de EADM en cada bloque de almacenamiento principal que tiene un tamaño igual al tamaño de coincidencia del bloque de SCM consisten en datos transferidos desde la memoria de clase de almacenamiento mediante una sola de las operaciones de EADM simultáneas.

25 – Para las operaciones de salida, cada bloque de la memoria de clase de almacenamiento que está en un límite y tiene un tamaño igual al tamaño de coincidencia del bloque de SCM contiene los datos especificados solo por una de las operaciones de EADM simultáneas.

Lo anterior es cierto con independencia de si las operaciones de EADM son especificadas por un solo AOB y están siendo procesadas por la misma instancia de la función de inicio o si las operaciones de EADM están especificadas por diferentes AOB y están siendo procesadas por diferentes instancias de la función de inicio.

- Cuando las operaciones de EADM están activas para un canal secundario, es impredecible si los cambios realizados por el programa al ARQB, al MSB, a la AIDAW y a los datos de transferencia asociados con la operación activa son observados por la función de EADM.

35 Cuando todos los bloques designados por todos los MSB especificados por el AOB han sido transferidos, eliminados o liberados, el canal secundario genera un estado, que se almacena en el canal secundario, y solicita una interrupción de E/S para el canal secundario de tipo de ADM.

40 La finalización de una operación de EADM normalmente se indica mediante las situaciones de estado combinadas de fin del canal y fin del dispositivo. Esta combinación de estados representa la combinación de los estados primario y secundario, lo que indica que el canal secundario está disponible para otra función de inicio después de que se borra el estado.

Tal como se describió anteriormente, un MSB puede especificar una operación de transferencia de datos, una operación de borrado o una operación de liberación, cada una de las cuales se describe a continuación.

45 Cuando se solicita una operación de traslado, uno o más bloques de datos son trasladados entre el almacenamiento principal y la memoria de clase de almacenamiento. Por ejemplo, para una operación de lectura, los datos de la SCM se obtienen a partir de los SSD que proporcionan el contenido designado por la dirección de la SCM especificada, y, a continuación, ese contenido es almacenado en la memoria principal. El proceso se invierte para una operación de escritura. Los adaptadores que controlan los SSD realizan el almacenamiento. Con más detalle, para realizar una operación de traslado, el firmware del sistema primero traduce una dirección de SCM dada en una dirección de adaptador (por ejemplo, una dirección de volumen lógico, en la que un volumen lógico incluye uno o más SSD). Por ejemplo, se utiliza una tabla de traslaciones que correlaciona la dirección de SCM con una dirección de adaptador. A continuación, el firmware del sistema envía uno o más comandos de traslado de adaptador correspondientes (por ejemplo, lectura o escritura) a uno o más de los adaptadores de E/S. Un comando



de traslado de adaptador contiene una dirección de almacenamiento principal, una dirección de adaptador y un tamaño de transferencia. A continuación, el adaptador utiliza otra tabla de traslaciones para ubicar una o más direcciones físicas de SSD que corresponden a la dirección del adaptador. El adaptador de E/S efectúa la operación de traslado, ya sea recuperando datos del almacenamiento principal y almacenándolos en los SSD, o recuperando datos de los SSD y almacenándolos en la memoria principal. Asimismo, se proporcionan detalles adicionales en una solicitud de patente presentada conjuntamente titulada "Firmware Management of Storage Class Memory", POU920110090US1, que se incorpora en el presente documento como referencia en su totalidad.

Cuando se realiza una operación de borrado, los incrementos designados de la memoria de clase de almacenamiento se borran configurando los contenidos a ceros.

Además, cuando se realiza una operación de liberación, se pueden enviar uno o más comandos TRIM estándar a los SSD que contienen las direcciones de SCM correspondientes. El comando TRIM permite que un programa brinde sugerencias sobre la utilización del bloque, lo que permite una mejor selección de los SSD. El comando TRIM permite a un sistema operativo informar a un SSD de qué bloques de almacenamiento ya no se consideran en uso y pueden ser borrados.

Una operación de EADM puede ser terminada prematuramente mediante una instrucción de Borrar el canal secundario. La ejecución de la instrucción de Borrar el canal secundario termina la ejecución del AOB en el canal secundario, borra del canal secundario las indicaciones del AOB en ejecución y realiza de manera asíncrona la función de borrado. Cuando se realiza la función de borrado, antes de que el canal secundario pase a estar en estado pendiente, la transferencia de datos finaliza y la cantidad de datos transferidos es impredecible. La ejecución de la función de borrado no da como resultado la generación de estado, sino que hace que el subsistema del canal realice una interrupción de E/S pendiente.

En una realización, haciendo referencia a la figura 3C, una instrucción de Borrar el canal secundario 350 incluye un código de operación 352 que designa la función de Borrar el canal secundario. El canal secundario a borrar se designa mediante una palabra de identificación de subsistema, por ejemplo, en el registro general 1.

La función de borrado para un canal secundario de tipo de ADM incluye:

1. Asegurar que la transferencia de datos actual se termina.

2. Modificar campos en el canal secundario y condicionalmente el ARSB. Por ejemplo, la palabra de estado de canal secundario es modificada para indicar la función de borrado en el campo de Control de la función y en el campo de Control de la actividad. El ARSB puede ser modificado para reflejar cualquier error detectado.

3. Hacer que el canal secundario pase a estar en estado pendiente, lo que indica la finalización de la función de borrado.

También se pueden emitir otras instrucciones que pueden especificar un canal secundario de tipo de ADM, incluyendo Probar el canal secundario, Modificar el canal secundario y Almacenar el canal secundario, cada uno de los cuales se describe a continuación.

Haciendo referencia a la figura 3D, en un ejemplo, una instrucción de Probar el canal secundario 360 incluye, por ejemplo, un código de operación 362 que especifica la función de prueba del canal secundario; un primer operando 364, que es un operando implícito situado, por ejemplo, en el registro general 1, que contiene la palabra de identificación del subsistema que designa el canal secundario que se va a probar; y un segundo operando 366 que es la dirección lógica del bloque de respuesta a información (IRB) en el que se almacena la información.

Cuando se ejecuta la instrucción de Probar el canal secundario que especifica un canal secundario de tipo de ADM, el canal secundario está en estado pendiente, y la información se almacena en el IRB (Bloque de respuesta a la interrupción) de EADM designado, se establece un código de situación especificado. Cuando el canal secundario no está en estado pendiente y la información de estado está almacenada en el IRB de EADM designado, un código de situación definido está configurado. Cuando el canal secundario no existe o no está habilitado, no se realiza ninguna acción.

En un ejemplo, el IRB de EADM incluye una palabra de estado de canal secundario (SSW – Subchannel Status Word, en inglés) y una palabra de estado extendida (ESW), así como una palabra de control extendida que puede proporcionar información adicional dependiente del modelo que describe las situaciones que pueden existir en la función. Cada una de estas palabras se describe con más detalle a continuación, después de una explicación de las diversas instrucciones que pueden especificar un canal secundario de tipo de ADM.

Haciendo referencia a la figura 3E, en una realización, una instrucción de Modificar el canal secundario 370 incluye un código de operación 372 que especifica la función de modificación del canal secundario; un primer operando 374, que es un operando implícito situado, por ejemplo, en el registro general 1, que incluye la palabra de identificación del subsistema que designa el canal secundario a modificar; y un segundo operando 376, que es la

dirección lógica de un bloque de información de canal secundario (SCHIB – SubCHannel Information Block, en inglés) asociado con el canal secundario.

5 Cuando se ejecuta la instrucción de Modificar el canal secundario especificando un canal secundario de tipo de ADM, y la información del bloque de información del canal secundario (SCHIB) especificado se coloca en el canal secundario, se configura un código de situación especificado. Cuando el canal secundario está en estado pendiente, no se realiza ninguna acción y se configura un código de situación definido. Cuando el canal secundario está ocupado para una función de inicio o de borrado, no se realiza ninguna acción.

10 Haciendo referencia a la figura 3F, se describe un ejemplo de una instrucción de Probar el canal secundario. En un ejemplo, una instrucción de Probar el canal secundario 380 incluye un código de operación 382 que identifica la función de Probar el canal secundario; un primer operando 384, que es un operando implícito situado, por ejemplo, en el registro general 1, que incluye una palabra de identificación de subsistema que designa el canal secundario para el cual se almacena la información; y un segundo operando 386 que es la dirección lógica del SCHIB.

15 Cuando se emite una instrucción de Probar el canal secundario que especifica un canal secundario de tipo de ADM, y se almacena un SCHIB, se configura un código de situación especificado. Cuando el canal secundario designado no existe en el subsistema de canal, no se realiza ninguna acción.

20 Un ejemplo de un bloque de información de canal secundario para un canal secundario de tipo de ADM (SCHIB de EADM) se describe haciendo referencia a la figura 4A. En un ejemplo, un SCHIB de EADM 400 incluye un área dependiente del modelo 401, que incluye información dependiente del modelo. Además, el SCHIB 400 incluye una palabra de control de gestión de ruta (PMCW – Path Management control Word, en inglés) 402, y una palabra de estado de canal secundario (SCSW) 404, cada una de las cuales se describe a continuación.

En un ejemplo, la PMCW de EADM 402 incluye, por ejemplo, los siguientes campos, tal como se muestra en la figura 4B:

25 Parámetro de interrupción 410: este campo incluye el parámetro de interrupción que está almacenado en el código de interrupción de E/S. El parámetro de interrupción se puede configurar a cualquier valor mediante las instrucciones de Iniciar el canal secundario y Modificar el canal secundario. El valor inicial del campo de parámetro de interrupción en el canal secundario es cero.

30 Subclase de interrupción (ISC – Interruption subClass, en inglés) 412: este campo incluye una serie de bits que es un entero binario sin signo, en un rango especificado, que corresponde a la posición de bit del bit de máscara de la subclase de interrupción de E/S en un registro de control especificado de cada CPU en la configuración. La configuración del bit de máscara en el registro de control de una CPU controla el reconocimiento de solicitudes de interrupción relacionadas con el canal secundario por parte de esa CPU. La ISC puede ser configurada a un valor mediante la instrucción de Modificar el canal secundario. El valor inicial del campo de ISC en el canal secundario es, por ejemplo, cero.

35 Habilitado (E – Enabled, en inglés) 414: este campo, cuando se configura, indica que el canal secundario está habilitado para todas las funciones de EADM.

Tipo de canal secundario (ST – Subchannel Type, en inglés) 416: este campo designa el tipo de canal secundario. Dependiendo del modelo y de la configuración, se pueden proporcionar uno o más de los siguientes tipos de canal secundario: canal secundario de E/S o canal secundario de ADM.

40 El valor de este campo se determina cuando se configura el canal secundario y no se puede cambiar mediante la instrucción de Modificar el canal secundario.

Cuando la instrucción de Modificar el canal secundario es ejecutada y designa un canal de tipo de ADM, ST está destinada a indicar el canal secundario de ADM; de lo contrario, se reconoce una excepción de operando.

45 Volviendo a la figura 4A, el bloque de información de canal secundario también incluye la palabra de estado de canal secundario 404. La palabra de estado de canal secundario de EADM (SCSW) proporciona indicaciones al programa, que describen el estado de un canal secundario de tipo de ADM y las operaciones de EADM asociadas. En un ejemplo, tal como se muestra en la figura 4C, la palabra de estado del canal secundario 404 incluye:

50 Clave del canal secundario (Clave) 420: cuando el indicador de función de inicio de EADM en el campo de control de función (descrito a continuación) está configurado, este campo incluye la clave de acceso al almacenamiento utilizada por el subsistema de canal. Estos bits son idénticos a la clave especificada en el ORB de EADM cuando el canal secundario de inicio fue ejecutado.

Formato de palabra de estado extendido (L) 422: cuando el indicador de en estado pendiente del campo de controles de estado (descrito a continuación) está configurado, este campo, cuando se configura, indica que se ha almacenado una ESW de formato-0. Una ESW de formato-0 se almacena cuando una situación de interrupción que contiene cualquiera de las siguientes indicaciones es borrada mediante la instrucción de Probar el canal

secundario:

- Comprobación del programa
- Comprobación de la protección
- Comprobación de los datos del canal

- 5
- Comprobación del control del canal
  - Comprobación de la función de traslado de datos asíncronos (EADMF – Extended Asynchronous Data Move Facility, en inglés)

10

Código de situación (CC – Condition Code, en inglés) diferida 424: cuando el indicador de función de inicio EADM está configurado y también está configurado el indicador de en estado pendiente, este campo indica el motivo general por el cual el canal secundario estaba pendiente cuando se ejecutó la instrucción de Probar el canal secundario o la instrucción de Almacenar el canal secundario. El código de situación diferida es significativo cuando el canal secundario está en estado pendiente con cualquier combinación de estado y solo cuando el indicador de función de inicio del campo de control de la función en la SCSW está configurado.

15

El código de situación diferida, si está configurado, se utiliza para indicar si se han encontrado situaciones que impiden que el canal secundario se convierta en canal secundario activo mientras que el canal secundario está pendiente de inicio.

Ejemplos de códigos de situación diferida incluyen:

- Se ha presentado una interrupción normal de E/S.
  - El estado está presente en la SCSW de EADM que fue generada por el subsistema de canal para las situaciones que impiden que la función de inicio de EADM se inicie con éxito. Es decir, el canal secundario no realizó el paso al estado activo del canal secundario.
- 20

Formato de CCW (F) 426: cuando el indicador de función de inicio de EADM está configurado, este campo se almacena como un valor definido.

25

Captación previa (P – Prefetch, en inglés) 428: cuando el indicador de función de inicio EADM está configurado, este campo se almacena como un valor definido.

Control extendido (E) 430: este campo, cuando se configura, indica que la información dependiente del modelo está almacenada en la palabra de control extendida (ECW – Extended Control Word, en inglés) de EADM.

Control de función (FC – Function Control, en inglés) 432: el campo de control de función indica las funciones de EADM que están indicadas en el canal secundario. Funciones de ejemplo incluyen:

- Función de inicio de EADM: cuando se configura, indica que se ha solicitado una función de inicio de EADM y está pendiente o en curso en el canal secundario de tipo de ADM. La función de inicio de EADM se indica en el canal secundario cuando un código de situación de éxito para la función de Iniciar el canal secundario está configurado. La función de inicio de EADM se borra en el canal secundario cuando se ejecuta la instrucción de Probar el canal secundario, y el canal secundario está en estado pendiente. La función de inicio de EADM también se borra en el canal secundario durante la ejecución de la instrucción de Borrar el canal secundario.
  - Función Borrar de EADM: cuando se configura, indica que se ha solicitado una función de borrado de EADM y está pendiente o en curso en el canal secundario de tipo de ADM. La función de borrado de EADM se indica en el canal secundario cuando un código de situación de éxito para borrar el canal secundario está configurado. La indicación de la función de borrado de EADM se borra en el canal secundario cuando se ejecuta la instrucción de Probar el canal secundario y el canal secundario está en estado pendiente.
- 30
- 35
- 40

Control de actividad (AC – Activity Control, en inglés) 434: el campo de control de actividad indica el progreso actual de la función de EADM previamente aceptada en el canal secundario.

45

Todas las situaciones representadas por bits en el campo de control de actividad se restablecen en el canal secundario de tipo de ADM cuando se ejecuta la instrucción de Probar el canal secundario y el canal secundario está en estado pendiente.

Actividades de ejemplo incluyen:

- Inicio pendiente: cuando se configura, indica que el canal secundario está pendiente de inicio. El subsistema de canal puede o no estar en el proceso de ejecutar la función de inicio de EADM. El canal secundario pasa a

estar pendiente de inicio cuando se configura un código de situación de éxito para Iniciar el canal secundario. El canal secundario permanece pendiente de inicio cuando se ejecuta la función de inicio de EADM y el subsistema de canal determina que existen situaciones que impiden la obtención del ARQB.

El canal secundario ya no está pendiente de inicio cuando ocurre cualquiera de lo siguiente:

- 5 • El subsistema de canal intenta iniciar las primeras transferencias de datos especificadas por el AOB.
- Se ejecuta la instrucción de Borrar el canal secundario.
- La instrucción de Borrar el canal secundario borra una situación de estado en el canal secundario.

10 Borrar pendiente: cuando se configura, el canal secundario está pendiente de borrado. El subsistema de canal puede o no estar en el proceso de realizar la función de borrado de EADM. El canal secundario queda pendiente de borrado cuando se configura un código de situación especificado para la instrucción de Borrar el canal secundario.

El canal secundario ya no está pendiente de borrado cuando ocurre cualquiera de lo siguiente:

- Se ejecuta la función de borrado de EADM.
  - La instrucción de Borrar el canal secundario borra solo la situación de en estado pendiente.
- 15 Canal secundario activo: cuando se configura, indica que el canal secundario de tipo de ADM es un canal secundario activo. Se dice que el canal secundario de tipo de ADM es un canal secundario activo cuando el subsistema de canal intenta iniciar la primera transferencia de datos especificada por el AOB o realizar una primera operación (lo que ocurra primero).

El canal secundario ya no está activo en el canal secundario cuando ocurre alguno de lo siguiente:

- 20 • El canal secundario pasa a estar en estado pendiente.
- Se ejecuta la instrucción de Borrar el canal secundario.

25 Control de estado (SC – Status Control en inglés) 436: el campo de control de estado proporciona al programa una indicación a nivel de resumen de la situación de interrupción descrita por la información en los campos de estado de canal secundario y estado del dispositivo. Se puede configurar más de una indicación de control de estado como resultado de las situaciones en el canal secundario.

Controles de estado de ejemplo incluyen:

Estado de alerta: cuando se configura, indica que existe una situación de interrupción de alerta. Se reconoce una situación de interrupción de alerta cuando el estado de alerta está presente en el canal secundario. El subsistema de canal genera el estado de alerta en cualquiera de las siguientes situaciones:

- 30 • El canal secundario de tipo de ADM está pendiente de inicio y la situación de estado impide el inicio de la primera transferencia de datos.
- El canal secundario es un canal secundario activo y una situación anormal, que se indica como estado del canal secundario, ha terminado las operaciones de EADM.

35 Cuando se ejecutan las instrucciones de Probar el canal secundario o Borrar el canal secundario, el estado de alerta se comprueba en el canal secundario.

Estado primario: cuando se configura, indica que existe una situación de interrupción primaria. Una situación de interrupción primaria se reconoce cuando el estado primario está presente en el canal secundario. Una situación de interrupción primaria es una situación de interrupción solicitada que indica, cuando está acompañada por la situación de interrupción secundaria, la finalización de la función de inicio de EADM en el canal secundario.

40 Cuando se ejecutan las instrucciones de Probar el canal secundario o Borrar el canal secundario, la situación de interrupción primaria se borra en el canal secundario.

45 Estado secundario: cuando se configura, indica que existe una situación de interrupción secundaria. Una situación de interrupción secundaria se reconoce cuando el estado secundario está presente en el canal secundario. Una situación de interrupción secundaria es una situación de interrupción solicitada que indica, cuando está acompañada por la situación de interrupción primaria, la finalización de la función de inicio de EADM en el canal secundario.

Cuando se ejecutan las instrucciones de Probar el canal secundario o Borrar el canal secundario, la situación de

interrupción primaria se borra en el canal secundario.

Estado pendiente: cuando se configura, indica que el canal secundario está en estado pendiente y que la información que describe la causa de la situación de interrupción está disponible. Cuando se ejecuta la instrucción de Probar el canal secundario, almacenando una SCSW de EADM con el bit de estado pendiente configurado, todas las indicaciones de la SCSW de EADM se borran en el canal secundario, colocado el canal secundario en el estado inactivo. La situación de estado pendiente también se borra en el canal secundario durante la ejecución de la instrucción de Borrar el canal secundario.

Cuando la situación de en estado pendiente está configurada, todos los accesos al almacenamiento principal y a la memoria de clase de almacenamiento para el ARSB del canal secundario han terminado.

Estado del canal secundario 438: las situaciones de estado del canal secundario de tipo de ADM son detectadas y almacenadas en el campo de estado del canal secundario por el subsistema de canal. El campo de estado intermedio del canal secundario es significativo cuando el canal secundario está en estado pendiente. Excepto por las situaciones causadas por un mal funcionamiento del equipo, el estado del canal secundario solo puede ocurrir cuando el subsistema de canal está involucrado en el procesamiento de una función de EADM.

Ejemplos de situaciones de estado incluyen:

- Comprobación del programa: la comprobación del programa se produce cuando el subsistema de canal detecta errores de programación.
- Comprobación de la protección: la comprobación de protección se produce cuando el subsistema de canal intenta un acceso al almacenamiento que está prohibido por el mecanismo de protección. La protección se aplica a la obtención de ARQB, MSB, AIDAW y datos que son transferidos a la memoria de clase de almacenamiento, y al almacenamiento de información en el ARSB y a los datos transferidos desde la memoria de clase de almacenamiento.
- Comprobación de datos del canal: la comprobación de datos del canal indica que se detectó un error de almacenamiento corregido en relación con la obtención de datos del almacenamiento principal o el almacenamiento de datos en el almacenamiento principal.
- Comprobación de control de canal: la comprobación de control de canal indica que se detectó un error de almacenamiento corregido en relación con la obtención o el almacenamiento de AOB, MSB o AIDAW, o que el subsistema de canal detectó un mal funcionamiento de la máquina y que el mal funcionamiento afectó a las operaciones de EADM.
- Comprobación de la función de traslado de datos asíncronos extendidos (EADM): la comprobación de la función de EADM indica que la función de EADM detectó un error con respecto a la transferencia de datos hacia la memoria de clase de almacenamiento o desde la misma, o con respecto a la realización de una operación en la memoria de clase de almacenamiento.

Cuando el subsistema de canal reconoce una comprobación del programa, una comprobación de la protección, una comprobación de los datos del canal, una comprobación del control del canal o una comprobación de la función de EADM, las operaciones de EADM se terminan y el canal pasa a estar en estado pendiente con estado primario, secundario y de alerta.

Dirección del bloque de operación de EADM 440: Este campo incluye la dirección del bloque de operación de EADM.

Estado del dispositivo 442: esto incluye el fin del dispositivo o el fin del canal.

Cuando el formato de ESW 422 de la palabra de estado del canal secundario está configurado y el canal secundario está en estado pendiente, se proporciona una palabra de estado extendida del canal secundario de EADM (ESW de EADM) que especifica información adicional acerca del canal secundario del tipo de ADM.

En un ejemplo, haciendo referencia a la figura 4D, una palabra de estado de canal secundario de EADM 450 incluye:

Cierre de sesión del canal secundario de EADM 452: el cierre de sesión del canal secundario de EADM incluye, en un ejemplo:

- Indicadores de estado extendidos (ESF – Extended Status Flags, en inglés): un campo cuyos bits, cuando existe uno, especifican que el subsistema de canal ha detectado un error.

Ejemplos de indicadores de estado extendidos incluyen:

Comprobación de clave: cuando se configura, indica que el subsistema de canal ha detectado un código de bloque de comprobación no válido (CBC) en la clave de almacenamiento asociada cuando se hace referencia a los datos en el bloque de operación de EADM (AOB), en un bloque de especificación de traslado de EADM (MSB), o en una palabra de dirección de datos indirectos de EADM (AIDAW).

- 5 • Validez de la dirección del AOB: cuando se configura, indica que la dirección almacenada en el campo de la dirección del AOB de la SCSW se puede utilizar con propósitos de recuperación.

Palabra de informe extendido de EADM 454 que incluye, por ejemplo:

- 10 Un indicador de error de bloque de operaciones de EADM (B) que cuando se configura, especifica que el estado de excepción almacenado en la SCSW de EADM está asociado con el bloque de operación de EADM especificado (AOB); y un indicador de bloque de respuesta de EADM (R) almacenado que, cuando se configura, indica que el bloque de respuesta de EADM (ARSB) está almacenado.

Cuando el indicador de control extendido de SCSW y el indicador de formato de palabra de estado extendido de SCSW están configurados, la palabra de control extendido de EADM proporciona información adicional de una naturaleza dependiente del modelo que describe las situaciones que pueden existir en la función de EADM.

- 15 Además, las siguientes palabras del informe de canal (CRW – Channel Report Words, en inglés) pueden ser notificadas para canales secundarios de tipo de ADM: canal secundario instalado parámetros inicializados; Parámetros de canal secundario instalados, inicializados; canales secundarios, disponibles; información del evento del canal, pendiente.

- 20 Los eventos no solicitados y los errores que ocurren en la función de EADM pueden ser notificados por la CRW pendiente de la información de eventos del canal.

- 25 Descrito en detalle anteriormente, un servicio de traslado de datos asíncronos extendidos se utiliza para trasladar bloques de datos entre el almacenamiento principal y la memoria de clase de almacenamiento y para realizar otras operaciones en la memoria de clase de almacenamiento. En una realización, la información acerca de la función de EADM y la memoria de clase de almacenamiento se obtiene mediante un comando de EADM. En particular, puesto que la memoria de clase de almacenamiento no es directamente accesible, se proporciona una capacidad para determinar si la memoria de clase de almacenamiento está asignada, y, si es así, para obtener Información acerca de la configuración. En particular, en un ejemplo, se proporciona una capacidad para comunicarse con un programa de control (por ejemplo, un sistema operativo) haya sido o no asignada alguna memoria de clase de almacenamiento, y si es así, cuánta y en qué ubicaciones. La capacidad para determinar la memoria de clase de almacenamiento disponible se denomina en el presente documento, descubrimiento, y un ejemplo de una función de descubrimiento se proporciona mediante un comando de información acerca de la memoria de clase de almacenamiento (SCM).
- 30

- 35 El comando de almacenamiento de información acerca de la memoria de clase de almacenamiento (SSI) se utiliza para obtener información acerca de la memoria de clase de almacenamiento y la función de traslado de datos asíncronos extendidos. El comando SSI devuelve la siguiente información obtenida, por ejemplo, del subsistema de canal. Esta información se describe con más detalle a continuación:

1. Características de la función de EADM, que incluyen:

- Recuento máximo de bloques de especificación de traslado (MSB) por cada AOB.
- Número máximo de bloques por cada MSB.

- 40 2. Características de la memoria de clase de almacenamiento, que incluyen:

- Tamaño de incremento de SCM.
- Lista de incrementos de direcciones de SCM dentro del espacio de direcciones de SCM.
- Dirección de SCM máxima dependiente del modelo.

- 45 La ejecución del comando Almacenar información de SCM, que es síncrono, no cambia ninguna información contenida en el subsistema de canal.

Otros detalles con respecto al comando SSI se describen haciendo referencia a las figuras 5A a 5D. Haciendo referencia inicialmente a la figura 5A, en una realización, un bloque de solicitud de comando 500 para el comando Almacenar información de SCM incluye, por ejemplo:

Longitud 502: un valor que especifica la longitud del bloque de solicitud de comando.

Código de comando 504: un valor que especifica el código de comando para el comando Almacenar Información de SCM.

Formato (FMT) 506: un valor que especifica el formato del bloque de solicitud de comando.

- 5 Contraseña de continuación 508: un valor que puede solicitar un punto de continuación desde el cual reanudar a partir de una respuesta anterior que no se completó. Si el valor de la contraseña de continuación es cero, se realiza un nuevo inicio. Si el valor de la contraseña de continuación es distinto de cero y no se reconoce, se realiza un nuevo inicio.

Una realización de un bloque de respuesta 520 del comando SSI se describe haciendo referencia a la figura 5B, e incluye, por ejemplo:

- 10 Longitud 522: un valor que indica la longitud en bytes del bloque de respuesta al comando.

Código de respuesta 524: un valor que describe los resultados de un intento de ejecutar el comando SSI. El valor del código de respuesta determina la longitud del bloque de respuesta. Por ejemplo, si se almacena un código de respuesta seleccionado, la longitud especifica  $96 + N \times 16$  bytes, donde N es el número de entradas de la lista de direcciones de la memoria de clase de almacenamiento, que se describe a continuación. En un ejemplo, N está en el rango  $1 \leq N \leq 248$ .

- 15 Formato (FMT) 526: un valor que indica el formato del bloque de respuesta a comando. El valor del campo es, por ejemplo, cero.

RQ 528: Un valor de calificador de respuesta, tal como se define a continuación:

No existe calificación de respuesta.

- 20 La contraseña de continuación especificada no se reconoce y se trata como si se hubiera especificado cero.

Recuento máximo de bloques por cada MSB (MBC – Maximum Block Count, en inglés) 530: un valor que indica el valor máximo que se puede utilizar en el campo de recuento de bloques de un bloque de especificación de traslado (MSB).

- 25 Dirección de SCM máxima (MSA – Maximum SCM Address, en inglés) 532: un valor que indica la dirección de SCM máxima dependiente del modelo. Es la dirección de SCM del último byte en el incremento de SCM direccionable más alto.

Tamaño de incremento de SCM (IS) 534: un valor que representa el tamaño de cada incremento de SCM en la lista de direcciones de SCM y es, por ejemplo, una potencia de dos.

- 30 Recuento máximo de MSB (MMC – Maximum MSB Count, en inglés) 536: un valor que indica el número máximo de bloques de especificación de traslado (MSB) que se pueden especificar en un bloque de operación de EADM (AOB).

Incrementos de SCM máximos configurables (MCI – Maximum Configurable SCM Increments, en inglés) 538: un valor que es el número máximo de incrementos de SCM que se pueden configurar para la configuración de la solicitud.

- 35 En una realización, el MCI no excede  $2^{(64-IS)}$ . Por ejemplo, para un tamaño del incremento de SCM de 16 Gbytes, el  $MCI \leq 2^{(64-34)}$ , ya que todos los incrementos de SCM de 16 Gbytes deben ser direccionables dentro de la restricción de direccionamiento de una dirección de 64 bits. Además,  $((MCI + 1) \times IS) - 1$  no excede la dirección de SCM máxima dependiente del modelo.

- 40 El número de incrementos de SCM configurados (NCI – Number of configured SCM Increments, en inglés) reduce el tamaño total (TS – Total Size, en inglés) que se puede especificar cuando se ejecuta un comando Configurar la memoria de clase de almacenamiento, que se describe a continuación, de tal manera que  $TS \leq (MCI - NCI)$ . Sin embargo, dependiendo de la capacidad total del sistema y de las asignaciones ya realizadas a otras configuraciones, el número de incrementos de SCM en el estado inicializado puede o no ser capaz de satisfacer completamente una solicitud para configurar de otro modo de manera válida hasta el límite del MCI de la solicitud de configuración.

Incrementos de SCM inicializados totales de CPC 540: un valor que representa el número de incrementos de SCM en el estado inicializado para el sistema (por ejemplo, para un complejo de procesamiento central (CPC)). Si el sistema está particionado de manera lógica, este es el número de incrementos disponibles en total para la asignación a las particiones o mediante las mismas.

- 50 Incrementos de SCM no inicializados totales de CPC 542: un valor que representa el número de incrementos de

SCM en el estado no inicializado para el sistema (por ejemplo, para el CPC).

Tamaño de bloque de medición de SCM 544: un valor que es el tamaño de bloque (BS) en bytes de un bloque de medición de SCM. En un ejemplo, es una potencia de 2, y el tamaño máximo del bloque de medición de SCM es, por ejemplo, de 4096 bytes.

5 Número máximo de partes de recursos de SCM 546: un valor que es el número máximo en el CPC de partes de recursos (RP – Resource Parts, en inglés) de SCM (por ejemplo, adaptadores de E/S). Cada incremento de SCM está asociado con una parte del recurso de SCM. Cada recurso de SCM (por ejemplo, uno o más adaptadores de E/S y uno o más SSD) incluye una o más partes. El número máximo de partes de recursos de SCM es, por ejemplo, de 509.

10 En un ejemplo, el término "parte de recurso" se define para su utilización en la obtención de información de medición relacionada con la memoria de clase de almacenamiento. Cada incremento de SCM se puede distribuir entre varios adaptadores y cada adaptador tiene algunos datos de utilización / medición para impartir. Por lo tanto, cada bloque de medición devuelto se identifica mediante una tupla que consta del identificador de incremento más el identificador de recurso.

15 Tamaño de la unidad de datos de SCM 548: un valor dependiente del modelo que indica el número de bytes que están incluidos en una unidad de datos de SCM. En un ejemplo, la unidad de datos se define para su utilización en la obtención de información de medición relacionada con la memoria de clase de almacenamiento. El recuento que se notifica es el recuento de unidades de datos, en lugar de bytes.

20 Contraseña de continuación 550: un valor dependiente del modelo por el cual una emisión posterior del comando SSI puede continuar en el punto de continuación representado por la contraseña. Los contenidos de una contraseña de continuación dependen del modelo.

25 Lista de direcciones de memoria de clase de almacenamiento 552: un origen de la lista de direcciones de SCM. Cuando el código de respuesta almacenado es un valor predefinido, se almacenan una serie de entradas de la lista de direcciones de SCM (SALE – SCM Address List Entries, en inglés) (por ejemplo, se almacenan (Longitud - 96) / 16 SALE).

En un ejemplo, la cantidad de SALE almacenadas depende la cantidad de incrementos de SCM en la configuración del solicitante, del estado de cada una cuando se ejecuta el comando y del modelo de subsistema de canal. Se almacenan cero o más SALE y se determina el número real almacenado, en un ejemplo, restando 96 del tamaño del bloque de respuesta (longitud), y dividiendo a continuación ese resultado por 16.

30 Cada entrada de la lista de direcciones de SCM (SALE) representa un incremento de SCM que ocupa un rango de direcciones de SCM. La dirección de SCM de inicio del incremento de SCM representado por la SALE está contenida en la SALE y es la dirección de SCM del primer byte del incremento de SCM correspondiente. La dirección final se calcula, en un ejemplo, agregando el tamaño de incremento de SCM, en bytes, a la dirección de inicio de SCM y, a continuación, restando la unidad. Esta es la dirección de la SCM del último byte del incremento de SCM. La memoria de clase de almacenamiento representada por una SALE es un conjunto contiguo de ubicaciones de bytes de la SCM, que comienzan en un límite natural de 2 bytes, en una realización.

35 Una SALE se almacena cuando el incremento de SCM correspondiente está en el espacio establecido y está disponible en el bloque de respuesta para la SALE. Si el espacio en la lista de direcciones de SCM del bloque de respuesta se agota, se almacena un valor en la contraseña de continuación, y la ejecución se completa con un código de respuesta especificado.

40 Dos o más SALE se almacenan en orden ascendente de sus direcciones de SCM.

Una realización de una SALE se describe haciendo referencia a la figura 5C. En un ejemplo, una SALE 552 incluye, por ejemplo:

45 Dirección de SCM (SA – SCM Address, en inglés) 560: un valor que es la dirección de inicio de SCM del byte 0 del incremento de SCM correspondiente en el espacio de direcciones de SCM, alineado en el límite natural determinado por el tamaño de incremento de SCM ( $2^{IS}$  bytes).

Atributo de persistencia (P) 562: un valor que indica la regla de persistencia actual aplicable al incremento de SCM. Cualquier ubicación dentro del incremento de SCM hereda la regla de persistencia. Las posibles reglas de persistencia incluyen:

50 Regla 1: conservar los datos cuando la alimentación está apagada.

Regla 2: conservar los datos hasta que se reinicie la alimentación o IML.

Estado operativo 564: un valor que indica el estado de operación del incremento de memoria de clase de



almacenamiento representado por la SALE. El estado de operación es válido solo cuando el incremento de SCM asociado está en el estado configurado.

Ejemplos del estado de operación incluyen:

5 Operativo (Op): la memoria de clase de almacenamiento representada por la SALE está disponible para todas las operaciones de E/S. El estado operativo es introducido en una configuración de éxito y se puede volver a introducir al salir del estado de error temporal o permanente.

10 Error temporal (TE – Temporal Error, en inglés): la memoria de clase de almacenamiento representada por la SALE no está disponible para ninguna operación de E/S. El estado de los datos no es válido, pero el contenido de los datos en el paso del error operativo al temporal se conserva. El estado del error temporal es introducido desde el estado operativo cuando el acceso al incremento de SCM no existe.

Error permanente (PE – Permanent Error, en inglés): la memoria de clase de almacenamiento representada por la SALE no está disponible para ninguna operación de E/S. El estado de los datos no es válido y los datos se han perdido. El estado de error permanente es introducido desde el estado de error temporal o el estado operativo cuando se reconoce una situación de error no corregible.

15 Cuando una operación se completa con una indicación de error permanente establecido en el código de calificador de excepción del bloque de respuesta de EADM, por lo menos el incremento de SCM correspondiente ha entrado en el estado de error permanente. No obstante, más de un incremento de SCM puede haber entrado en el estado de error permanente.

20 Cuando un incremento de SCM no está en el estado operativo, una operación de E/S que hace referencia a una ubicación en el incremento reconoce una comprobación de función de traslado de datos asíncronos con un conjunto de errores temporales o permanentes en el código de calificador de excepción del bloque de respuesta de EADM.

25 Estado de datos 566: un valor que indica el estado de los datos del contenido del incremento de memoria de clase de almacenamiento representado por la SALE. El estado de los datos es válido cuando el incremento de SCM asociado está en los estados configurado y operativo.

Estados de datos de ejemplo incluyen:

Igual a cero - el contenido del incremento de SCM es todo ceros.

Válido - el contenido del incremento de SCM es la acumulación de todas las operaciones de tipo de escritura con éxito. Las ubicaciones en el incremento que aún no se han escrito siguen siendo cero o impredecibles.

30 Impredecible - el contenido del incremento de SCM antes de cualquier operación de E/S de tipo de escritura no es conocido. Después de que se hayan realizado una o más operaciones de escritura, el contenido de datos de otras ubicaciones no escritas sigue siendo impredecible, aunque las ubicaciones escritas con éxito dan como resultado que el estado de datos del incremento de SCM sea válido.

35 Con la primera escritura con éxito se produce un paso de los estados iguales a cero o impredecibles al estado válido. Debido a cualquier diferencia entre el tamaño de los datos escritos y el tamaño del incremento de SCM objetivo, el cambio a válido no describe la situación real de ninguna ubicación de datos que aún no se hayan escrito. Una ubicación de este tipo, a la que no se haya accedido para escritura, aún se describe de manera efectiva como puesta a cero o impredecible.

40 Rango 568: Un valor que indica la calidad conceptual del incremento de memoria de clase de almacenamiento representado por la SALE. El rango es válido solo cuando el incremento de SCM asociado se encuentra en los estados configurado y operativo. Un valor de cero significa que no existe un rango. Un valor distinto de cero en un rango especificado significa que existe un rango. En este ejemplo, un valor de rango de uno es el rango más alto o mejor. Un valor de rango de quince es el rango más bajo o peor. Siendo todo lo demás igual, una SCM con un rango más alto se prefiere sobre una SCM con un rango más bajo.

45 R 570: este campo indica que el incremento de SCM reconoce una operación de liberación. Los siguientes comportamientos están relacionados:

1. Un bloque liberado debe escribirse primero antes de ser leído, de lo contrario, se reconoce un error en una operación de lectura si una lectura precede a una escritura. Para dicho error, el incremento de SCM permanece en el estado operativo.
- 50 2. En la configuración inicial, el estado de los datos se pone a cero.
3. El programa puede realizar una operación especial, llamada liberación, que coloca un bloque especificado

en la situación liberada.

ID de recurso 572: un valor distinto de cero es un identificador de recurso (RID – Resource ID, en inglés) del recurso que proporciona el incremento de SCM representado por la SALE. Cuando el RID es cero, no se indica ningún ID de recurso. En un ejemplo particular, el RID representa tantos adaptadores y SSD que proporcionan almacenamiento para el incremento de SCM. Puesto que se pueden aplicar ciertos algoritmos de RAID, o la creación de bandas para mejorar la ejecución permitiendo operaciones de E/S simultáneas a través de múltiples adaptadores / SSD, el RID puede representar una entidad compuesta.

A continuación, se describen más detalles sobre los estados de configuración de la memoria de clase de almacenamiento y los estados de operación y datos de la lista de direcciones de memoria de clase de almacenamiento.

Inicialmente, haciendo referencia a la figura 6A, se describen los estados de configuración y los eventos / acciones que dan como resultado transiciones dentro de estos estados. Tal como se muestra, los estados de la SCM están configurados, en espera y reservados. Una SCM se puede poner en estado de espera desde el estado reservado, y luego desde el estado de espera hasta el estado configurado. Desde el estado configurado, la SCM puede ser desconfigurado y entrar en un estado reservado.

Haciendo referencia a la figura 6B, se muestran los estados de operación y los eventos que dan como resultado transiciones dentro de estos estados. Un incremento de SCM debe estar en el estado de espera para ser configurado y se encuentra en el estado operativo cuando ha completado con éxito una acción de configuración. Una primera escritura a un incremento de SCM en el estado puesto a cero lo pasa al estado válido. Un apagado intermedio y a continuación un encendido de un incremento de SCM que no se indica como que tiene una persistencia de regla1, pasa el incremento de SCM al estado impredecible.

Un error (E) puede causar la transición al estado de error temporal (TE) o al estado de error permanente (PE), dependiendo de las características específicas del error del modelo. La adquisición (A) de conectividad puede causar la transición del estado de error temporal al estado operativo (Op). Una desconfiguración de un incremento de SCM puede ocurrir independientemente de su estado de operación.

La figura 6B ilustra asimismo los estados de datos cuando están en el estado operativo, de acuerdo a cómo se entró en el estado operativo. El estado de los datos es válido y se aplica al incremento de SCM correspondiente cuando se configura y en el estado operativo. Los estados de datos válidos son a cero, impredecibles y válidos. Los siguientes son los estados de datos posibles en las distintas entradas al estado operativo:

- Desde el modo de espera - puestos a cero (z – zeroed, en inglés)
- Desde el error temporal - válido (v)
- Desde el error permanente - impredecible (u – unpredictable, en inglés) o puestos a cero (z)
- Desde operativo - válido (v) - primera escritura
- Desde operativo - impredecible (u) - la energía en ciclos y la persistencia no es la regla 1.

Cuando no se encuentra en el estado operativo, el estado de los datos no es válido.

Cuando son configurados por primera vez y antes de la primera escritura, los datos de un incremento de SCM están en el estado de puestos a cero, lo que significa que su contenido es todo ceros.

Aunque el contenido de datos de un incremento de SCM no se modifica al pasar al estado de error temporal o cuando está en un estado temporal, el incremento no es accesible. Por lo tanto, decir que los datos son válidos puede ser descriptivo, pero no demasiado significativo, debido a la falta de accesibilidad del programa. Por lo tanto, el estado de los datos no es válido en este escenario. Además, en base al error que provoca la transición del estado de error operativo a temporal, si la integridad de los datos está afectada, se entra en el estado de error permanente, el estado de los datos sigue siendo inválido y se pierden los datos. Si una reparación simultánea puede pasar un incremento de SCM en el estado de error permanente al estado operativo sin ser desconfigurado y, a continuación, configurarlo nuevamente, los datos originales se pierden, y depende del modelo si el estado de los datos es impredecible o está puesto a cero.

La persistencia de un incremento de SCM y sus características de RAS (fiabilidad, accesibilidad y capacidad de servicio) también pueden determinar un cambio del estado de datos válido a impredecible. Si se excede la persistencia, se espera que el estado de los datos pase de válido a impredecible.

Con la primera escritura con éxito se produce una transición de estados de datos puestos a cero o impredecibles al estado de datos válidos. Debido a cualquier diferencia entre el tamaño de los datos escritos y el tamaño del incremento de SCM objetivo, el cambio a válido no describe la situación real de ninguna ubicación de datos que

aún no se hayan escrito. Dicha ubicación, anterior a un primer acceso de escritura, se describe de manera efectiva como puesta a cero o impredecible.

Una vez que se ha configurado un incremento de SCM, una notificación no solicitada se hace pendiente cuando ocurren uno o más eventos que son observables en la respuesta del comando Almacenar información de SCM. Algunos ejemplos, son:

1. El estado de operación cambia de operativo a error temporal o error permanente, pero no se notifica en una operación con errores.
2. El estado de operación cambia de error temporal a operativo.
3. El estado de operación cambia de error temporal a error permanente.
4. Cambio de rango.

Ejemplos en los que las notificaciones no solicitadas no se hacen pendientes incluyen los siguientes:

1. El estado de los datos cambia de puestos a cero o impredecibles a válidos.
2. Se completa un comando Configurar la memoria de clase de almacenamiento.
3. Se completa un comando Desconfigurar la memoria de clase de almacenamiento.

Cuando una notificación está pendiente, el programa observa la notificación y puede emitir el comando Almacenar información de SCM para obtener la información. El comando Almacenar información de SCM también se puede emitir en otros momentos en los que el programa desearía obtener información acerca de la SCM y/o la SALE.

En un ejemplo, una notificación incluye una interrupción de comprobación de la máquina que se está emitiendo al programa, con una CRW correspondiente que indica un informe de eventos. El programa emite el comando Información de evento de almacenamiento de CHSC y obtiene un bloque de respuesta con un código de contenido que señala una notificación de cambio de la memoria de clase de almacenamiento.

En una realización, el comando Almacenar información de SCM (SSI) es un comando de subsistema de canal emitido por el programa (por ejemplo, sistema operativo) para obtener información acerca de la memoria de clase de almacenamiento y/o una entrada de la lista de direcciones de SCM. En un ejemplo, el programa emite una instrucción de llamada de subsistema de canal y el comando SSI es indicado en un bloque de comando de la instrucción, que es enviado al subsistema de canal. El comando es ejecutado en el subsistema de canal y devuelve una respuesta en un bloque de respuesta, que es la porción restante del bloque de control de 4 Kbytes (es decir, la información solicitada se almacena en el área de almacenamiento principal designada para el bloque de respuesta). Otros detalles con respecto a la operación del comando se describen haciendo referencia a la figura 5D.

Inicialmente, el programa genera el bloque de solicitud indicado anteriormente para solicitar el comando Almacenar información de SCM, ETAPA 580. El bloque de solicitud es obtenido por el subsistema de canal, ETAPA 582, y se realizan una o más verificaciones de validez en cuanto a la validez del bloque de solicitud (por ejemplo, campo de longitud válida, formato de bloque de solicitud de comando válido, comando instalado, etc.). Si la solicitud no es válida, PREGUNTA 584, entonces se coloca un código de respuesta que indica el problema en el bloque de respuesta, ETAPA 586, y se devuelve el bloque de respuesta, ETAPA 592.

Sin embargo, si la solicitud es válida, PREGUNTA 584, entonces el subsistema de canal obtiene la información de la máquina (por ejemplo, procesadores, etc.), ETAPA 588, y completa el bloque de respuesta, ETAPA 590. Se devuelve el bloque de respuesta, ETAPA 592. Por ejemplo, la información está contenida en el almacenamiento no volátil de la máquina y el firmware la carga en el almacenamiento principal, al que solo se puede acceder mediante el firmware durante la inicialización del sistema. El subsistema de canal (es decir, el firmware en este caso) obtiene la información leyéndola desde el almacenamiento principal, al que solo se puede acceder mediante firmware, y rellena el bloque de respuesta.

En respuesta a recibir la información acerca de la memoria de clase de almacenamiento o en otro caso, se puede tomar una decisión para cambiar la configuración de la memoria de clase de almacenamiento. Esta decisión puede ser tomada manual o automáticamente por el programa u otra entidad. La configuración se puede cambiar agregando incrementos o eliminando incrementos, tal como se describe a continuación.

En un ejemplo, para configurar la memoria de clase de almacenamiento, se utiliza un comando Configurar la memoria de clase de almacenamiento. Este comando solicita que se configure una cantidad de memoria de clase de almacenamiento del grupo disponible del sistema. La cantidad se especifica como un tamaño, codificado como un recuento de incrementos de SCM.

A menos que se indique lo contrario, el número de incrementos de SCM utilizados para satisfacer los requisitos está en el estado inicializado. Si la cantidad de incrementos de SCM solicitados provocase la superación del límite máximo configurable de incrementos de SCM, se proporciona un código de respuesta especificado.

- 5 Los contenidos de cada incremento son ceros con CBC válido. La regla de persistencia aplicable asociada con cada incremento de SCM configurado es establecida, por ejemplo, mediante controles manuales.

Una realización de un bloque de solicitud de comando para el comando Configurar la memoria de clase de almacenamiento se muestra en la figura 7A. En un ejemplo, un bloque de solicitud de Configurar la memoria de clase de almacenamiento 700 incluye:

Longitud 702: un valor que especifica una longitud de la longitud del bloque de solicitud de comando.

- 10 Código de comando 704: un valor que especifica el código de comando para el comando Configurar la memoria de clase de almacenamiento

Formato (FMT) 706: un valor que especifica el formato del bloque de solicitud de comando.

- 15 Tamaño total (TS) 708: un valor que especifica el tamaño de la memoria de clase de almacenamiento solicitada, codificado como un recuento de incrementos de SCM. El recuento de incrementos de SCM ya configurados más TS no debe exceder el límite máximo de incrementos de SCM configurables (MCI). Si el número de incrementos de SCM en el estado inicializado es menor que el tamaño total especificado, se proporciona un código de respuesta especificado.

- 20 Correlacionador de finalización asíncrona (ACC – Asynchronous Completion Correlator, en inglés) 710: un valor que es devuelto en el campo de notificación de finalización asíncrona de una respuesta de notificación que se describe a continuación. El correlacionador sirve para reanudar el hilo original que inició la solicitud.

Una realización de un bloque de respuesta de comando para el comando Configurar la memoria de clase de almacenamiento se muestra en la figura 7B. En una realización, un bloque de respuesta de comando 730 incluye:

Longitud 732: un valor que indica la longitud del bloque de respuesta de comando.

- 25 Código de respuesta 734: un valor que describe los resultados del intento de ejecutar el comando Configurar la memoria de clase de almacenamiento

- 30 Si un código de respuesta definido se almacena en el campo del código de respuesta, se inicia un proceso asíncrono para finalizar el procesamiento del comando. Si un código de respuesta es almacenado en el campo de código de respuesta, no se configura ningún incremento de SCM, no se inicia ningún proceso asíncrono y no se realiza ninguna notificación posterior. La finalización del proceso asíncrono se indica en la respuesta de notificación.

Formato (FMT) 736: un valor que indica el formato del bloque de respuesta a comando.

El comando Configurar la memoria de clase de almacenamiento es emitido por el programa para solicitar una cantidad de memoria de clase de almacenamiento que será configurada en el espacio de direcciones de SCM. Una realización de la lógica utilizada para configurar la SCM se describe haciendo referencia a la figura 7C.

- 35 Inicialmente, el programa emite una instrucción de llamada del subsistema de canal que incluye un comando Configurar SCM, ETAPA 740. El bloque de solicitud del comando Configurar SCM es obtenido por el subsistema de canal, ETAPA 742, y el subsistema de canal intenta ejecutar el comando, ETAPA 744. Si el intento de ejecutar el comando produce un código de respuesta que no indica el éxito, PREGUNTA 746, el código de respuesta es colocado en el bloque de respuesta del comando Configurar SCM, ETAPA 748, y se devuelve el bloque de respuesta, ETAPA 750.

- 40 Si se indica un código de respuesta con éxito, PREGUNTA 746, entonces el código de respuesta es colocado en el bloque de respuesta, ETAPA 752, y se devuelve el bloque de respuesta, ETAPA 754. En este ejemplo, un código de respuesta con éxito indica que el campo de longitud del bloque de solicitud es válido; el comando está disponible en el sistema; el bloque de solicitud de comando tiene un formato válido; el subsistema de canal puede ejecutar el comando (es decir, no está ocupado); el tamaño total solicitado no excede el límite máximo de incrementos de SCM configurables de la configuración solicitada; y el tamaño total solicitado no excede el número de incrementos de SCM en el estado inicializado.

Además, se inicia un proceso asíncrono para completar la configuración, ETAPA 756. Otros detalles con respecto a este procesamiento se describen haciendo referencia a la figura 7D

- 50 En una realización, el procesamiento asíncrono realiza la configuración para asignar uno o más incrementos, ETAPA 760. Por ejemplo, para cada incremento de SCM configurado, los controles internos se cambian para

- 5 permitir que el incremento recién configurado sea accesible para las solicitudes de traslado de E/S a esa partición. En particular, en respuesta al subsistema de canal que recibe el comando Configurar CHSC, el firmware del subsistema de canal examina las tablas internas para confirmar que hay suficientes incrementos para satisfacer la solicitud y para garantizar que la solicitud no exceda los incrementos de SCM configurables máximos para la configuración. Si la solicitud es válida, el firmware actualiza una o más tablas para asignar los incrementos a la configuración y colocar los incrementos en el estado operativo para la configuración. Los incrementos son accesibles a las solicitudes de traslado de E/S (descritas anteriormente) desde la configuración. La finalización del proceso asíncrono se indica en una respuesta de notificación, ETAPA 762.
- 10 Los datos de respuesta de notificación para el comando Configurar la memoria de clase de almacenamiento son devueltos en un bloque de respuesta de un comando Almacenar información de evento (SEI). Una realización del formato del bloque de respuesta de notificación utilizado para el comando Configurar la memoria de clase de almacenamiento se describe haciendo referencia a la figura 8A.
- En una realización, un bloque de respuesta de notificación 800 del comando Configurar la memoria de clase de almacenamiento incluye:
- 15 Longitud 802: un valor que indica la longitud del bloque de respuesta a comando.
- Código de respuesta 804: un valor que describe los resultados del intento de ejecutar el comando Almacenar CHSC de información de evento.
- Formato (FMT) 806: un valor que indica el formato del bloque de respuesta a comando.
- Tipo de notificación 808: un valor que indica que se trata de una notificación relacionada con el EADM.
- 20 P 810: cuando se configura, especifica que el subsistema de canal tiene información de evento pendiente además de la información proporcionada en respuesta a este comando de CHSC
- V 812: cuando se configura, especifica que el subsistema de canal ha reconocido una situación de desbordamiento y se ha perdido información del evento.
- 25 Código de contenido 814: un valor que indica que esto es una respuesta a la finalización de la ejecución del proceso asíncrono iniciado por la solicitud de comando Configurar la memoria de clase de almacenamiento.
- Código de respuesta secundaria 816: un valor que describe con más detalle los resultados del intento de ejecutar el comando Configurar SCM
- 30 Cuando el código de respuesta secundaria es un valor especificado, se ha configurado la cantidad total de memoria de clase de almacenamiento, tal como se solicitó originalmente. De lo contrario, se pueden proporcionar códigos de respuesta que indiquen, por ejemplo, un campo de longitud no válida, el comando Configurar SCM no está instalado, el bloque de comando Configurar SCM tiene un formato no válido, el tamaño total solicitado superaría el límite del MCI, el tamaño total solicitado excede el número de incrementos de SCM en el estado inicializado, subsistema de canal ocupado.
- 35 Correlacionador de finalización asíncrona (ACC) 818: un valor que se especificó originalmente en el bloque de solicitud de comando correspondiente.
- Una realización del comando Almacenar información de evento, utilizada para devolver el bloque de respuesta de notificación para el comando Configurar la memoria de clase de almacenamiento, se describe haciendo referencia a las figuras 8B a 8C.
- 40 El comando Almacenar información de evento se utiliza para Almacenar información de evento que están pendientes por el subsistema de canal. Normalmente, este comando se ejecuta como resultado de que el programa ha recibido un informe de canal de información de evento pendiente.
- La ejecución del comando Almacenar información de evento puede cambiar la información contenida en el subsistema de canal. El comando Almacenar información de evento se ejecuta de manera síncrona.
- 45 Una realización de un bloque de solicitud de comando para el comando Almacenar información de evento se describe haciendo referencia a la figura 8B. En un ejemplo, un bloque de solicitud 830 incluye:
- Longitud 832: este campo especifica una longitud del bloque de solicitud de comando.
- Código de comando 834: este campo especifica el comando Almacenar información de evento
- Formato (FMT) 836: un valor que especifica el formato del bloque de solicitud de comando.
- Máscara de selección de tipo de notificación (NTSM – Notification Type Selection Mask, en inglés) 838: una

- máscara en la que cada posición de bit corresponde a un valor de selector de procesador lógico (LPS – Logical Processor Selector, en inglés) del mismo valor numérico. En un ejemplo, el bit 0 se ignora y se supone que es uno. Cuando una posición de bit en un rango especificado que comienza en 1 es cero, un tipo de notificación correspondiente a esa posición de bit no se almacena en el bloque de respuesta y se descarta si se reconoce como pendiente. Cuando dicho bit es uno, se puede almacenar un tipo de notificación correspondiente a la posición del bit en el bloque de respuesta.
- En una realización, haciendo referencia a la figura 8C, un bloque de respuesta 850 para el comando Almacenar información de evento se describe a continuación:
- Longitud 852: un valor que especifica la longitud inicial del bloque de respuesta a comando. La longitud de finalización depende del código de respuesta que se almacena como resultado del intento de ejecutar el comando Almacenar información de evento
- Si un código de respuesta distinto de un código que indica éxito se almacena en el campo de código de respuesta, no se almacena información en el área de datos de respuesta.
- Si un código de respuesta que indica éxito se almacena en el campo de código de respuesta, la información del evento se almacena en el área de datos de respuesta.
- Código de respuesta 854: un valor que describe los resultados del intento de ejecutar el comando Almacenar información de evento.
- Para el comando Almacenar información de evento, el área de datos de respuesta contiene una parte de longitud fija y una parte de longitud variable.
- Para una respuesta de formato especificada, cuando NT es distinto de cero, el formato depende del tipo de notificación particular, y el formato del campo dependiente del código de contenido depende la clase de notificación particular y del campo del código de contenido (CC), tomados en conjunto.
- Formato (FMT) 856: un valor que especifica el formato del bloque de respuesta a comando.
- Tipo de notificación (NT – Notification Type, en inglés) 858: un valor que indica el tipo de notificación (NT). Se proporciona un valor especificado para el comando Configurar SCM.
- Indicador P 860: cuando se configura, especifica que el subsistema de canal tiene información de eventos pendientes además de la información proporcionada en respuesta a este comando CHSC. El programa puede obtener la información adicional ejecutando de nuevo el comando Almacenar información de evento. Cuando no se configura, este indicador especifica que el subsistema de canal no tiene información adicional de evento pendiente.
- Indicador V 862: cuando se configura, especifica que el subsistema de canal ha reconocido una situación de desbordamiento y se ha perdido información de evento. La situación de desbordamiento se reconoció, mientras que la información de evento no contenida en el área de datos de respuesta fue la información pendiente más reciente. El desbordamiento no afecta a la información contenida en el área de datos de respuesta.
- Código de contenido (CC) 864: un valor que describe el tipo de información que está contenida en el área de datos de respuesta. En un ejemplo, el valor indica una notificación de cambio de memoria de clase de almacenamiento en la que uno o más incrementos de SCM han cambiado de estado.
- Campo dependiente del código de contenido 866: Este campo puede incluir información adicional relacionada con el evento.
- La notificación con éxito de un cambio de configuración puede hacer que el programa emita el comando Almacenar información de SCM para obtener detalles acerca de la configuración.
- Además de aumentar la memoria de clase de almacenamiento, la memoria de clase de almacenamiento puede disminuir. Un comando Desconfigurar la memoria de clase de almacenamiento solicita que se elimine una cantidad de memoria de clase de almacenamiento del espacio de direcciones de SCM de la configuración solicitante. Un incremento de SCM a ser desconfigurado debe estar en el estado configurado.
- Los incrementos de SCM que deben ser desconfigurados se especifican en una lista de solicitudes de incremento de SCM, que se describe en el presente documento. Se pueden especificar uno o más incrementos de SCM contiguos en una entrada de lista de solicitudes de incremento de SCM (SIRLE – SCM Increment Request List Entry, en inglés). Se puede especificar una SIRLE separada para cada lista de incrementos (también conocida como una extensión) que no sea contigua a ninguna otra lista de incrementos.
- Independientemente de las reglas de persistencia, una desconfiguración con éxito de un incremento de SCM coloca el incremento en el estado sin inicializar. Cuando se completa la puesta a cero, un incremento de SCM pasa

del estado inicializado al estado inicializado.

Una realización de un bloque de solicitud de comando para el comando Desconfigurar la memoria de clase de almacenamiento se muestra en la figura 9A. Un bloque de solicitud de comando 900 para el comando Desconfigurar la memoria de clase de almacenamiento incluye, por ejemplo:

- 5 Longitud 902: un valor que especifica una longitud del bloque de solicitud de comando. En un ejemplo, la longitud es de  $32 + (N \times 16)$  bytes, donde N es el recuento de entradas de la lista de solicitudes de incremento de SCM (SIRLE). Una longitud válida en este ejemplo es divisible por 16 y está en el rango de  $(32 + 1 \times 16) \leq L1 \leq (32 + 253 \times 16)$ .
- 10 Código de comando 904: un valor que especifica el código de comando para el comando Desconfigurar la memoria de clase de almacenamiento.
- Formato (FMT) 906: un valor que especifica el formato del bloque de solicitud de comando.
- Correlacionador de finalización asíncrona (ACC) 908: un valor que se devuelve en la notificación de finalización asíncrona, descrita anteriormente.
- 15 Lista de solicitudes de incremento de SCM 910: este campo incluye una lista de solicitudes de incremento de SCM (SIRL – SCM Increment List, en inglés). Una lista de solicitudes de incremento de SCM incluye una o más entradas (SIRLE). La longitud de la SIRL se determina a partir del valor del campo de longitud.
- Una entrada de la lista de solicitudes de incremento de SCM (SIRLE) especifica el tamaño y la ubicación de la extensión de memoria de clase de almacenamiento especificada (por ejemplo, una lista de incrementos). Una extensión, o extensión de SCM, es el tamaño especificado de la memoria de clase de almacenamiento.
- 20 Haciendo referencia a la figura 9B, en un ejemplo, una SIRLE 920 incluye:  
Tamaño total (TS) 922: un valor que especifica el tamaño de la memoria de clase de almacenamiento para ser configurado, codificado como un recuento de incrementos de SCM.
- Dirección de la SCM de inicio (SA) 924: un valor que es una dirección de SCM, y es la ubicación en el espacio de direcciones de SCM de las cuales se eliminará el primer o el único incremento de SCM desconfigurado por la SIRLE. Las posiciones de bit menos significativas que constituirían un desplazamiento dentro del primer incremento de SCM se ignoran, y se supone que son ceros, en este ejemplo.
- 25 Cuando el tamaño total es mayor que uno, cada incremento de SCM adicional más allá del primer incremento se sitúa en una dirección de SCM que es divisible por el tamaño de incremento de SCM, que contiene un incremento de SCM configurado y cuya ubicación es contigua al último byte del incremento de SCM anterior. En otras palabras, en la siguiente ubicación, consecutiva.
- 30 Si el espacio descrito por la dirección de inicio y el tamaño total, en conjunto, no está completamente lleno de incrementos de SCM configurados, se proporciona un código de respuesta especificado, no se desconfigura ningún incremento de SCM, no se inicia un proceso asíncrono y no se produce ninguna notificación posterior.
- 35 Tras una finalización con éxito, cada incremento de SCM desconfigurado ha entrado en el estado reservado y, a continuación, es puesto a cero antes de ser colocado en el estado de espera.
- Un bloque de respuesta a comando para el comando Desconfigurar la memoria de clase de almacenamiento se representa en la figura 9C. En una realización, un bloque de respuesta a comando 950 incluye:  
Longitud 952: un valor que indica la longitud del bloque de respuesta a comando.
- 40 Código de respuesta 954: un valor que describe los resultados del intento de ejecutar el comando Desconfigurar la memoria de clase de almacenamiento.
- Si un código de respuesta de un valor especificado es almacenado en el campo del código de respuesta, se inicia un proceso asíncrono para finalizar el procesamiento del comando. Si un código de respuesta distinto del valor especificado es almacenado en el campo de código de respuesta, no se desconfigura ningún incremento de SCM, no se inicia ningún proceso asíncrono y no se realiza ninguna notificación posterior. La finalización del proceso asíncrono se indica en la respuesta de notificación.
- 45 Antes de que la parte síncrona del comando Desconfigurar la memoria de clase de almacenamiento se complete con un código de respuesta especificado, todas las entradas en la lista de solicitudes de incremento de SCM son examinadas, para garantizar que todos los incrementos de SCM especificados estén en el estado configurado.
- Formato (FMT) 956: un valor que indica el formato del bloque de respuesta a comando.

Una realización de la lógica asociada con el comando Desconfigurar SCM se describe haciendo referencia a las figuras 9D a 9E.

Inicialmente, el programa emite una instrucción de llamada de subsistema de canal que incluye un comando Desconfigurar SCM, ETAPA 970. El bloque de solicitud del comando Desconfigurar SCM es obtenido por el subsistema de canal, ETAPA 972, y el subsistema de canal intenta ejecutar el comando, ETAPA 974. Si el intento de ejecutar el comando produce un código de respuesta que no indica éxito, PREGUNTA 976, entonces el código de respuesta se coloca en el bloque de respuesta al comando Desconfigurar SCM, ETAPA 978, y es devuelto el bloque de respuesta, ETAPA 980.

Si se indica un código de respuesta con éxito, CONSULTA 976, entonces el código de respuesta es colocado en el bloque de respuesta, ETAPA 982, y se devuelve el bloque de respuesta, ETAPA 984. En este ejemplo, un código de respuesta con éxito indica que el campo de longitud del bloque de solicitud es válido; el comando está disponible en el sistema; el bloque de solicitud de comando tiene un formato válido; el subsistema de canal puede ejecutar el comando (es decir, no está ocupado); y los incrementos de SCM se encontraban originalmente en el estado configurado.

Además, se inicia un proceso asíncrono para completar la desconfiguración, ETAPA 986. Otros detalles relativos a este procesamiento se describen haciendo referencia a la figura 9E.

En una realización, el procesamiento asíncrono realiza la desconfiguración, ETAPA 990. Por ejemplo, los uno o más incrementos son desasignados. Un incremento de SCM pasa del estado configurado al estado reservado. Tras la entrada del estado reservado, se produce un proceso de puesta a cero y, cuando se completa, el incremento de SCM pasa al estado de espera. La finalización del proceso asíncrono se indica en una respuesta de notificación, ETAPA 992.

Los datos de respuesta de notificación para el comando Desconfigurar la memoria de clase de almacenamiento son devueltos en el bloque de respuesta del comando de CHSC Almacenar información de evento (SEI). Un ejemplo de este bloque de respuesta se describe haciendo referencia a la figura 8A. Sin embargo, el código de contenido en este ejemplo indica que se trata de una respuesta a la finalización de la ejecución del proceso asíncrono iniciado por la solicitud del comando Desconfigurar la memoria de clase de almacenamiento. De manera similar, el código de respuesta secundaria describe además los resultados del intento de ejecutar el comando Desconfigurar la memoria de clase de almacenamiento.

En una realización adicional, la asignación y la desasignación de los incrementos de almacenamiento pueden solicitarse a través de un panel presentado a un usuario. Por ejemplo, un elemento de servicio se utiliza para proporcionar una interfaz gráfica a través de la cual un usuario puede especificar parámetros para el sistema. Para la memoria de clase de almacenamiento, un panel llamado panel de asignación de memoria de clase de almacenamiento permite al usuario realizar las siguientes operaciones:

1. Especificar los incrementos máximos configurables (MCI) para una configuración dada;

2. Asignar los incrementos a una configuración;

3. Desasignar incrementos de una configuración.

El panel permite asimismo ver las asignaciones de incrementos de configuración y MCI, y la cantidad de incrementos en los grupos disponibles, no disponibles y unificados. Cuando, debido a una acción en el SE, una asignación de incrementos cambia o cuando el tamaño de una de las agrupaciones cambia, se envía una notificación a las configuraciones.

Anteriormente se describió en detalle una función para administrar la memoria de clase de almacenamiento. Proporciona una abstracción para permitir al programa acceder a la memoria sin un conocimiento específico de la memoria. De acuerdo con uno o más aspectos de la presente invención, se proporciona una capacidad para trasladar datos entre el almacenamiento principal y la SCM; para borrar o liberar una SCM; para configurar o desconfigurar una SCM; y para obtener la configuración de una SCM. También se proporcionan otras capacidades.

En una realización, la memoria de clase de almacenamiento se presenta como un espacio de memoria plano para programas a nivel de usuario, independientemente de su implementación física en múltiples dispositivos y adaptadores de E/S.

Los detalles sobre los subsistemas de canal y/o una función de ADM se describen en la Patente de U.S.A de nº de serie 5.377.337, titulada "Method and means for enabling virtual addressing control by software users over a hardware page transfer control entity", Antognini et al., presentada el 27 de diciembre de 1994; la Patente de U.S.A de nº de serie 5.442.802, titulada "Asynchronous Co-Processor Data Mover Method and Means", Brent et al., publicada el 15 de agosto de 1995; y la Patente de U.S.A de nº de serie 5.526.484, titulada "Method and System for Pipelining the Processing of Channel command Words", presentada el 11 de junio de 1996.



Adicionalmente, a continuación, se proporciona más información relativa a un subsistema de canal e instrucciones asociadas (para una implementación particular de la z / Architecture®):

#### Entrada / Salida (E/S)

- 5 Los términos "entrada" y "salida" se utilizan para describir la transferencia de datos entre dispositivos de E/S y el almacenamiento principal. Una operación que implica este tipo de transferencia se conoce como una operación de E/S. Las funciones utilizadas para controlar las operaciones de E/S se denominan en conjunto subsistemas de canal. (Los dispositivos de E/S y sus unidades de control se conectan al subsistema de canal).

#### El subsistema de canal

- 10 El subsistema de canal dirige el flujo de información entre los dispositivos de E/S y el almacenamiento principal. Libera a las CPU de la tarea de comunicarse directamente con los dispositivos de E/S y permite que el procesamiento de datos continúe simultáneamente con el procesamiento de E/S. El subsistema de canal utiliza una o más rutas de canal como enlace de comunicación para administrar el flujo de información hacia los dispositivos de E/S o desde los mismos. Como parte del procesamiento de E/S, el subsistema de canal realiza asimismo una operación de gestión de ruta probando la disponibilidad de la ruta del canal, elige una ruta de canal disponible e
- 15 inicia la realización de la operación de E/S por parte del dispositivo.

Dentro del subsistema de canal existen canales secundarios. Un canal secundario está dispuesto para cada dispositivo de E/S accesible para el programa a través del subsistema de canal, o está dedicado al mismo.

- 20 La función de conjunto de múltiples canales secundarios es una función opcional. Cuando está instalada, los canales secundarios se dividen en varios conjuntos de canales secundarios, y cada conjunto de canales secundarios puede proporcionar un canal secundario dedicado a un dispositivo de E/S. Dependiendo del modelo y de la interfaz utilizada, a algunos dispositivos de E/S solo se les puede permitir el acceso a través de ciertos conjuntos de canales secundarios.

- 25 Cada canal secundario proporciona información relativa al dispositivo de E/S asociado y su conexión al subsistema de canal. El canal secundario proporciona asimismo información acerca de las operaciones de E/S y otras funciones relacionadas con el dispositivo de E/S asociado. El canal secundario es el medio por el cual el subsistema de canal proporciona información acerca de los dispositivos de E/S asociados a las CPU, que obtienen esta información mediante la ejecución de las instrucciones de E/S. El número real de canales secundarios proporcionados depende del modelo y de la configuración; la máxima capacidad de direccionamiento es de 0 a 65.535 en cada conjunto de canales secundarios.

- 30 Los dispositivos de E/S se conectan a través de unidades de control al subsistema de canal por medio de rutas de canal. Las unidades de control pueden estar conectadas al subsistema de canal por más de una ruta de canal, y un dispositivo de E/S puede estar conectado a más de una unidad de control. En total, se puede acceder a un dispositivo de E/S individual para el subsistema de canal por hasta ocho rutas de canal diferentes a través de un canal secundario, dependiendo del modelo y la configuración. El número total de rutas de canal proporcionadas por
- 35 un subsistema de canal depende del modelo y de la configuración; la capacidad de direccionamiento máxima es de 0 a 255.

- 40 El rendimiento de un subsistema de canal depende su utilización y del modelo del sistema en el que se implementa. Las rutas de canal cuentan con diferentes capacidades de transferencia de datos, y un dispositivo de E/S diseñado para transferir datos solo a una velocidad específica (una unidad de cinta magnética o un almacenamiento de disco, por ejemplo) puede operar solo en una ruta de canal que puede soportar, por lo menos, esta velocidad de datos.

- 45 El subsistema de canal contiene funciones comunes para el control de las operaciones de E/S. Cuando estas funciones son en forma de equipos independientes y autónomos diseñados específicamente para controlar dispositivos de E/S, las operaciones de E/S se superponen completamente con la actividad en las CPU. Los únicos ciclos de almacenamiento principal requeridos por el subsistema de canal durante las operaciones de E/S son aquellos necesarios para transferir datos e información de control hacia las ubicaciones finales en el almacenamiento principal o desde las mismas, junto con aquellos ciclos que pueden ser necesarios para que el subsistema de canal acceda a los canales secundarios cuando son implementados como parte del almacenamiento principal no direccionable. Estos ciclos no retrasan los programas de la CPU, excepto cuando
- 50 tanto la CPU como el subsistema de canal intentan hacer referencia a la misma zona de almacenamiento principal al mismo tiempo.

#### Conjuntos de canales secundarios

- 55 Cuando la función de conjuntos de múltiples canales secundarios está instalada, los canales secundarios se dividen en conjuntos de múltiples canales secundarios. Puede haber hasta cuatro conjuntos de canales secundarios, cada uno identificado por un identificador de conjunto de canales secundarios (SSID – Subchannel

Set IDentifier, en inglés). Cuando la función de conjuntos de múltiples canales secundarios no está instalada, solo hay un canal secundario configurado con un SSID de cero. Cuando la función de conjuntos de múltiples canales secundarios no está habilitada, el programa solo puede ver el cero de los canales secundarios.

## 5 Canales secundarios

Un canal secundario proporciona el aspecto lógico de un dispositivo al programa y contiene la información requerida para mantener una sola operación de E/S. El canal secundario consiste en un almacenamiento interno que contiene información en forma de designación de programación de canal, identificador de ruta de canal, número de dispositivo, recuento, indicaciones de estado y código de subclase de interrupción de E/S, así como información sobre la disponibilidad de ruta y funciones pendientes o en ejecución. Las operaciones de E/S se inician con un dispositivo mediante la ejecución de instrucciones de E/S que designan el canal secundario asociado con el dispositivo.

Se puede acceder a cada dispositivo por medio de un canal secundario en cada subsistema de canal al que se asigna durante la configuración en el momento de la función. El dispositivo puede ser una unidad identificable físicamente o puede estar alojado internamente en una unidad de control. Por ejemplo, en ciertos dispositivos de almacenamiento en disco, cada accionador utilizado en la obtención de datos se considera un dispositivo. En todos los casos, un dispositivo, desde el punto de vista del subsistema de canal, es una entidad que está asociada únicamente con un canal secundario y que responde a la selección por parte del subsistema de canal utilizando los protocolos de comunicación definidos para el tipo de ruta de canal mediante el cual es accesible.

En algunos modelos, los canales secundarios están dispuestos en bloques. En estos modelos, se pueden proporcionar más canales subalternos que dispositivos conectados. Los canales secundarios que existen, pero no tienen dispositivos asignados a ellos, no son utilizados por el subsistema de canal para realizar ninguna función y se indican almacenando el bit de número de dispositivo asociado válido como cero en el bloque de información de canal secundario del canal secundario.

El número de canales secundarios proporcionados por el subsistema de canal es independiente del número de rutas de canal hasta los dispositivos asociados. Por ejemplo, un dispositivo accesible a través de rutas de canal alternativas todavía está representado por un solo canal secundario. Cada canal secundario se direcciona utilizando un número de canal secundario binario de 16 bits y un SSID de dos bits cuando está instalada la función de canal secundario.

Después de que se haya solicitado el procesamiento de E/S en el canal secundario mediante la ejecución de la instrucción de INICIAR CANAL SECUNDARIO, la CPU es liberada para otro trabajo, y el subsistema de canal ensambla o desmonta los datos y sincroniza la transferencia de bytes de datos entre el dispositivo de E/S y el almacenamiento principal. Para lograr esto, el subsistema de canal mantiene y actualiza una dirección y un recuento que describen el destino o el origen de los datos en el almacenamiento principal. De manera similar, cuando un dispositivo de E/S proporciona señales que deben ser comunicadas al programa, el subsistema de canal transforma las señales en información de estado y almacena la información en el canal secundario, donde el programa puede recuperarla.

### Conexión de dispositivos de entrada / salida

#### Rutas de canal

El subsistema de canal se comunica con los dispositivos de E/S mediante rutas de canal entre el subsistema de canal y las unidades de control. El subsistema de canal puede acceder a una unidad de control mediante más de una ruta de canal. De manera similar, el subsistema de canal puede acceder a un dispositivo de E/S a través de más de una unidad de control, cada una de las cuales tiene una o más rutas de canal al subsistema de canal.

El subsistema de canal puede acceder a los dispositivos que están conectados al subsistema de canal mediante múltiples rutas de canal configuradas para un canal secundario, utilizando cualquiera de las rutas de canal disponibles. De manera similar, un dispositivo que tenga la función de reconexión dinámica y que opere en el modo de múltiples rutas puede ser inicializado para funcionar, de modo que el dispositivo pueda elegir cualquiera de las rutas de canal disponibles configuradas para el canal secundario, cuando se vuelva a conectar de manera lógica al subsistema de canal para continuar una cadena de operaciones de E/S.

El subsistema de canal puede contener más de un tipo de ruta de canal. Ejemplos de tipos de ruta de canal utilizados por el subsistema de canal son la interfaz de E/S ESCON, la interfaz de E/S FICON, la Interfaz de E/S FICON-converted, y las interfaces de E/S System / 360 y System / 370 comercializadas por la firma IBM. El término "interfaz de E/S de serie" se utiliza para referirse a la interfaz de E/S ESCON, la interfaz de E/S FICON y la interfaz de E/S FICON-converted. El término "interfaz de E/S paralela" se utiliza para referirse a las interfaces de E/S System / 360 y System / 370 comercializadas por la firma IBM.

La interfaz de E/S ESCON se describe en la publicación de la biblioteca de sistemas IBM *Enterprise Systems Architecture / 390 ESCON I/O Interface*, SA22-7202.

La interfaz de E/S FICON se describe en el documento de los estándares ANSI *Channel – Single – Byte Command Code Sets-2* (FC-SB-2).

- 5 Las interfaces de E/S System / 360 y System / 370 comercializadas por la firma IBM se describen en la publicación de la biblioteca de sistemas *IBM System / 360 and System / 370 I/O Interface Channel to Control Unit OEMI*, GA22-6974.

10 Dependiendo del tipo de ruta del canal, de las funciones proporcionadas por la ruta del canal y del dispositivo de E/S, una operación de E/S se puede producir en uno de tres modos, modo de multiplexación por tramas, modo de ráfagas o modo de multiplexación por bytes.

15 En el modo de multiplexación por tramas, el dispositivo de E/S puede permanecer conectado de manera lógica a la ruta del canal durante la ejecución de una programación de canal. Una serie de dispositivos de E/S que operan simultáneamente pueden compartir las funciones de una ruta de canal capaz de operar en el modo de multiplexación por tramas. En este modo, la información requerida para completar una operación de E/S se divide en tramas que pueden ser entrelazadas con tramas de operaciones de E/S para otros dispositivos de E/S. Durante este período, se considera que múltiples dispositivos de E/S están conectados de manera lógica a la ruta del canal.

20 En el modo de ráfagas, el dispositivo de E/S monopoliza la ruta de un canal y permanece conectado de manera lógica a la ruta del canal para transferir una ráfaga de información. Ningún otro dispositivo puede comunicarse a través de la ruta del canal durante el tiempo en que se está transfiriendo una ráfaga. La ráfaga puede consistir en unos pocos bytes, un bloque completo de datos, una secuencia de bloques con control asociado e información de estado (las longitudes de bloque pueden ser cero), o información de estado que monopoliza la ruta del canal. Las funciones de la ruta del canal capaces de operar en el modo de ráfagas pueden ser compartidas por una serie de dispositivos de E/S que operan simultáneamente.

25 Algunas rutas de canal pueden soportar una ausencia de transferencia de datos durante aproximadamente medio minuto durante una operación en modo ráfaga, tal como ocurre cuando se lee un espacio largo en una cinta magnética. Se puede indicar un mal funcionamiento del equipo cuando la ausencia de transferencia de datos excede el límite prescrito.

30 En el modo de multiplexación por bytes, el dispositivo de E/S permanece conectado de manera lógica a la ruta del canal solo durante un corto intervalo de tiempo. Una serie de dispositivos de E/S que operan simultáneamente pueden compartir las funciones de una ruta de canal capaz de operar en el modo de multiplexación por bytes. En este modo, todas las operaciones de E/S se dividen en cortos intervalos de tiempo durante los cuales solo se transfiere un segmento de información a través de la ruta del canal. Durante dicho intervalo, solo un dispositivo y su canal secundario asociado están conectados de manera lógica a la ruta del canal. Los intervalos asociados con la operación simultánea de múltiples dispositivos de E/S son secuenciados en respuesta a las demandas de los dispositivos. La función de subsistema de canal asociada con un canal secundario ejerce sus controles para cualquier operación solo durante el tiempo requerido para transferir un segmento de información. El segmento puede consistir en un solo byte de datos, unos pocos bytes de datos, un informe de estado del dispositivo o una secuencia de control utilizada para el inicio de una nueva operación.

40 Por lo general, los dispositivos con altos requisitos de velocidad de transferencia de datos operan con la ruta del canal en el modo de multiplexación por tramas, los dispositivos más lentos operan en el modo de ráfaga y los dispositivos más lentos operan en el modo de multiplexación por bytes. Algunas unidades de control tienen un conmutador manual para configurar el modo de operación deseado.

45 Una operación de E/S que se produce en un tipo de interfaz de E/S paralela de la ruta del canal puede ocurrir en el modo de ráfagas o en el modo de multiplexación por bytes, dependiendo de las funciones proporcionadas por la ruta del canal y el dispositivo de E/S. Para mejorar el rendimiento, algunas rutas de canal y unidades de control cuentan con funciones para transferencia de alta velocidad y transmisión de datos. Véase la publicación de la biblioteca de sistemas *IBM System / 360 and System / 370 I/O Interface Channel to Control Unit OEMI*, GA22-6974, para obtener una descripción de esas dos funciones.

50 Una operación de E/S que se produce en una ruta de canal de tipo interfaz de E/S de serie se puede producir en el modo de multiplexación por tramas o en el modo de ráfagas. Para mejorar el rendimiento, algunas unidades de control que se conectan a la interfaz de E/S en serie proporcionan la capacidad de proporcionar datos de detección al programa de manera simultánea con la presentación del estado de comprobación de la unidad, si el programa lo permite.

55 Dependiendo de la unidad de control o del subsistema de canal, el acceso a un dispositivo a través de un canal secundario puede estar limitado a un solo tipo de ruta de canal.

Los modos y características descritos anteriormente afectan solo al protocolo utilizado para transferir información a través de la ruta del canal y la velocidad de transmisión. La CPU o los programas de canal no pueden observar efectos relacionados con la forma en que se ejecutan estos programas.

#### Unidades de control

- 5 Una unidad de control proporciona las capacidades lógicas necesarias para operar y controlar un dispositivo de E/S, y adapta las características de cada dispositivo para que pueda responder a la forma estándar de control proporcionada por el subsistema de canal.

10 La comunicación entre la unidad de control y el subsistema de canal se realiza a través de una ruta de canal. La unidad de control acepta señales de control del subsistema de canal, controla la sincronización de la transferencia de datos a través de la ruta del canal y proporciona indicaciones sobre el estado del dispositivo.

15 El dispositivo de E/S conectado a la unidad de control puede estar diseñado para realizar solo ciertas operaciones limitadas, o puede realizar muchas operaciones diferentes. Una operación típica es trasladar un medio de grabación y grabar datos. Para llevar a cabo sus operaciones, el dispositivo necesita secuencias de señal detalladas propias de su tipo de dispositivo. La unidad de control descodifica los comandos recibidos del subsistema de canal, los interpreta para el tipo particular de dispositivo y proporciona la secuencia de señal requerida para la ejecución de la operación.

20 Una unidad de control puede estar alojada por separado, o puede estar integrada de manera física y lógica con el dispositivo de E/S, el subsistema de canal o una CPU. En el caso de la mayoría de los dispositivos electromecánicos, existe una interfaz bien definida entre el dispositivo y la unidad de control debido a la diferencia en el tipo de equipo que requieren la unidad de control y el dispositivo. Estos dispositivos electromecánicos a menudo son de un tipo en el que es necesario que un solo dispositivo cada vez, de un grupo conectado a una unidad de control, transfiera datos (unidades de cinta magnética o mecanismos de acceso a disco, por ejemplo), y la unidad de control es compartida entre una serie de dispositivos de E/S. Por otro lado, en algunos dispositivos electrónicos, de E/S tales como el adaptador de canal a canal, la unidad de control no tiene una identidad de su propiedad.

25 Desde el punto de vista del programador, la mayoría de las funciones realizadas por la unidad de control pueden ser combinadas con las que realiza el dispositivo de E/S. Por lo tanto, normalmente no se hace ninguna mención específica de la función de la unidad de control en esta descripción; el funcionamiento de las operaciones de E/S se describe como si los dispositivos de E/S se comunicaran directamente con el subsistema de canal. Se hace referencia a la unidad de control solo cuando se destaca una función realizada por ella o cuando se describe cómo afecta la compartición de la unidad de control entre varios dispositivos a la ejecución de las operaciones de E/S.

#### Dispositivos de E/S

35 Un dispositivo de entrada / salida (E/S) proporciona almacenamiento externo, un medio de comunicación entre sistemas de procesamiento de datos o un medio de comunicación entre un sistema y su entorno. Los dispositivos de E/S incluyen equipos tales como unidades de cinta magnética, dispositivos de almacenamiento de acceso directo (por ejemplo, discos), unidades de visualización, dispositivos de teclado de máquina de escribir, impresoras, dispositivos de teleprocesamiento y equipos a base de sensores. Un dispositivo de E/S puede ser un equipo físicamente distinto, o puede compartir equipos con otros dispositivos de E/S.

40 La mayoría de los dispositivos de E/S, tales como las impresoras o dispositivos de cinta, utilizan medios externos, y estos dispositivos son físicamente distinguibles e identificables. Otros tipos son únicamente electrónicos y no manejan directamente medios de grabación físicos. El adaptador de canal a canal, por ejemplo, proporciona la transferencia de datos entre dos rutas de canal, y los datos nunca llegan a un medio de grabación físico fuera del almacenamiento principal. De manera similar, los controladores de comunicación pueden manejar la transmisión de información entre el sistema de procesamiento de datos y una estación remota, y su entrada y salida son señales en una línea de transmisión.

45 En el caso más simple, un dispositivo de E/S está conectado a una unidad de control y es accesible desde una ruta de canal. El equipo de conmutación está disponible para hacer que algunos dispositivos sean accesibles desde dos o más canales al cambiar de dispositivo entre las unidades de control y al conmutar las unidades de control entre los canales. Dicho equipo de conmutación proporciona múltiples rutas por las que se puede acceder a un dispositivo de E/S. Se proporcionan varias rutas de canales a un dispositivo de E/S para mejorar el rendimiento o la disponibilidad de E/S, o ambos, dentro del sistema. La gestión de múltiples rutas de canales a dispositivos está bajo el control del subsistema de canal y del dispositivo, pero las rutas de canales pueden ser controladas indirectamente por el programa.

#### Direccionamiento de E/S

55 El subsistema de canal proporciona cuatro tipos diferentes de direccionamiento de E/S para el direccionamiento

necesario de los diversos componentes: identificadores de canal a canal, números de canal secundario, números de dispositivo y, aunque no son visibles para los programas, direcciones que dependen del tipo de ruta de canal. Cuando está instalada la función de conjunto de múltiples canales secundarios, el identificador de conjunto de canales secundarios (SSID) también se utiliza en el direccionamiento de E/S.

5

#### Identificador de conjunto de canal secundario

El identificador de conjunto de canal secundario (SSID) es un valor de dos bits asignado a cada conjunto de canal secundario proporcionado.

#### Identificador de la ruta del canal

- 10 El identificador de la ruta del canal (CHPID – Channel – Path Identifier, en inglés) es un valor de ocho bits de un sistema único asignado a cada ruta de canal instalada del sistema. Un CHPID se utiliza para direccionar una ruta de canal. Un CHPID es especificado mediante la dirección del segundo operando de RESET CHANNEL PATH y se utiliza para designar la ruta del canal que se va a restablecer. Las rutas de canal por las que se puede acceder a un dispositivo se identifican en el bloque de información de canal secundario (SCHIB), cada uno por su CHPID asociado, cuando se ejecuta STORE SUBCHANNEL. El CHPID también se puede utilizar en los mensajes del operador cuando es necesario identificar una ruta de canal particular. Un modelo de sistema puede proporcionar hasta 256 canales. El número máximo de rutas de canal y la asignación de CHPID a las rutas de canal depende del modelo del sistema.
- 15

#### Número de canal secundario

- 20 Un número de canal secundario es un valor de 16 bits exclusivo del sistema que se utiliza para direccionar un canal secundario. Este valor es único dentro de un conjunto de canales secundarios de un subsistema de canal. El canal está dirigido a ocho instrucciones de E/S: CANCELAR CANAL SECUNDARIO, BORRAR CANAL SECUNDARIO, DETENER CANAL SECUNDARIO, MODIFICAR CANAL SECUNDARIO, REANUDAR CANAL SECUNDARIO, INICIAR CANAL SECUNDARIO, ALMACENAR CANAL SECUNDARIO, Y PROBAR CANAL SECUNDARIO. Todas las funciones de E/S relativas a un dispositivo de E/S especificado están especificadas por el programa mediante la designación de un canal secundario asignado al dispositivo de E/S. A los canales secundarios en cada conjunto de canales secundarios siempre se les asignan números de canal secundario dentro de un solo rango de números contiguos. El canal secundario con el número más bajo es el canal secundario 0. El canal secundario con el número más alto del subsistema de canal tiene un número de canal secundario igual a uno menos que el número de canales secundarios provistos. Un máximo de 65.536 canales secundarios pueden estar dispuestos en cada conjunto de canales secundarios. Normalmente, los números de canal secundario solo se utilizan en la comunicación entre el programa de la CPU y el subsistema de canal.
- 25
- 30

#### Número de dispositivo

- 35 Cada canal secundario que tiene asignado un dispositivo de E/S contiene asimismo un parámetro denominado número de dispositivo. El número de dispositivo es un valor de 16 bits que es asignado como uno de los parámetros del canal secundario en el momento en que el dispositivo es asignado al canal secundario. El número de dispositivo identifica de manera exclusiva un dispositivo para el programa.

- 40 El número de dispositivo proporciona un medio para identificar un dispositivo, independientemente de las limitaciones impuestas por el modelo del sistema, la configuración o los protocolos de la ruta del canal. El número de dispositivo se utiliza en las comunicaciones relacionadas con el dispositivo que tienen lugar entre el sistema y el operador del sistema. Por ejemplo, el operador del sistema introduce el número del dispositivo para designar el dispositivo de entrada que se utilizará para la carga inicial del programa.

#### Nota de programación

- 45 El número de dispositivo es asignado en el momento de la instalación del dispositivo y puede tener cualquier valor. No obstante, el usuario debe observar cualquier limitación en la asignación del número de dispositivo que pueda ser requerida por el programa de control, los programas de soporte, la unidad de control concreta o el dispositivo de E/S.

#### Identificador de dispositivo

- 50 Un identificador de dispositivo es una dirección, no evidente para el programa, que utiliza el subsistema de canal para comunicarse con dispositivos de E/S. El tipo de identificador de dispositivo utilizado depende del tipo de ruta de canal especificada y de los protocolos proporcionados. Cada canal secundario contiene uno o más identificadores de dispositivo.

Para una ruta de canal del tipo de interfaz de E/S paralela, el identificador de dispositivo se denomina dirección del

dispositivo y consta de un valor de ocho bits. Para la interfaz de E/S ESCON, el identificador del dispositivo consta de una dirección de unidad de control de cuatro bits y una dirección de dispositivo de ocho bits. Para la interfaz de E/S FICON, el identificador del dispositivo consta de un ID de imagen de la unidad de control de ocho bits y una dirección de dispositivo de ocho bits. Para la interfaz de E/S FICON-converted, el identificador del dispositivo consta de una dirección de la unidad de control de cuatro bits y una dirección de dispositivo de ocho bits.

La dirección del dispositivo identifica el dispositivo de E/S concreto (y, en la interfaz de E/S paralela, la unidad de control) asociada con un canal secundario. La dirección del dispositivo puede identificar, por ejemplo, una unidad de cinta magnética, un mecanismo de acceso a disco o una línea de transmisión en concreto. Cualquier número en el rango de 0 a 255 puede ser asignado como una dirección de dispositivo.

#### 10 Extensiones de canal de fibra

La función de extensiones de canal de fibra (FCX – Fiber – Channel eXtensions, en inglés) es una función opcional que proporciona la formación de una programación de canal que se compone de una palabra de control de transporte (TCW – Transport control Word, en inglés) que designa un bloque de control de comando de transporte (TCCB – Transport Command Control Block, en inglés) y un bloque de estado de transporte (TSB – Transport Status Block, en inglés). El TCCB incluye un área de comando de transporte (TCA – Transport command Area, en inglés) que contiene una lista de hasta 30 comandos de E/S en forma de palabras de comando de dispositivo (DCW – Device Command Words, en inglés). Una TCW y su TCCB pueden especificar una operación de lectura o de escritura. Además del IRB, el TSB contiene el estado de finalización y otra información relacionada con el programa del canal de TCW.

La función FCX ofrece la posibilidad de designar directa o indirectamente cualquiera o todos los TCCB, el área de almacenamiento de datos de entrada y el área de almacenamiento de datos de salida. Cuando un área de almacenamiento se designa directamente, la TCW especifica la ubicación de un único bloque de almacenamiento contiguo. Cuando un área de almacenamiento se designa de manera indirecta, la TCW designa la ubicación de una lista de una o más palabras de dirección de datos de transporte indirecto (TIDAW – Transport Indirect Data Address Words, en inglés). Las listas de TIDAW y el área de almacenamiento designada por cada TIDAW en una lista no pueden sobrepasar los límites de 4 Kbytes

La función FCX proporciona asimismo una operación de interrogación que puede ser iniciada por la instrucción de CANCELAR CANAL SECUNDARIO para determinar el estado de una operación de E/S.

#### Palabras de comando de E/S

Una palabra de comando de E/S especifica un comando y contiene información asociada con el comando. Cuando la función FCX está instalada, existen dos formas elementales de palabras de comando de E/S que son la palabra de comando de canal (CCW – Channel Command Word, en inglés) y la palabra de comando de dispositivo (DCW – Device command Word, en inglés).

Una CCW tiene una longitud de 8 bytes y especifica el comando a ejecutar. Para los comandos que inician ciertas operaciones, la CCW designa asimismo el área de almacenamiento asociada con la operación, el recuento de bytes de datos, la acción que debe ser realizada cuando se completa el comando y otras opciones. Todos los dispositivos de E/S reconocen las CCW.

Una DCW tiene una longitud de 8 bytes y especifica el comando a ejecutar, el recuento de bytes de datos, y otras opciones. Los dispositivos de E/S que soportan la función FCX reconocen las DCW.

#### 40 Palabra de comando de transporte (TCW)

Una TCW designa un bloque de control de comando de transporte (TCCB) que contiene una lista de comandos para ser transportados y ejecutados por un dispositivo de E/S. La TCW designa asimismo las áreas de almacenamiento para los comandos en el TCCB, así como un bloque de estado de transporte (TSB) para contener el estado de la operación de E/S.

#### 45 Organización de la programación de un canal

Cuando la función de FCX no está instalada, existe una única forma de programación de canales que es la programación de canales de CCW. Cuando está instalada la función de FCX, existe una forma adicional de programación de un canal que es la programación de canal de TCW. Ambas formas de programación de canal se describen a continuación.

#### 50 Programación de canal de CCW

Una programación de canal que se compone de una o más CCW se llama programación de canal de CCW (PCC – CCW Channel Program, en inglés). Dicha programación de canal contiene una o más CCW que están vinculadas de manera lógica y dispuestas para su ejecución secuencial por parte del subsistema de canal.

### Programación de canal de TCW

Una programación de canal que se compone de una sola TCW se denomina programación de canal de TCW. Una TCW designa un bloque de control de comando de transporte (TCCB) que contiene de 1 a 30 DCW. Las DCW dentro del TCCB están vinculadas de manera lógica y dispuestas para su ejecución secuencial. Para las DCW que especifican información de control, el TCCB contiene asimismo la información de control para esos comandos. La TCW designa asimismo el área o áreas de almacenamiento para las DCW que especifican la transferencia de datos desde el dispositivo o hacia el mismo y la ubicación de un bloque de estado de transporte (TSB) para el estado de finalización. El TCCB y las áreas de almacenamiento para la transferencia de datos pueden ser especificados como almacenamiento contiguo o no contiguo.

La TCW designa asimismo un TSB para el estado de finalización.

### Ejecución de operaciones de E/S

Las operaciones de E/S son iniciadas y controladas mediante información con cuatro tipos de formatos: la instrucción de INICIAR CANAL SECUNDARIO, palabras de comando de transporte, palabras de comando y órdenes. La instrucción de INICIAR CANAL SECUNDARIO es ejecutada por una CPU y forma parte del programa de la CPU que supervisa el flujo de solicitudes de operaciones de E/S desde otros programas que administran o procesan los datos de E/S.

Cuando se ejecuta la instrucción de INICIAR CANAL SECUNDARIO, se pasan parámetros al canal secundario de destino solicitando que el subsistema de canal realice una función de inicio con el dispositivo de E/S asociado con el canal secundario. El subsistema de canal realiza la función de inicio mediante la utilización de información en el canal secundario, incluida la información que se pasa durante la ejecución de la instrucción de INICIAR CANAL SECUNDARIO, para encontrar una ruta de canal accesible al dispositivo. Una vez que el dispositivo ha sido seleccionado, la ejecución de una operación de E/S se realiza mediante la descodificación y la ejecución de una CCW por parte del subsistema de canal y el dispositivo de E/S, para programación de canal de CCW, o para programaciones de canal de TCW, transportando el TCCB al dispositivo de E/S mediante el subsistema de canal y la descodificación y ejecución de una DCW por parte del dispositivo. Las palabras de comando de E/S y las palabras de comando de transporte se obtienen del almacenamiento principal, aunque los bits modificadores en el código de comando de una DCW de CCW pueden especificar situaciones dependientes del dispositivo para la ejecución de una operación en el dispositivo.

Las operaciones propias de un dispositivo, tales como rebobinar la cinta o colocar el mecanismo de acceso en una unidad de disco, se especifican mediante órdenes que son descodificadas y ejecutadas por dispositivos de E/S. Los pedidos pueden ser transferidos al dispositivo como bits modificadores en el código de comando de un comando de control, pueden ser transferidos al dispositivo como datos durante una operación de control o escritura, o pueden ser puestos a disposición del dispositivo por otros medios.

### Iniciación de la función de inicio

Los programas de la CPU inician operaciones de E/S con la instrucción de INICIAR CANAL SECUNDARIO. Esta instrucción pasa el contenido de un bloque de solicitud de operación (ORB – Operation Request block) al canal secundario.

Si el ORB especifica una programación de canal de CCW, el contenido del ORB incluye la clave del canal secundario, la dirección de la primera CCW que se ejecutará y una especificación del formato de las CCW. La CCW especifica el comando que se ejecutará y el área de almacenamiento, si corresponde, que se utilizará. Si el ORB especifica una programación de canal de TCW, el contenido del ORB incluye la clave del canal secundario y la dirección de la TCW que se ejecutará. La TCW designa el TCCB que contiene los comandos que se van a transportar al dispositivo para su ejecución, el área o las áreas de almacenamiento, si las hay, que se utilizarán para la transferencia de datos, y el TSB para contener el estado de la operación de E/S.

Cuando los contenidos del ORB han sido pasados al canal secundario, la ejecución de INICIAR CANAL SECUNDARIO se completa. Los resultados de la ejecución de la instrucción se indican mediante el código de situación establecido en la palabra de estado del programa.

Cuando las funciones están disponibles y el ORB especifica una programación de canal de CCW, el subsistema de canal busca la primera CCW y la descodifica de acuerdo con el bit de formato especificado en el ORB. Si el bit de formato es cero, se especifican las CCW de formato 0. Si el bit de formato es uno, se especifican las CCW de formato 1. Las CCW de formato 0 y formato 1 contienen la misma información, pero los campos están organizados de manera diferente en el formato 1 de la CCW, de tal modo que se pueden especificar direcciones de 31 bits directamente en la CCW. Cuando las funciones están disponibles y el ORB especifica una programación de canal de TCW, el subsistema de canal busca la TCW designada y transporta el TCCB designado al dispositivo. Las áreas de almacenamiento designadas por la TCW para la transferencia de datos hacia el dispositivo o desde el mismo son direcciones de 64 bits.

## Modos de operación de canal secundario

Existen dos modos de operación de canal secundario. Un canal secundario entra en el modo de transporte cuando está instalada la función FCX y la función de inicio se configura en el canal secundario como resultado de la ejecución de una instrucción de INICIAR CANAL SECUNDARIO que especifica una programación de canal de TCW. El canal secundario permanece en modo de transporte hasta que se resuelve la función de inicio en el canal secundario. En cualquier otro momento, el canal secundario está en modo de comando.

## Gestión de ruta

Si el ORB especifica una programación de canal de CCW y la primera CCW pasa ciertas pruebas de validez y no tiene el indicador de suspender especificado como uno, o si el ORB especifica una programación de canal de TCW y la TCW designada pasa ciertas pruebas de validez, el subsistema de canal intenta seleccionar el dispositivo seleccionando una ruta de canal del grupo de rutas de canal que están disponibles para su selección. Una unidad de control que reconoce el identificador del dispositivo se conecta de manera lógica a la ruta del canal y responde a su selección.

Si el ORB especifica una programación de canal de CCW, el subsistema de canal envía la parte del código de comando de la CCW a través de la ruta del canal, y el dispositivo responde con un byte de estado que indica si se puede ejecutar el comando. La unidad de control se puede desconectar de manera lógica de la ruta del canal en este momento, o puede permanecer conectada para iniciar la transferencia de datos.

Si el ORB especifica una programación de canal de TCW, el subsistema de canal utiliza la información en la TCW designada para transferir el TCCB a la unidad de control. El contenido del TCCB es ignorado por el subsistema de canal y solo tiene significado para la unidad de control y el dispositivo de E/S.

Si la selección intentada no se produce como resultado de una indicación de ocupado o de una situación de ruta no operativa, el subsistema de canal intenta seleccionar el dispositivo mediante una ruta de canal alternativa si hay una disponible. Cuando se ha intentado la selección en todas las rutas disponibles para la selección y la situación de ocupado persiste, la operación sigue estando pendiente hasta que la ruta se libere. Si se detecta una situación de ruta no operativa en una o más de las rutas de los canales en los que se intentó seleccionar el dispositivo, el programa recibe una alerta por una subsiguiente interrupción de E/S. La interrupción de E/S se produce al ejecutar el programa del canal (suponiendo que el dispositivo fue seleccionado en una ruta de canal alternativa) o como resultado de que la ejecución haya sido abandonada debido a que se detectaron situaciones de ruta no operativa en todas las rutas de canal en las que se intentó la selección de dispositivo.

## Ejecución de programación de canal

Si el comando es iniciado en el dispositivo y la ejecución del comando no requiere la transferencia de datos hacia el dispositivo o desde el mismo, el dispositivo puede indicar el fin de la operación inmediatamente después de recibir el código de comando. En las operaciones que implican la transferencia de datos, el canal secundario se configura de tal manera que el subsistema de canal responda a las solicitudes de servicio del dispositivo y asuma un mayor control de la operación.

Una operación de E/S puede implicar la transferencia de datos hacia un área de almacenamiento o desde la misma, designada por una única CCW o TCW, o hacia varias áreas de almacenamiento no contiguas, o desde las mismas. En este último caso, en general se utiliza una lista de CCW para la ejecución de la operación de E/S, y cada CCW designa un área de almacenamiento contigua, y las CCW se acoplan mediante encadenamiento de datos. El encadenamiento de datos se especifica mediante un indicador en la CCW y hace que el subsistema de canal obtenga otra CCW después del vaciado o llenado del área de almacenamiento designada por la CCW actual. El área de almacenamiento designada por una CCW recuperada en el encadenamiento de datos pertenece a la operación de E/S ya en curso en el dispositivo de E/S, y no es notificada al dispositivo de E/S cuando se recupera una nueva CCW.

En el formato de CCW se hace la provisión para que el programador especifique que, cuando se descodifique la CCW, el subsistema de canal solicite una interrupción de E/S tan pronto tal como sea posible, notificando de este modo a un programa de la CPU que el encadenamiento ha progresado por lo menos hasta la CCW en la programación del canal.

Para complementar la traducción de dirección dinámica en las CPU, se proporcionan direccionamiento de datos indirectos de CCW y direccionamiento de datos indirectos de CCW modificados.

Cuando el ORB especifica una programación de canal de CCW y se utiliza direccionamiento de datos indirectos de CCW, un indicador en la CCW especifica que se utilizará una lista de direcciones de datos indirectos para designar las áreas de almacenamiento para esa CCW. Cada vez que se alcanza el límite de un bloque de almacenamiento, se hace referencia a la lista para determinar el siguiente bloque de almacenamiento que se utilizará. El ORB especifica si el tamaño de cada bloque de almacenamiento es 2 Kbytes o 4 Kbytes.



Cuando el ORB especifica una programación de canal de CCW y se utiliza un direccionamiento de datos indirectos de CCW modificado, un indicador en el ORB y un indicador en la CCW especifican que se utilizará una lista de direcciones de datos indirectos modificados para designar las áreas de almacenamiento para esas CCW. Cada vez que se alcanza el recuento de bytes especificado para un bloque de almacenamiento, se hace referencia a la lista para determinar el siguiente bloque de almacenamiento que se utilizará. A diferencia de cuando se utiliza direccionamiento de datos indirecto, el bloque puede ser especificado en cualquier límite y longitud hasta 4K, siempre que no se especifique una transferencia de datos a través de un límite de 4 Kbytes.

Cuando el ORB especifica una programación de canal de TCW y se utiliza el direccionamiento de datos indirectos de transporte, los indicadores en la TCW especifican si se debe utilizar una lista de direcciones de datos indirectos de transporte para designar las áreas de almacenamiento que contiene el TCCB y si se utiliza una lista de direcciones de datos de transporte indirectos para designar las áreas de almacenamiento de datos asociadas con las DCW en el TCCB. Cada vez que se alcanza el recuento de bytes especificado para un bloque de almacenamiento, se hace referencia a la lista correspondiente de direcciones de datos de transporte indirectos para determinar el siguiente bloque de almacenamiento que se utilizará.

El direccionamiento de datos indirectos de CCW y el direccionamiento de datos indirectos de CCW modificado permiten esencialmente las mismas secuencias de CCW que se utilizarán para un programa que se ejecuta con la traducción de direcciones dinámica activa en la CPU que se utilizaría si la CPU estuviera operando con almacenamiento real contiguo equivalente. El direccionamiento de datos indirectos de CCW permite que el programa designe bloques de datos con direcciones de almacenamiento absolutas de hasta  $2^{64} - 1$  independientemente de si se han especificado las CCW de formato 0 o 1 en el ORB. El direccionamiento de datos indirectos de CCW modificados permite al programa designar bloques de datos con direcciones de almacenamiento absolutas de hasta  $2^{64} - 1$ , independientemente de si el formato 0 o el formato 1 de CCW han sido especificados en el ORB.

En general, la ejecución de una operación de E/S o de una cadena de operaciones involucra hasta tres niveles de participación:

1. A excepción de los efectos debidos a la integración de la CPU y del equipo de subsistema de canal, una CPU está ocupada durante el tiempo de la ejecución de INICIAR CANAL SECUNDARIO, que dura hasta que el canal secundario direccionado haya pasado los contenidos del ORB.

2. El canal secundario está ocupado para una nueva instrucción de INICIAR CANAL SECUNDARIO desde la recepción de los contenidos del ORB hasta que se suspende la situación de interrupción primaria en el canal secundario.

3. El dispositivo de E/S está ocupado desde el inicio de la primera operación en el dispositivo hasta que el canal secundario se suspende o la situación de interrupción secundaria se dispone en el canal secundario. En el caso de un canal secundario suspendido, el dispositivo vuelve a estar ocupado cuando se reanuda la ejecución de la programación del canal suspendido.

#### Finalización de las operaciones de E/S

La finalización de una operación de E/S normalmente se indica mediante dos situaciones de estado: fin del canal y fin del dispositivo. La situación de fin de canal indica que el dispositivo de E/S ha recibido o proporcionado todos los datos asociados con la operación y ya no necesita funciones de subsistema de canal. Esta situación se denomina situación de interrupción primaria, y el fin del canal en este caso es el estado primario. En general, la situación de interrupción primaria es cualquier situación de interrupción relacionada con una operación de E/S y que señala la finalización en el canal secundario de la operación de E/S o de la cadena de operaciones de E/S.

La señal de fin de dispositivo indica que el dispositivo de E/S ha finalizado la ejecución y está listo para realizar otra operación. Esta situación se denomina situación de interrupción secundaria, y el fin del dispositivo en este caso es el estado secundario. En general, la situación de interrupción secundaria es cualquier situación de interrupción relacionada con una operación de E/S y que señala la finalización en el dispositivo de la operación de E/S o de la cadena de operaciones. La situación de interrupción secundaria se puede producir al mismo tiempo o más tarde que la situación de interrupción primaria.

Al mismo tiempo que las situaciones de interrupción primaria o secundaria, tanto el subsistema de canal como el dispositivo de E/S pueden proporcionar indicaciones de situaciones inusuales.

Las situaciones que señalan la finalización de una operación de E/S pueden ser señaladas a la atención del programa mediante interrupciones de E/S o, cuando las CPU están deshabilitadas para interrupciones de E/S, mediante interrogación programada del subsistema de canal. En el primer caso, estas situaciones causan el almacenamiento del código de interrupción de E/S, que contiene información sobre el origen de la interrupción. En este último caso, el código de la interrupción es almacenado como resultado de la ejecución de la instrucción de PROBAR INTERRUPTIÓN PENDIENTE.

Quando se reconoce la situación de interrupción primaria, el subsistema de canal intenta notificar al programa, mediante una solicitud de interrupción, que un canal secundario contiene información que describe la finalización de una operación de E/S en el canal secundario. Para las interrupciones en modo de comando, la información identifica la última CCW utilizada y puede proporcionar su recuento de bytes residuales, describiendo de este modo la extensión del almacenamiento principal utilizado. Para las interrupciones en el modo de transporte, la información identifica la TCW actual y el TSB asociado con el programa del canal que contiene un estado adicional sobre la operación de E/S, tal como el recuento de bytes residual. Además de la información sobre la programación de canal, tanto el subsistema de canal como el dispositivo de E/S pueden proporcionar indicaciones adicionales de situaciones inusuales como parte de la situación de interrupción primaria o secundaria. La información contenida en el canal secundario puede ser almacenada mediante la ejecución de la instrucción de PROBAR EL CANAL SECUNDARIO o la ejecución de ALMACENAR EL CANAL SECUNDARIO. Esta información, cuando se almacena, se denomina palabra de estado de canal secundario (SCSW).

#### Encadenamiento cuando se utiliza una programación de canal de CCW

Quando el ORB especifica una programación de canal de CCW, se proporcionan funciones para el programa para iniciar la ejecución de una cadena de operaciones de E/S con una sola instrucción de INICIAR CANAL SECUNDARIO. Cuando la CCW actual especifica el encadenamiento de comandos y se han detectado situaciones de utilización durante la operación, la recepción de la señal de fin de dispositivo hace que el subsistema de canal obtenga una nueva CCW. Si la CCW pasa ciertas pruebas de validez y el indicador de suspensión no se especifica como uno en la nueva CCW, la ejecución de un nuevo comando se inicia en el dispositivo. Si la CCW no pasa las pruebas de validez, no se inicia el nuevo comando, se suprime el encadenamiento de comandos y el estado asociado con la nueva CCW hace que se genere una situación de interrupción. Si el indicador de suspensión se especifica como uno y este valor es válido debido a un valor en el control de suspensión, bit 4 de la palabra 1 del ORB asociado, no se inicia la ejecución del nuevo comando y finaliza el encadenamiento del comando.

La ejecución del nuevo comando es iniciada por el subsistema de canal de la misma manera que en la operación anterior. Las señales finales que se producen al final de una operación causada por una CCW que especifica el encadenamiento de comandos no se ponen a disposición del programa. Cuando se inicia otra operación de E/S mediante el encadenamiento de comandos, el subsistema de canal continúa la ejecución de la programación de canal. Sin embargo, si se ha detectado una situación inusual, se suprime el encadenamiento de comandos, se termina el programa del canal, se genera una situación de interrupción y las señales de finalización que causan la finalización se ponen a disposición del programa.

La función de suspender y reanudar proporciona al programa el control sobre la ejecución de una programación de canal. La iniciación de la función de suspensión se controla mediante la configuración del bit de control de suspensión en el ORB. La función de suspensión es señalada al subsistema de canal durante la ejecución de la programación de canal cuando el bit de control de suspensión en el ORB es uno y el indicador de suspensión en la primera CCW o en una CCW capturada durante el encadenamiento de comandos es uno.

La suspensión se produce cuando el subsistema de canal obtiene una CCW con el indicador de suspensión especificado de manera válida (debido a un valor del bit de control de suspensión en el ORB) como uno. El comando en esta CCW no se envía al dispositivo de E/S, y se señala al dispositivo que la cadena de comandos ha finalizado. Una instrucción posterior de REANUDAR CANAL SECUNDARIO informa al subsistema de canal que la CCW que provocó la suspensión puede haber sido modificada y que el subsistema de canal debe recuperar la CCW y examinar la configuración actual del indicador de suspensión. Si se encuentra que el indicador de suspensión es cero en la CCW, el subsistema de canal reanuda la ejecución de la cadena de comandos con el dispositivo de E/S.

#### Encadenamiento cuando se utiliza una programación de canal de TCW

Quando el ORB especifica una programación de canal de TCW, también se proporcionan funciones para que el programa inicie la ejecución de una cadena de operaciones del dispositivo con una única instrucción de INICIAR CANAL SECUNDARIO. El encadenamiento de comandos puede ser especificado para aquellas DCW designadas por una única TCW. Cuando la DCW actual especifica el encadenamiento de comandos y no se han detectado situaciones inusuales durante la operación, el reconocimiento de la ejecución con éxito de la DCW hace que se procese la siguiente DCW en el TCCB actual.

Si la siguiente DCW pasa ciertas pruebas de validez, la ejecución de un nuevo comando se inicia en el dispositivo, y la DCW se convierte en la DCW actual. Si la DCW no pasa las pruebas de validez, no se inicia el nuevo comando, se suprime el encadenamiento del comando, se termina el programa del canal y el estado asociado con la nueva DCW hace que se genere una situación de interrupción.

La ejecución del nuevo comando se inicia de la misma manera que en la operación anterior. Las señales de finalización que se producen al finalizar una operación causada por una DCW que no es la última DCW especificada no están disponibles para el programa. Cuando se inicia otra operación de E/S mediante el encadenamiento de comandos, la ejecución de la programación del canal continúa. Sin embargo, si se detectó una

situación inusual, se suprime el encadenamiento de comandos, finaliza la programación del canal, se genera una situación de interrupción y el estado se pone a disposición del programa que identifica la situación inusual.

#### Finalización prematura de operaciones de E/S

- 5 La ejecución de la programación del canal puede ser finalizada prematuramente mediante las instrucciones CANCELAR CANAL SECUNDARIO, DETENER CANAL SECUNDARIO o BORRAR CANAL SECUNDARIO. La ejecución de la instrucción de CANCELAR CANAL SECUNDARIO hace que el subsistema de canal finalice la función de inicio en el canal secundario si la programación del canal no se ha iniciado en el dispositivo. Cuando la función de inicio finaliza con la ejecución de la instrucción de CANCELAR CANAL SECUNDARIO, el subsistema de canal configura el código de situación 0 en respuesta a la instrucción de CANCELAR CANAL SECUNDARIO. La ejecución de la instrucción de DETENER CANAL SECUNDARIO hace que el subsistema de canal emita la señal de detención al dispositivo de E/S y finalice la ejecución de la programación del canal en el canal secundario. Cuando la ejecución de la programación del canal se termina con la ejecución de la instrucción de DETENER CANAL SECUNDARIO, el programa es notificado de la terminación por medio de una solicitud de interrupción de E/S. Cuando el canal secundario está en modo de comando, la solicitud de interrupción se genera cuando el dispositivo presenta el estado de operación terminada. Cuando el canal secundario está en modo de transporte, la solicitud de interrupción se genera de manera inmediata. Sin embargo, si la señal de detención fue emitida al dispositivo durante el encadenamiento de comandos después de la recepción del final del dispositivo, pero antes de que se transfiriera el siguiente comando al dispositivo, la solicitud de interrupción se genera después de que el dispositivo haya sido señalado. En este último caso, el campo de estado del dispositivo de la SCSW contendrá ceros. La ejecución de la instrucción de BORRAR CANAL SECUNDARIO borra el canal secundario de indicaciones de la programación de canal en ejecución, hace que el subsistema de canal emita la señal de borrado al dispositivo de E/S y hace que el subsistema de canal genere una solicitud de interrupción de E/S para notificar al programa de finalización de la función de borrado.

#### Interrupciones de E/S

Las situaciones que causan solicitudes de interrupción de E/S son asíncronas a la actividad en la CPU, y puede ocurrir más de una situación al mismo tiempo. Las situaciones se conservan en los canales secundarios hasta que son borradas mediante la instrucción de BORRAR CANAL SECUNDARIO, o son restablecidas mediante un reinicio del sistema de E/S.

- 30 Cuando el subsistema de canal ha reconocido una situación de interrupción de E/S y está indicada en el canal secundario, queda pendiente una solicitud de interrupción de E/S para la subclase de interrupción de E/S especificada en el canal secundario. La subclase de interrupción de E/S para la cual se hace pendiente la interrupción está bajo control programado mediante la utilización de la instrucción de MODIFICAR CANAL SECUNDARIO. Cualquier CPU que esté habilitada para interrupciones desde su subclase de E/S puede aceptar una interrupción de E/S pendiente. Cada CPU tiene ocho bits de máscara, en el registro de control 6, que controlan la activación de esa CPU para cada una de las ocho subclases de interrupción de E/S, con la máscara de E/S, bit 6 en la PSW, siendo la máscara de interrupción de E/S principal para la CPU.

- 40 Cuando se produce una interrupción de E/S en una CPU, el código de interrupción de E/S se almacena en el área de comunicación de E/S de esa CPU y se borra la solicitud de interrupción de E/S. El código de interrupción de E/S identifica el canal secundario para el cual la interrupción estaba pendiente. Las situaciones que causan la generación de la solicitud de interrupción pueden ser recuperadas explícitamente desde el canal secundario mediante las instrucciones PROBAR CANAL SECUNDARIO o ALMACENAR CANAL SECUNDARIO.

- 45 Una solicitud de interrupción de E/S pendiente también puede ser borrada mediante la instrucción de PROBAR INTERRUPTIÓN PENDIENTE cuando la subclase de interrupción de E/S correspondiente está habilitada pero la PSW tiene las interrupciones de E/S desactivadas, o mediante la instrucción de PROBAR CANAL SECUNDARIO cuando la CPU está desactivada para interrupciones de E/S desde la subclase de interrupción de E/S correspondiente. Una solicitud de interrupción de E/S pendiente también puede ser borrada mediante la instrucción de BORRAR CANAL SECUNDARIO. Tanto la instrucción de BORRAR CANAL SECUNDARIO como PROBAR CANAL SECUNDARIO eliminan también la situación de interrupción mantenida en el canal secundario.

- 50 Normalmente, a menos que la solicitud de interrupción sea autorizada por la instrucción de BORRAR CANAL SECUNDARIO, el programa emite la instrucción de PROBAR CANAL SECUNDARIO para obtener información sobre la ejecución de la operación.

#### BORRAR CANAL SECUNDARIO

- 55 El canal secundario designado se borra, las funciones de inicio o de detención actuales, si existen, se terminan en el canal secundario designado, y el subsistema de canal es señalado para que realice de manera sincrónica la función de borrado en el canal secundario designado y en el dispositivo asociado.

El registro general 1 contiene una palabra de identificación de subsistema (SID) que designa el canal secundario a borrar.

Si una función de inicio o detención está en curso, se termina en el canal secundario.

5 El canal secundario ya no está en estado pendiente. Toda la actividad, tal como se indica en el campo de control de actividad de la SCSW, se borra en el canal secundario, excepto si el canal secundario queda claramente pendiente. Todas las funciones en curso, tal como se indica en el campo de control de funciones de la SCSW, se borran en el canal secundario, excepto la función de borrado que se realizará debido a la ejecución de esta instrucción.

10 Cuando el canal secundario está funcionando en el modo de transporte y se configura el código de situación 2, la CPU puede indicar al subsistema de canal que ejecute de manera asíncrona la función de interrogación y finalice la instrucción.

El subsistema de canal es señalado para ejecutar de manera asíncrona la función de borrado. La función de borrado se resume a continuación en la sección "Funciones asociadas" y se describe en detalle a continuación.

El código de situación 0 se configura para indicar que las acciones descritas anteriormente han sido introducidas.

#### 15 Funciones asociadas

Posteriormente a la ejecución de la instrucción de BORRAR CANAL SECUNDARIO, el subsistema de canal ejecuta de manera síncrona la función de borrado. Si las situaciones lo permiten, el subsistema de canal elige una ruta de canal e intenta emitir la señal de borrado al dispositivo para finalizar la operación de E/S, si la hay. El canal secundario pasa a estado pendiente. Las situaciones encontradas por el subsistema de canal que impiden emitir la señal clara al dispositivo no impiden que el canal secundario quede en estado pendiente.

20 Cuando el canal secundario pasa a estado pendiente como resultado de ejecutar la función de borrado, la transferencia de datos, si corresponde, con el dispositivo asociado ha finalizado. La SCSW almacenada cuando el estado resultante es borrado por la instrucción de PROBAR CANAL SECUNDARIO tiene el bit de función de borrado almacenado como uno. Si el subsistema del canal puede determinar que la señal de borrado fue emitida al dispositivo, el bit pendiente de borrado está almacenado como cero en la SCSW. De lo contrario, el bit pendiente de borrado está almacenado como uno, y se proporcionan otras indicaciones que describen con mayor detalle la situación encontrada.

25 Los datos de medición no se acumulan, y el tiempo de conexión del dispositivo no se almacena en la palabra de estado extendido para el canal secundario, para una función de inicio que es finalizada mediante la instrucción de BORRAR CANAL SECUNDARIO.

30

### Situaciones especiales

5 Se configura el código de situación 3, y no se realiza ninguna otra acción, cuando el canal secundario no está operativo para la instrucción de BORRAR CANAL SECUNDARIO. Un canal secundario no está operativo para la instrucción de BORRAR CANAL SECUNDARIO cuando el canal secundario no se proporciona en el subsistema de canal, no tiene un número de dispositivo válido asignado o no está habilitado.

La instrucción de BORRAR CANAL SECUNDARIO puede encontrar las excepciones de programa descritas o enumeradas a continuación.

Cuando la función de conjunto de múltiples canales secundarios no está instalada, los bits 32 a 47 del registro general 1 deben contener 0001 hex; de lo contrario, se reconoce una excepción de operando.

10 Cuando está instalada la función de conjunto de múltiples canales secundarios, los bits 32 a 44 del registro general 1 deben contener ceros, los bits 45 a 46 deben contener un valor válido y el bit 47 debe contener el valor uno; de lo contrario, se reconoce una excepción de operando.

Código de situación resultante:

0 Función iniciada

15 1 -

2 -

3 No operativa

Excepciones del programa:

- Operando
- 20 • Operación privilegiada

### Función Borrar

25 A continuación de la ejecución de la instrucción de BORRAR CANAL SECUNDARIO, el subsistema de canal ejecuta la función de borrado. La ejecución de la función de borrado consiste en (1) realizar una operación de gestión de la ruta, (2) modificar los campos en el canal secundario, (3) emitir la señal de borrado al dispositivo asociado y (4) hacer que el canal secundario quede en estado pendiente, lo que indica la finalización de la función de borrado.

### Gestión de la ruta de la función de borrado

30 Se realiza una operación de gestión de la ruta como parte de la función de borrado para examinar las situaciones de la ruta de canal para el canal secundario asociado y para intentar elegir una ruta de canal disponible en la que se pueda emitir la señal de borrado al dispositivo asociado.

Las situaciones de la ruta de canal son examinadas en el siguiente orden:

1. Si el subsistema de canal se comunica activamente o intenta configurar una comunicación activa con el dispositivo que se va a señalar, se elige la ruta de canal que está en uso.
- 35 2. Si el subsistema de canal está en el proceso de aceptar una indicación de ya no ocupado (que no provocará el reconocimiento de una situación de interrupción) desde el dispositivo a ser señalado, y el canal secundario asociado no tiene lealtad a ninguna ruta de canal, se elige la ruta del canal que está en uso.
3. Si el canal secundario asociado tiene una lealtad dedicada para una ruta de canal, se elige esa ruta de canal.
- 40 4. Si el canal secundario asociado tiene una lealtad de trabajo para una o más rutas de canal, se elige una de esas rutas de canal.
5. Si el canal secundario asociado no tiene lealtad para ninguna ruta de canal, si se indica una ruta de canal utilizada por última vez, y si esa ruta de canal está disponible para su selección, se elige esa ruta de canal. Si esa ruta de canal no está disponible para su selección, no se elige ninguna ruta de canal o se elige una ruta de canal del conjunto de rutas de canal, si las hay, que estén disponibles para su selección (como si no se indicara la ruta del último canal utilizado).
- 45

6. Si el canal secundario asociado no tiene lealtad para ninguna ruta de canal, si no se indica la ruta del último canal utilizado, y si existen una o más rutas de canal que están disponibles para la selección, se elige una de esas rutas de canal.

5 Si no se aplica ninguna de las situaciones de ruta de canal enumeradas anteriormente, no se elige ninguna ruta de canal.

Para el artículo 4, para el artículo 5 en las situaciones especificadas, y para el artículo 6, el subsistema de canal elige una ruta de canal de entre un conjunto de rutas de canal. En estos casos, el subsistema de canal puede intentar elegir una ruta de canal, siempre que no se apliquen las siguientes situaciones:

1. Existe una situación de terminal – ruta de canal para la ruta de canal.

10 2. Para una ruta de canal paralela o ESCON: otro canal secundario tiene una lealtad activa para la ruta de canal.

Para una ruta de canal FICON: la ruta del canal se está utilizando actualmente para comunicarse activamente con el número máximo de canales secundarios que pueden tener comunicaciones activas simultáneas.

15 3. El dispositivo a ser señalado está conectado a una unidad de control de tipo 1, y el canal para otro dispositivo conectado a la misma unidad de control tiene una lealtad a la misma ruta de canal, a menos que la lealtad sea una lealtad de trabajo y el estado primario haya sido aceptado por ese canal secundario.

4. El dispositivo a ser señalado está conectado a una unidad de control de tipo 3, y el canal para otro dispositivo conectado a la misma unidad de control tiene una lealtad dedicada a la misma ruta de canal.

#### Modificación de la función de borrado del canal secundario

20 Las indicaciones de control de gestión de ruta en el canal secundario se modifican durante la ejecución de la función de borrado. Efectivamente, esta modificación se produce después del intento de elegir una ruta de canal, pero antes del intento de seleccionar el dispositivo para emitir la señal de borrado. Las indicaciones de control de gestión de ruta que se modifican son las siguientes:

1. El estado de las ocho rutas de canal posibles en el canal secundario está configurado a operativo para el canal secundario.

25 2. La indicación de la última ruta utilizada se restablece para indicar que no se ha utilizado la ruta del último canal.

3. Las situaciones de ruta no operativa, si las hay, se restablecen.

#### Señalización y finalización de la función de borrado

30 Después del intento de elegir una ruta de canal y la modificación de los campos de control de gestión de ruta, el subsistema de canal, si las situaciones lo permiten, intenta seleccionar el dispositivo para emitir la señal de borrado. Las situaciones asociadas con el canal secundario y la ruta de canal elegida, si las hay, afectan a (1) si se intenta emitir la señal de borrado y (2) si el intento de emitir la señal de borrado tiene éxito. Independientemente de estas situaciones, el canal secundario se configura posteriormente como estado pendiente, y la ejecución de la función de borrado se completa. Estas situaciones y su efecto en la función de borrado se describen a continuación:

35 No se realiza ningún intento para emitir la señal de borrado: el subsistema de canal no intenta emitir la señal de borrado al dispositivo si existe alguna de las siguientes situaciones:

1. No se eligió ninguna ruta de canal.

2. La ruta del canal elegido ya no está disponible para su selección.

3. Existe una situación de terminal – ruta de canal para la ruta de canal elegida.

40 4. Para las rutas de canal paralelo y ESCON: la ruta de canal elegida se está utilizando actualmente para comunicarse activamente con un dispositivo diferente. Para las rutas de canal FICON: la ruta de canal elegida se está utilizando actualmente para comunicarse activamente con el número máximo de dispositivos que pueden tener comunicaciones activas simultáneas.

45 5. El dispositivo a ser señalado está conectado a una unidad de control de tipo 1, y el canal para otro dispositivo conectado a la misma unidad de control tiene una lealtad a la misma ruta de canal, a menos que la lealtad sea una lealtad de trabajo y el estado primario haya sido aceptado por ese canal secundario.

6. El dispositivo a ser señalado está conectado a una unidad de control de tipo 3, y el canal para otro dispositivo conectado a la misma unidad de control tiene una lealtad dedicada a la misma ruta de canal.

Si se da alguna de las situaciones anteriores, el canal secundario permanece pendiente de borrado y se configura como estado pendiente, y la ejecución de la función de borrado se completa.

El intento de emitir la señal de borrado no tiene éxito: cuando el subsistema de canal intenta emitir la señal de borrado al dispositivo, es posible que el intento no tenga éxito debido a las siguientes situaciones:

- 5 1. La unidad de control o el dispositivo indica una situación de ocupado cuando el subsistema de canal intenta seleccionar el dispositivo para emitir la señal de borrado.
2. Se reconoce una situación de ruta no operativa cuando el subsistema de canal intenta seleccionar el dispositivo para emitir la señal de borrado.
3. Se produce una situación de error cuando el subsistema de canal intenta emitir la señal de borrado.

- 10 Si se da alguna de las situaciones anteriores y el subsistema de canal determina que el intento de emitir la señal de borrado no tuvo éxito o no puede determinar si el intento tuvo o no éxito, el canal secundario permanece pendiente de borrado y se pone en estado pendiente, y la ejecución de la función de borrado se completa.

El intento de emitir la señal de borrado tiene éxito: cuando el subsistema de canal determina que el intento de emitir la señal de borrado tuvo éxito, el canal secundario ya no está pendiente de borrado y se pone en estado pendiente, y la ejecución de la función de borrado se completa. Cuando el canal secundario pasa al estado pendiente, la operación de E/S, en su caso, con el dispositivo asociado ha sido finalizada.

- 15 Nota de programación: después de la ejecución de la función de borrado, cualquier estado distinto de cero, excepto el final de la unidad de control solo, que el dispositivo presenta al subsistema de canal es pasado al programa como estado de alerta no solicitado. El estado no solicitado que consiste en el final de la unidad de control solo o el estado cero no es presentado al programa.

#### MODIFICAR CANAL SECUNDARIO

La información contenida en el bloque de información de canal secundario (SCHIB) está situada en los campos modificables por programa en el canal secundario. Como resultado, el programa influye, para ese canal secundario, en ciertos aspectos del procesamiento de E/S con respecto a las funciones de borrado, detención, reanudación e inicio y ciertas funciones de soporte de E/S.

El registro general 1 contiene una palabra de identificación de subsistema (SID) que designa el canal secundario que se modificará de acuerdo con lo especificado por ciertos campos del SCHIB. La dirección del segundo operando es la dirección lógica del SCHIB y debe ser designada en un límite de palabra; de lo contrario, se reconoce una excepción de especificación.

- 30 Las operaciones de subsistema de canal que pueden verse afectadas debido a la ubicación de la información del SCHIB en el canal secundario son:

- Procesamiento de E/S (campo E)
- Procesamiento de interrupción (parámetro de interrupción y campo ISC)
- Gestión de la ruta (Campos D, LPM y POM)
- 35 • Supervisión y control de límite de dirección (campos de índice de bloque de medición, LM y MM)
- Control de formato de bloque de medición (campo F)
- Habilitación de modo de palabra de medición extendido (campo X)
- Función de detección simultánea (campo S)
- Dirección de bloque de medición (MBA – Measurement Block Address, en inglés)

- 40 Los bits 0, 1, 6 y 7 de la palabra 1, y los bits 0 a 28 de la palabra 6 del operando SCHIB deben ser ceros, y los bits 9 y 10 de la palabra 1 no deben ser ambos unos. Cuando está instalado el recurso de bloque de medición de E/S extendido y se especifica un bloque de medición de formato 1, los bits 26 a 31 de la palabra 11 deben estar especificados como ceros. Cuando no está instalado el recurso de bloque de medición de E/S extendido, el bit 29 de la palabra 6 debe ser especificado como cero; de lo contrario, se reconoce una excepción de operando. Cuando la función de palabra de medición de E/S extendida no está instalada, o está instalada pero no habilitada, el bit 30 de la palabra 6 debe ser especificado como cero; de lo contrario, se reconoce una excepción de operando. Los campos restantes del SCHIB se ignoran y no afectan el procesamiento de la instrucción de MODIFICAR CANAL SECUNDARIO.
- 45

El código de situación 0 se configura para indicar que la información del SCHIB se ha colocado en los campos modificables por el programa en el canal secundario, excepto por que, cuando el bit de número de dispositivo válido (V) en el canal secundario designado es cero, el código de situación se configura a 0 y la información del SCHIB no se coloca en los campos modificables por el programa.

## 5 Situaciones especiales

El código de situación 1 está configurado, y no se realiza ninguna otra acción, cuando el canal secundario está pendiente.

El código de situación 2 está configurado, y no se realiza ninguna otra acción, cuando una función de borrado, detención o inicio está en progreso en el canal secundario.

- 10 El código de situación 3 está configurado, y no se realiza ninguna otra acción, cuando el canal secundario no está operativo para MODIFICAR CANAL SECUNDARIO. Un canal secundario no está operativo para MODIFICAR CANAL SECUNDARIO cuando el canal secundario no está dispuesto en el subsistema de canal.

La instrucción de MODIFICAR CANAL SECUNDARIO puede encontrar las excepciones de programa que se describen a enumeran a continuación.

- 15 En la palabra 1 del SCHIB, los bits 0, 1, 6 y 7 deben ser ceros y, cuando está instalado el servicio de comprobación de límite de dirección, los bits 9 y 10 no deben ser ambos unos. En la palabra 6 del SCHIB, los bits 0 a 28 deben ser ceros. De lo contrario, se reconoce una excepción de operando.

- 20 Cuando está instalada la función de bloque de medición de E/S extendida y se especifica un bloque de medición de formato 1, los bits 26 a 31 de la palabra 11 deben ser especificados como ceros; de lo contrario, se reconoce una excepción de operando. Cuando la función de bloque de medición de E/S extendida no está instalada, el bit 29 de la palabra 6 debe ser especificado como cero; de lo contrario, se reconoce una excepción de operando. Cuando la función de palabra de medición de E/S extendida no está instalada, o está instalada pero no habilitada, el bit 30 de la palabra 6 debe ser especificado como cero; de lo contrario, se reconoce una excepción de operando.

- 25 Cuando la función de conjunto de múltiples canales secundarios no está instalada, los bits 32 a 47 del registro general 1 deben contener 0001 hex; de lo contrario, se reconoce una excepción de operando.

Cuando está instalada la función de conjunto de múltiples canales secundarios, los bits 32 a 44 del registro general 1 deben contener ceros, los bits 45 a 46 deben contener un valor válido y el bit 47 debe contener el valor uno; de lo contrario, se reconoce una excepción de operando.

- 30 El segundo operando debe ser designado en un límite de palabra; de lo contrario, se reconoce una excepción de especificación. La ejecución de la instrucción de MODIFICAR CANAL SECUNDARIO se suprime en todas las excepciones de direccionamiento y protección.

Código de situación resultante:

0 Función completada

1 Estado pendiente

- 35 2 Ocupado

3 No operativo

Excepciones del programa:

- Acceso (captación, operando 2)
- Operando
- 40 • Operación privilegiada
- Especificación

Notas de programación:

- 45 1. Si un dispositivo señala alerta de un error de E/S mientras el canal secundario asociado está inhabilitado, el subsistema de canal emite la señal de borrado al dispositivo y descarta la indicación de alerta de error de E/S sin generar una situación de interrupción de E/S.

2. Si un dispositivo presenta un estado no solicitado mientras el canal secundario asociado está deshabilitado, el



subsistema de canal descarta ese estado sin generar una situación de interrupción de E/S. Sin embargo, si el estado presentado contiene comprobación de unidad, el subsistema de canal emite la señal de borrado para el canal secundario asociado y no genera una situación de interrupción de E/S. Esto se debe tener en cuenta cuando el programa utiliza la instrucción de MODIFICAR CANAL SECUNDARIO para habilitar un canal secundario. Por ejemplo, el medio en el dispositivo asociado que estaba presente cuando el canal secundario se deshabilitó puede haber sido reemplazado y, por lo tanto, el programa debe verificar la integridad de ese medio.

3. Se recomienda que el programa inspeccione los contenidos del canal secundario mediante la subsiguiente emisión de la instrucción de ALMACENAR CANAL SECUNDARIO cuando la instrucción de MODIFICAR CANAL SECUNDARIO configura el código de situación 0. La utilización de la instrucción de ALMACENAR CANAL SECUNDARIO es un método para determinar si el canal secundario designado se cambió o no. Si no se inspecciona el canal secundario después de configurar el código de situación 0 mediante la instrucción de MODIFICAR CANAL SECUNDARIO, se pueden producir situaciones que el programa no espera que ocurran.

#### INICIAR CANAL SECUNDARIO

Se señala al subsistema de canal para que realice de manera asíncrona la función de inicio para el dispositivo asociado, y los parámetros de ejecución que están contenidos en el ORB designado se colocan en el canal secundario designado.

El registro general 1 contiene una palabra de identificación de subsistema que designa el canal secundario a iniciar. La dirección del segundo operando es la dirección lógica del ORB y debe ser designada en un límite de palabra; de lo contrario, se reconoce una excepción de especificación.

Los parámetros de ejecución contenidos en el ORB se colocan en el canal secundario.

Cuando se ejecuta la instrucción de INICIAR CANAL SECUNDARIO, el canal secundario tiene un estado pendiente con solo un estado secundario, y el bit de formato de palabra de estado extendido (L) es cero, la situación de estado pendiente se descarta en el canal secundario.

El canal secundario se pone como pendiente de inicio, y la función de inicio se indica en el canal secundario. Si el segundo operando designa un ORB en modo de comando, el canal secundario permanece en modo de comando. Si el segundo operando designa un ORB en modo de transporte, el canal secundario entra en modo de transporte. Cuando el canal secundario entra en modo de transporte, el LPUM se configura en cero si no existe una lealtad dedicada previa; de lo contrario no se modifica el LPUM.

De manera lógica, antes de configurar el código de situación 0, se borran las situaciones de ruta no operativa en el canal secundario, si las hubiera.

El subsistema de canal está señalizado para realizar de manera asíncrona la función de inicio. La función de inicio se resume a continuación en la sección "Funciones asociadas" y se describe en detalle más adelante.

El código de situación 0 se establece para indicar que se han realizado las acciones descritas anteriormente.

#### Funciones asociadas

Posteriormente a la ejecución de la instrucción de INICIAR CANAL SECUNDARIO, el subsistema del canal ejecuta de manera asíncrona la función de inicio.

Los contenidos del ORB, aparte de los campos que deben contener todos los ceros, se verifica para comprobar su validez. En algunos modelos, los campos del ORB que deben contener ceros se verifican de manera asíncrona, en lugar de durante la ejecución de la instrucción. Cuando se detectan campos no válidos de manera asíncrona, el canal secundario pasa a estar en estado pendiente con estado primario, secundario y de alerta y con el código de situación diferida 1 y la comprobación del programa indicada. En esta situación, la operación de E/S o la cadena de operaciones de E/S no se inicia en el dispositivo, y la situación se indica mediante el bit de pendiente de inicio que se almacena como uno cuando la SCSW es borrada mediante la ejecución de la instrucción de PROBAR CANAL SECUNDARIO.

En algunos modelos, la disponibilidad de la ruta se prueba de manera asíncrona, en lugar de durante la ejecución de la instrucción. Cuando no hay una ruta de canal disponible para la selección, el canal secundario pasa a estar en estado pendiente con estado primario y secundario y con el código de situación diferida 3 indicado. La operación de E/S o la cadena de operaciones de E/S no se inicia en el dispositivo, y esta situación se indica cuando el bit pendiente de inicio se almacena como uno cuando la SCSW es borrada mediante la ejecución de la instrucción de PROBAR CANAL SECUNDARIO.

Si las situaciones lo permiten, se elige una ruta de canal y se inicia la ejecución de la programación de canal designada en el ORB.

### Situaciones especiales

El código de situación 1 está configurado, y no se realiza ninguna otra acción, cuando el canal secundario está en estado pendiente cuando se ejecuta la instrucción de INICIAR CANAL SECUNDARIO. En algunos modelos, el código de situación 1 no está configurado cuando el canal secundario está en estado pendiente con solo estado secundario; por el contrario, se descarta la situación de estado pendiente.

El código de situación 2 está configurado, y no se realiza ninguna otra acción, cuando una función de inicio, detención o borrado está actualmente en curso en el canal secundario.

El código de situación 3 está configurado, y no se realiza ninguna otra acción cuando el canal secundario no está operativo para la instrucción de INICIAR CANAL SECUNDARIO. Un canal secundario no está operativo para la instrucción de INICIAR CANAL SECUNDARIO si el canal secundario no está dispuesto en el subsistema de canal, no tiene un número de dispositivo válido asociado o no está habilitado.

Un canal secundario tampoco está operativo para la instrucción de INICIAR CANAL SECUNDARIO, en algunos modelos, cuando no hay una ruta de canal disponible para su selección. En estos modelos, la falta de una ruta de canal disponible se detecta como parte de la ejecución de la instrucción de INICIAR CANAL SECUNDARIO. En otros modelos, la disponibilidad de la ruta de canal solo se prueba como parte de la función de inicio asíncrono.

La instrucción de INICIAR CANAL SECUNDARIO puede encontrar las excepciones del programa que se describen o se enumeran a continuación.

En la palabra 1 del ORB en modo de comando, los bits 26 a 30 deben ser ceros, y en la palabra 2 del ORB en modo de comando, el bit 0 debe ser cero. De lo contrario, en algunos modelos, se reconoce una excepción de operando. En otros modelos, se genera una situación de interrupción de E/S, que indica la comprobación del programa, como parte de la función de inicio asíncrono.

La instrucción de INICIAR CANAL SECUNDARIO también puede encontrar las excepciones de programa que se enumeran a continuación.

Cuando la función de conjunto de múltiples canales secundarios no está instalada, los bits 32 a 47 del registro general 1 deben contener 0001 hex; de lo contrario, se reconoce una excepción de operando.

Cuando está instalada la función de conjunto de múltiples canales secundarios, los bits 32 a 44 del registro general 1 deben contener ceros, los bits 45 a 46 deben contener un valor válido y el bit 47 debe contener el valor uno; de lo contrario, se reconoce una excepción de operando.

El segundo operando debe ser designado en un límite de palabra; de lo contrario, se reconoce una excepción de especificación. La ejecución de la instrucción de INICIAR CANAL SECUNDARIO se suprime en todas las excepciones de direccionamiento y protección.

Código de situación resultante:

0 Función iniciada

1 Estado pendiente

2 Ocupado

3 No operativo

Excepciones del programa:

- Acceso (búsqueda, operando 2)
- Operando
- Operación privilegiada
- Especificación

### Función de inicio y función de reanudación

Las funciones de inicio y de reanudación inician las operaciones de E/S tal como se describe a continuación. La función de inicio se aplica a los canales secundarios que operan en modo de comando o en modo de transporte. La función de reanudación se aplica solo a los canales secundarios que operan en modo de comando.

Posteriormente a la ejecución de las instrucciones INICIAR CANAL SECUNDARIO y REANUDAR CANAL

SECUNDARIO, el subsistema de canal realiza las funciones de inicio y reanudación, respectivamente, para iniciar una operación de E/S con el dispositivo asociado. La ejecución de una función de inicio o reanudación consiste en: (1) realizar una operación de gestión de ruta, (2) realizar una operación de E/S o una cadena de operaciones de E/S con el dispositivo asociado, y (3) hacer que el canal secundario pase a estado pendiente, lo que indica la finalización de la función de inicio. La función de inicio inicia la ejecución de una programación de canal que está designado en el ORB, que, a su vez, es designado como el operando de la instrucción de INICIAR CANAL SECUNDARIO, en contraste con la función de reanudación, que inicia la ejecución de una programación de canal suspendida, si existe, que empieza en la CCW que provocó la suspensión; de lo contrario, la función de reanudación se realiza como si fuera una función de inicio.

#### 10 Gestión de la ruta de la función de inicio y de la función de reanudación

El subsistema de canal realiza una operación de gestión de la ruta durante la ejecución de una función de inicio o de reanudación, para elegir una ruta de canal disponible que pueda ser utilizada para la selección del dispositivo para iniciar una operación de E/S con ese dispositivo. Las acciones tomadas son las siguientes:

15 1. Si el canal secundario está actualmente pendiente de inicio y el dispositivo está activo, la función de inicio sigue estando pendiente en el canal secundario hasta que se acepta el estado secundario para la función de inicio anterior del dispositivo asociado y el canal secundario se pone pendiente de inicio solo. Cuando el estado es aceptado y no describe una situación de interrupción de alerta, el canal secundario no pasa al estado pendiente y, posteriormente, se inicia la ejecución de la función de inicio pendiente. Si el estado describe una situación de interrupción de alerta, el canal secundario pasa a estado pendiente con estado secundario y de alerta, la función de inicio pendiente no se inicia, se configura el código de situación diferida 1 y el bit de inicio pendiente sigue siendo uno. Si el canal secundario está actualmente pendiente de inicio solo, la ejecución de la función de inicio se inicia tal como se describe a continuación.

25 2. Si existe una lealtad dedicada en el canal secundario para una ruta de canal, el subsistema de canal elige esa ruta para la selección del dispositivo. Si se encuentra una situación de ocupado al intentar seleccionar el dispositivo y existe una lealtad dedicada en el canal secundario, la función de inicio sigue estando pendiente hasta que la indicación interna de ocupado se restablezca para esa ruta de canal. Cuando se restablece la indicación interna de ocupado, la ejecución de la función de inicio pendiente se inicia en esa ruta de canal.

3. Si no hay una ruta de canal disponible para su selección y no existe una lealtad dedicada en el canal secundario para una ruta de canal, no se elige una ruta de canal.

30 4. Si se han intentado todas las rutas de canal que están disponibles para su selección y se está utilizando una o más de ellas para comunicarse activamente con otros dispositivos, o, alternativamente, si el subsistema de canal ha encontrado una unidad de control ocupada o un dispositivo en situación de ocupado en una o más de esas rutas de canal, o una combinación de esas situaciones en una o más de esas rutas de canal, la función de inicio sigue en estado pendiente en el canal secundario hasta que una ruta de canal, unidad de control o dispositivo, según corresponda, para al estado disponible.

40 5. Si (1) la función de inicio se debe iniciar en una ruta de canal con un dispositivo conectado a una unidad de control de tipo 1 y (2) no hay otro dispositivo conectado a la misma unidad de control cuyo canal secundario tiene una lealtad dedicada a la misma ruta de canal o una lealtad de trabajo a la misma ruta de canal en la que no se ha recibido el estado primario para ese canal secundario, se elige esa ruta de canal si está disponible para su selección; de lo contrario, esa ruta de canal no se elige. Sin embargo, si hay otra ruta de canal hasta el dispositivo disponible para su selección y no existe ninguna lealtad tal como se ha descrito anteriormente, se elige esa ruta de canal. Si no hay otra ruta de canal disponible para su selección, la función de inicio o de reanudación, según corresponda, seguirá en estado pendiente hasta que esté disponible una ruta de canal.

45 6. Si el dispositivo está conectado a una unidad de control de tipo 3, y si por lo menos otro dispositivo está conectado a la misma unidad de control cuyo canal secundario tiene una lealtad dedicada a la misma ruta de canal, se puede elegir otra ruta de canal que se encuentre disponible otra ruta de canal que esté disponible para su selección, o la función de inicio sigue en estado pendiente hasta que se borre la lealtad dedicada para el otro dispositivo.

50 7. Si se ha elegido una ruta de canal y se recibe una indicación de ocupado durante la selección del dispositivo para iniciar la ejecución del primer comando de una programación de canal de CCW pendiente o para transportar el TCCB de una programación de canal de TCW pendiente, la ruta de canal a través de la cual se recibe la indicación de ocupado no se utiliza de nuevo para ese dispositivo o unidad de control (dependiendo de la indicación de dispositivo ocupado o de unidad de control ocupada recibida) hasta que se reinicie la indicación interna de ocupado.

55 8. Si, durante un intento de seleccionar el dispositivo para iniciar la ejecución del primer comando especificado para el inicio o implícito para la función de reanudación para una programación de canal de CCW, o para iniciar el transporte del TCCB para la función de inicio para una programación de canal de TCW, (tal como se ha descrito en

la acción 7 anterior), el subsistema de canal recibe una indicación de ocupado, realiza una de las siguientes acciones:

- a. Si se especifica que el dispositivo funciona en modo de múltiples rutas y la indicación de ocupado recibida es dispositivo ocupado, entonces la función de inicio o de reanudación sigue en estado pendiente hasta que se reinicie la indicación interna de ocupado.
  - b. Si se especifica que el dispositivo funciona en modo de múltiples rutas y la indicación de ocupado recibida es unidad de control ocupada, o si se especifica que el dispositivo funciona en modo de ruta única, el subsistema de canal intenta seleccionar el dispositivo seleccionando una ruta de canal alternativa que esté disponible para su selección, y continúa la operación de gestión de ruta hasta que se inicie la función de inicio o reanudación, o se haya intentado seleccionar el dispositivo en todas las rutas de canal que estén disponibles para su selección. Si la función de inicio o reanudación no ha sido iniciada por el subsistema de canal después de que se hayan elegido todas las rutas de canales disponibles para la selección, la función de inicio o reanudación seguirá en estado pendiente hasta que se reinicie la indicación interna de ocupado.
  - c. Si el canal secundario tiene una lealtad dedicada, entonces se aplica la acción 2 en las páginas 15 a 20.
9. Cuando, durante el intento de selección para transferir el primer comando para una programación de canal de CCW, o para transportar el TCCB para una programación de canal de TCW, el dispositivo parece no estar operativo y la ruta del canal correspondiente está operativa para el canal secundario, se reconoce una situación de ruta no operativa, y el estado de la ruta del canal cambia en el canal secundario de operativa para el canal secundario a no operativa para el canal secundario. Las situaciones de ruta no operativa en el canal secundario, si las hubiera, se conservan hasta que el siguiente canal secundario pase al estado pendiente de borrado, pendiente de inicio o pendiente de reanudación (si el canal secundario fue suspendido), momento en el cual se borran las situaciones de ruta no operativa. Sin embargo, si la ruta del canal correspondiente no está operativa para el canal secundario, no se reconoce una situación de ruta no operativa. Cuando el dispositivo parece no estar operativo durante el intento de selección para transferir el primer comando o TCCB en una ruta de canal que está disponible para su selección, ocurre una de las siguientes acciones:
- a. Si existe una lealtad dedicada para esa ruta de canal, entonces es la única ruta de canal que está disponible para su selección; por lo tanto, los intentos adicionales de iniciar la función de inicio o reanudación se abandonan y se reconoce una situación de interrupción.
  - b. Si no existe una lealtad dedicada y hay rutas de canal alternativas disponibles para su selección que no se han probado, se elige una de esas rutas para intentar la selección del dispositivo y transferir el primer comando para una programación de canal de CCW, o el TCCB para una programación de canal de TCW.
  - c. Si no existe ninguna lealtad dedicada, no se pueden seleccionar rutas de canal alternativas que no se hayan intentado, y el dispositivo parece estar operativo por lo menos en una de las rutas de canal que se intentaron, la función de inicio o reanudación sigue en estado pendiente en el canal secundario hasta que la ruta del canal, una unidad de control o el dispositivo, según corresponda, esté disponible.
  - d. Si no existe ninguna lealtad dedicada, no se pueden seleccionar rutas de canal alternativas que no se hayan intentado, y el dispositivo no parece estar operativo en todas las rutas de canal que se intentaron, se abandonan otros intentos de iniciar la función de inicio o de reanudación, y se reconoce una situación de interrupción.
10. Cuando el canal secundario está activo y se debe iniciar una operación de E/S con un dispositivo, todas las selecciones de dispositivos se realizan de acuerdo con la indicación de LPUM si el modo de múltiples rutas no está especificado en el canal secundario. Por ejemplo, si se especifica el encadenamiento de comandos para una programación de canal de CCW, el subsistema de canal transfiere el primero y todos los comandos posteriores que describen una cadena de operaciones de E/S a través de la misma ruta de canal.

#### Ejecución de las operaciones de E/S

- Después de elegir una ruta de canal, el subsistema de canal, si las situaciones lo permiten, inicia la ejecución de una operación de E/S con el dispositivo asociado. La ejecución de operaciones de E/S adicionales puede seguir al inicio y a la ejecución de la primera operación de E/S.
- Para canales secundarios que operan en modo de comando, el subsistema de canal puede ejecutar siete tipos de comandos: escribir, leer, leer hacia atrás, controlar, detectar, detectar ID y transferir en el canal. Cada comando, excepto la transferencia en el canal, inicia una operación de E/S correspondiente. Excepto por los períodos en los que la ejecución de la programación del canal se suspende en el canal secundario, el canal secundario se activa desde la aceptación del primer comando hasta que la situación de interrupción primaria se reconoce en el canal secundario. Si la situación de interrupción primaria se reconoce antes de la aceptación del primer comando, el canal secundario no se activa. Normalmente, la situación de interrupción primaria es causada por la señal de fin de canal o, en el caso de encadenamiento de comando, la señal de fin de canal para la última CCW de la cadena. El

dispositivo está activo hasta que se reconoce la situación de interrupción secundaria en el canal secundario. Normalmente, la situación de interrupción secundaria está provocada por la señal de finalización del dispositivo o, en el caso de encadenamiento de comandos, la señal de finalización del dispositivo para la última CCW de la cadena.

- 5 Para canales secundarios que operan en modo de transporte, el subsistema de canal puede transportar seis tipos de comandos para su ejecución: escritura, lectura, control, detección, detección de ID e interrogación. Cada comando inicia una operación en el dispositivo correspondiente. Cuando uno o más comandos son transportados al dispositivo de E/S en un TCCB, el canal secundario sigue en estado pendiente de inicio hasta que se presente el estado primario.

10 Notas de programación:

En el modo de ruta única, todas las transferencias de comandos, datos y estado para las operaciones de E/S o cadena de operaciones de E/S se producen en la ruta del canal a través de la cual se transfirió el primer comando al dispositivo.

- 15 Cuando el dispositivo tiene instalada la función de reconexión dinámica, se puede realizar una operación de E/S o una cadena de operaciones de E/S en el modo de múltiples rutas. Para operar en el modo de múltiples rutas, la instrucción de MODIFICAR CANAL SECUNDARIO debe haberse ejecutado previamente para el canal secundario con el bit 13 de la palabra 1 del SCHIB configurado como uno. Además, el dispositivo debe estar configurado para el modo de múltiples rutas mediante la ejecución de ciertos comandos dependientes del modelo apropiados para ese tipo de dispositivo. Los procedimientos generales para manejar las operaciones en modo de múltiples rutas son los siguientes:

1. Configuración

- 25 a. El dispositivo debe ejecutar con éxito un tipo de comando de configurar modo de múltiples rutas en cada ruta de canal que va a formar parte del grupo de múltiples rutas que se está configurando, de lo contrario, el modo de operación de múltiples rutas puede dar resultados impredecibles en el canal secundario. Si, por alguna razón, una o más rutas de canales físicamente disponibles para el dispositivo no están incluidas en el grupo de múltiples rutas, estas rutas de canales no deben estar disponibles para su selección mientras el canal secundario está funcionando en el modo de múltiples rutas. Una ruta de canal puede no estar disponible para su selección al tener el bit de LPM correspondiente puesto a cero en el SCHIB antes de la ejecución de la instrucción de MODIFICAR CANAL SECUNDARIO o en el ORB antes de la ejecución de la instrucción de INICIAR CANAL SECUNDARIO.
- 30 b. Cuando un tipo de comando configurar modo de múltiples rutas es transferido a un dispositivo, solo una única ruta de canal debe estar disponible de forma lógica para evitar una selección de ruta de canal alternativa para la ejecución de esa función de inicio; de lo contrario, el subsistema de canal puede detectar las situaciones de ocupado del dispositivo en más de una ruta de canal, lo que puede causar resultados impredecibles para las siguientes operaciones en el modo de múltiples rutas. Este tipo de procedimiento de configuración debe ser
- 35 utilizado siempre que se cambie la pertenencia a un grupo de múltiples rutas.

2. Salida del modo de múltiples rutas

Para abandonar el modo de múltiples rutas y continuar el procesamiento en el modo de ruta única, se puede utilizar cualquiera de los dos procedimientos siguientes:

- 40 a. Se puede ejecutar un tipo de comando de dismantelar modo de múltiples rutas para cualquier ruta de canal del grupo de múltiples rutas. Este comando debe ir seguido de (1) la ejecución de la instrucción de MODIFICAR CANAL SECUNDARIO con el bit 13 de la palabra 1 del SCHIB especificado como cero, o (2) la especificación de solo una ruta de un solo canal como está disponible de manera lógica en el LPM. No se debe ejecutar una función de inicio en un canal secundario que opera en el modo de múltiples rutas con múltiples rutas de canales disponibles para su selección mientras el dispositivo está funcionando en modo de ruta única; de lo contrario,
- 45 pueden producirse resultados impredecibles en el canal secundario para esa función o en las siguientes funciones de inicio.
- b. Se ejecuta un tipo de comando de abandonar el modo de múltiples rutas en cada ruta de canal del grupo de múltiples rutas (lo inverso de la configuración). Este comando debe ir seguido de (1) la ejecución de la instrucción de MODIFICAR CANAL SECUNDARIO con el bit 13 de la palabra 1 del SCHIB especificado como cero, o (2) la
- 50 especificación de una sola ruta de canal como disponible de manera lógica en el LPM. No se puede ejecutar ninguna función de inicio en un canal secundario que opera en el modo de múltiples rutas con múltiples rutas de canales disponibles para su selección mientras el dispositivo está operando en modo de ruta única; de lo contrario, se pueden producir resultados impredecibles en el canal secundario para esa o las siguientes funciones de inicio.

Bloqueo de datos

Los datos registrados por un dispositivo de E/S están divididos en bloques. La longitud de un bloque depende del dispositivo; por ejemplo, un bloque puede ser una tarjeta, una línea de impresión o la información registrada entre dos huecos consecutivos en una cinta magnética.

- 5 La cantidad máxima de información que se puede transferir en una operación de E/S es un bloque. Una operación de E/S termina cuando el área de almacenamiento principal asociada se agota o se alcanza el final del bloque, lo que ocurra primero. Para algunas operaciones, tales como escribir en una unidad de cinta magnética o en una estación de consulta, los bloques no están definidos, y la cantidad de información transferida está controlada solo por el programa.

#### Bloque de solicitud de operación

- 10 El bloque de solicitud de operación (ORB) es el operando de la instrucción de INICIAR CANAL SECUNDARIO. El ORB especifica los parámetros que se utilizarán para controlar esa función de inicio en particular. Estos parámetros incluyen el parámetro de interrupción, la clave de canal secundario, la dirección de la primera CCW o la TCW, los bits de control de operación, los números de control de prioridad y una especificación de la disponibilidad lógica de las rutas del canal al dispositivo designado.
- 15 Los contenidos del ORB están colocados en el canal secundario designado durante la ejecución de la instrucción de INICIAR CANAL SECUNDARIO, antes de la configuración del código de situación 0. Si la ejecución da lugar a un código de situación distinto de cero, el contenido del ORB no se coloca en el canal secundario designado.

- 20 Los dos bits más a la derecha de la dirección ORB deben ser ceros, colocando el ORB en un límite de palabra; de lo contrario, se reconoce una excepción de especificación. Cuando está instalada la función de extensiones de canal de fibra (FCX), el control del tipo de programación de canal (B) (palabra 1, bit 13) del ORB especifica el tipo de programación de canal designado por el ORB. Cuando B es cero, el ORB designa una programación de canal de CCW. Cuando la B es uno, el ORB designa una programación de canal de TCW. Solo los dispositivos de E/S que soportan FCX reconocen los programas de canal de TCW.

- 25 Si los contenidos de un ORB que designa una programación de canal de CCW se colocan en el canal secundario designado durante la ejecución de la instrucción de INICIAR CANAL SECUNDARIO, el canal secundario sigue en el modo de comando. Por lo tanto, dicho ORB también se conoce como ORB en modo de comando. Si los contenidos de un ORB que designa una programación de canal de TCW se colocan en el canal secundario designado durante la ejecución de la instrucción de INICIAR CANAL SECUNDARIO, el canal secundario entra en el modo de transporte. Por lo tanto, dicho ORB también se conoce como un ORB en modo de transporte.

30

#### INTERRUPCIÓN DE PENDIENTE DE PRUEBA

El código de interrupción de E/S para una interrupción de E/S pendiente en un canal secundario se almacena en la ubicación designada por la dirección del segundo operando, y la solicitud de interrupción de E/S pendiente se borra.

- 35 La dirección del segundo operando, cuando no es cero, es la dirección lógica de la ubicación en la que se almacenará el código de interrupción de E/S de dos palabras, que consta de las palabras 0 y 1. La dirección del segundo operando debe estar designada en un límite de palabra; de lo contrario, se reconoce una excepción de especificación.

- 40 Si la dirección del segundo operando es cero, el código de interrupción de E/S de tres palabras, que consta de las palabras 0 a 2, se almacena en las ubicaciones reales 184 a 195. En este caso, la protección de baja dirección y la protección controlada mediante clave no se aplican.

- 45 En el modo de registro de acceso cuando la dirección del segundo operando es cero, no se puede predecir si se produce la traducción del registro de acceso para el registro de acceso B2. Si se produce la traducción, el elemento de control de espacio de direcciones resultante no se utiliza; es decir, el código de interrupción aún se almacena en las ubicaciones reales 184 a 195.

- 50 Se aceptan solicitudes de interrupción de E/S pendientes solo para aquellas subclases de interrupción de E/S permitidas por la máscara de subclase de E/S de interrupción en el registro de control 6 de la CPU que ejecuta la instrucción. Si no existen solicitudes de interrupción de E/S permitidas por el registro de control 6, el código de interrupción de E/S no se almacena, la ubicación del segundo operando no se modifica y se configura el código de situación 0.

Si se acepta una solicitud de interrupción de E/S pendiente, se almacena el código de interrupción de E/S, la solicitud de interrupción de E/S pendiente se borra y se configura el código de situación 1. El código de interrupción de E/S que se almacena es el mismo que se almacenaría si hubiera ocurrido una interrupción de E/S. Sin embargo, las PSW no se intercambian como cuando se produce una interrupción de E/S, la ejecución de la instrucción se

define de la siguiente manera:

Palabra de identificación de subsistema (SID):

Los bits 32 a 63 del SID se colocan en la palabra 0.

5 Parámetro de interrupción: La palabra 1 contiene un parámetro de cuatro bytes que fue especificado por el programa y pasado al canal secundario en la palabra 0 del ORB o PMCW. Cuando un dispositivo presenta un estado de alerta y el parámetro de interrupción no fue pasado previamente al canal secundario mediante la ejecución de la instrucción de INICIAR CANAL SECUNDARIO O MODIFICAR CANAL SECUNDARIO, este campo contiene ceros.

10 Palabra de identificación de interrupción: la palabra 2, cuando está almacenada, contiene la palabra de identificación de interrupción, que identifica aún más la fuente de la interrupción de E/S. La palabra 2 se almacena solo cuando la dirección del segundo operando es cero.

La palabra de identificación de interrupción se define de la siguiente manera:

15 Un bit (A): El bit 0 de la palabra de identificación de interrupción especifica el tipo de solicitud de interrupción de E/S pendiente que fue borrado. Cuando el bit 0 es cero, la solicitud de interrupción de E/S fue asociada con un canal secundario.

Subclase de interrupción de E/S (ISC): Las posiciones de bits 2 a 4 de la palabra de identificación de interrupción contienen un entero binario sin signo, en el rango de 0 a 7, que especifica la subclase de interrupción de E/S asociada con el canal secundario para el cual la solicitud de interrupción de E/S pendiente fue borrada. Las restantes posiciones de bit se reservan y almacenan como ceros.

## 20 Situaciones especiales

La instrucción de INTERRUPCIÓN DE PENDIENTE DE PRUEBA puede encontrar las excepciones del programa que se describen o se enumeran a continuación.

El segundo operando debe ser designado en un límite de palabra; de lo contrario, se reconoce una excepción de especificación.

25 La ejecución de la instrucción de INTERRUPCIÓN DE PENDIENTE DE PRUEBA se suprime en todas las excepciones de direccionamiento y protección.

Código de situación resultante:

0 Código de interrupción no almacenado

1 Código de interrupción almacenado

30 2 --

3 --

Excepciones del programa:

- Acceso (almacenar, operando 2, dirección de segundo operador distinta de cero solo)
- Operación privilegiada
- 35 • Especificación

Notas de programación:

40 1. INTERRUPCIÓN DE PENDIENTE DE PRUEBA solo se debe ejecutar con una dirección de segundo operando de cero cuando las interrupciones de E/S se ocultan de otra manera. El código de interrupción de E/S almacenado por la instrucción puede perderse si se produce una interrupción de E/S. El código de interrupción de E/S que identifica la fuente de una interrupción de E/S tomada después de la INTERRUPCIÓN DE PENDIENTE DE PRUEBA también se almacena en las ubicaciones reales 184 a 195, reemplazando un código de interrupción de E/S que fue almacenado por la instrucción.

45 2. En el modo de registro de acceso cuando la dirección del segundo operando es cero, se reconoce una excepción de acceso si se produce la traducción del registro de acceso y el registro de acceso es erróneo. Esta excepción se puede evitar haciendo que el campo B2 sea cero o colocando 00000000 hex, 00000001 hex, o cualquier otro contenido válido en el registro de acceso.

## ALMACENAR CANAL SECUNDARIO

La información de control y estado del canal secundario designado se almacena en el SCHIB designado.

El registro general 1 contiene una palabra de identificación de subsistema que designa el canal secundario para el cual se almacenará la información. La dirección del segundo operando es la dirección lógica del SCHIB y se debe designar en un límite de palabra; de lo contrario, se reconoce una excepción de especificación.

Cuando la función de bloque de medición de E/S extendida no está instalada, la información que se almacena en el SCHIB consiste en una palabra de control de gestión de ruta, una SCSW y tres palabras de información dependientes del modelo. Cuando la función de bloque de medición de E/S extendida está instalada, la información que se almacena en el SCHIB consiste en una palabra de control de gestión de ruta, una SCSW, el campo de dirección de bloque de medición y una palabra del modelo dependiente de la información.

La ejecución de la instrucción de ALMACENAR CANAL SECUNDARIO no modifica ninguna información en el canal secundario.

El código de situación 0 se configura para indicar que la información de control y de estado para el canal secundario designado se ha almacenado en el SCHIB. Cuando la ejecución de la instrucción de ALMACENAR CANAL SECUNDARIO da como resultado la configuración del código de situación 0, la información en el SCHIB indica un estado coherente del canal secundario.

### Situaciones especiales

El *código de situación 3* está configurado, y no se realiza ninguna otra acción, cuando el canal secundario designado no está operativo para la instrucción de ALMACENAR CANAL SECUNDARIO. Un canal secundario no está operativo para la instrucción de ALMACENAR CANAL SECUNDARIO si el canal secundario no está dispuesto en el subsistema de canal.

La instrucción de ALMACENAR CANAL SECUNDARIO puede encontrar las excepciones de programa descritas o enumeradas a continuación.

Cuando la función de conjunto de múltiples canales secundarios no está instalada, los bits 32 a 47 del registro general 1 deben contener 0001 hex; de lo contrario, se reconoce una excepción de operando.

Cuando está instalada la función de conjunto de múltiples canales secundarios, los bits 32 a 44 del registro general 1 deben contener ceros, los bits 45 a 46 deben contener un valor válido, y el bit 47 debe contener el valor uno; de lo contrario, se reconoce una excepción de operando.

El segundo operando debe ser designado en un límite de palabra; de lo contrario, se reconoce una excepción de especificación.

Código de situación resultante:

0 SCHIB almacenado

1 --

2 --

3 No operativo

Excepciones del programa:

- Acceso (almacenar, operando 2)
- Operando
- Operación privilegiada
- Especificación

Notas de programación:

1. El estado del dispositivo que está almacenado en la SCSW puede incluir indicaciones de dispositivo ocupado, unidad de control ocupada o fin de unidad de control.

2. La información que se almacena en el SCHIB se obtiene del canal secundario. La instrucción de ALMACENAR CANAL SECUNDARIO no hace que el subsistema de canal interroge al dispositivo direccionado.



3. La instrucción de ALMACENAR CANAL SECUNDARIO se puede ejecutar en cualquier momento para muestrear las situaciones existentes en el canal secundario, sin que se borren las situaciones de estado pendiente.

4. Se debe evitar la ejecución repetida de la instrucción de PROBAR CANAL SECUNDARIO sin un retardo intermedio (por ejemplo, para determinar cuándo cambia un estado de canal secundario) porque los accesos repetidos del canal secundario por parte de la CPU pueden retrasar o impedir el acceso del canal secundario por parte de un subsistema canal para actualizar el canal secundario.

#### PROBAR CANAL SECUNDARIO

La información de control y de estado del canal secundario se almacena en el IRB designado.

El registro general 1 contiene una palabra de identificación de subsistema que designa el canal para el cual se almacenará la información. La dirección del segundo operando es la dirección lógica del IRB y debe ser designada en un límite de palabra; de lo contrario, se reconoce una excepción de especificación.

La información que se almacena en el IRB consiste en una SCSW, una palabra de estado extendido y una palabra de control extendido.

Si el canal secundario está en estado pendiente, el bit en estado pendiente del campo de control de estado se almacena como uno. El hecho de que el canal secundario esté o no pendiente tiene un efecto en las funciones que se realizan cuando se ejecuta la instrucción de PROBAR CANAL SECUNDARIO.

Cuando el canal secundario está en estado pendiente y se ejecuta la instrucción de PROBAR CANAL SECUNDARIO, la información, tal como se ha descrito anteriormente, se almacena en el IRB, seguido de la eliminación de ciertas situaciones e indicaciones que existen en el canal secundario. Si el canal secundario está en modo de transporte, la eliminación de estas situaciones, específicamente la función de inicio, coloca al canal secundario en modo de comando. Si una solicitud de interrupción de E/S está pendiente para el canal secundario, se borra la solicitud. El código de situación 0 se configura para indicar que se han realizado estas acciones.

Cuando el canal secundario no está en estado pendiente y se ejecuta la instrucción de PROBAR CANAL SECUNDARIO, la información se almacena en el IRB y no se borran las situaciones ni las indicaciones. El código de situación 1 se configura para indicar que se han realizado estas acciones.

#### Situaciones especiales

El código de situación 3 se configura, y no se realiza ninguna otra acción, cuando el canal secundario no está operativo para la instrucción de PROBAR CANAL SECUNDARIO. Un canal secundario no está operativo para la instrucción de PROBAR CANAL SECUNDARIO si no se proporciona el canal secundario, no tiene asociado un número de dispositivo válido o no está habilitado.

La instrucción de PROBAR CANAL SECUNDARIO puede encontrar las excepciones de programa que se describen o enumeran a continuación.

Cuando la función de conjunto de múltiples canales secundarios no está instalada, los bits 32 a 47 del registro general 1 deben contener 0001 hex; de lo contrario, se reconoce una excepción de operando.

Cuando la función de conjunto de múltiples canales secundarios está instalada, los bits 32 a 44 del registro general 1 deben contener ceros, los bits 45 a 46 deben contener un valor válido y el bit 47 debe contener el valor uno; de lo contrario, se reconoce una excepción de operando.

El segundo operando debe ser designado en un límite de palabra; de lo contrario, se reconoce una excepción de especificación.

Cuando la ejecución de la instrucción de PROBAR CANAL SECUNDARIO termina en las excepciones de direccionamiento y protección, el estado del canal secundario no cambia.

#### Código de situación resultante:

0 IRB almacenado; canal secundario en estado pendiente

1 IRB almacenado; canal secundario en estado no pendiente

2 --

3 no operativo

#### Excepciones del programa:

- Acceso (almacenar, operando 2)
- Operando
- Operación con privilegios
- Especificación

5 Notas de programación:

1. El estado del dispositivo que se almacena en la SCSW puede incluir indicaciones de dispositivo ocupado, unidad de control ocupada o fin de unidad de control.

2. La información que se almacena en el IRB se obtiene del canal secundario. La instrucción de PROBAR CANAL SECUNDARIO no hace que el subsistema de canal interroge el dispositivo direccionado.

10 3. Cuando se produce una interrupción de E/S, es el resultado de una situación de estado pendiente en el canal secundario y, normalmente, se ejecuta la instrucción de PROBAR CANAL SECUNDARIO para borrar el estado. La instrucción de PROBAR CANAL SECUNDARIO se puede ejecutar asimismo en cualquier otro momento para muestrear las situaciones existentes en el canal secundario.

15 4. Se debe evitar la ejecución repetida de la instrucción de PROBAR CANAL SECUNDARIO para determinar cuándo se ha completado una función de inicio, ya que existen situaciones en las que la finalización de la función de inicio puede estar o no indicada. Por ejemplo, si el subsistema de canal mantiene en espera una situación de comprobación de control de interfaz (IFCC – InterFace- Control Check, en inglés) (para cualquier canal secundario) porque otro canal secundario ya está en estado pendiente, y si la función de inicio que está siendo probada por la instrucción de PROBAR CANAL SECUNDARIO tiene como única vía disponible para selección la ruta del canal con la situación de IFCC, entonces la función de inicio no puede ser iniciada hasta que se elimine la situación de estado pendiente en el otro canal secundario, lo que permite que se indique la situación de IFCC en el canal secundario al que se aplica.

20 5. La ejecución repetida de la instrucción de PROBAR CANAL SECUNDARIO sin un retardo intermedio, por ejemplo, para determinar cuándo un canal secundario cambia de estado, se debe evitar porque los accesos repetidos al canal secundario por parte de la CPU pueden demorar o impedir el acceso al canal secundario por parte del subsistema de canal. La ejecución de la instrucción de PROBAR CANAL SECUNDARIO por parte de múltiples CPU para el mismo canal secundario aproximadamente al mismo tiempo puede tener el mismo efecto y también se debe evitar.

30 6. La prioridad del manejo de la interrupción de E/S por parte de una CPU puede ser modificada mediante la ejecución de la instrucción de PROBAR CANAL SECUNDARIO. Cuando se ejecuta la instrucción de PROBAR CANAL SECUNDARIO y el canal secundario designado tiene pendiente una solicitud de interrupción de E/S, esa solicitud de interrupción de E/S se borra, y la SCSW se almacena, sin importar la prioridad establecida previamente. La prioridad relativa de las solicitudes de interrupción de E/S restantes no cambia.

35 Como resultará evidente para un experto en la técnica, los aspectos de la presente invención pueden ser realizados como un sistema, método o producto de programa informático. En consecuencia, los aspectos de la presente invención pueden tomar la forma de una realización completamente de hardware, una realización completamente de software (incluyendo firmware, software residente, microcódigo, etc.) o una realización que combina aspectos de software y hardware a los que se puede hacer referencia en general en el presente documento como un "circuito", "módulo" o "sistema". Además, los aspectos de la presente invención pueden tomar la forma de un producto de programa informático incorporado en uno o más medios legibles por ordenador que tienen un código de programa legible por ordenador incorporado en el mismo.

40 Se puede utilizar cualquier combinación de uno o más medios legibles por ordenador. El medio legible por ordenador puede ser un medio de almacenamiento legible por ordenador. Un medio de almacenamiento legible por ordenador puede ser, por ejemplo, pero sin estar limitado a, un sistema, aparato o dispositivo electrónico, magnético, óptico, electromagnético, infrarrojo o semiconductor, o cualquier combinación adecuada de los anteriores. Ejemplos más específicos (una lista no exhaustiva) del medio de almacenamiento legible por ordenador incluyen los siguientes: una conexión eléctrica que tiene uno o más cables, un disquete para ordenador portátil, un disco duro, una memoria de acceso aleatorio (RAM – Random Access Memory, en inglés), un dispositivo de memoria de solo lectura (ROM – Read Only Memory, en inglés), una memoria de solo lectura programable y borrrable (EPROM – Erasable Programmable Read-Only Memory, en inglés o una memoria rápida (Flash, en inglés)), una fibra óptica, una memoria de solo lectura de disco compacto (CD-ROM – Compact Disc Read Only Memory, en inglés) portátil, un dispositivo de almacenamiento óptico, un dispositivo de almacenamiento magnético o cualquier otra combinación de los anteriores. En el contexto de este documento, un medio de almacenamiento legible por ordenador puede ser cualquier medio tangible que pueda contener o almacenar un programa para su utilización por un sistema o en conexión con el mismo, un aparato o un dispositivo de ejecución de instrucciones.

Haciendo referencia a continuación a la figura 10, en un ejemplo, un producto de programa informático 1000 incluye, por ejemplo, uno o más medios de almacenamiento no transitorio legibles por ordenador 1002 en un medio de código de programa legible por ordenador o lógica 1004 para proporcionar y facilitar uno o más aspectos de la presente invención.

- 5 El código de programa incorporado en un medio legible por ordenador puede ser transmitido utilizando un medio apropiado, que incluye, pero sin estar limitado a, inalámbrico, por cable, cable de fibra óptica, RF, etc., o cualquier combinación adecuada de los anteriores.

El código de programa informático para llevar a cabo operaciones para aspectos de la presente invención se puede escribir en cualquier combinación de uno o más lenguajes de programación, incluido un lenguaje de programación orientado a objetos, tal como Java, Smalltalk, C++ o similares, y lenguajes de programación de procedimientos convencionales, tales como el lenguaje de programación "C", ensamblador o lenguajes de programación similares. El código del programa puede ser ejecutado completamente en el ordenador del usuario, en parte en el ordenador del usuario, como un paquete de software independiente, en parte en el ordenador del usuario y en parte en un ordenador remoto o completamente en el ordenador o servidor remoto. En este último escenario, el ordenador remoto puede estar conectado al ordenador del usuario a través de cualquier tipo de red, incluida una red de área local (LAN – Local Area Network, en inglés) o una red de área amplia (WAN – Wide Area Network, en inglés), o la conexión se puede realizar a un ordenador externo (por ejemplo, a través de Internet utilizando un proveedor de servicios de Internet).

Los aspectos de la presente invención se describen en el presente documento haciendo referencia a ilustraciones de diagramas de flujo y/o diagramas de bloques de métodos, aparatos (sistemas) y productos de programas informáticos de acuerdo con realizaciones de la invención. Se comprenderá que cada bloque de instrucciones de los programas informáticos puede implementar ilustraciones de diagramas de flujo y/o diagramas de bloques, y combinaciones de bloques en las ilustraciones de diagramas de flujo y/o diagramas de bloques. Estas instrucciones de programa informático pueden ser proporcionadas a un procesador de un ordenador de propósito general, un ordenador de propósito especial u otro aparato de procesamiento de datos programable para producir una máquina, de tal manera que las instrucciones, que se ejecutan a través del procesador del ordenador o de otro aparato de procesamiento de datos programable, creen medios para implementar las funciones / actos especificados en el diagrama de flujo y/o en el bloque o bloques del diagrama de bloques.

Estas instrucciones de programas informáticos también pueden ser almacenadas en un medio legible por ordenador que puede dirigir a un ordenador, a otro aparato de procesamiento de datos programable o a otros dispositivos para que funcionen de una manera particular, de tal manera que las instrucciones almacenadas en el medio legible por ordenador produzcan un artículo de fabricación, incluyendo instrucciones que implementan la función / acto especificada en el diagrama de flujo y/o en el bloque o bloques del diagrama de bloques.

Las instrucciones del programa informático también pueden ser cargadas en un ordenador, en otro aparato de procesamiento de datos programable o en otros dispositivos para hacer que se realicen una serie de etapas operativas en el ordenador, en otros aparatos programables o en otros dispositivos para producir un proceso implementado por ordenador de tal manera que las instrucciones que se ejecutan en el ordenador o en otro aparato programable proporcionen procesos para implementar las funciones / actos especificados en el diagrama de flujo y/o en el bloque o bloques del diagrama de bloques.

El diagrama de flujo y los diagramas de bloques en las figuras ilustran la arquitectura, la funcionalidad y el funcionamiento de posibles implementaciones de sistemas, métodos y productos de programas informáticos de acuerdo con diversas realizaciones de la presente invención. A este respecto, cada bloque en el diagrama de flujo o diagramas de bloques puede representar un módulo, segmento o porción de código, que comprende una o más instrucciones ejecutables para implementar las funciones lógicas especificadas. También se debe tener en cuenta que, en algunas implementaciones alternativas, las funciones anotadas en el bloque pueden ser ejecutadas fuera del orden indicado en las figuras. Por ejemplo, dos bloques mostrados en sucesión pueden, de hecho, ser ejecutados de manera sustancialmente concurrente, o los bloques pueden ser ejecutados a veces en orden inverso, dependiendo de la funcionalidad involucrada. Asimismo, se observará que cada bloque de los diagramas de bloques y/o la ilustración del diagrama de flujo, y las combinaciones de bloques en los diagramas de bloques y/o la ilustración del diagrama de flujo, pueden ser implementadas mediante sistemas basados en hardware de propósito especial que realizan las funciones o actos especificados o combinaciones de hardware de propósito especial e instrucciones informáticas.

Además de lo anterior, uno o más aspectos de la presente invención puede ser proporcionado, ofrecido, implementado, administrado, revisado, etc. por un proveedor de servicios que ofrece gestión de entornos de clientes. Por ejemplo, el proveedor de servicios puede crear, mantener, soportar, etc. un código informático y/o una infraestructura informática que realice uno o más aspectos de la presente invención para uno o más clientes. A cambio, el proveedor de servicios puede recibir el pago del cliente en virtud de un acuerdo de suscripción y/o tarifa, por ejemplo. Adicional o alternativamente, el proveedor de servicios puede recibir el pago de la venta de contenido publicitario a uno o más terceros.

En un aspecto de la presente invención, se puede implementar una aplicación para realizar uno o más aspectos de la presente invención. Como ejemplo, el despliegue de una aplicación comprende proporcionar una infraestructura informática que se pueda ejecutar para realizar uno o más aspectos de la presente invención.

- 5 Como aspecto adicional de la presente invención, se puede implementar una infraestructura informática que comprenda la integración de código legible por ordenador en un sistema informático, en el que el código en combinación con el sistema informático es capaz de realizar uno o más aspectos de la presente invención.

10 Como un aspecto adicional más de la presente invención, se puede proporcionar un proceso para integrar infraestructura informática que comprende integrar código legible por ordenador en un sistema informático. El sistema informático comprende un medio legible por ordenador, en el que el medio informático comprende uno o más aspectos de la presente invención. El código en combinación con el sistema informático es capaz de realizar uno o más aspectos de la presente invención.

15 Aunque en el presente documento se han descrito varias realizaciones, estas son solo ejemplos. Por ejemplo, los entornos informáticos de otras arquitecturas pueden incorporar y utilizar uno o más aspectos de la presente invención. Como ejemplos, los servidores distintos de z196 pueden incluir, utilizar y/o aprovechar uno o más aspectos de la presente invención. Además, se pueden utilizar otras instrucciones y/o comandos; y las instrucciones / comandos pueden incluir más información, menos información y/o diferente información de la descrita en este documento. Son posibles muchas variaciones.

20 Además, otros tipos de entornos informáticos pueden aprovechar uno o más aspectos de la presente invención. Como ejemplo, se puede utilizar un sistema de procesamiento de datos adecuado para almacenar y/o ejecutar código de programa que incluya por lo menos dos procesadores acoplados directa o indirectamente a elementos de memoria a través de un bus de sistema. Los elementos de la memoria incluyen, por ejemplo, la memoria local empleada durante la ejecución real del código del programa, el almacenamiento masivo y la memoria caché que proporcionan almacenamiento temporal, por lo menos de algún código de programa para reducir el número de veces que el código debe ser recuperado del almacenamiento masivo durante la ejecución.

25 Los dispositivos de entrada / salida o de E/S (incluidos, entre otros, teclados, pantallas, dispositivos señaladores, DASD, cintas, CD, DVD, unidades de memoria y otros medios de memoria, etc.) pueden ser acoplados al sistema directamente o a través de los controladores de E/S que intervienen. Los adaptadores de red también pueden ser acoplados al sistema para permitir que el sistema de procesamiento de datos se conecte a otros sistemas de procesamiento de datos o a impresoras remotas o a dispositivos de almacenamiento a través de redes privadas o públicas. Los módems, los módems de cable y las tarjetas Ethernet son solo algunos de los tipos de adaptadores de red disponibles.

35 Haciendo referencia a la figura 11, se representan componentes representativos de un sistema informático principal 5000 para implementar uno o más aspectos de la presente invención. El equipo anfitrión representativo 5000 comprende una o más CPU 5001 en comunicación con la memoria del ordenador (es decir, el almacenamiento central) 5002, así como las interfaces de E/S para los dispositivos de medios de almacenamiento 5011 y las redes 5010 para comunicarse con otros ordenadores o SAN (Red de área de almacenamiento - Storage Area Network, en inglés y similares). La CPU 5001 es compatible con una arquitectura que tiene un conjunto de instrucciones de arquitectura y una funcionalidad de arquitectura. La CPU 5001 puede tener una traducción de dirección dinámica (DAT - Dynamic Address Translation, en inglés) 5003 para transformar direcciones de programa (direcciones virtuales) en direcciones reales de memoria. Una DAT típicamente incluye una memoria temporal de traducción de conversión inmediata (TLB - Translation Lookaside Buffer, en inglés) 5007 para el almacenamiento en memoria caché de las traducciones, de modo que los accesos posteriores al bloque de la memoria del ordenador 5002 no requieran el retardo de la traducción de la dirección. Normalmente, se emplea una memoria caché 5009 entre la memoria del ordenador 5002 y el procesador 5001. La memoria caché 5009 puede ser jerárquica y tener una memoria caché grande disponible para más de una CPU y memorias caché más pequeñas y rápidas (nivel inferior) entre la memoria caché grande y cada CPU. En algunas implementaciones, las memorias caché de nivel inferior se dividen para proporcionar memorias caché de bajo nivel separadas para la obtención de instrucciones y accesos de datos. En una realización, una instrucción se obtiene de la memoria 5002 mediante una unidad de obtención de instrucciones 5004 a través de una memoria caché 5009. La instrucción se descodifica en una unidad de descodificación de instrucciones 5006 y se envía (con otras instrucciones en algunas realizaciones) a la unidad de ejecución de instrucciones o unidades 5008. Normalmente, se emplean varias unidades de ejecución 5008, por ejemplo, una unidad de ejecución aritmética, una unidad de ejecución de punto flotante y una unidad de ejecución de instrucciones de bifurcación. La instrucción es ejecutada por la unidad de ejecución, accediendo a los operandos desde los registros o la memoria especificados de la instrucción según sea necesario. Si se va a acceder (cargar o almacenar) un operando desde la memoria 5002, una unidad de carga / almacenamiento 5005 en general maneja el acceso bajo el control de la instrucción que se está ejecutando. Las instrucciones pueden ser ejecutadas en circuitos de hardware o en microcódigo interno (firmware) o mediante una combinación de ambos.

Tal como se señaló, un sistema informático incluye información en el almacenamiento local (o principal), así como el direccionamiento, la protección y la grabación de referencia y cambio. Algunos aspectos del direccionamiento incluyen el formato de las direcciones, el concepto de espacios de direcciones, los distintos tipos de direcciones y la manera en que un tipo de dirección se traduce a otro tipo de dirección. Algunos de los almacenamientos principales incluyen ubicaciones de almacenamiento asignadas permanentemente. El almacenamiento principal proporciona al sistema un almacenamiento de datos de acceso rápido directamente direccionable. Tanto los datos como los programas deben ser cargados en el almacenamiento principal (desde los dispositivos de entrada) antes de que puedan ser procesados.

El almacenamiento principal puede incluir uno o más almacenamientos de memoria temporal de acceso más rápido, más pequeños, a veces llamados memorias caché. Una memoria caché suele estar asociada físicamente con una CPU o un procesador de E/S. Los efectos, excepto en el rendimiento, de la construcción física y la utilización de distintos medios de almacenamiento, en general, no son observables por el programa.

Se pueden mantener memorias caché separadas para instrucciones y para operandos de datos. La información dentro de una memoria caché se mantiene en bytes contiguos en un límite integral llamado bloque de memoria caché o línea de memoria caché (o línea, para abreviar). Un modelo puede proporcionar una instrucción de EXTRAER ATRIBUTO DE LA MEMORIA CACHÉ, que devuelve el tamaño en bytes de una línea de la memoria caché. Un modelo también puede proporcionar instrucciones CAPTURAR DATOS PREVIAMENTE y CAPTURAR PREVIAMENTE LONGITUD RELATIVA DE LOS DATOS, lo que afecta a la captura previa del almacenamiento en la memoria caché de datos o instrucciones o a la liberación de datos de la memoria caché.

El almacenamiento se ve como una larga cadena horizontal de bits. Para la mayoría de las operaciones, los accesos al almacenamiento se realizan en una secuencia de izquierda a derecha. La cadena de bits ese subdivide en unidades de ocho bits. Una unidad de ocho bits se denomina byte, que es el componente básico de todos los formatos de información. Cada ubicación de bytes en el almacenamiento se identifica mediante un único entero no negativo, que es la dirección de esa ubicación de bytes o, simplemente, la dirección de los bytes. Las ubicaciones de los bytes adyacentes tienen direcciones consecutivas, comenzando con 0 a la izquierda y continuando en una secuencia de izquierda a derecha. Las direcciones son enteros binarios sin signo y son 24, 31 o 64 bits.

La información se transmite entre el almacenamiento y una CPU o un subsistema de canal de un byte, o un grupo de bytes, a la vez. A menos que se especifique lo contrario, por ejemplo, en z / Architecture®, el byte más a la izquierda del grupo se dirige a un grupo de bytes en el almacenamiento. El número de bytes en el grupo está implícita o explícitamente especificado por la operación a realizar. Cuando se utiliza en una operación de CPU, un grupo de bytes se denomina un campo. Dentro de cada grupo de bytes, por ejemplo, en z / Architecture®, los bits se numeran en una secuencia de izquierda a derecha. En z / Architecture®, los bits de la izquierda a veces se denominan bits de "orden superior" y los bits de la derecha, bits de "orden inferior". Sin embargo, los números de bits no son direcciones de almacenamiento. Solo los bytes pueden ser direccionados. Para operar en bits individuales de un byte en un almacenamiento, se accede al byte completo. Los bits en un byte están numerados del 0 al 7, de izquierda a derecha (por ejemplo, en z / Architecture®). Los bits en una dirección pueden ser numerados de 8 a 31 o de 40 a 63 para direcciones de 24 bits, o de 1 a 31 o de 33 a 63 para direcciones de 31 bits; están numerados del 0 al 63 para direcciones de 64 bits. Dentro de cualquier otro formato de longitud fija de múltiples bytes, los bits que forman el formato se numeran consecutivamente a partir de 0. Para fines de detección de errores y, preferiblemente, para corrección, se pueden transmitir uno o más bits de comprobación con cada byte o con un grupo de bytes. Estos bits de comprobación son generados automáticamente por la máquina y no pueden ser controlados directamente por el programa. Las capacidades de almacenamiento se expresan en número de bytes. Cuando el código de operación de una instrucción implica la longitud de un campo de operando de almacenamiento, se dice que el campo tiene una longitud fija, que puede ser de uno, dos, cuatro, ocho o dieciséis bytes. Campos más grandes pueden estar implícitos para algunas instrucciones. Cuando la longitud de un campo de operando de almacenamiento no está implícita, sino que se establece explícitamente, se dice que el campo tiene una longitud variable. Los operandos de longitud variable pueden variar en longitud en incrementos de un byte (o con algunas instrucciones, en múltiplos de dos bytes o en otros múltiplos). Cuando se almacena la información, se reemplazan los contenidos solo de aquellas ubicaciones de bytes que se incluyen en el campo designado, aunque el ancho de la ruta física hasta el almacenamiento puede ser mayor que la longitud del campo que se está almacenando.

Ciertas unidades de información deben estar en un límite integral en el almacenamiento. Un límite se denomina integral para una unidad de información cuando su dirección de almacenamiento es un múltiplo de la longitud de la unidad en bytes. Los campos de 2, 4, 8 y 16 bytes reciben nombres especiales en un límite integral. Una media palabra es un grupo de dos bytes consecutivos en un límite de dos bytes y es el componente básico de las instrucciones. Una palabra es un grupo de cuatro bytes consecutivos en un límite de cuatro bytes. Una palabra doble es un grupo de ocho bytes consecutivos en un límite de ocho bytes. Una palabra cuádruple es un grupo de 16 bytes consecutivos en un límite de 16 bytes. Cuando las direcciones de almacenamiento designan medias palabras, palabras, palabras dobles y palabras cuádruples, la representación binaria de la dirección contiene uno, dos, tres o cuatro bits cero más a la derecha, respectivamente. Las instrucciones deben estar en los límites integrales de dos bytes. Los operandos de almacenamiento de la mayoría de las instrucciones no tienen requisitos

de alineación de límites.

En los dispositivos que implementan memorias caché separadas para instrucciones y operandos de datos, se puede experimentar un retardo significativo si el programa realiza un almacenamiento en una línea de memoria caché desde la cual se recuperan las instrucciones, independientemente de si el almacenamiento altera las instrucciones que se recuperan posteriormente.

En una realización, la invención puede ponerse en práctica mediante un software (a veces referido a un código interno con licencia, firmware, microcódigo, código de mili, código de pico y similares, cualquiera de los cuales sería coherente con la presente invención). Haciendo referencia a la figura 11, el procesador 5001 del sistema central 5000 accede al código del programa de software que incorpora la presente invención desde dispositivos de medios de almacenamiento a largo plazo 5011, tal como una unidad de CD-ROM, una unidad de cinta o una unidad de disco duro. El código del programa de software puede ser incorporado en cualquiera de una variedad de medios conocidos para su utilización con un sistema de procesamiento de datos, tal como un disquete, un disco duro o un CD-ROM. El código puede ser distribuido en dichos medios, o puede ser distribuido a los usuarios desde la memoria de ordenador 5002 o el almacenamiento de un sistema informático a través de una red 5010 a otros sistemas informáticos para utilización por los usuarios de dichos otros sistemas.

El código del programa de software incluye un sistema operativo que controla la función e interacción de los diversos componentes del ordenador y uno o más programas de aplicación. El código de programa normalmente se localiza desde el dispositivo de medios de almacenamiento 5011 hasta el almacenamiento de ordenadores de velocidad relativamente alta 5002, donde está disponible para su procesamiento por parte del procesador 5001. Las técnicas y métodos para incorporar el código del programa de software en la memoria, en medios físicos y/o en código de software de distribución a través de las redes es bien conocido y no se tratará más en el presente documento. El código de programa, cuando se crea y almacena en un medio tangible (incluidos, entre otros, módulos de memoria electrónica (RAM), memoria rápida, discos compactos (CD), DVD, cinta magnética y similares, a menudo se denomina "producto de programa informático". El medio de producto de programa informático puede ser leído normalmente mediante un circuito de procesamiento, preferiblemente en un sistema informático para su ejecución por parte del circuito de procesamiento.

La figura 12 ilustra una estación de trabajo representativa o un sistema de hardware del servidor en el que se puede poner en práctica la presente invención. El sistema 5020 de la figura 12 comprende un sistema informático base 5021 representativo, tal como un ordenador personal, una estación de trabajo o un servidor, incluidos los dispositivos periféricos opcionales. El sistema informático base 5021 incluye uno o más procesadores 5026 y un bus empleado para conectar y habilitar comunicación entre el procesador o procesadores 5026 y los otros componentes del sistema 5021 de acuerdo con las técnicas conocidas. El bus conecta el procesador 5026 a la memoria 5025 y a un almacenamiento a largo plazo 5027 que puede incluir un disco duro (incluyendo cualquiera de los medios magnéticos, CD, DVD y memoria rápida, por ejemplo) o una unidad de cinta, por ejemplo. El sistema 5021 podría incluir asimismo un adaptador de interfaz de usuario, que conecta el microprocesador 5026 a través del bus a uno o más dispositivos de interfaz, tales como un teclado 5024, un ratón 5023, una impresora / escáner 5030 y/u otros dispositivos de interfaz, que pueden ser cualquier dispositivo de interfaz de usuario, tal como una pantalla táctil, un panel de entrada digitalizado, etc. El bus también conecta un dispositivo de pantalla 5022, tal como una pantalla LCD o un monitor, al microprocesador 5026 a través de un adaptador de pantalla.

El sistema 5021 puede comunicarse con otros ordenadores o redes informáticas a través de un adaptador de red capaz de comunicarse 5028 con una red 5029. Los adaptadores de red de ejemplo son canales de comunicación, anillo de acceso con contraseña, Ethernet o módems. Alternativamente, el sistema 5021 puede comunicarse utilizando una interfaz inalámbrica, tal como una tarjeta CDPD (de datos de paquetes digitales celulares – Cellular Digital Packet Data, en inglés). El sistema 5021 puede estar asociado con otros ordenadores en una red de área local (LAN) o en una red de área amplia (WAN), o el sistema 5021 puede ser un cliente en una disposición de cliente / servidor con otro ordenador, etc. Todas estas configuraciones, así como el hardware y software de comunicaciones apropiados, son conocidos en la técnica.

La figura 13 ilustra una red de procesamiento de datos 5040 en la que se puede poner en práctica la presente invención. La red de procesamiento de datos 5040 puede incluir una serie de redes individuales, tales como una red inalámbrica y una red de cable, cada una de las cuales puede incluir una serie de estaciones de trabajo individuales 5041, 5042, 5043, 5044. Además, tal como resultará evidente para los expertos en la materia, se pueden incluir una o más LAN, donde una LAN puede comprender una serie de estaciones de trabajo inteligentes acopladas a un procesador anfitrión.

Aun haciendo referencia a la figura 13, las redes también pueden incluir ordenadores anfitriones o servidores, tales como un ordenador de puerta de enlace (servidor de cliente 5046) o un servidor de aplicaciones (servidor remoto 5048 que puede acceder a un depósito de datos y al que también se puede acceder directamente desde una estación de trabajo 5045). Un ordenador de puerta de enlace 5046 sirve como punto de entrada a cada red individual. Se necesita una puerta de enlace cuando se conecta un protocolo de red a otro. La puerta de enlace 5046 se puede acoplar preferiblemente a otra red (por ejemplo, Internet 5047) por medio de un enlace de

comunicaciones. La puerta de enlace 5046 también se puede acoplar directamente a una o más estaciones de trabajo 5041, 5042, 5043, 5044 utilizando un enlace de comunicaciones. El ordenador de la puerta de enlace puede ser implementado utilizando un servidor IBM eServer™ System z® comercializado por la firma International Business Machines Corporation.

Haciendo referencia simultáneamente a la figura 12 y a la figura 13, el procesador 5026 del sistema 5020 puede acceder al código de programa de software que puede incorporar la presente invención desde un medio de almacenamiento a largo plazo 5027, tal como una unidad de CD-ROM o un disco duro. El código de programación del software puede ser incorporado en cualquiera de una variedad de medios conocidos para su utilización con un sistema de procesamiento de datos, tal como un disquete, un disco duro o un CD-ROM. El código puede ser distribuido en dichos medios, o puede ser distribuido a los usuarios 5050, 5051 desde la memoria o el almacenamiento de un sistema informático a través de una red a otros sistemas informáticos para su utilización por parte de los usuarios de dichos otros sistemas.

Alternativamente, el código de programación puede ser incorporado en la memoria 5025, y el procesador 5026 puede acceder al mismo utilizando el bus del procesador. Dicho código de programación incluye un sistema operativo que controla la función e interacción de los diversos componentes del ordenador y uno o más programas de aplicación 5032. El código del programa es localizado normalmente desde los medios de almacenamiento 5027 hasta la memoria de alta velocidad 5025, donde está disponible para su procesamiento por parte del procesador 5026. Las técnicas y métodos para incorporar el código de programación de software en la memoria, en medios físicos y/o distribuir código de software a través de redes es bien conocido y no se tratará más en el presente documento. El código de programa, cuando es creado y almacenado en un medio tangible (que incluye, entre otros, módulos de memoria electrónica (RAM), memoria rápida, discos compactos (CD), DVD, cintas magnéticas y similares, a menudo se denomina "producto de programa informático"). El medio de producto del programa informático es normalmente legible por un circuito de procesamiento, preferiblemente en un sistema informático para ser ejecutado por el circuito de procesamiento.

La memoria caché que está más fácilmente disponible para el procesador (normalmente más rápida y menor que otras memorias caché del procesador) es la memoria caché más baja (L1 o nivel uno) y el almacenamiento principal (memoria principal) es la memoria caché de nivel más alto (L3 si hay 3 niveles). La memoria caché de nivel más bajo a menudo se divide en una memoria caché de instrucciones (I-Caché) que contiene las instrucciones de la máquina para ser ejecutadas y una memoria caché de datos (D-Caché), que contiene operandos de datos.

Haciendo referencia a la figura 14, se representa una realización de procesador a modo de ejemplo para el procesador 5026. Típicamente, uno o más niveles de la memoria caché 5053 se emplean para almacenar bloques de memoria en orden para mejorar el rendimiento del procesador. La memoria caché 5053 es una memoria temporal de alta velocidad que contiene líneas de datos de memoria que probablemente se utilizarán. Las líneas de memoria caché típicas son 64, 128 o 256 bytes de datos de memoria. A menudo se emplean memorias caché separadas para almacenar instrucciones en memoria caché en lugar de para almacenar datos en memoria caché. La coherencia de la memoria caché (sincronización de las copias de las líneas en la memoria y en las memorias caché) a menudo es proporcionada por varios algoritmos "de espionaje" ("snoop", en inglés) bien conocidos en la técnica. El almacenamiento en la memoria principal 5025 de un sistema de procesador a menudo se denomina almacenamiento en memoria caché. En un sistema de procesador que tiene 4 niveles de memoria caché 5053, el almacenamiento principal 5025 a veces se denomina memoria caché de nivel 5 (L5), ya que suele ser más rápida y solo contiene una parte del almacenamiento no volátil (DASD, cinta, etc.) que está disponible para un sistema informático. El almacenamiento principal 5025 "almacena en la memoria caché" páginas de datos localizados dentro y fuera del almacenamiento principal 5025 por el sistema operativo.

Un contador de programa (contador de instrucciones) 5061 mantiene un registro de la dirección de la instrucción actual a ejecutar. Un contador de programa en un procesador z / Architecture® tiene 64 bits y se puede trunca a 31 o 24 bits para soportar los límites de direccionamiento anteriores. Un contador de programa está incorporado, en general, en una PSW (palabra de estado del programa) de un ordenador, de tal manera que persiste durante el cambio de contexto. Por lo tanto, un programa en curso, que tiene un valor de contador de programa, puede ser interrumpido, por ejemplo, por el sistema operativo (cambio de contexto del entorno del programa al entorno del sistema operativo). La PSW del programa mantiene el valor del contador del programa mientras el programa no está activo, y el contador del programa (en la PSW) del sistema operativo se utiliza mientras el sistema operativo se está ejecutando. Normalmente, el contador del programa se incrementa en una cantidad igual al número de bytes de la instrucción actual. Las instrucciones de RISC (Cálculo mediante conjunto de instrucciones reducido - Reduced Instruction Set Computing, en inglés) suelen ser de longitud fija, mientras que las instrucciones CISC (Cálculo mediante conjunto de instrucciones complejo - Complex Instruction Set Computing, en inglés) son típicamente de longitud variable. Las instrucciones de IBM z / Architecture® son instrucciones CISC que tienen una longitud de 2, 4 o 6 bytes. El contador de programa 5061 se modifica, ya sea por una operación de cambio de contexto o una operación de derivación de una instrucción de bifurcación, por ejemplo. En una operación de cambio de contexto, el valor del contador del programa actual se guarda en la palabra de estado del programa junto con otra información de estado acerca del programa que se está ejecutando (tal como los códigos de

situación), y se carga un nuevo valor del contador del programa dirigido a una instrucción de un nuevo módulo de programa a ejecutar. Se realiza una operación de bifurcación para permitir que el programa tome decisiones o realice un bucle dentro del programa cargando el resultado de la instrucción de bifurcación en el contador de programa 5061.

- 5 Típicamente, se emplea una unidad de captación de instrucciones 5055 para obtener instrucciones en nombre del procesador 5026. La unidad de captación obtiene "las siguientes instrucciones secuenciales", las instrucciones de destino de las instrucciones derivadas o las primeras instrucciones de un programa después de un cambio de contexto. Las unidades modernas de captación de instrucciones a menudo emplean técnicas de captación previa para obtener de manera especulativa instrucciones en base a la probabilidad de que se puedan utilizar las instrucciones obtenidas previamente. Por ejemplo, una unidad de recuperación puede captar 16 bytes de instrucción que incluyen la siguiente instrucción secuencial, y bytes adicionales de otras instrucciones secuenciales.

15 Las instrucciones obtenidas son ejecutadas a continuación por el procesador 5026. En una realización, o instrucción o las instrucciones obtenidas son pasadas a una unidad de reenvío 5056 de la unidad de captación. La unidad de reenvío descodifica la instrucción o instrucciones y reenvía la información acerca de la instrucción o instrucciones descodificada a las unidades apropiadas 5057, 5058, 5060. Una unidad de ejecución 5057 típicamente recibirá información acerca de instrucciones aritméticas descodificadas de la unidad de búsqueda de instrucciones 5055 y realizará operaciones aritméticas en los operandos de acuerdo con el código de operación de la instrucción. Los operandos son proporcionados a la unidad de ejecución 5057, preferiblemente desde la memoria 5025, desde los registros arquitectónicos 5059 o desde un campo inmediato de la instrucción que se está ejecutando. Los resultados de la ejecución, cuando se almacenan, se almacenan en la memoria 5025, en los registros 5059 o en otro hardware de la máquina (tal como los registros de control, los registros de PSW y similares).

25 Un procesador 5026 tiene típicamente una o más unidades 5057, 5058, 5060 para ejecutar la función de la instrucción. Haciendo referencia a la figura 15A, una unidad de ejecución 5057 puede comunicarse con los registros generales 5059 diseñados, una unidad de descodificación / reenvío 5056, una unidad de almacenamiento de carga 5060 y otras 5065 unidades de procesador mediante la lógica de interfaz 5071. Una unidad de ejecución 5057 puede emplear varios circuitos de registro 5067, 5068, 5069 para contener información acerca de la operación de la unidad lógica aritmética (ALU) 5066. La ALU realiza operaciones aritméticas tales como sumar, restar, multiplicar y dividir, así como funciones lógicas como y, o y o exclusiva (XOR), rotar y desplazar. Preferiblemente, la ALU soporta operaciones especializadas que dependen del diseño. Otros circuitos pueden proporcionar otras funciones arquitectónicas 5072 incluyendo códigos de situación y lógica de soporte de recuperación, por ejemplo. Normalmente, el resultado de una operación de ALU es guardada en un circuito de registro de salida 5070 que puede enviar el resultado a una variedad de otras funciones de procesamiento. Existen muchas disposiciones de unidades de procesador, la presente descripción solo pretende proporcionar una comprensión representativa de una realización.

40 Una instrucción de ADD, por ejemplo, se ejecutaría en una unidad de ejecución 5057 con funcionalidad aritmética y lógica, mientras que una instrucción de punto flotante, por ejemplo, se ejecutaría en una ejecución de punto flotante con capacidad de punto flotante especializada. Preferiblemente, una unidad de ejecución opera en operandos identificados por una instrucción al realizar una función definida por opcode en los operandos. Por ejemplo, una unidad de ejecución 5057 puede ejecutar una instrucción de ADD en los operandos encontrados en dos registros 5059 identificados por los campos de registro de la instrucción.

45 La unidad de ejecución 5057 realiza la suma aritmética en dos operandos y almacena el resultado en un tercer operando, donde el tercer operando puede ser un tercer registro o uno de los dos registros de origen. La unidad de ejecución utiliza preferiblemente una unidad lógica aritmética (ALU) 5066 que es capaz de ejecutar una variedad de funciones lógicas tales como desplazar, Rotar, y, o y o exclusiva, así como una variedad de funciones algebraicas que incluyen cualquiera de sumar, restar, multiplicar, dividir. Algunas ALU 5066 están diseñadas para operaciones escalares y otras para puntos flotantes. Los datos pueden ser Big Endian (donde el byte menos significativo se encuentra en la dirección del byte más alto) o Little Endian (donde el byte menos significativo está en la dirección del byte más bajo) dependiendo de la arquitectura. La IBM z / Architecture® es Big Endian. Los campos firmados pueden ser signo y magnitud, complemento a 1 o complemento a 2, según la arquitectura. El número de complemento a 2 es ventajoso porque la ALU no necesita diseñar una capacidad de resta, ya que un valor negativo o un valor positivo en el complemento a 2 solo requiere una adición dentro de la ALU. Los números se describen comúnmente en forma abreviada, donde un campo de 12 bits define una dirección de un bloque de 4.096 bytes y se describe comúnmente como un bloque de 4 Kbytes (Kilo-bytes), por ejemplo.

60 Haciendo referencia a la figura 15B, la información de la instrucción de bifurcación para ejecutar una instrucción de bifurcación, en general, se envía a una unidad de bifurcación 5058 que a menudo emplea un algoritmo de predicción de bifurcación tal como una tabla de historial de bifurcación 5082 para predecir el resultado de la bifurcación antes de que se completen otras operaciones condicionales. El objetivo de la instrucción de rama actual se buscará y ejecutará especulativamente antes de que se completen las operaciones condicionales. Cuando se



completan las operaciones condicionales, las instrucciones de bifurcación ejecutadas especulativamente se completan o descartan de acuerdo con las situaciones de la operación condicional y del resultado especulado. Una instrucción de bifurcación típica puede probar códigos de situación y bifurcarse hacia una dirección de destino si los códigos de situación cumplen con el requisito de bifurcación de la instrucción de bifurcación, se puede calcular una dirección de destino en función de varios números, incluidos los que se encuentran en los campos de registro o un campo inmediato de la instrucción, por ejemplo. La unidad de bifurcación 5058 puede emplear una ALU 5074 que tiene una serie de circuitos de registro de entrada 5075, 5076, 5077 y un circuito de registro de salida 5080. La unidad de bifurcación 5058 puede comunicarse con los registros generales 5059, descodificar la unidad de reenvío 5056 u otros circuitos 5073, por ejemplo.

La ejecución de un grupo de estructuras puede ser interrumpida por diversos motivos, incluido un cambio de contexto iniciado por un sistema operativo, una excepción o error de programa que provoca un cambio de contexto, una señal de interrupción de E/S que provoca un cambio de contexto o una actividad de subprocesos múltiples de una serie de programas (en un entorno multihilo), por ejemplo. Preferiblemente, una acción de cambio de contexto guarda información de estado acerca de un programa que se está ejecutando actualmente y, a continuación, carga información de estado acerca de otro programa que se está invocando. La información de estado puede ser guardada en registros de hardware o en la memoria, por ejemplo. La información de estado comprende preferiblemente un valor de contador de programa dirigida a una siguiente instrucción a ejecutar, códigos de situación, información de traducción de memoria y contenido de registro diseñado. Una actividad de cambio de contexto puede ser realizada por circuitos de hardware, programas de aplicación, programas del sistema operativo o código de firmware (microcódigo, picocódigo o código interno bajo licencia (LIC)) solo o en combinación.

Un procesador accede a los operandos de acuerdo con los métodos de instrucción definidos. La instrucción puede proporcionar un operando inmediato que utiliza el valor de una parte de la instrucción, puede proporcionar uno o más campos de registro dirigidos explícitamente a registros de propósito general o a registros de propósito especial (registros de punto flotante, por ejemplo). La instrucción puede utilizar registros implícitos identificados por un campo de código de operación como operandos. La instrucción puede utilizar ubicaciones de memoria para operandos. La ubicación de memoria de un operando puede ser proporcionada por un registro, un campo inmediato, o una combinación de registros y campo inmediato, como lo ejemplifica la función de desplazamiento largo de *z / Architecture*<sup>®</sup>, donde la instrucción define un registro base, un registro de índice y un campo inmediato (campo de desplazamiento) que se agregan para proporcionar la dirección del operando en la memoria, por ejemplo. La ubicación en este documento en general implica una ubicación en la memoria principal (almacenamiento principal) a menos que se indique lo contrario.

Haciendo referencia a la figura 16C, un procesador accede al almacenamiento utilizando una unidad de carga / almacenamiento 5060. La unidad de carga / almacenamiento 5060 puede realizar una operación de carga obteniendo la dirección del operando objetivo en la memoria 5053 y cargando el operando en un registro 5059 o en otra ubicación de la memoria 5053, o puede realizar una operación de almacenamiento obteniendo la dirección del operando objetivo en la memoria 5053 y almacenando los datos obtenidos de un registro 5059 o de otra ubicación de la memoria 5053 en la ubicación del operando objetivo en la memoria 5053. La unidad de carga / almacenamiento 5060 puede ser especulativa y puede acceder a la memoria en una secuencia que está fuera de orden en relación con la secuencia de instrucciones, sin embargo, la unidad de carga / almacenamiento 5060 es para mantener el aspecto de los programas de que las instrucciones fueron ejecutadas en orden. Una unidad de carga / almacenamiento 5060 puede comunicarse con los registros generales 5059, la unidad de descodificación / envío 5056, la interfaz de memoria caché / memoria 5053 u otros elementos 5083 y comprende varios circuitos de registro, ALU 5085 y lógica de control 5090 para calcular las direcciones de almacenamiento y proporcionar una secuencia de canalización para mantener las operaciones en orden. Algunas operaciones pueden estar fuera de servicio, pero la unidad de carga / almacenamiento proporciona la funcionalidad para hacer que las operaciones fuera de orden aparezcan en el programa tal como se han realizado en orden, como es bien conocido en la técnica.

Preferiblemente, las direcciones que un programa de aplicación "ve" a menudo se denominan direcciones virtuales. Las direcciones virtuales a veces se denominan "direcciones lógicas" y "direcciones efectivas". Estas direcciones virtuales son virtuales en el sentido de que se redirigen a la ubicación de la memoria física mediante una de una variedad de tecnologías de traducción dinámica de direcciones (DAT) que incluyen, entre otras, simplemente el prefijo de una dirección virtual con un valor de desplazamiento, traduciendo la dirección virtual a través de una o más tablas de traducción, comprendiendo las tablas de traducción preferiblemente por lo menos una tabla de segmentos y una tabla de páginas solas o en combinación, teniendo la tabla de segmentos, preferiblemente, una entrada dirigida a la tabla de páginas. En la *z / Architecture*<sup>®</sup>, se proporciona una jerarquía de traducción que incluye una primera tabla de regiones, una segunda tabla de regiones, una tercera tabla de regiones, una tabla de segmentos y una tabla de página opcional. La ejecución de la traducción de direcciones a menudo se mejora utilizando una memoria temporal de conversión inmediata de traducción (TLB) que incluye entradas que asignan una dirección virtual a una ubicación de memoria física asociada. Las entradas se crean cuando el DAT traduce una dirección virtual utilizando las tablas de traducción. La utilización posterior de la dirección virtual puede utilizar la entrada de la TLB rápida en lugar de los accesos de la tabla de traducción secuencial lenta. El contenido de la TLB puede ser gestionado mediante una variedad de algoritmos de reemplazo que incluyen LRU (menos recientemente utilizado – Least Recently Used, en inglés).

En el caso de que el procesador sea un procesador de un sistema de múltiples procesadores, cada procesador tiene la responsabilidad de mantener los recursos compartidos, tales como E/S, memorias caché, TLB y memoria, bloqueados entre sí para lograr coherencia. Típicamente, se utilizarán tecnologías de "espionaje" para mantener la coherencia de la memoria caché. En un entorno de espionaje, cada línea de la memoria caché puede ser marcada como que está en cualquiera de un estado compartido, un estado exclusivo, un estado cambiado, un estado no válido y similares para facilitar la compartición.

Las unidades de E/S 5054 (figura 14) proporcionan al procesador medios para conectar dispositivos periféricos, tales como cintas, discos, impresoras, pantallas y redes, por ejemplo. Las unidades de E/S a menudo son presentadas al programa informático mediante controladores de software. En los marcos principales, tales como System z® de IBM®, los adaptadores de canal y los adaptadores de sistema abierto son unidades de E/S del marco principal que proporcionan las comunicaciones entre el sistema operativo y los dispositivos periféricos.

Además, otros tipos de entornos informáticos pueden aprovechar uno o más aspectos de la presente invención. Como ejemplo, un entorno puede incluir un emulador (por ejemplo, software u otros mecanismos de emulación), en el que una arquitectura particular (que incluye, por ejemplo, ejecución de instrucciones, funciones de arquitectura, tales como la traducción de direcciones y registros de arquitectura) o un subconjunto de las mismas es emulado (por ejemplo, en un sistema informático nativo que tiene un procesador y una memoria). En dicho entorno, una o más funciones de emulación del emulador pueden implementar uno o más aspectos de la presente invención, aunque un ordenador que ejecuta el emulador puede tener una arquitectura diferente a las capacidades que se emulan. Como ejemplo, en el modo de emulación, la instrucción u operación específica que se emula se descodifica, y se construye una función de emulación apropiada para implementar la instrucción u operación individual.

En un entorno de emulación, un ordenador anfitrión incluye, por ejemplo, una memoria para almacenar instrucciones y datos; una unidad de búsqueda de instrucciones para obtener instrucciones de la memoria y, opcionalmente, proporcionar almacenamiento en una memoria temporal local para la instrucción obtenida; una unidad de descodificación de instrucciones para recibir las instrucciones extraídas y para determinar el tipo de instrucciones que se han obtenido; y una unidad de ejecución de instrucciones para ejecutar las instrucciones. La ejecución puede incluir cargar datos en un registro desde la memoria; almacenar datos de nuevo en la memoria de un registro; o realizar algún tipo de operación aritmética o lógica, según lo determine la unidad de descodificación. En un ejemplo, cada unidad está implementada en software. Por ejemplo, las operaciones que realizan las unidades se implementan como una o más subrutinas dentro del software del emulador.

Más particularmente, en un marco principal, las instrucciones de la máquina de diseñadas son utilizadas por los programadores, en general, hoy en día los programadores en "C", a menudo a través de una aplicación de compilación. Estas instrucciones almacenadas en el medio de almacenamiento pueden ser ejecutadas de manera nativa en un servidor IBM® de z / Architecture®, o alternativamente en máquinas que ejecutan otras arquitecturas. Se pueden emular en los servidores de marco principal IBM® existentes y futuros y en otras máquinas de IBM® (por ejemplo, servidores Power Systems y servidores System x®). Se pueden ejecutar en máquinas que ejecutan Linux en una amplia variedad de máquinas, utilizando hardware fabricado por IBM®, Intel®, AMDTM y otros. Además de la ejecución en ese hardware bajo z / Architecture®, se puede utilizar Linux, así como las máquinas que utilizan la emulación de Hercules, UMX o FSI (comercializadas por la firma Fundamental Software, Inc), en las que, en general, la ejecución está en modo de emulación. En el modo de emulación, un procesador nativo ejecuta el software de emulación para emular la arquitectura de un procesador emulado.

El procesador nativo típicamente ejecuta un software de emulación que comprende firmware o un sistema operativo nativo para realizar la emulación del procesador emulado. El software de emulación es responsable de obtener y ejecutar las instrucciones de la arquitectura del procesador emulado. El software de emulación mantiene un contador de programa emulado para realizar un seguimiento de los límites de la instrucción. El software de emulación puede obtener una o más instrucciones de máquina emuladas a la vez, y convertir una o más instrucciones de máquina emuladas en un grupo correspondiente de instrucciones de máquina nativas para ser ejecutadas por el procesador nativo. Estas instrucciones convertidas pueden ser almacenadas en memoria caché, de modo que se pueda lograr una conversión más rápida. No obstante, el software de emulación está destinado a mantener las reglas de arquitectura de la arquitectura del procesador emulado, para garantizar que los sistemas operativos y las aplicaciones escritas para el procesador emulado funcionen correctamente. Además, el software de emulación proporciona recursos identificados por la arquitectura del procesador emulado que incluyen, entre otros, registros de control, registros de propósito general, registros de punto flotante, función de traducción dinámica de direcciones que incluye tablas de segmentos y tablas de páginas, por ejemplo, mecanismos de interrupción, mecanismos de conmutación de contexto, relojes de hora del día (TOD – Time of Day, en inglés) y las interfaces de arquitectura para los subsistemas de E/S, de tal manera que un sistema operativo o un programa de aplicación diseñado para ser ejecutado en el procesador emulado, pueden ser ejecutados en el procesador nativo que tiene el software de emulación.

Se descodifica una instrucción específica que está siendo emulada y se llama a una subrutina para realizar la función de la instrucción individual. Se implementa una función de software de emulación que emula una función de

un procesador emulado, por ejemplo, en una subrutina o controlador "C", o en algún otro método para proporcionar un controlador para el hardware especificado, que estará entre las habilidades de los expertos en la técnica tras la comprensión de la descripción de la realización preferida. Diversas patentes de software y de emulación de hardware incluyen, pero no están limitadas a, la Carta Patente de U.S.A. Nº 5.551.013, titulada "Multiprocessor for hardware emulation", por Beausoleil et al.; y la Carta Patente de U.S.A. Nº 6.009.261, titulada "Preprocessing of stored target routines for emulating incompatible instructions on a target processor", por Scalzi et al.; y la Carta Patente de U.S.A. Nº 5.574.873, titulada "Decoding guest instruction to directly access emulation routines that emulate the guest instructions", por Davidian et al.; y la Carta Patente de U.S.A. Nº 6.308.255, titulada "Symmetrical multiprocessing bus and chipset used for coprocessor support allowing non-native code to run in a system", por Gorishek et al.; y la Carta Patente de U.S.A. Nº 6.463.582, titulada "Dynamic optimizing object code translator for emulation and dynamic optimizing object code translation method", por Lethin et al.; y la Carta Patente de U.S.A. Nº 5.790.825, titulada "Method for emulating guest instructions on a host computer through dynamic recompilation of host instructions", por Eric Traut, y muchos otros, ilustran una variedad de formas conocidas para lograr la emulación de un formato de instrucción diseñado para una máquina diferente para una máquina objetivo disponible para los expertos en la técnica.

En la figura 16, se proporciona un ejemplo de un sistema 5092 de ordenador anfitrión emulado que emula un sistema 5000' de ordenador anfitrión de una arquitectura de anfitrión. En el sistema 5092 del ordenador anfitrión emulado, el procesador (CPU) 5091 es un procesador anfitrión (o procesador virtual) emulado y comprende un procesador 5093 de emulación que tiene una arquitectura de conjunto de instrucciones nativas diferente a la del procesador 5091 del ordenador 5000'. El sistema 5092 del ordenador anfitrión emulado tiene una memoria 5094 accesible para el procesador de emulación 5093. En la realización a modo de ejemplo, la memoria 5094 se divide en una parte de la memoria 5096 del ordenador anfitrión y una parte de las rutinas de emulación 5097. La memoria del ordenador anfitrión 5096 está disponible para los programas del ordenador anfitrión emulado 5092 de acuerdo con la arquitectura del ordenador anfitrión. El procesador de emulación 5093 ejecuta instrucciones nativas de un conjunto de instrucciones de arquitectura de una arquitectura distinta a la del procesador emulado 5091, las instrucciones nativas obtenidas a partir de las rutinas de emulación de la memoria 5097, y puede acceder a una instrucción de anfitrión para ser ejecutada desde un programa en la memoria del ordenador anfitrión 5096 empleando una instrucción o más instrucciones obtenidas en una secuencia y acceso / descodificación de rutina que puede descodificar la instrucción o las instrucciones de anfitrión a las que se accede para determinar una rutina de ejecución de instrucciones nativas para emular la función de la instrucción de anfitrión a la que se accede. Otras funciones que están definidas para la arquitectura del sistema 5000' del equipo anfitrión pueden ser emuladas por las rutinas de las funciones arquitectónicas, incluidas las funciones tales como registros de propósito general, registros de control, traducción dinámica de direcciones y soporte del subsistema de E/S y memoria caché del procesador, por ejemplo. Las rutinas de emulación también pueden aprovechar las funciones disponibles en el procesador de emulación 5093 (tales como los registros generales y la traducción dinámica de direcciones virtuales) para mejorar el rendimiento de las rutinas de emulación. También pueden proporcionarse hardware especial y motores de descarga para ayudar al procesador 5093 a emular la función del ordenador anfitrión 5000'.

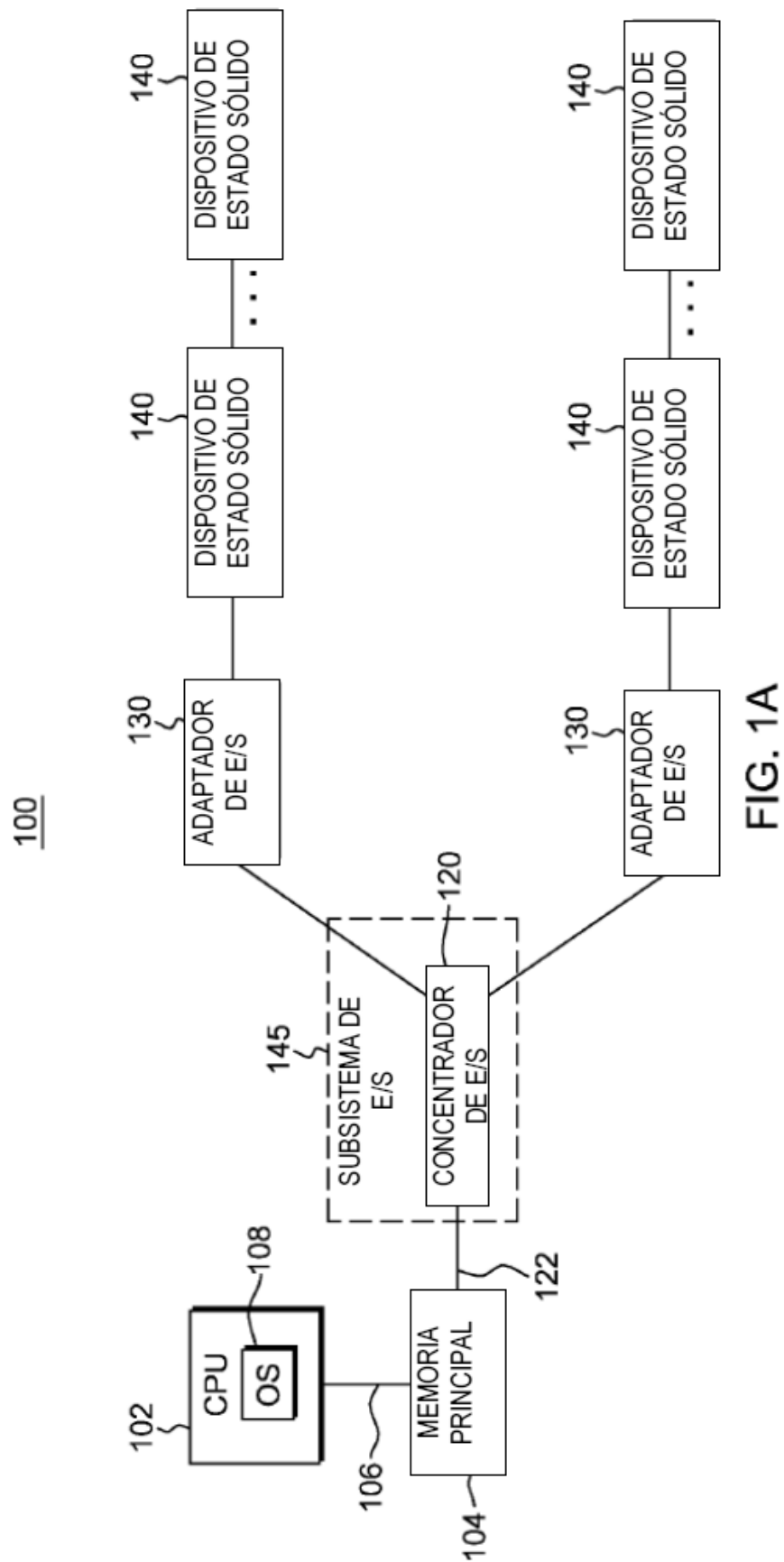
La terminología utilizada en el presente documento tiene el propósito de describir solo realizaciones particulares y no pretende limitar la invención. Tal como se utiliza en el presente documento, estas formas singulares "un", "una", "el" y "la" pretenden incluir también las formas plurales, a menos que el contexto indique claramente lo contrario. Se comprenderá además que los términos "comprende" y/o "que comprende", cuando se utilizan en esta especificación, especifican la presencia de las características, enteros, etapas, operaciones, elementos y/o componentes indicados, pero no excluyen la presencia o la adición de una o más características, enteros, etapas, operaciones, elementos, componentes y/o grupos de los mismos.

Las estructuras, materiales, actos y equivalentes correspondientes de todos los medios o etapas más elementos de función en las reivindicaciones siguientes, si existen, pretenden incluir cualquier estructura, material o acto para realizar la función en combinación con otros elementos reivindicados, tal como se reivindica de manera específica. La descripción de la presente invención se ha presentado con fines de ilustración y descripción, pero no pretende ser exhaustiva o estar limitada a la invención en la forma descrita. Muchas modificaciones y variaciones serán evidentes para los expertos en la técnica sin apartarse del alcance de la invención. La realización fue elegida y descrita con el fin de explicar mejor los principios de la invención y la aplicación práctica, y permitir que otros expertos en la técnica comprendan la invención para diversas realizaciones con diversas modificaciones que sean adecuadas para la utilización particular contemplada.

## REIVINDICACIONES

1. Un método para ejecutar una instrucción de canal secundario de inicio (300) que designa un canal secundario de traslado de datos asíncrono (ADM) y un bloque de solicitud de operación de traslado de datos asíncronos extendidos (200), en un entorno informático que comprende almacenamiento principal (104) y memoria de clase de almacenamiento (140), comprendiendo dicho método:  
5 en respuesta (320) a determinar que el canal secundario identificado por la instrucción de Iniciar canal secundario es un canal secundario de trasladador de datos asíncronos (ADM), realizar:  
  
obtener el bloque de solicitud de operación del almacenamiento principal, comprendiendo el bloque de solicitud de operación una dirección de un bloque de operación (220);  
10 en base a la dirección del bloque de operación, obtener (328) el bloque de operación (220) del almacenamiento principal, consistiendo el bloque de operación (220) en un bloque de solicitud (222), un bloque de respuesta (224) y uno o más bloques de especificación de traslado (MSB) (226),  
  
en el que el bloque de solicitud comprende un campo de recuento de MSB que tiene un valor que indica el número de MSB del bloque de operación, en el que el bloque de respuesta (224) está configurado para contener  
15 situaciones de excepción,  
  
en el que cada bloque de especificación de traslado (226) está configurado para incluir un campo de código de operación (262), un campo de recuento de bloques (268), un campo de dirección de almacenamiento principal (270), un campo de dirección de memoria de clase de almacenamiento (272), un campo de tamaño de bloque (266) y un campo de indicadores (264);  
20 para cada bloque de MSB del bloque de operación, obtener (330, 332) el bloque de especificación de traslado del bloque de operación, y  
  
determinar (334), en base al campo de indicadores, que el bloque de especificación de traslado obtenido está configurado para obtener una lista de una o más palabras de dirección de datos indirectos, en el que el campo de dirección de almacenamiento principal del bloque de especificación de traslado obtenido designa una dirección de  
25 una primera palabra de dirección de datos indirectos de la lista de una o más palabras de dirección de datos indirectos, especificando el MSB obtenido uno o más bloques de datos;  
  
para cada bloque de datos especificado por el MSB obtenido, obtener, a partir de un campo de dirección de almacenamiento principal de una palabra de dirección de datos indirectos de la lista de una o más palabras de dirección de datos indirectos una dirección de almacenamiento principal para ser utilizada en la transferencia de  
30 datos, en el que un número de bloques y un tamaño de bloque se determinan en base al campo de recuento de bloques y al campo de tamaño de bloque del MSB obtenido;  
  
determinar, en base a un código de operación del campo de código de operación en el bloque de especificación de traslado obtenido, que el bloque de especificación de traslado obtenido está configurado para trasladar bloques de datos; y  
35 en base al bloque de especificación de traslado obtenido, trasladar cada bloque de datos entre el almacenamiento principal y la memoria de clase de almacenamiento, en el que  
  
se obtiene una dirección de la memoria de clase de almacenamiento utilizada para el traslado utilizando el campo de dirección de memoria de clase de almacenamiento.  
40 2. El método de la reivindicación 1, en el que una serie de palabras de dirección de datos indirectos en la lista es una suma de un número especificado por el campo de recuento de bloques y una cantidad de palabras de dirección de datos indirectos que especifican una rama hasta la siguiente palabra de dirección de datos indirectos, la rama hasta la siguiente palabra de dirección de datos indirectos especificada en el campo de indicadores.  
  
3. El método de la reivindicación 1, en el que en respuesta a que el código de operación en el campo de código de operación del bloque de especificación de traslado obtenido está configurado en un primer valor, el código de  
45 operación designa una operación de lectura y el traslado comprende trasladar cada bloque de datos desde la memoria de clase de almacenamiento hasta el almacenamiento principal.  
  
4. El método de la reivindicación 1, en el que en respuesta a que el código de operación en el campo de código de operación del bloque de especificación de traslado obtenido está configurado en un segundo valor, el código de  
50 operación designa una operación de escritura, y el traslado comprende trasladar cada bloque de datos desde el almacenamiento principal hasta la memoria de clase de almacenamiento.  
  
5. El método de cualquiera de las reivindicaciones anteriores, en el que el tamaño designado en el campo de tamaño de bloque del bloque de especificación de traslado obtenido es 4K o 1M.

6. El método de la reivindicación 1, que comprende además generar una o más situaciones de estado, en respuesta a la finalización del traslado, siendo accesibles las una o más situaciones de estado para un emisor de la instrucción de Iniciar canal secundario.
- 5 7. El método de la reivindicación 1, en el que el bloque de respuesta se rellena en respuesta a una situación de error detectada durante la ejecución de la operación de traslado.
8. Un sistema informático para ejecutar una instrucción de Iniciar canal secundario que designa un canal secundario de trasladador de datos asíncronos (ADM) y un bloque de solicitud de operación de trasladador de datos asíncronos extendidos, en un entorno informático que comprende almacenamiento principal y memoria de clase de almacenamiento, comprendiendo dicho sistema informático:
- 10 una memoria; y
- un procesador, en comunicaciones con la memoria, en el que el sistema informático está configurado para ejecutar el método de acuerdo con cualquiera de las reivindicaciones anteriores.
9. Un producto de programa informático para ejecutar una instrucción de Iniciar canal secundario que designa un canal secundario de desplazamiento de datos asíncronos (ADM) y un bloque de solicitud de operación de trasladador de datos asíncronos extendidos, en un entorno informático que comprende almacenamiento principal y memoria de clase de almacenamiento, comprendiendo dicho producto de programa informático:
- 15 un medio de almacenamiento legible por ordenador, legible por un circuito de procesamiento, y que almacena instrucciones para su ejecución por parte del circuito de procesamiento, para ejecutar un método de acuerdo con cualquiera de las reivindicaciones 1 a 7.



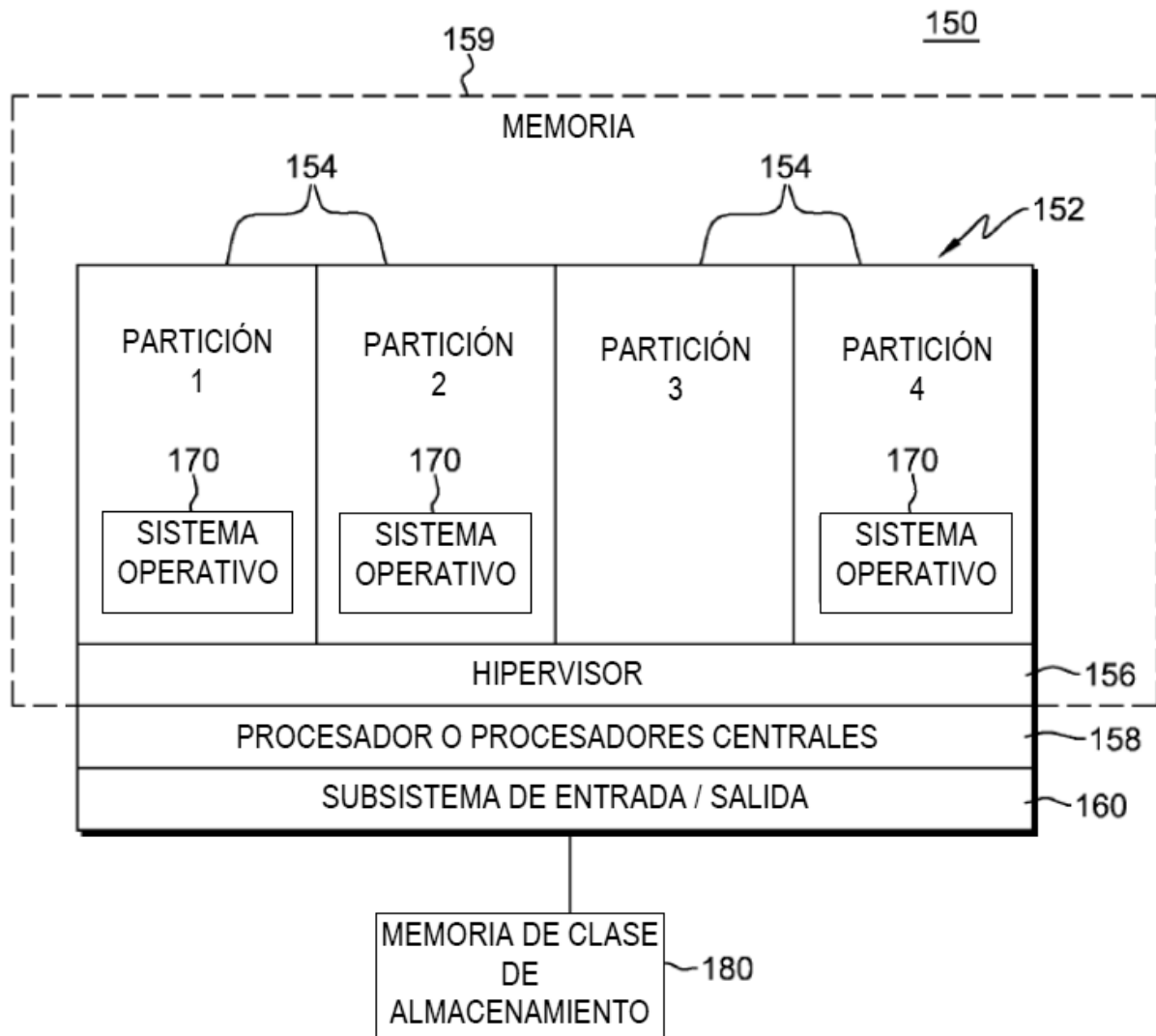


FIG. 1B

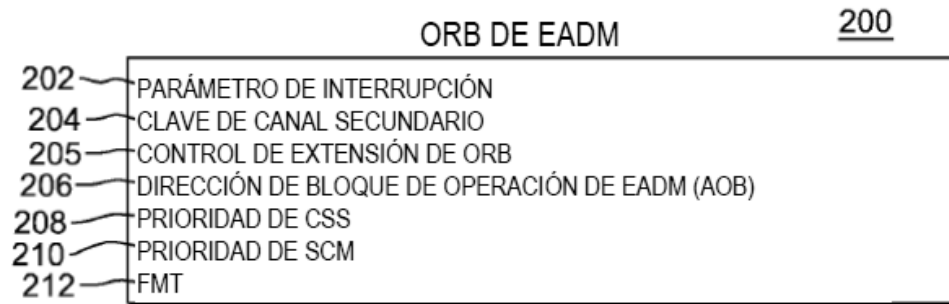


FIG. 2A

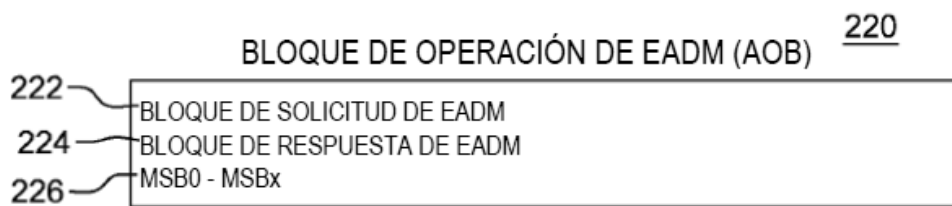


FIG. 2B

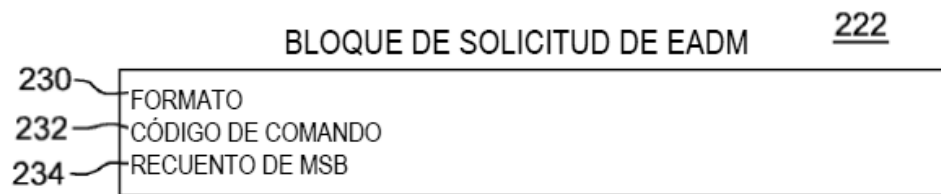


FIG. 2C

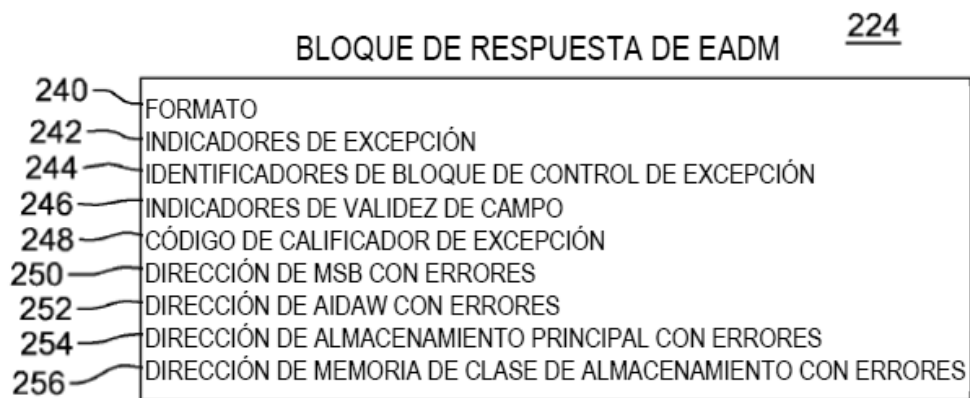


FIG. 2D



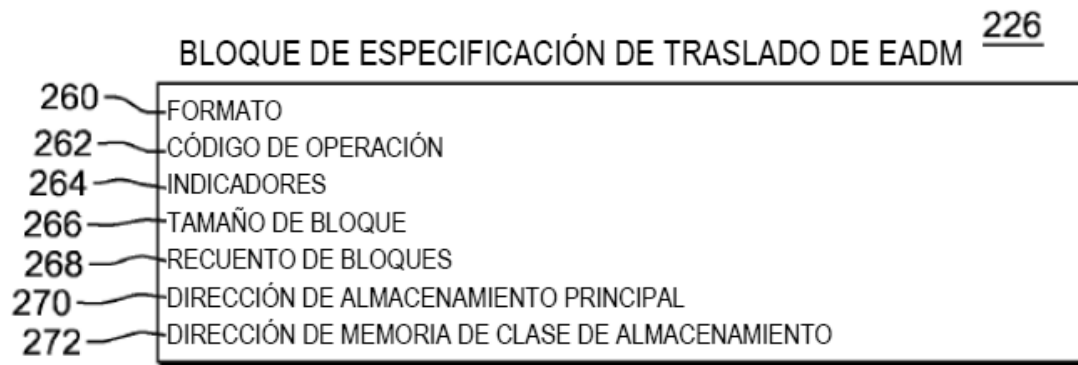


FIG. 2E

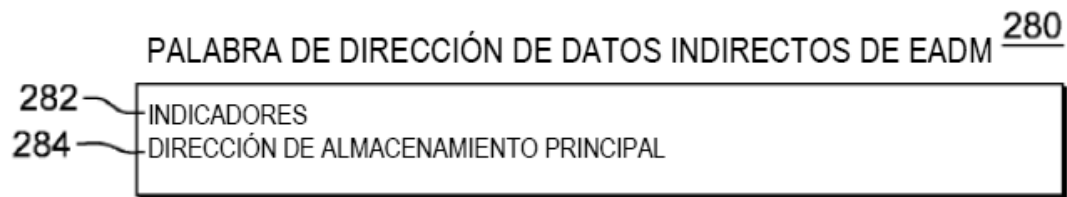


FIG. 2F

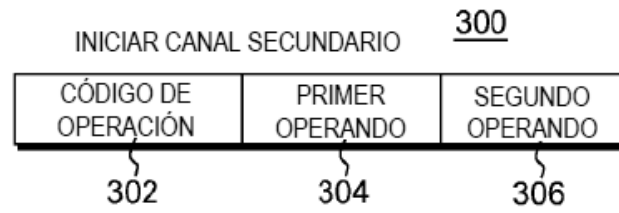


FIG. 3A

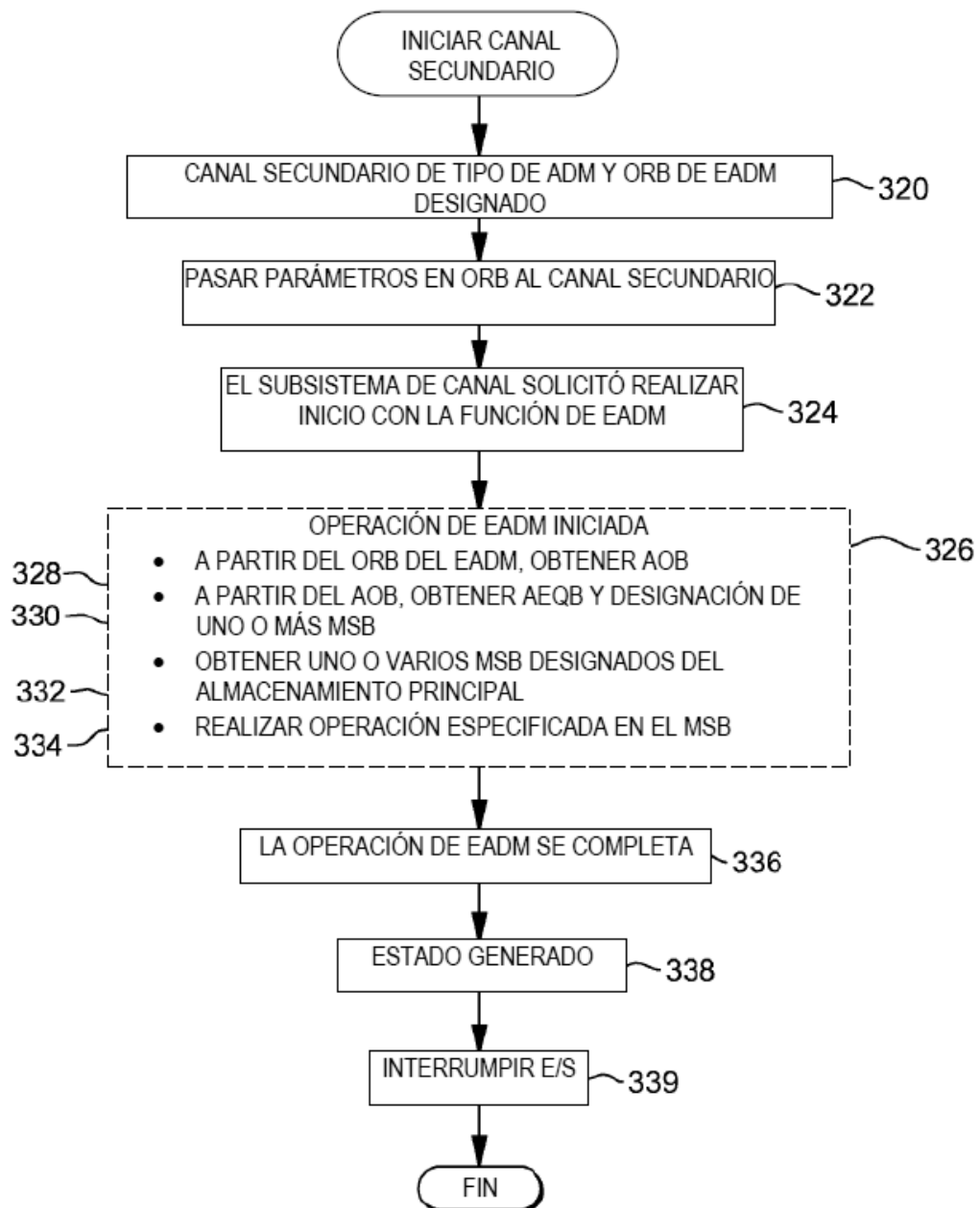


FIG. 3B

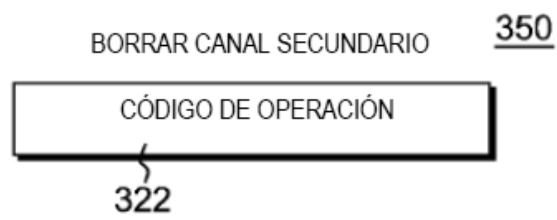


FIG. 3C

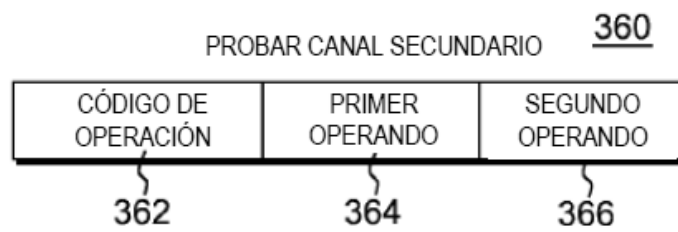


FIG. 3D

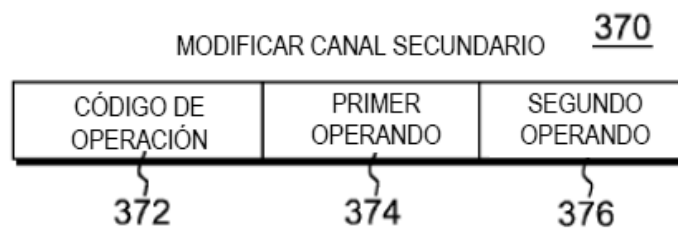


FIG. 3E

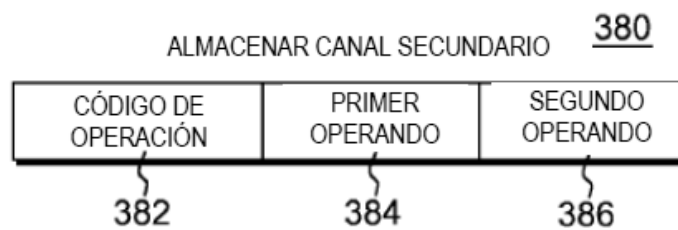
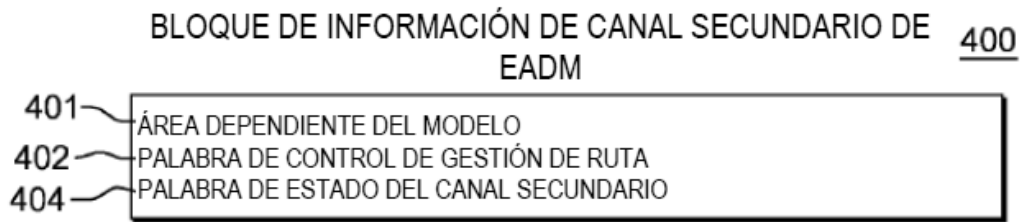
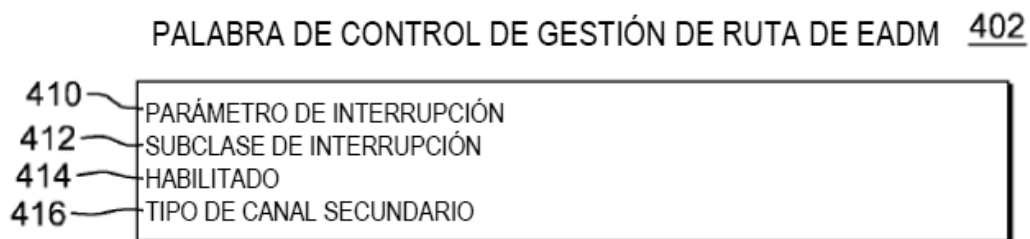


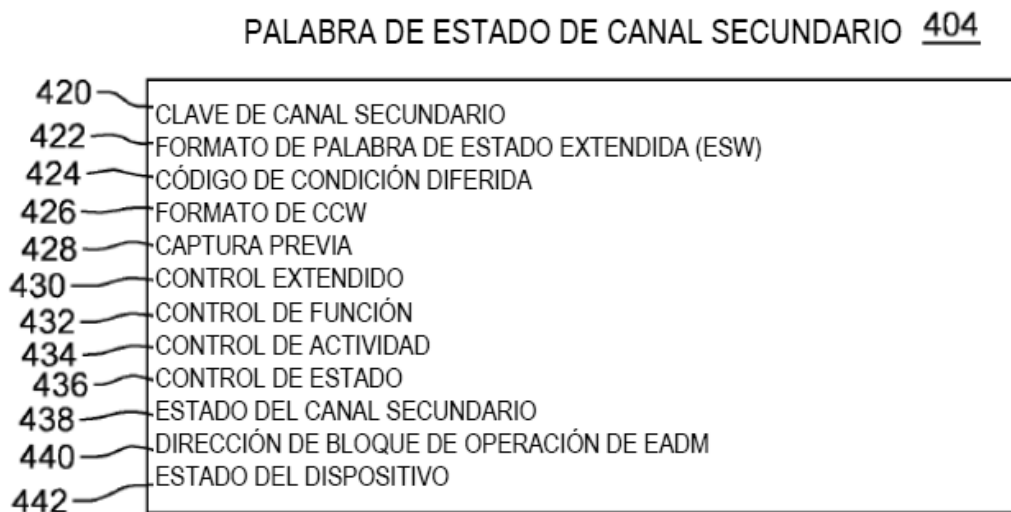
FIG. 3F



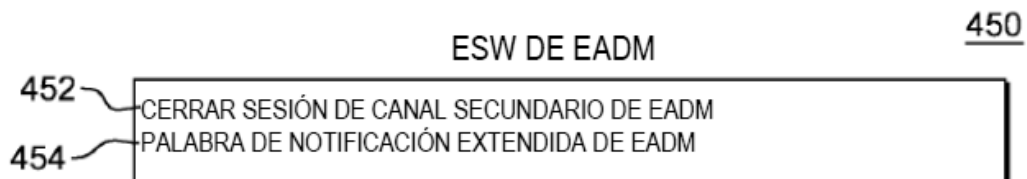
**FIG. 4A**



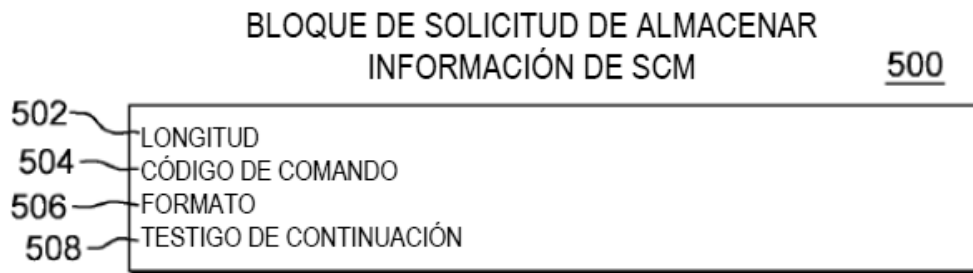
**FIG. 4B**



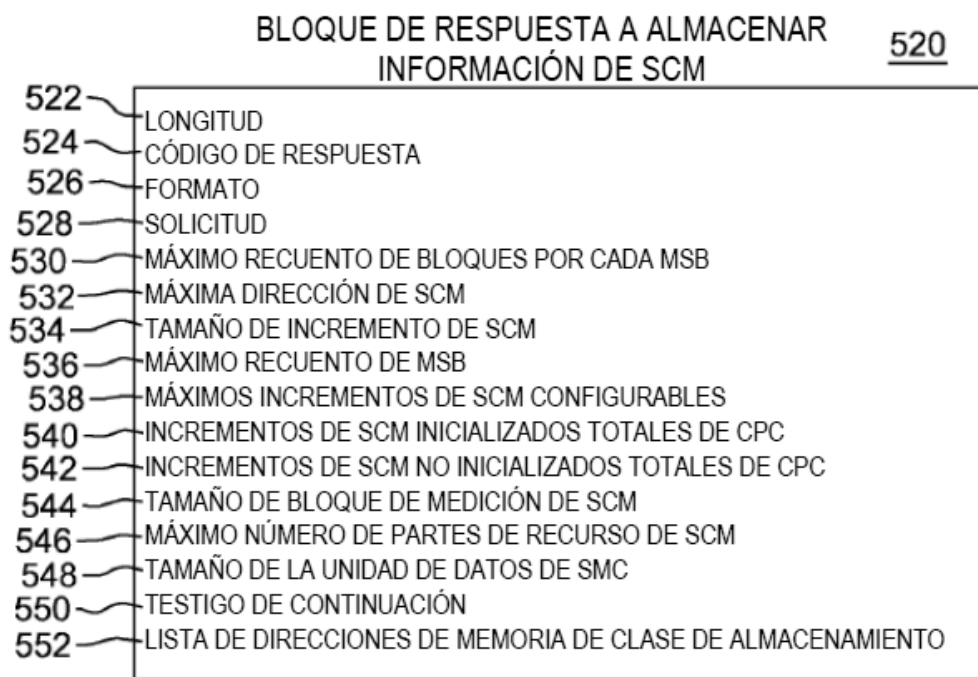
**FIG. 4C**



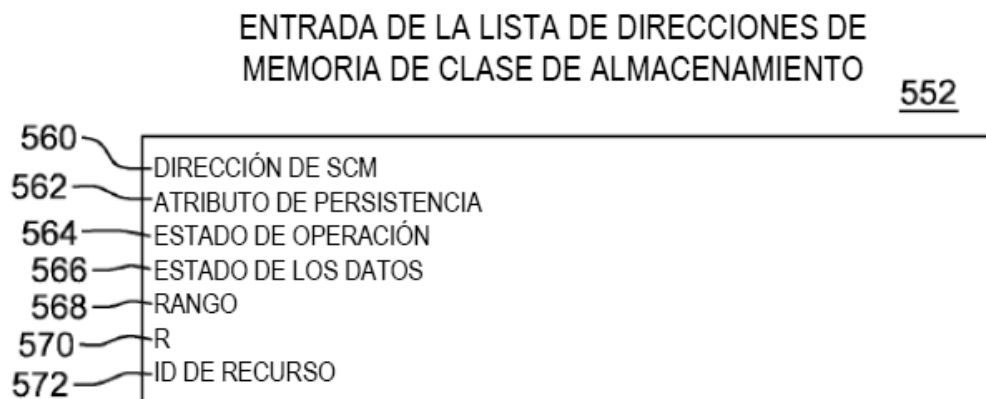
**FIG. 4D**



**FIG. 5A**



**FIG. 5B**



**FIG. 5C**

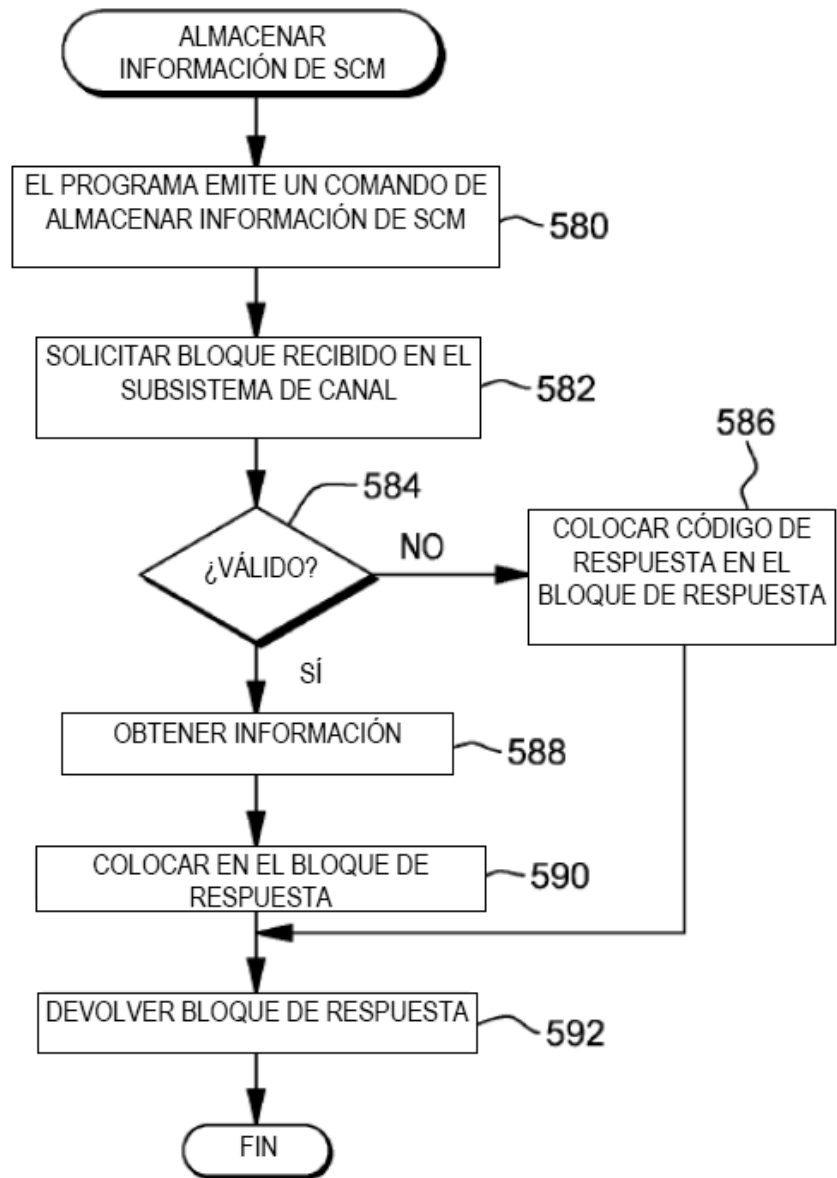


FIG. 5D

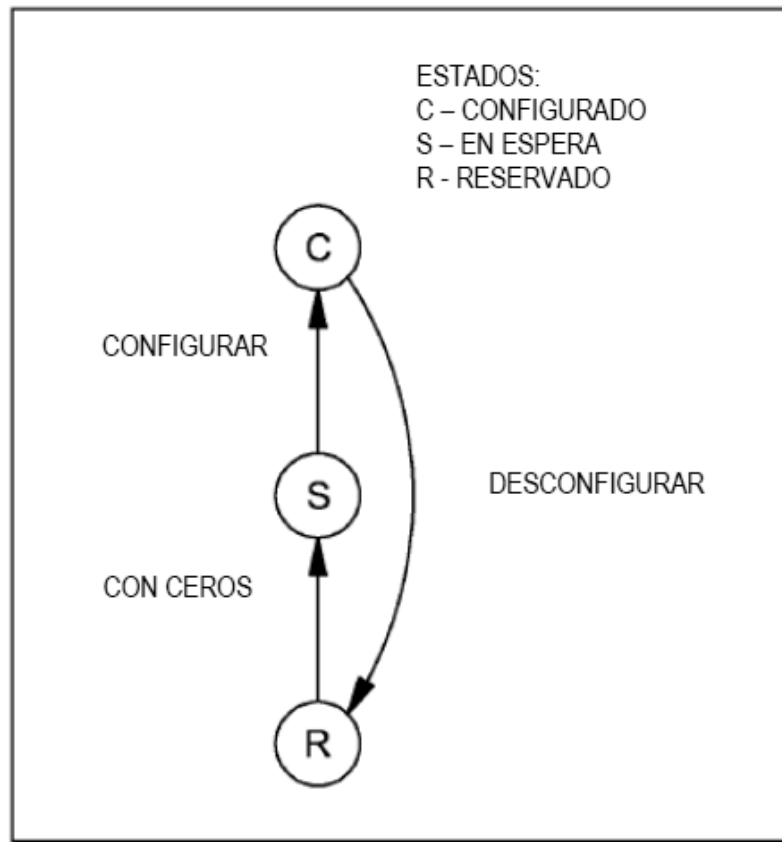


FIG. 6A

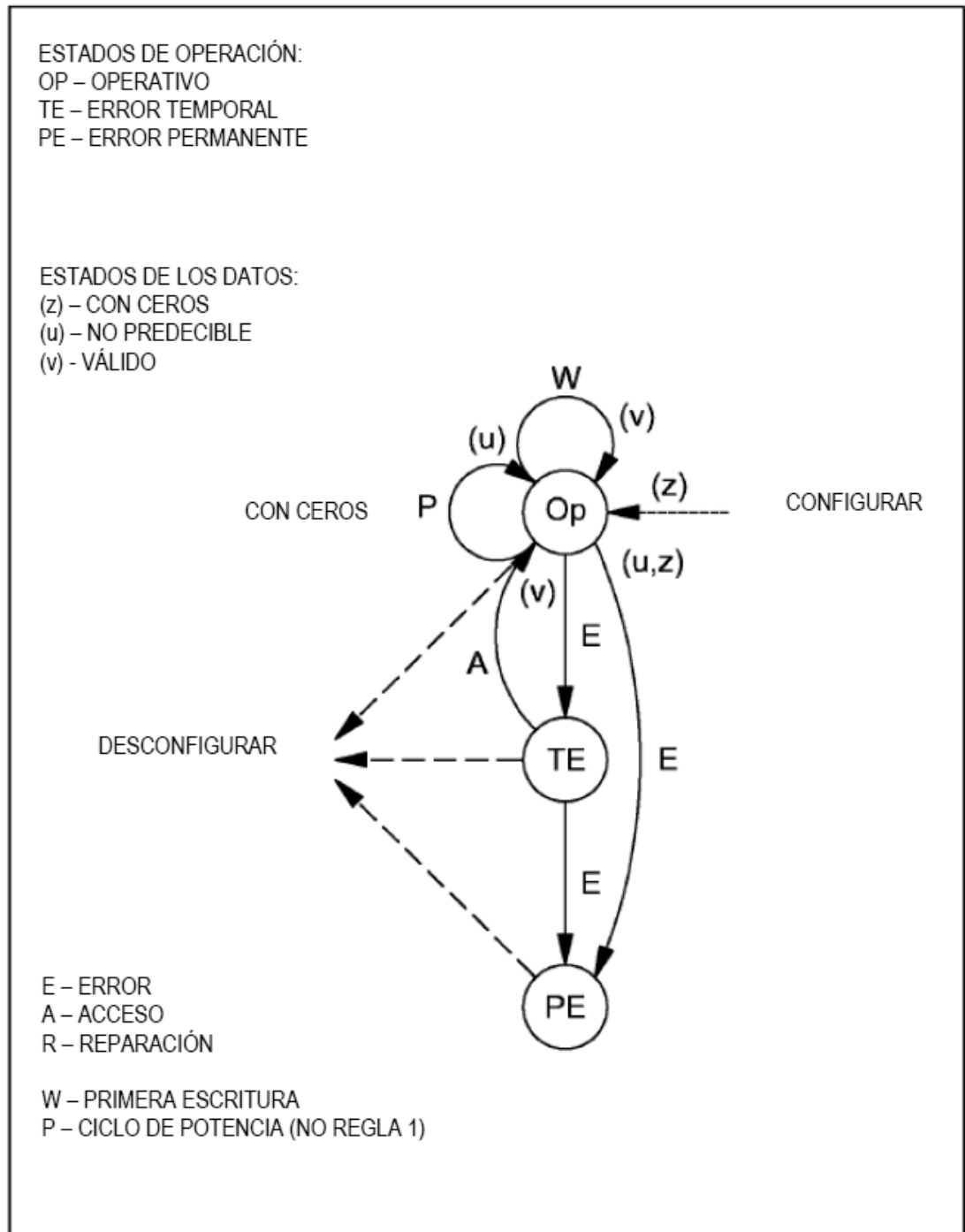


FIG. 6B



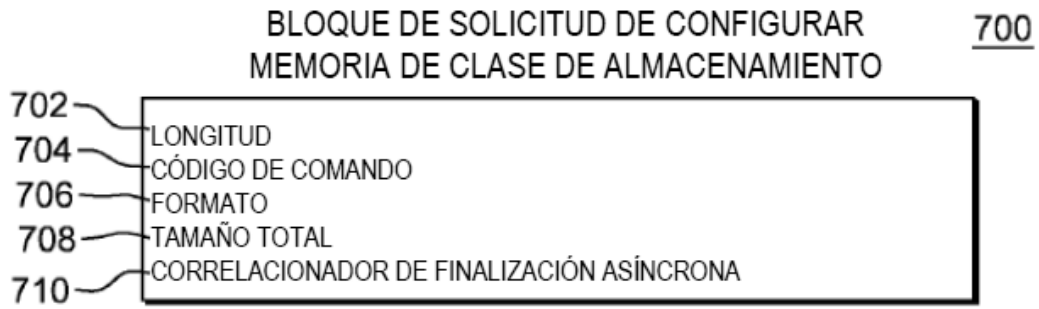


FIG. 7A

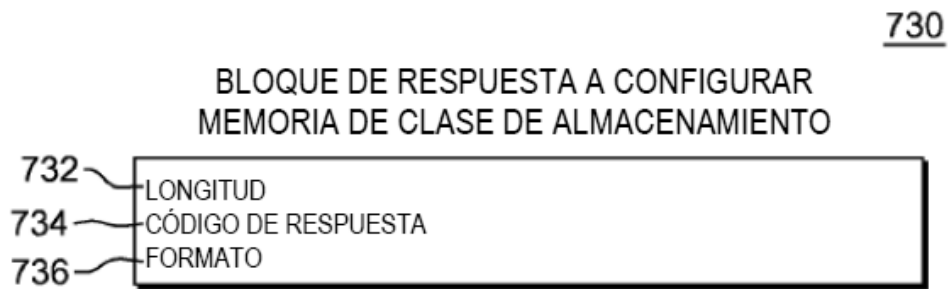


FIG. 7B

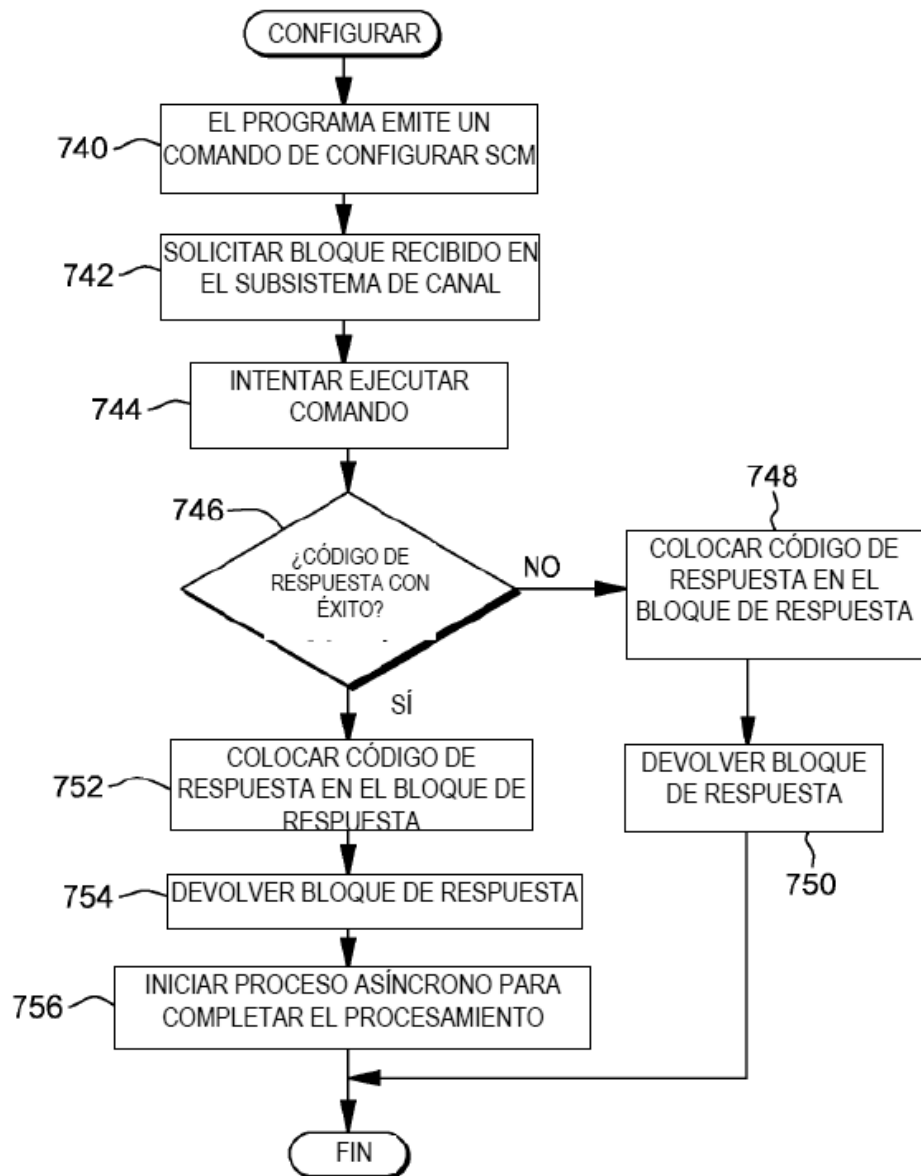


FIG. 7C

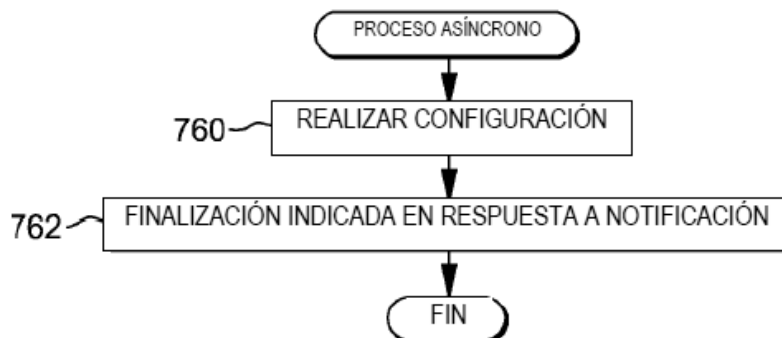
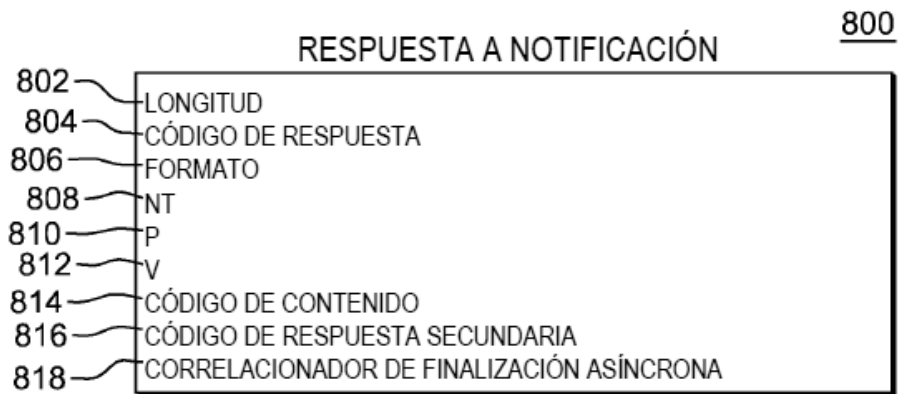
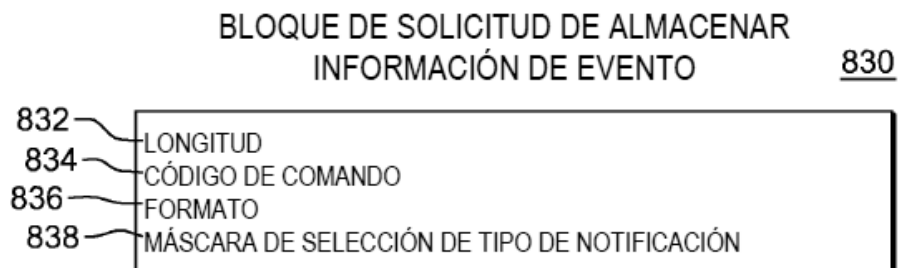


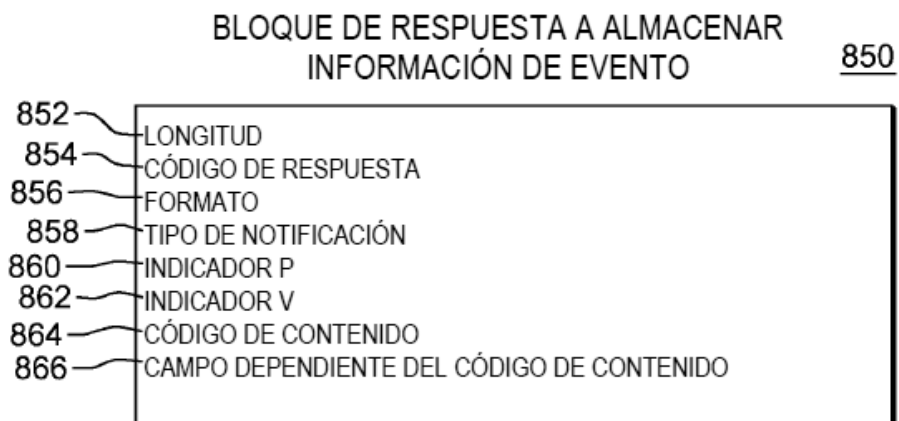
FIG. 7D



**FIG. 8A**



**FIG. 8B**



**FIG. 8C**

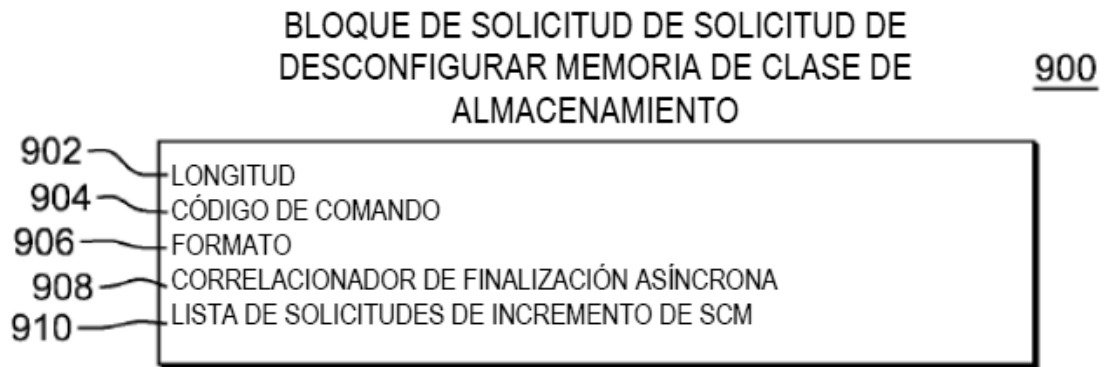


FIG. 9A

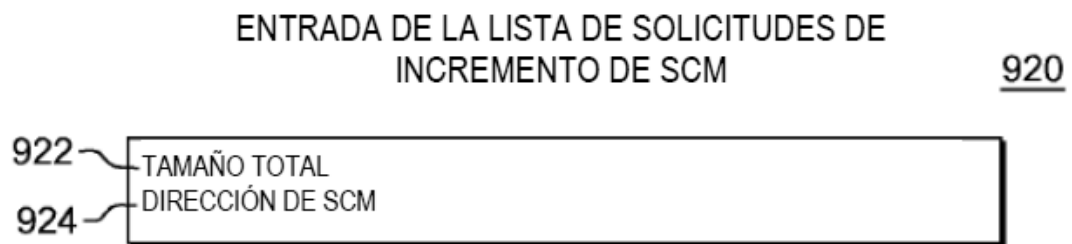


FIG. 9B

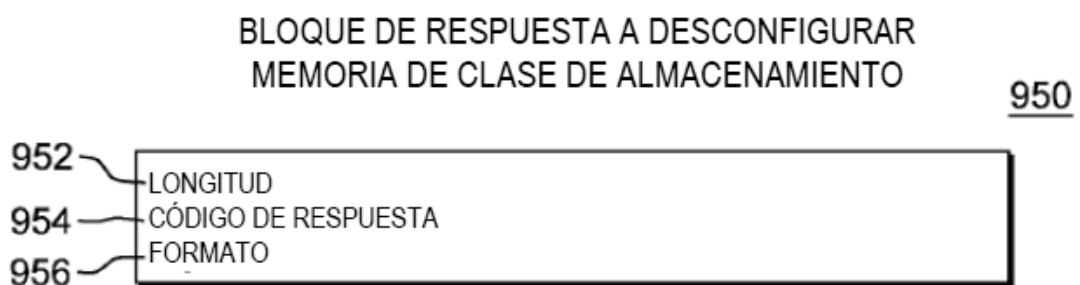


FIG. 9C

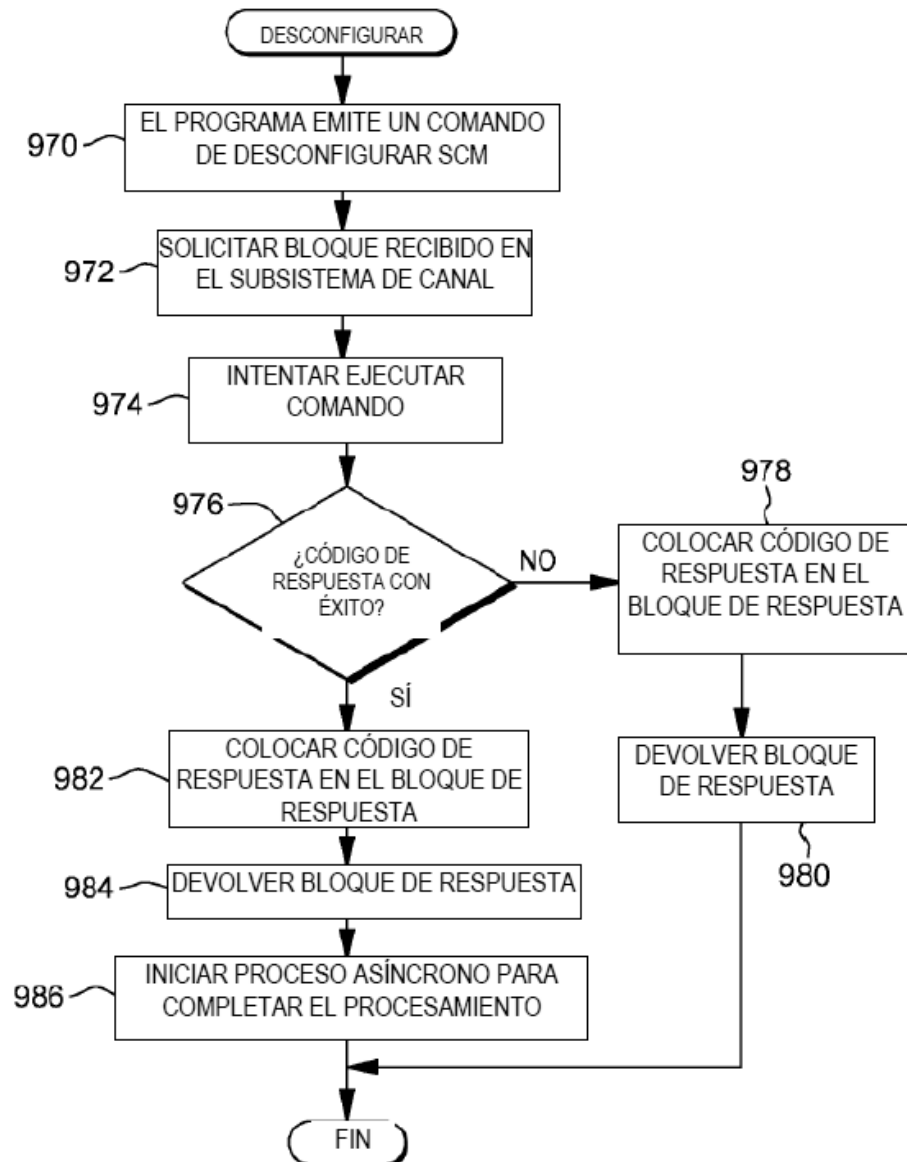


FIG. 9D

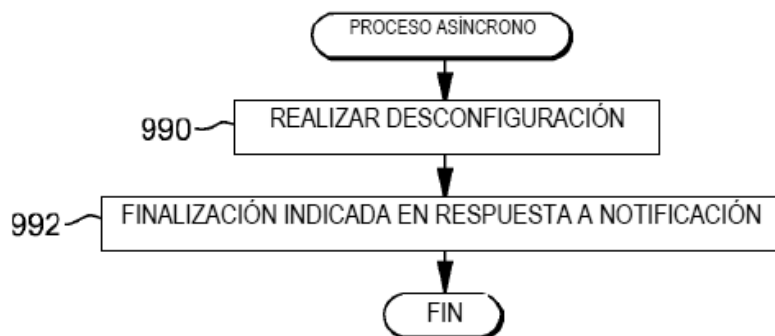


FIG. 9E

PRODUCTO DE  
PROGRAMA  
INFORMÁTICO  
1000



FIG. 10

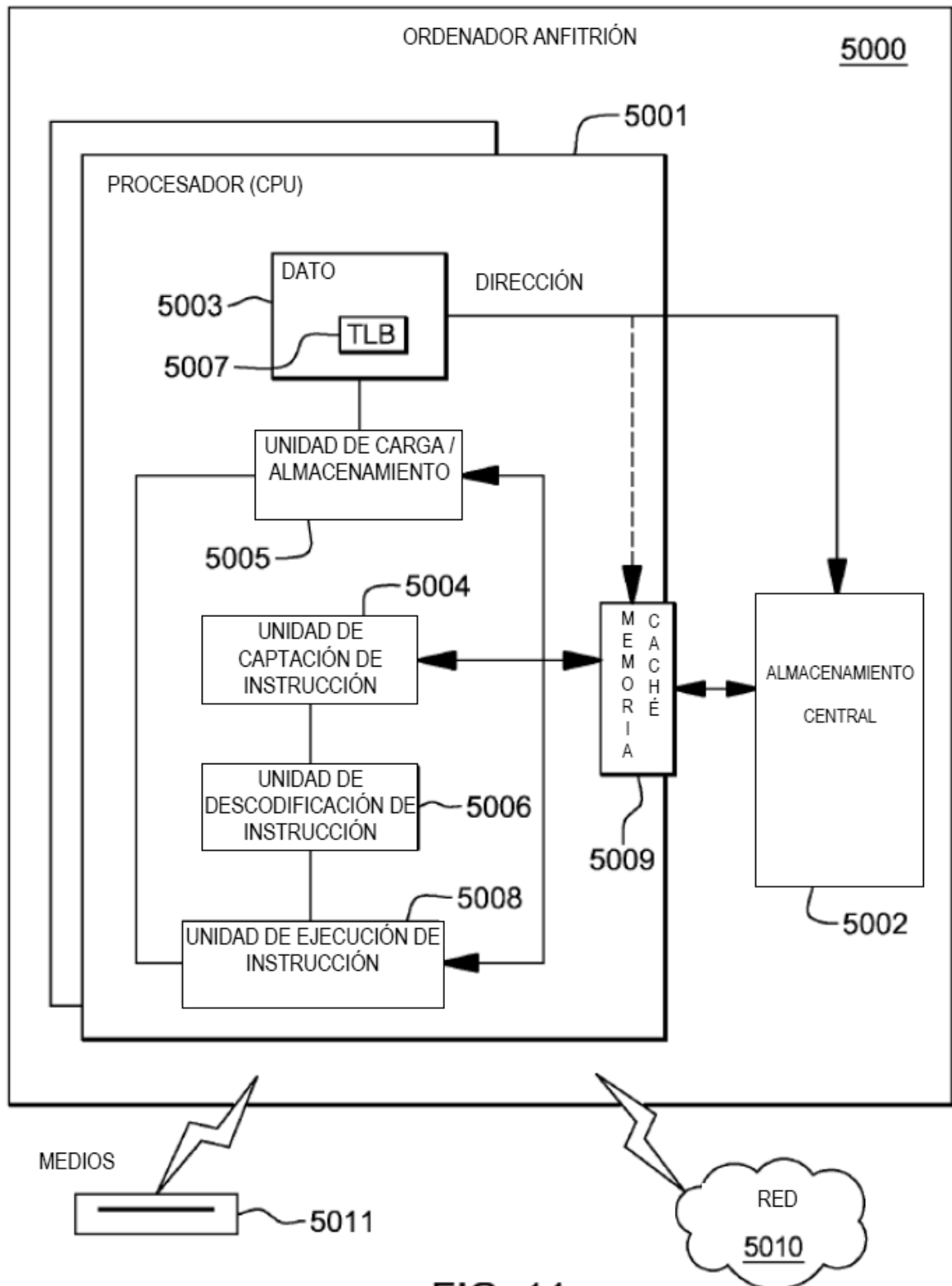


FIG. 11

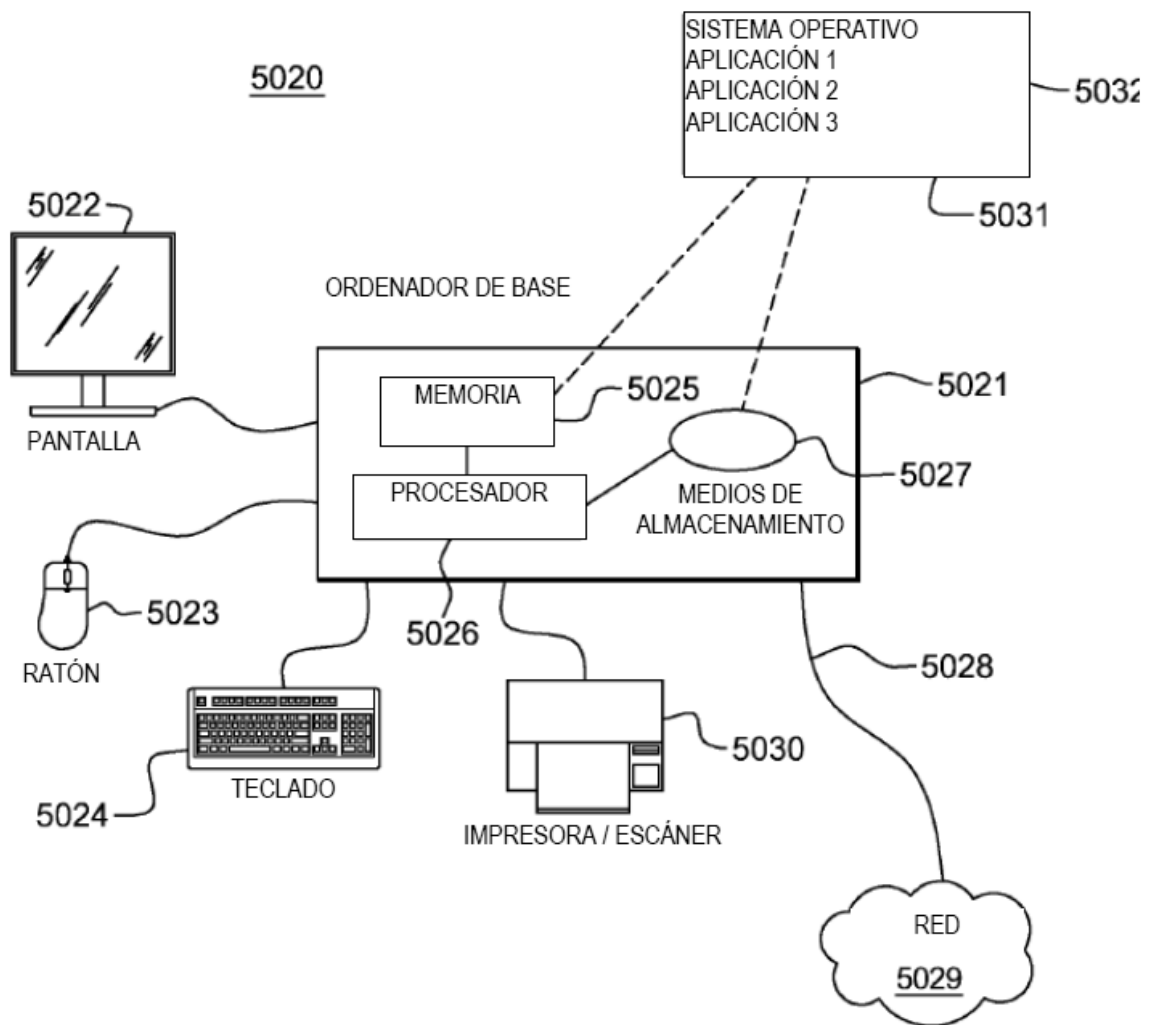


FIG. 12



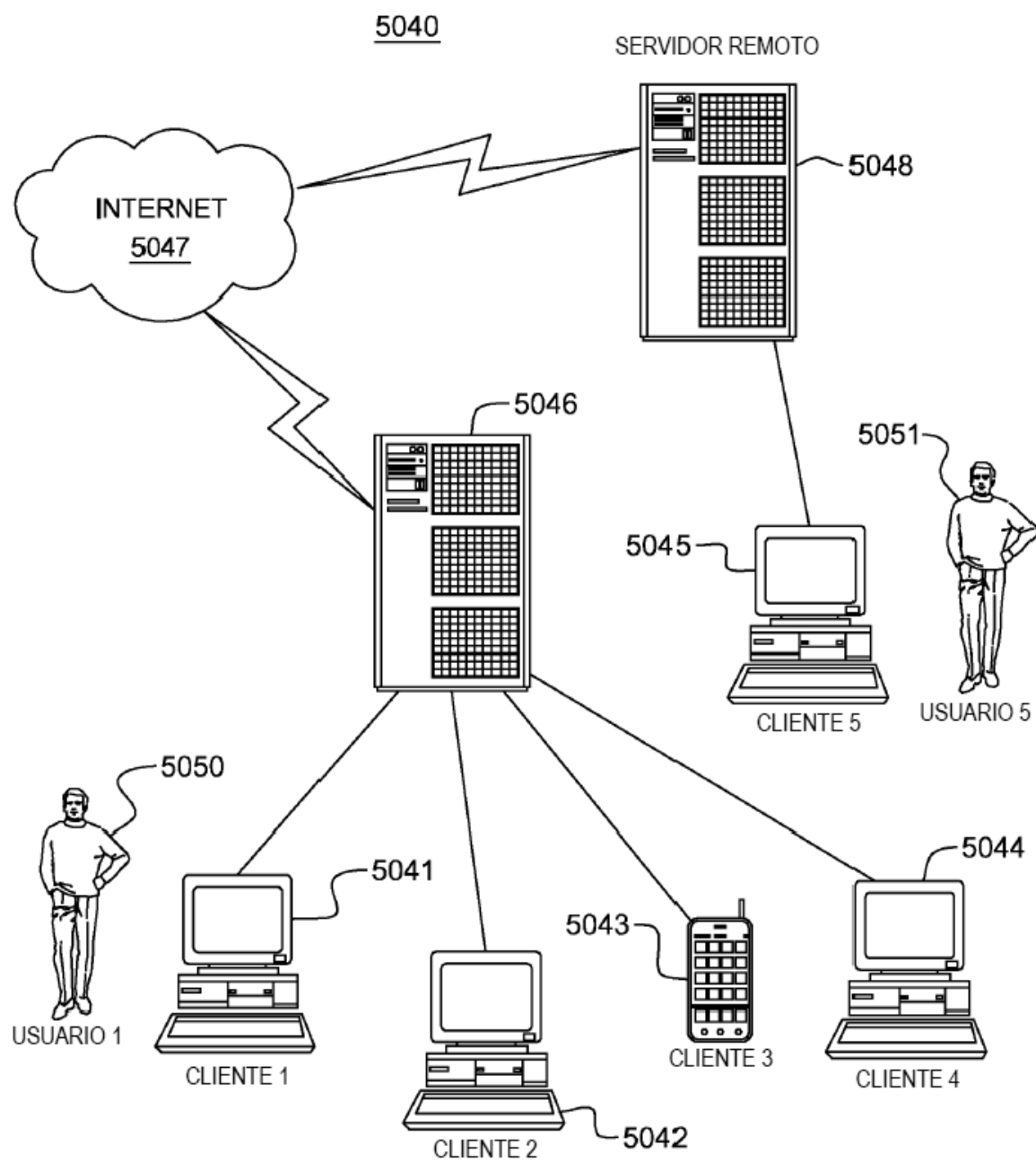


FIG. 13

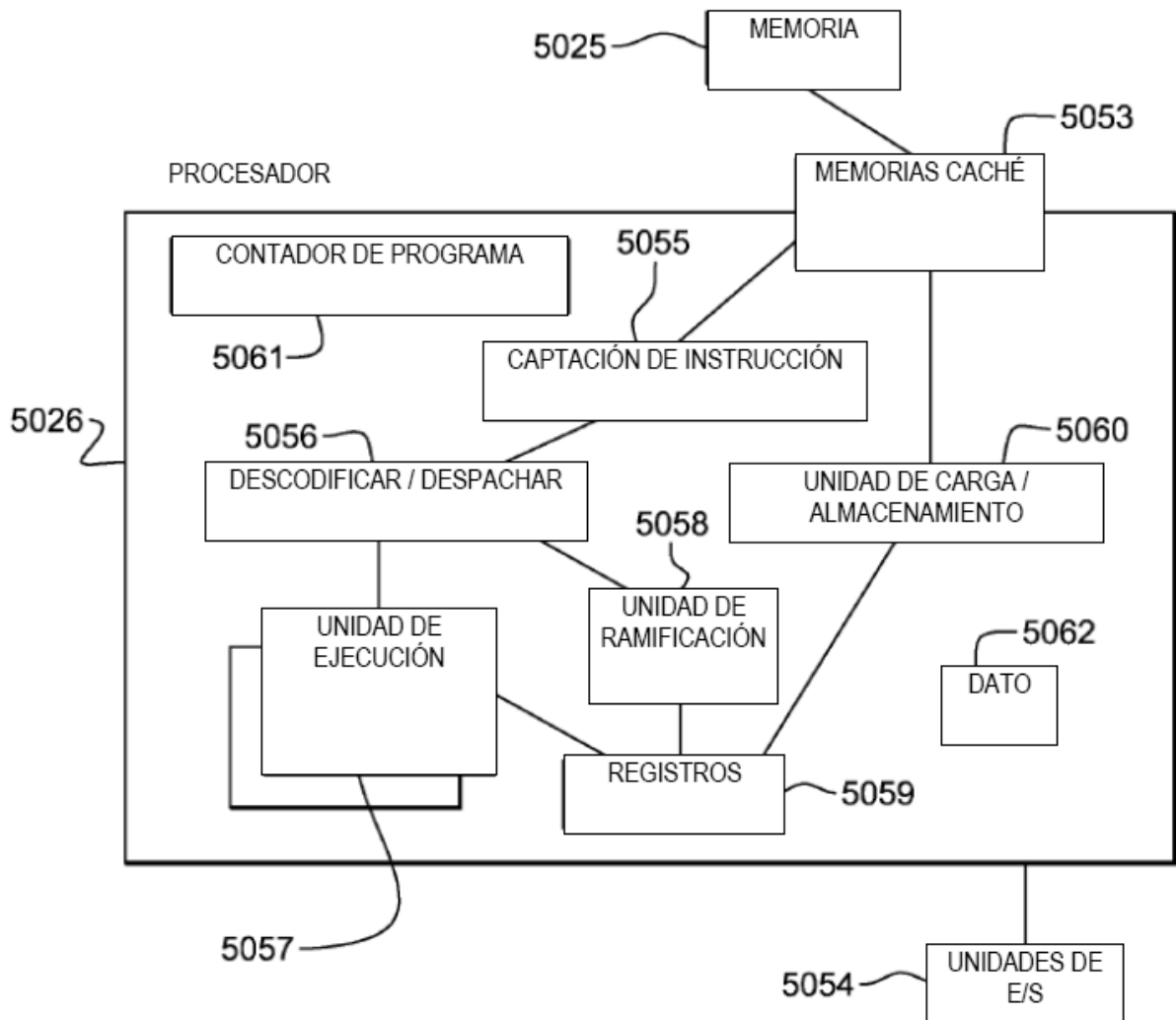


FIG. 14

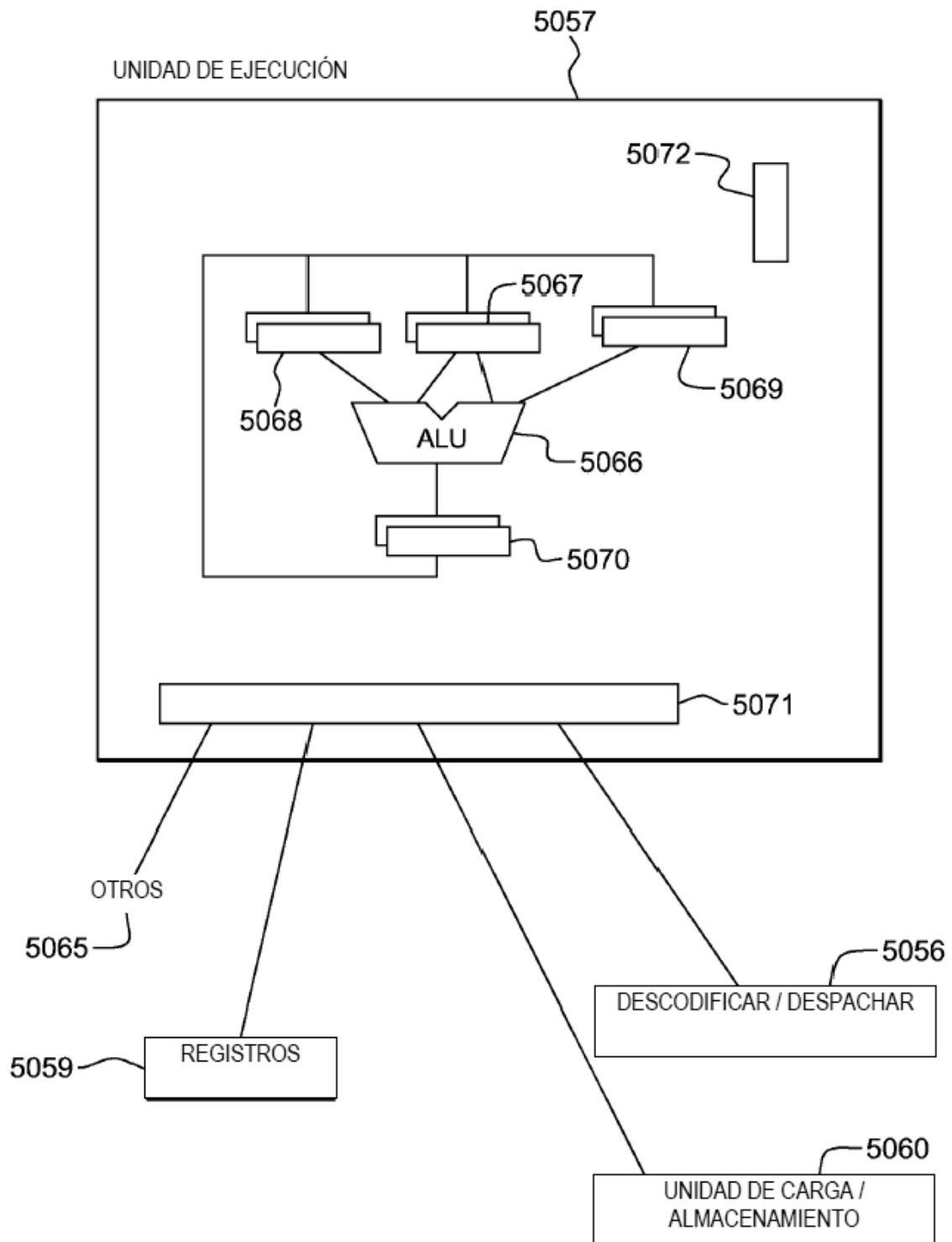


FIG. 15A

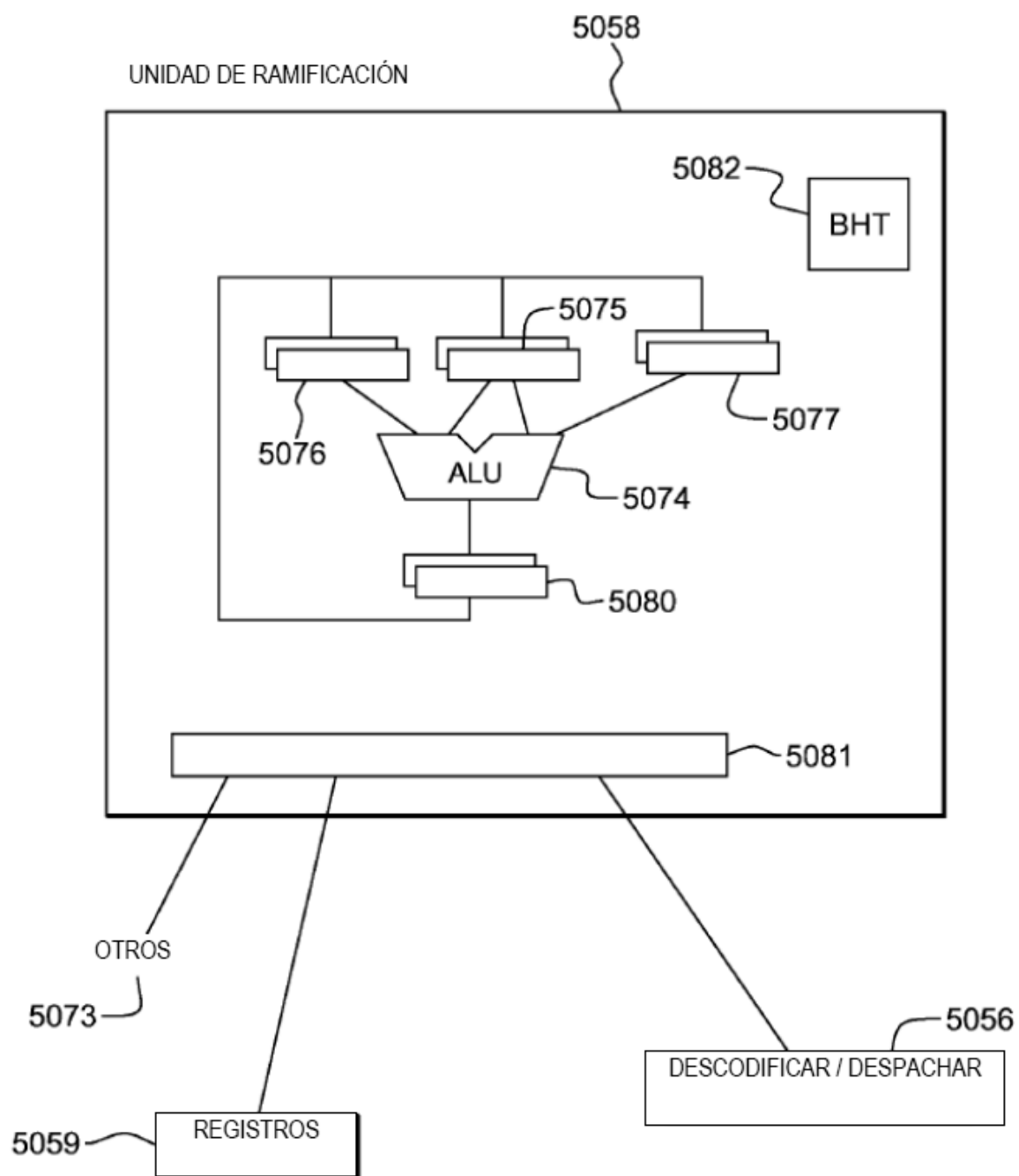


FIG. 15B

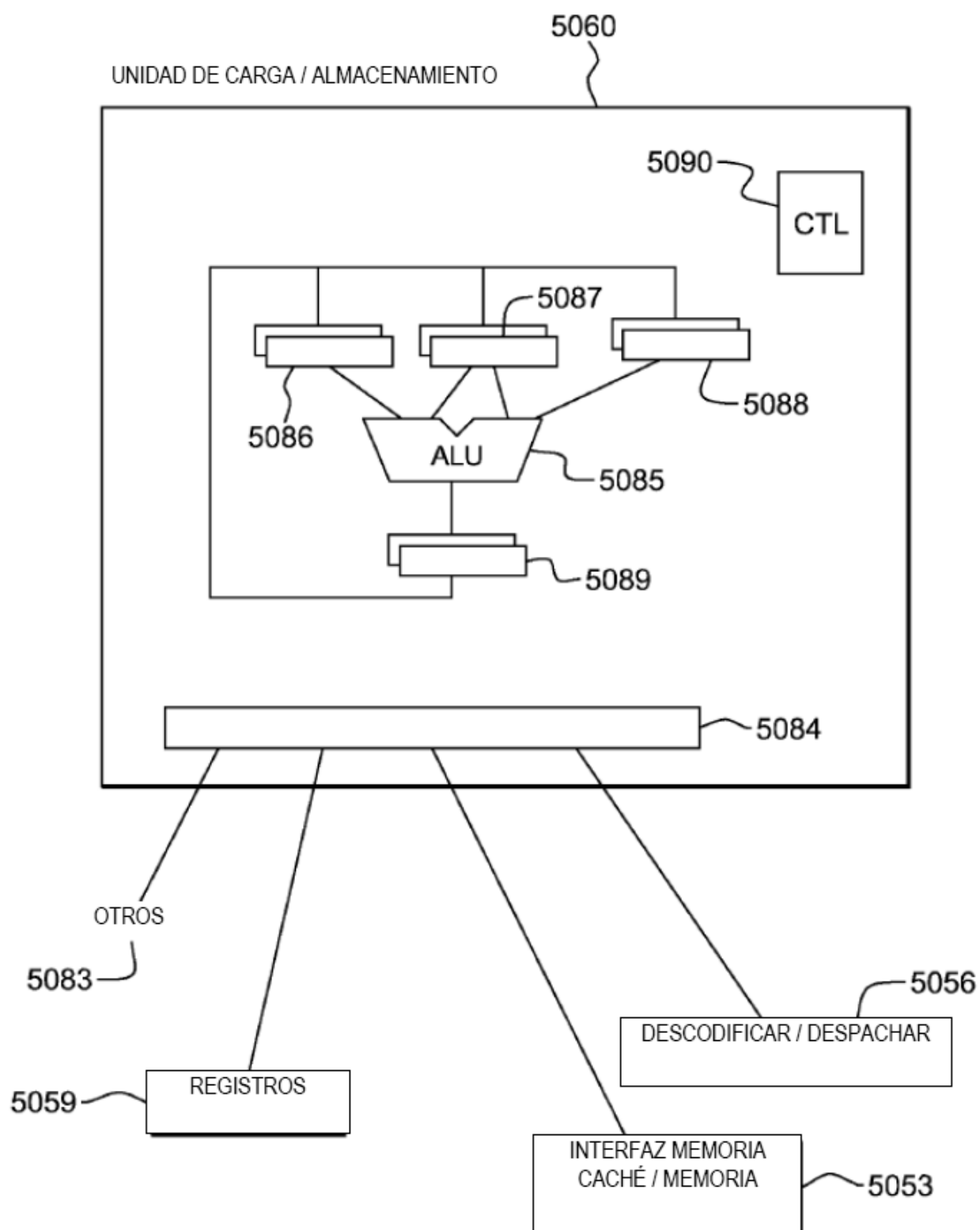


FIG. 15C

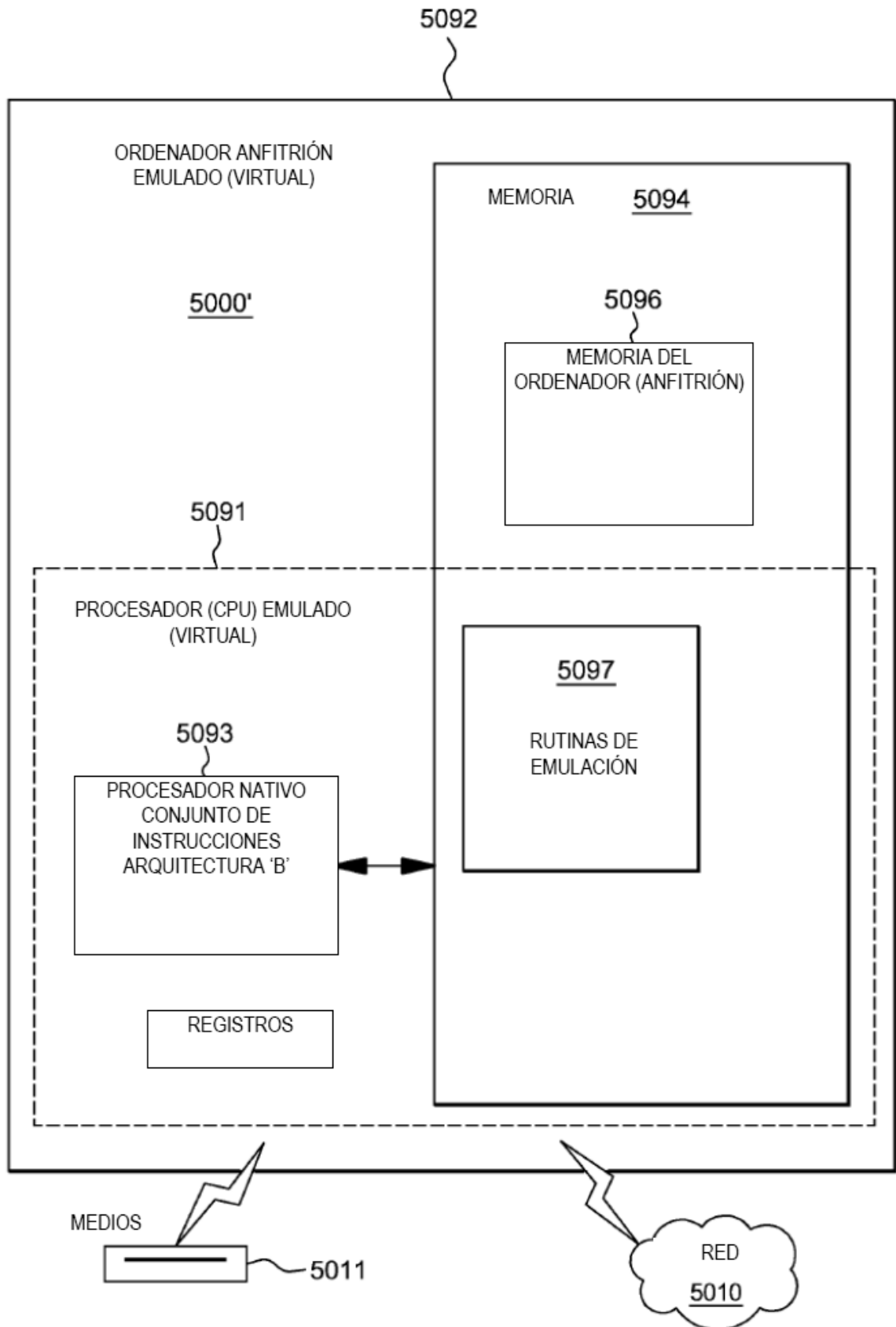


FIG. 16