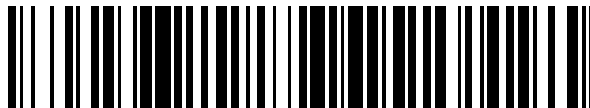


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 710 900**

51 Int. Cl.:

**G05F 1/40**

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **28.01.2005 PCT/US2005/002709**

87 Fecha y número de publicación internacional: **09.09.2005 WO05081770**

96 Fecha de presentación y número de la solicitud europea: **28.01.2005 E 05712231 (9)**

97 Fecha y número de publicación de la concesión europea: **21.11.2018 EP 1714200**

54 Título: **Función de transferencia de ADC que proporciona una regulación dinámica mejorada en una fuente de alimentación en modo conmutado**

30 Prioridad:

**12.02.2004 US 779475**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**29.04.2019**

73 Titular/es:

**BEL POWER SOLUTIONS INC. (100.0%)  
152 N. Third Street, Suite 805  
San Jose, CA 95112, US**

72 Inventor/es:

**CHAPUIS, ALAIN**

74 Agente/Representante:

**ISERN JARA, Jorge**

ES 2 710 900 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Función de transferencia de ADC que proporciona una regulación dinámica mejorada en una fuente de alimentación en modo conmutado

5

Datos de solicitudes relacionadas

La presente solicitud es una continuación en parte de la solicitud en trámite junto con la presente n.º de serie 10/361.667, presentada el 10 de febrero de 2003, para el documento DIGITAL CONTROL SYSTEM AND METHOD FOR SWITCHED MODE POWER SUPPLY. La presente solicitud también se relaciona con la solicitud en trámite junto con la presente n.º de serie 10/361.452, presentada el 10 de febrero de 2003, para el documento DIGITAL SIGNAL PROCESSOR ARCHITECTURE OPTIMIZED FOR CONTROLLING SWITCHED MODE POWER SUPPLY, presentada al mismo tiempo, cuya materia se incorpora como referencia en el presente documento.

10

15 Antecedentes de la invención

## 1. Campo de la invención

La presente invención se refiere a circuitos de fuente de alimentación, y más específicamente a sistemas y métodos de control digital para circuitos de fuente de alimentación en modo conmutado.

20

## 2. Descripción de la técnica relacionada

Las fuentes de alimentación en modo conmutado se conocen en la técnica para convertir una tensión a nivel de corriente continua (CC) o corriente alterna (CA) disponible en otra tensión a nivel de CC. Un convertidor reductor es un tipo específico de fuente de alimentación en modo conmutado que proporciona una tensión de salida de CC regulada a una carga almacenando selectivamente la energía en un inductor de salida acoplado a la carga al conmutar el flujo de corriente en el inductor de salida. Incluye dos conmutadores de alimentación que habitualmente se proporcionan por transistores MOSFET. Un condensador de filtro acoplado en paralelo con la carga reduce la ondulación de la corriente de salida. Se usa un circuito de control de modulación por ancho de pulso (PWM) para controlar la activación de los conmutadores de alimentación de manera alternativa para controlar el flujo de corriente en el inductor de salida. El circuito de control de PWM usa señales comunicadas a través de un bucle de realimentación que refleja la tensión de salida y/o el nivel de corriente para ajustar el ciclo de trabajo aplicado a los conmutadores de alimentación en respuesta a las condiciones de carga cambiantes.

25

30

35

El documento US 6.163.143 desvela una fuente de alimentación en modo conmutado de acuerdo con el preámbulo de la reivindicación 1. Los circuitos de control de PWM convencionales se construyen usando componentes de circuitos analógicos, tales como amplificadores operacionales, comparadores y componentes pasivos similares a resistencias y condensadores para la compensación de bucle, y algunos componentes de circuitos digitales similares a puertas lógicas y biestables. Pero es deseable usar circuitos totalmente digitales en lugar de los componentes de circuitos analógicos, ya que los circuitos digitales ocupan menos espacio físico, consumen menos energía y permiten la implementación de características de programación o técnicas de control adaptativas. Un circuito de control digital convencional incluye un convertidor analógico a digital (ADC) que convierte una señal de error que representa la diferencia entre una señal a controlar (por ejemplo, tensión de salida ( $V_{salida}$ )) y una referencia en una señal digital que tiene  $n$  bits. El circuito de control digital usa la señal de error digital para controlar un modulador de ancho de pulso digital, que proporciona señales de control a los conmutadores de alimentación que tienen un ciclo de trabajo tal que el valor de salida de la fuente de alimentación sigue la referencia. Con el fin de mantener baja la complejidad del circuito de control de PWM, es deseable mantener el número de bits de la señal digital en un número pequeño. Sin embargo, al mismo tiempo, el número de bits de la señal digital necesita ser lo suficientemente alto para proporcionar una resolución lo suficientemente buena como para garantizar un control preciso del valor de salida. Además, el ADC necesita ser muy rápido para responder a las condiciones de carga cambiantes. Los microprocesadores actuales muestran velocidades de respuesta de corriente de suministro de hasta  $20 A/\mu s$ , y se espera que los futuros microprocesadores alcancen velocidades de respuesta superiores a  $350 A/\mu s$ , lo que exige una respuesta extremadamente rápida por parte de la fuente de alimentación.

40

45

50

55

Las topologías de ADC de etapa única (es decir, flash) se utilizan en aplicaciones de circuitos de control de fuente de alimentación, ya que tienen muy baja latencia (es decir, retardo total entre la entrada y la salida para una muestra específica). Si se usa un dispositivo ADC flash estándar para cuantificar el intervalo completo de tensión de salida de regulador con la resolución deseada (por ejemplo, 5 mV), el dispositivo requerirá necesariamente un gran número de comparadores que disiparán una cantidad no deseable de energía. En una operación normal, la tensión de salida  $V_{salida}$  del regulador permanece dentro de una ventana pequeña, lo que significa que el ADC no necesita tener una alta resolución en todo el intervalo. En consecuencia, una topología de ADC "con ventana" permite una alta resolución en un intervalo de tensión relativamente pequeño seguido por una tensión de referencia ( $V_{ref}$ ). Puesto que la ventana de cuantificación sigue la tensión de referencia  $V_{ref}$ , la señal producida por el ADC será la señal de error de tensión. Por lo tanto, el ADC con ventana proporciona las funciones duales del ADC y el amplificador de error, lo que da como resultado una reducción adicional de los componentes y una disipación de energía asociada.

60

65

A pesar de estas ventajas, un inconveniente de la topología de ADC con ventana es que el dispositivo puede saturarse debido a las condiciones de carga transitoria que hacen que se superen los intervalos de ventana. A modo de ejemplo, un ADC con ventana de 4 bits tiene una resolución de bit menos significativo (LSB) de aproximadamente 5 mV. Esto significa que un error de tensión de salida tan bajo como  $\pm 40$  mV impulsa al ADC a la saturación. A continuación, el ADC continuaría reflejando la misma señal de error (es decir, el máximo), aunque el error real podría crecer aún más, lo que se denomina condición "windup" del sistema de control digital. La reacción del bucle de realimentación en esta condición windup puede ser difícil de predecir, ya que sin información precisa sobre el tamaño de error, el sistema de control digital ya no funciona como un sistema lineal. Este comportamiento puede ser especialmente perjudicial, ya que puede dañar la carga debido a una sobrecorriente y/o una sobretensión, y también puede dañar la propia fuente de alimentación.

Por lo tanto, sería ventajoso proporcionar un sistema y un método para controlar digitalmente una fuente de alimentación en modo conmutado que supere estos y otros inconvenientes de la técnica anterior. Más específicamente, sería ventajoso proporcionar un sistema y un método para controlar digitalmente una fuente de alimentación en modo conmutado que tenga una topología de ADC con ventana que pueda mantener una regulación de tensión precisa durante la saturación de ADC provocada por condiciones de carga transitoria.

#### Sumario de la invención

La presente invención proporciona una fuente de alimentación en modo conmutado que tiene un sistema de control digital. Más específicamente, la fuente de alimentación comprende al menos un conmutador de alimentación adaptado para transmitir energía entre los terminales de entrada y de salida de la fuente de alimentación, y un controlador digital adaptado para controlar el funcionamiento de al menos un conmutador de alimentación en respuesta a una medición de salida de la fuente de alimentación.

El controlador digital comprende un conversor analógico a digital que proporciona una señal de error digital que representa una diferencia de tensión entre la medición de salida y un valor de referencia, un filtro digital que proporciona una salida de control digital basada en una suma de señales de error anteriores y salidas de control anteriores, un controlador de error adaptado para modificar el funcionamiento del filtro digital en una condición de error, y un modulador de ancho de pulso digital que proporciona una señal de control al conmutador de alimentación que tiene un ancho de pulso correspondiente a la salida de control digital. El conversor analógico a digital comprende además un conversor analógico a digital flash con ventana que tiene una función de transferencia que define una relación entre la diferencia de tensión y los valores digitales correspondientes. La función de transferencia proporciona una zona sustancialmente lineal en el centro de una ventana de error correspondiente.

En una realización de la invención, la función de transferencia del conversor analógico a digital comprende además un primer tamaño de escalón en el centro de la ventana de error y al menos otro tamaño de escalón en una zona periférica de la ventana de error que es mayor que el primer tamaño de escalón. El primer tamaño de escalón y los otros tamaños de escalón pueden reflejar, cada uno de los mismos, una relación lineal entre la diferencia de tensión y los valores digitales correspondientes. Como alternativa, el primer tamaño de escalón puede reflejar una relación lineal entre la diferencia de tensión y los valores digitales correspondientes, y los otros tamaños de escalón pueden reflejar, cada uno de los mismos, una relación no lineal entre la diferencia de tensión y los valores digitales correspondientes.

En otra realización de la invención, se proporciona un método para controlar una fuente de alimentación que tiene al menos un conmutador de alimentación adaptado para transmitir energía entre los terminales de entrada y de salida de la fuente de alimentación. El método comprende las etapas de recibir una medición de salida de la fuente de alimentación, muestrear la medición de salida para proporcionar una señal de error digital correspondiente a una diferencia de tensión entre la medición de salida y un valor de referencia de acuerdo con una función de transferencia que define una relación entre la diferencia de tensión y los valores digitales correspondientes, teniendo la función de transferencia una zona sustancialmente lineal en el centro de una ventana de error correspondiente, filtrar la señal de error digital para proporcionar una salida de control digital basada en una suma de señales de error anteriores y salidas de control anteriores, y proporcionar una señal de control a el al menos un conmutador de alimentación, teniendo la señal de control un ancho de pulso correspondiente a la salida de control digital. La función de transferencia puede comprender además un primer tamaño de escalón en el centro de la ventana de error y al menos otro tamaño de escalón en una zona periférica de la ventana de error, siendo los otros tamaños de escalón mayores que el primer tamaño de escalón. El primer tamaño de escalón y los otros tamaños de escalón pueden tener, cada uno de los mismos, una relación lineal entre la diferencia de tensión y los valores digitales correspondientes. Como alternativa, el primer tamaño de escalón puede reflejar una relación lineal entre la diferencia de tensión y los valores digitales correspondientes, y los otros tamaños de escalón pueden reflejar, cada uno de los mismos, una relación no lineal entre la diferencia de tensión y los valores digitales correspondientes.

Se ofrecerá a los expertos en la materia una comprensión más completa del sistema y el método para controlar digitalmente una fuente de alimentación en modo conmutado que tiene una función de transferencia ADC seleccionada para proporcionar un mejor intervalo dinámico, así como una realización de las ventajas y objetos

adicionales de la invención, al considerar la siguiente descripción detallada de la realización preferida. Se hará referencia a las páginas de dibujos adjuntas, que en primer lugar se describirán brevemente.

Breve descripción de los dibujos

5 La figura 1 representa una fuente de alimentación en modo conmutado que tiene un circuito de control digital;  
 la figura 2 representa un ADC flash con ventana que proporciona unas señales de saturación alta y baja;  
 la figura 3 representa un controlador digital que tiene un filtro de respuesta infinita al impulso y un controlador de error;  
 10 la figura 4 es una gráfica que representa una función de transferencia de ADC lineal;  
 la figura 5 es una gráfica que representa una función de transferencia de ADC lineal con un tamaño de escalón aumentado en los límites de ventana de acuerdo con una realización de la invención; y  
 la figura 6 es una gráfica que representa una función de transferencia de ADC no lineal con un tamaño de escalón aumentado y una ganancia aumentada en los límites de ventana de acuerdo con otra realización de la  
 15 invención.

Descripción detallada de la realización preferida

20 La presente invención proporciona un método para controlar digitalmente una fuente de alimentación en modo conmutado. Más específicamente, la invención proporciona un método para controlar digitalmente una fuente de alimentación en modo conmutado que tiene una topología de ADC con ventana que mantiene una regulación precisa durante la saturación de ADC provocada por condiciones de carga transitoria. En la siguiente descripción detallada, los números de elementos similares se usan para describir elementos similares ilustrados en una o más figuras.

25 La figura 1 representa una fuente de alimentación en modo conmutado a modo de ejemplo 10 que tiene un circuito de control digital de acuerdo con una realización de la presente invención. La fuente de alimentación 10 comprende una topología de convertidor reductor para convertir una tensión de CC de entrada  $V_{entrada}$  y una tensión de CC de salida  $V_{salida}$  aplicada a una carga resistiva 20 ( $R_{carga}$ ). La fuente de alimentación 10 incluye un par de conmutadores de alimentación 12, 14 proporcionados por dispositivos MOSFET. El terminal de fuente del conmutador de alimentación de lado alto 12 está acoplado a la tensión de entrada  $V_{entrada}$ , el terminal de fuente del conmutador de alimentación de lado bajo 14 está conectado a tierra y los terminales de drenaje de los conmutadores de alimentación 12, 14 están acoplados entre sí para definir un nodo de fase. Un inductor de salida 16 está acoplado en serie entre el nodo de fase y el terminal que proporciona la tensión de salida  $V_{salida}$ , y un condensador 18 está acoplado en paralelo con la carga resistiva  $R_{carga}$ . Los accionadores respectivos 22, 24 accionan alternativamente los terminales de compuerta de los conmutadores de alimentación 12, 14. A su vez, el circuito de control digital 30 (descrito a continuación) controla los accionadores 22, 24. La apertura y el cierre de los conmutadores de alimentación 12, 14 proporciona una tensión intermedia que tiene una forma de onda generalmente rectangular en el nodo de fase, y el filtro formado por el inductor de salida 16 y el condensador 18 convierte la forma de onda rectangular sustancialmente en una tensión de salida de CC  $V_{salida}$ .

40 El circuito de control digital 30 recibe una señal de realimentación desde la parte de salida de la fuente de alimentación 10. Como se muestra en la figura 1, la señal de realimentación corresponde a la tensión de salida  $V_{salida}$ , aunque debe apreciarse que la señal de realimentación podría corresponder como alternativa (o adicionalmente) a la corriente de salida extraída por la carga resistiva  $R_{carga}$  o cualquier otra señal que represente un parámetro a controlar por el circuito de control digital 30. La ruta de realimentación puede incluir además un divisor de tensión (no mostrado) para reducir la tensión de salida detectada  $V_{salida}$  a un nivel de tensión representativo. El circuito de control digital 30 proporciona una forma de onda modulada por ancho de pulso que tiene un ciclo de trabajo controlado para regular la tensión de salida  $V_{salida}$  (o corriente de salida) a un nivel deseado. Aunque la fuente de alimentación a modo de ejemplo 10 se ilustra con una topología de convertidor reductor, debe entenderse que el uso del control de bucle de realimentación de la fuente de alimentación 10 que usa el circuito de control digital 30 puede aplicarse igualmente a otras topologías de fuente de alimentación conocidas, tales como los convertidores elevadores y reductores-elevadores tanto en configuraciones aisladas como no aisladas, y a diferentes estrategias de control conocidas como controladores de modo de tensión, modo de corriente, modo de carga y/o modo de corriente promedio.

55 Más específicamente, el circuito de control digital 30 incluye un convertidor analógico a digital (ADC) 32, un controlador digital 34, y un modulador de ancho de pulso digital (DPWM) 36. El ADC 32 comprende además un ADC flash con ventana que recibe como entradas la señal de realimentación (es decir, la tensión de salida  $V_{salida}$ ) y una referencia de tensión (Ref) y produce una señal de error de tensión digital ( $VE_{dk}$ ) que representa la diferencia entre las entradas ( $Ref - V_{salida}$ ). El controlador digital 34 tiene una función de transferencia  $G(z)$  que transforma la señal de error de tensión  $VE_{dk}$  en una salida digital proporcionada al DPWM 36, que convierte la señal en una forma de onda que tiene un ancho de pulso proporcional ( $PWM_k$ ). Como se ha explicado anteriormente, la forma de onda modulada por pulsos  $PWM_k$  producida por el DPWM 36 se acopla a los terminales de compuerta de los conmutadores de alimentación 12, 14 a través de los accionadores respectivos 22, 24.

65

La figura 2 representa un ADC flash con ventana a modo de ejemplo 40 para su uso en el circuito de control digital 30. El ADC 40 recibe como entradas la referencia de tensión Ref y la tensión de salida  $V_{salida}$ . La referencia de tensión se aplica al centro de una escalera de resistencias que incluye las resistencias 42A, 42B, 42C, 42D conectadas en serie entre el terminal de tensión de referencia y una fuente de corriente conectada a una tensión de suministro positiva ( $V_{DD}$ ), y las resistencias 44A, 44B, 44C, 44D conectadas en serie entre el terminal de tensión de referencia y una fuente de corriente conectada a tierra. Cada una de las resistencias tiene unos valores de resistencia correspondientes para definir junto con las fuentes de corriente una pluralidad de aumentos de tensión que van por encima y por debajo de la referencia de tensión Ref. La magnitud de los valores de resistencia y/o las fuentes de corriente pueden seleccionarse para definir la resolución LSB del ADC 40. Una disposición de comparadores está conectada a la escalera de resistencias, incluida una pluralidad de comparadores de lado positivo 46A, 46B, 46C, 46D y una pluralidad de comparadores de lado negativo 48A, 48B, 48C, 48D. Cada uno de los comparadores de lado positivo 46A, 46B, 46C, 46D tiene un terminal de entrada no inversor conectado a la tensión de salida  $V_{salida}$ , y un terminal de entrada inversor conectado a las resistencias respectivas 42A, 42B, 42C, 42D. De manera similar, cada uno de los comparadores de lado negativo 48A, 48B, 48C tiene un terminal de entrada no inversor conectado a la tensión de salida  $V_{salida}$ , y un terminal de entrada inversor conectado a las resistencias respectivas 44A, 44B, 44C, 44D. El comparador de lado negativo 48D tiene un terminal de entrada no inversor conectado a tierra y el terminal de entrada inversor conectado a la tensión de salida  $V_{salida}$ . Debe apreciarse que puede incluirse un mayor número de resistencias y comparadores para aumentar el número de aumentos de tensión y, por lo tanto, el intervalo del ADC 40, y que en la figura 2 se muestra, solo con fines de ejemplo, un número limitado de resistencias y comparadores.

El ADC 40 incluye además un dispositivo lógico 52 acoplado a los terminales de salida de los comparadores 46A, 46B, 46C y 48A, 48B, 48C. El dispositivo lógico 52 recibe las salidas de comparador y proporciona una salida paralela de múltiples bits (por ejemplo, 4 bits) que representa el error de tensión digital  $VE_{dk}$ . A modo de ejemplo, una tensión de salida  $V_{salida}$  que supera la tensión de referencia Ref en un aumento de tensión y medio hará que aumenten las salidas de los comparadores 46B, 46A, 48A, 48B y 48C, mientras que las salidas de los comparadores 46C, 46D y 48D permanecen bajas. El dispositivo lógico 52 interpretaría esto como un nivel lógico 9 (o binario 1001) y produciría una señal de error de tensión asociada  $VE_{dk}$ . Debe entenderse que la referencia de tensión Ref es variable con el fin de desplazar la ventana del ADC 40. Si la tensión de salida  $V_{salida}$  supera el aumento de tensión más alto de la escalera de resistencias, el terminal de salida del comparador 46D proporciona una señal de saturación ALTA. De manera similar, si la tensión de salida  $V_{salida}$  es inferior al aumento de tensión más bajo de la escalera de resistencias, el terminal de salida del comparador 48D proporciona una señal de saturación BAJA.

En un ADC flash con ventana convencional, las resistencias 44A, 44B, 44C, 44D tienen valores iguales con el fin de definir una pluralidad de n referencias de tensión espaciadas de manera equidistante por encima y por debajo de la tensión de referencia Ref. Los n comparadores 46A, 46B, 46C y 48A, 48B, 48C comparan la tensión de salida real  $V_{salida}$  con las n referencias de tensión y generan un código de "termómetro" correspondiente, de tal manera que los comparadores 0 a X tienen una salida de uno y los comparadores X + 1 a n tienen una salida de cero, dependiendo X de la amplitud de tensión de la señal  $V_{salida}$ .

Debe apreciarse que el intervalo que el ADC flash con ventana 40 es capaz de convertir en una señal digital está limitado por el tamaño de escalón entre cada tensión de referencia y el número de comparadores. Con el fin de mantener la complejidad del circuito a un nivel razonable, una implementación a modo de ejemplo puede incluir dieciséis comparadores. El tamaño de escalón del circuito debe mantenerse lo suficientemente bajo (por ejemplo, 5 mV) seleccionando los valores adecuados de las resistencias para proporcionar la suficiente resolución en el bucle de realimentación. El tamaño de escalón se relaciona directamente con la regulación estática de tensión de salida y también con el ruido añadido a la tensión de salida debido a la cuantización de la señal de error. Con dieciséis comparadores y un tamaño de escalón de 5 mV, la ventana general es de solo  $\pm 40$  mV. En caso de un cambio de corriente repentino y grande en la salida de la fuente de alimentación 10 (por ejemplo, debido a los cambios de la corriente de carga), la desviación de tensión dinámica puede superar fácilmente los 40 mV. En ese caso, el ADC 40 se satura y la señal de error de tensión  $VE_{dk}$  ya no es lineal, es decir, no es proporcional al error real. Como se ha expuesto anteriormente, el terminal de salida del comparador 46D proporciona una señal de saturación ALTA para reflejar esta condición de saturación.

La figura 4 ilustra una gráfica que representa una función de transferencia de ADC lineal de acuerdo con un ADC flash con ventana convencional. La dimensión horizontal de la gráfica refleja la entrada de señales de error analógicas al dispositivo lógico 52 y la dimensión vertical refleja la salida digital del dispositivo lógico. Como se muestra, hay una relación lineal entre la señal de error analógica de entrada y la salida digital del ADC dentro de la ventana de conversión debido a la selección de resistencias que tienen valores uniformes que proporcionan aumentos de tensión iguales y la asignación de los valores de salida digital a la señal de error de entrada en aumentos uniformes. Como resultado, el tamaño práctico de ventana del ADC es bastante limitado, lo que tiene ciertas desventajas. Es decir, hace que el sistema de realimentación no sea lineal durante cambios de carga grandes y repentinos, lo que hace que sea difícil garantizar la estabilidad en tales condiciones. Además, cuando la corrección en la salida debida a la saturación cambia tanto que cae inmediatamente en la saturación opuesta, el circuito puede volverse inestable y producir una oscilación de ciclo límite entre los límites de ventana de ADC.

La figura 5 ilustra una gráfica que representa una función de transferencia de ADC en la que el tamaño de escalón se cambia de acuerdo con una realización de la invención. Como en la figura 4, la dimensión horizontal de la gráfica refleja la entrada de señales de error analógicas al dispositivo lógico 52 y la dimensión vertical refleja la salida digital del dispositivo lógico. El tamaño de escalón aumenta en la zona adyacente al límite de la ventana de ADC por el uso de diferentes valores de resistencia en las regiones límite. Además, el dispositivo lógico 52 se cambia de tal manera que el código de "temperatura" fuera de los comparadores se asigna a un número digital que coincide con el tamaño de escalón aumentado en el límite de la ventana. Esto mantiene la función de transferencia general del ADC lineal. Mientras que la ventana se amplía en general, la ganancia no se ve sustancialmente afectada. La resolución disminuida en las regiones límite de ADC es aceptable ya que la tensión de estado estable del ADC siempre estará alrededor de un error cero (suponiendo una función de transferencia de controlador con un polo en cero). En error cero, la resolución es la misma que en la realización anterior y, por lo tanto, la estabilidad y la precisión de la tensión de salida no se ven afectadas. El mayor tamaño de escalón del ADC solo afecta al circuito durante los grandes cambios dinámicos, es decir, los aumentos o disminuciones de escalón en la corriente de carga. Puesto que este es un proceso dinámico, la precisión de la regulación no es importante, pero al proporcionar un número de ganancia proporcional al error real, se mejora la estabilidad general del circuito.

La realización de la figura 5 ilustra el uso de dos tamaños de escalón diferentes, es decir, un primer tamaño de escalón en el centro de la ventana de ADC y un segundo tamaño de escalón más grande en la zona periférica de la ventana. Debe apreciarse que, como alternativa, puede haber una pluralidad de graduaciones intermedias de tamaño de escalón que van desde el primer tamaño de escalón en el centro de la ventana de ADC hasta el segundo tamaño de escalón en la periferia. Sin embargo, cada una de estas graduaciones de tamaño de escalón se asignaría a números digitales que coincidan con el tamaño de escalón correspondiente para mantener la función de transferencia general del ADC lineal.

Aunque la función de transferencia de ADC de la figura 5 aumenta el tamaño de ventana de ADC para mejorar la estabilidad y proporciona una relación lineal entre la entrada y la salida del ADC sobre un tamaño de ventana más grande, no proporciona un tiempo de estabilización más rápido durante las condiciones de regulación transitorias. En la realización de la figura 6, la función de transferencia se modifica adicionalmente para aumentar el tamaño de escalón en el límite de ventana, como en la realización anterior, y la función de transferencia también se hace no lineal hacia el límite de ventana, de manera que el error del que se informa al controlador 36 es más grande que el valor real. En el centro de la ventana, el tamaño de escalón y la asignación al número digital es como en las realizaciones anteriores. Pero, en la zona periférica de la ventana, la magnitud de la salida digital aumenta desproporcionadamente con los aumentos de escalón de la entrada analógica. La asignación no lineal en la zona periférica de la ventana ayuda a acelerar el bucle de realimentación para grandes errores dinámicos sin alterar la pequeña estabilidad de señal en condiciones de estado estacionario. Como en la realización anterior, la dimensión horizontal de la gráfica refleja la entrada de error analógica al circuito lógico 52 y la dimensión vertical refleja la salida digital del circuito lógico. Debe apreciarse que puede haber una pluralidad de graduaciones de tamaño de escalón y asignación a los números digitales en la periferia de la ventana de ADC.

Volviendo ahora a la figura 3, se representa un controlador digital que tiene un filtro digital y un ADC 62. El filtro digital comprende además un filtro de respuesta infinita al impulso (IIR) que produce una salida PWM<sub>k</sub> a partir de entradas de error de tensión anteriores VEd<sub>k</sub> y salidas anteriores PWM<sub>k</sub>. Como se ha expuesto anteriormente, el ADC 40 proporciona las entradas de error de tensión VEd<sub>k</sub>. Las salidas de filtro digital PWM<sub>k</sub> se proporcionan al modulador de ancho de pulso digital (DPWM) 36, que proporciona la señal de control modulada por ancho de pulso (PWM<sub>k</sub>) a los conmutadores de alimentación de fuente de alimentación.

El filtro IIR se ilustra en forma de diagrama de bloques, e incluye una primera pluralidad de registros de retardo 72, 74, ..., 76 (cada uno etiquetado como z<sup>-1</sup>), una primera pluralidad de operadores matemáticos (multiplicadores) con coeficientes 71, 73, ..., 77 (etiquetados como C<sub>0</sub>, C<sub>1</sub>, ..., C<sub>n</sub>), una segunda pluralidad de operadores matemáticos (sumadores) 92, 94, 96, una segunda pluralidad de registros de retardo 82, 84, ... , 86 (cada uno etiquetado como z<sup>-1</sup>), y una tercera pluralidad de operadores matemáticos (multiplicadores) con coeficientes 83, 87 (etiquetados como B<sub>1</sub>, ..., B<sub>n</sub>). Cada uno de los primeros registros de retardo 72, 74, 76 contiene una muestra previa del error de tensión VEd<sub>k</sub>, que, a continuación, se pondera por uno de los coeficientes respectivos 71, 73, 77. De manera similar, cada uno de los segundos registros de retardo 82, 84, 86 contiene una muestra previa de la salida PWM<sub>k</sub>, que, a continuación, se pondera por uno de los coeficientes respectivos 83, 87. Los sumadores 92, 94 y 96 combinan las muestras de entrada y de salida ponderadas. Debe apreciarse que puede incluirse un mayor número de registros y coeficientes de retardo en el filtro IIR, y que en la figura 3 se muestra un número limitado solo con fines de ejemplo. La estructura de filtro digital mostrada en la figura 3 es una implementación a modo de ejemplo de la siguiente función de transferencia G(z):

$$G(z) = \frac{PWM(z)}{VEd(z)} = \frac{C_0 + C_1 \cdot z^{-1} + C_2 \cdot z^{-2} + \dots + C_n \cdot z^{-n}}{1 - B_1 \cdot z^{-1} - B_2 \cdot z^{-2} - \dots - B_n \cdot z^{-n}}$$

El controlador de error 62 recibe una pluralidad de señales de entrada que reflejan las condiciones de error del ADC 40 y el filtro digital. Específicamente, el controlador de error 62 recibe señales de saturación ALTA y BAJA del ADC 40, lo que refleja que la tensión de salida  $V_{\text{salida}}$  está por encima y por debajo de la ventana de tensión del ADC, respectivamente. Cada uno de los operadores matemáticos (sumadores) 92, 94, 96 proporciona una señal de desbordamiento al controlador de error 62 que refleja una condición de desbordamiento (es decir, un bit de acarreo) de los operadores matemáticos. El filtro digital incluye además un limitador de intervalo 81 que recorta la salida  $PWM'_k$  si se alcanzan los límites de intervalo superior o inferior. En esa situación, el limitador de intervalo 81 proporciona al controlador de error 62 una señal de límite correspondiente.

El controlador de error 62 usa estas señales de entrada para modificar el funcionamiento del filtro digital con el fin de mejorar la capacidad de respuesta del filtro digital a las condiciones de carga cambiantes. El controlador de error 62 está acoplado a cada uno de la primera pluralidad de registros de retardo 72, 74, 76 y la segunda pluralidad de registros de retardo 82, 84, 86 para habilitar el restablecimiento y/o preestablecimiento del valor almacenado en el mismo. Tal como se usa en el presente documento, "restablecimiento" hace referencia al establecimiento del valor en un valor inicial (por ejemplo, cero), mientras que "preestablecimiento" hace referencia al establecimiento del valor en otro número predeterminado. En particular, el controlador de error 62 puede reemplazar las muestras anteriores del error de tensión  $VE_{dk}$  y la salida  $PWM'_k$  por valores predeterminados que cambian el comportamiento de la fuente de alimentación. El controlador digital incluye además un multiplexor 64 que permite la selección entre la señal de salida de  $PWM'_k$  y una señal de salida predeterminada proporcionada por el controlador de error 62. Una señal de selección proporcionada por el controlador de error 62 determina qué señal pasa a través del multiplexor 64. Cuando el ADC 40 entra en una saturación ALTA o BAJA, el controlador de error 62 establece la señal  $PWM'_k$  en un valor predeterminado específico (o una secuencia de valores que dependen en parte de las muestras anteriores) controlando el multiplexor 64. Con el fin de recuperarse sin problemas de tal condición, el controlador de error también puede modificar las muestras de entrada y de salida retardadas recargando la primera pluralidad de registros de retardo 72, 74, 76 y la segunda pluralidad de registros de retardo 82, 84, 86. Esto garantizará un comportamiento controlado del bucle de realimentación a medida que el ADC 40 se recupera de la saturación.

A modo de ejemplo, si el ADC 40 experimenta una saturación positiva, es decir, la señal BAJA cambia de un estado bajo a un estado alto, la muestra  $PWM'_k$  puede restablecerse en cero para ayudar a reducir el error. Al restablecer la muestra  $PWM'_k$  en cero, el ancho de pulso entregado al conmutador de alimentación de lado alto 12 de la fuente de alimentación 10 se pone a cero, lo que desconecta de manera eficaz la alimentación de la carga resistiva 20 (véase la figura 1). Con el fin de recuperarse de esta situación sin problemas, las muestras  $PWM'_{k-1}$ ,  $PWM'_{k-2}, \dots, PWM'_{k-n}$  también pueden restablecerse en cero o preestablecerse en otro valor con el fin de permitir una recuperación sin problemas. De manera similar, si el ADC 40 experimenta una saturación negativa, es decir, la señal ALTA cambia de un estado bajo a un estado alto, la muestra  $PWM'_k$  puede preestablecerse en un valor máximo para aumentar el ancho de pulso entregado al conmutador de alimentación de lado alto 12 para reducir el error. Además, cuando se produce un desbordamiento numérico interno del filtro digital, el controlador de error 62 puede tomar medidas para evitar un comando incontrolado de los conmutadores de alimentación de la fuente de alimentación, tal como modificar las muestras de entrada y de salida de los filtros digitales.

Al haber descrito de este modo una realización preferida de un método para controlar digitalmente una fuente de alimentación en modo conmutado, debe ser evidente para los expertos en la materia que se han logrado ciertas ventajas del sistema. La invención se define adicionalmente por las siguientes reivindicaciones.

**REIVINDICACIONES**

1. Una fuente de alimentación en modo conmutado (10) que comprende:

5 al menos un conmutador de alimentación (12, 14) adaptado para transmitir energía entre los terminales de entrada y de salida de dicha fuente de alimentación (10); y  
 un controlador digital (30) adaptado para controlar el funcionamiento de dicho al menos un conmutador de alimentación (12, 14) en respuesta a una medición de salida ( $V_{salida}$ ) de dicha fuente de alimentación (10), comprendiendo dicho controlador digital (30):

10 un conversor analógico a digital (32) que proporciona una señal de error digital ( $VE_{dk}$ ) que representa una diferencia de tensión entre dicha medición de salida ( $V_{salida}$ ) y un valor de referencia (Ref),  
 un filtro digital que proporciona una salida de control digital basada en una suma de señales de error actuales y anteriores y salidas de control anteriores; y  
 15 un modulador de ancho de pulso digital (36) que proporciona una señal de control ( $PWM_k$ ) a dicho al menos un conmutador de alimentación (12, 14), teniendo dicha señal de control ( $PWM_k$ ) un ancho de pulso correspondiente a dicha salida de control digital, caracterizado por que el conversor analógico a digital comprende además un conversor analógico a digital flash con ventana que tiene una función de transferencia ( $G(z)$ ) que define una relación entre dicha diferencia de tensión y los valores digitales correspondientes,  
 20 teniendo dicha función de transferencia ( $G(z)$ ) una zona sustancialmente lineal en el centro de una ventana de error correspondiente, comprendiendo dicha función de transferencia ( $G(z)$ ) además un primer tamaño de escalón en dicho centro de dicha ventana de error y al menos un tamaño de escalón adicional en una zona periférica de dicha ventana de error, siendo cada dicho al menos un tamaño de escalón adicional mayor que dicho primer tamaño de escalón.

25 2. La fuente de alimentación (10) de la reivindicación 1, en la que dicho primer tamaño de escalón y dicho al menos un tamaño de escalón adicional reflejan, cada uno de los mismos, una relación lineal entre dicha diferencia de tensión y dichos valores digitales correspondientes.

30 3. La fuente de alimentación (10) de la reivindicación 1, en la que dicho primer tamaño de escalón refleja una relación lineal entre dicha diferencia de tensión y dichos valores digitales correspondientes, y dicho al menos un tamaño de escalón adicional refleja una relación no lineal entre dicha diferencia de tensión y dichos valores digitales correspondientes.

35 4. La fuente de alimentación (10) de la reivindicación 1, en la que dicho conversor analógico a digital flash con ventana (40) proporciona una señal ALTA que refleja una saturación negativa de dicho conversor analógico a digital (32) y una señal BAJA que refleja una saturación positiva de dicho conversor analógico a digital (32).

40 5. La fuente de alimentación (10) de la reivindicación 1, en la que dicho filtro digital comprende además un filtro de respuesta infinita al impulso.

6. La fuente de alimentación (10) de la reivindicación 5, en la que dicho filtro de respuesta infinita al impulso proporciona la siguiente función de transferencia  $G(z)$ :

45 
$$G(z) = \frac{PWM(z)}{VE_d(z)} = \frac{C_0 + C_1 \cdot z^{-1} + C_2 \cdot z^{-2} + \dots + C_n \cdot z^{-n}}{1 - B_1 \cdot z^{-1} - B_2 \cdot z^{-2} - \dots - B_n \cdot z^{-n}}$$

en la que  $PWM(z)$  es la salida de control digital,  $VE_d(z)$  es la señal de error,  $C_0 \dots C_n$  son coeficientes del lado de entrada y  $B_1 \dots B_n$  son coeficientes del lado de salida.

50 7. La fuente de alimentación (10) de la reivindicación 1, en la que dicho filtro digital comprende además un limitador de intervalo (81) adaptado para recortar dicha salida de control digital si se alcanzan los límites de intervalo superior o inferior.

55 8. La fuente de alimentación (10) de la reivindicación 7, en la que dicho limitador de intervalo (81) proporciona una señal de límite (LÍMITE) a dicho controlador de error (62) si se alcanzan dichos límites de intervalo superior o inferior.

60 9. La fuente de alimentación (10) de la reivindicación 1, en la que dicho controlador digital (30) comprende además un multiplexor (64) acoplado a dicho controlador de error (62) y a dicho filtro digital, proporcionando dicho controlador de error (62) una salida de control digital alternativa a dicho multiplexor (64) que pasa a dicho modulador de ancho de pulso digital (36) tras dicha condición de error.



10. La fuente de alimentación (10) de la reivindicación 1, que comprende además un controlador de error (62) adaptado para modificar el funcionamiento de dicho filtro digital tras una condición de error.

5 11. La fuente de alimentación (10) de la reivindicación 10, en la que dicho controlador de error (62) está adaptado además para preestablecer al menos una de dichas señales de error anteriores con valores predeterminados tras dicha condición de error.

10 12. La fuente de alimentación (10) de la reivindicación 10, en la que dicho controlador de error (62) está adaptado además para preestablecer al menos una de dichas salidas de control anteriores con valores predeterminados tras dicha condición de error.

15 13. La fuente de alimentación (10) de la reivindicación 10, en la que dicho controlador de error (62) está adaptado además para restablecer al menos una de dichas señales de error anteriores a los valores iniciales tras dicha condición de error.

14. La fuente de alimentación (10) de la reivindicación 10, en la que dicho controlador de error (62) está adaptado además para restablecer al menos una de dichas salidas de control anteriores a los valores iniciales tras dicha condición de error.

20 15. La fuente de alimentación (10) de la reivindicación 10, en la que dicha condición de error comprende además una saturación de dicho conversor analógico a digital (32).

25 16. La fuente de alimentación (10) de la reivindicación 10, en la que dicha condición de error comprende además un desbordamiento matemático de dicho filtro digital.

17. Un método para controlar una fuente de alimentación en modo conmutado (10) que comprende al menos un conmutador de alimentación (12, 14) adaptado para transmitir energía entre los terminales de entrada y de salida de dicha fuente de alimentación (10), comprendiendo dicho método:

30 recibir una medición de salida ( $V_{salida}$ ) de dicha fuente de alimentación (10);  
 muestrear dicha medición de salida ( $V_{salida}$ ) para proporcionar una señal de error digital ( $VE_{dk}$ ) que representa una diferencia de tensión entre dicha medición de salida ( $V_{salida}$ ) y un valor de referencia (Ref) de acuerdo con una función de transferencia ( $G(z)$ ) que define una relación entre dicha diferencia de tensión y los valores digitales correspondientes, teniendo dicha función de transferencia ( $G(z)$ ) una zona sustancialmente lineal en el centro de una ventana de error correspondiente, comprendiendo dicha función de transferencia ( $G(z)$ ) además un primer tamaño de escalón en dicho centro de dicha ventana de error y al menos otro tamaño de escalón en una zona periférica de dicha ventana de error, siendo cada dicho al menos otro tamaño de escalón mayor que dicho primer tamaño de escalón;  
 35 filtrar dicha señal de error digital ( $VE_{dk}$ ) para proporcionar una salida de control digital basada en una suma de señales de error actuales y anteriores y salidas de control anteriores; y  
 40 proporcionar una señal de control ( $PWM_k$ ) a dicho al menos un conmutador de alimentación (12, 14), teniendo dicha señal de control ( $PWM_k$ ) un ancho de pulso correspondiente a dicha salida de control digital.

45 18. El método de la reivindicación 17, en el que dicha etapa de muestreo comprende además proporcionar una señal ALTA que refleja un estado de saturación negativa y una señal BAJA que refleja un estado de saturación positiva.

19. El método de la reivindicación 17, en el que la etapa de filtrado comprende además filtrar dicha señal de error digital ( $VE_{dk}$ ) usando un filtro de respuesta infinita al impulso.

50 20. El método de la reivindicación 17, en el que dicha etapa de filtrado comprende además filtrar dicha señal de error digital ( $VE_{dk}$ ) de acuerdo con la siguiente función de transferencia  $G(z)$ :

$$G(z) = \frac{PWM(z)}{VE_d(z)} = \frac{C_0 + C_1 \cdot z^{-1} + C_2 \cdot z^{-2} + \dots + C_n \cdot z^{-n}}{1 - B_1 \cdot z^{-1} - B_2 \cdot z^{-2} - \dots - B_n \cdot z^{-n}}$$

55 en la que  $PWM(z)$  es la salida de control digital,  $VE_d(z)$  es la señal de error,  $C_0 \dots C_n$  son coeficientes del lado de entrada y  $B_1 \dots B_n$  son coeficientes del lado de salida.

60 21. El método de la reivindicación 17, en el que dicha etapa de filtrado comprende además recortar dicha salida de control digital si se alcanzan los límites de intervalo superior o inferior.

22. El método de la reivindicación 21, en el que dicha etapa de filtrado comprende además proporcionar una señal de límite que indica que se ha alcanzado dicho límite de intervalo superior o inferior.

23. El método de la reivindicación 17, que comprende además proporcionar una salida de control digital alternativa tras dicha condición de error.

5 24. El método de la reivindicación 17, en el que dicho primer tamaño de escalón y dicho al menos otro tamaño de escalón reflejan, cada uno de los mismos, una relación lineal entre dicha diferencia de tensión y dichos valores digitales correspondientes.

10 25. El método de la reivindicación 17, en el que dicho primer tamaño de escalón refleja una relación lineal entre dicha diferencia de tensión y dichos valores digitales correspondientes, y dicho al menos otro tamaño de escalón refleja una relación no lineal entre dicha diferencia de tensión y dichos valores digitales correspondientes.

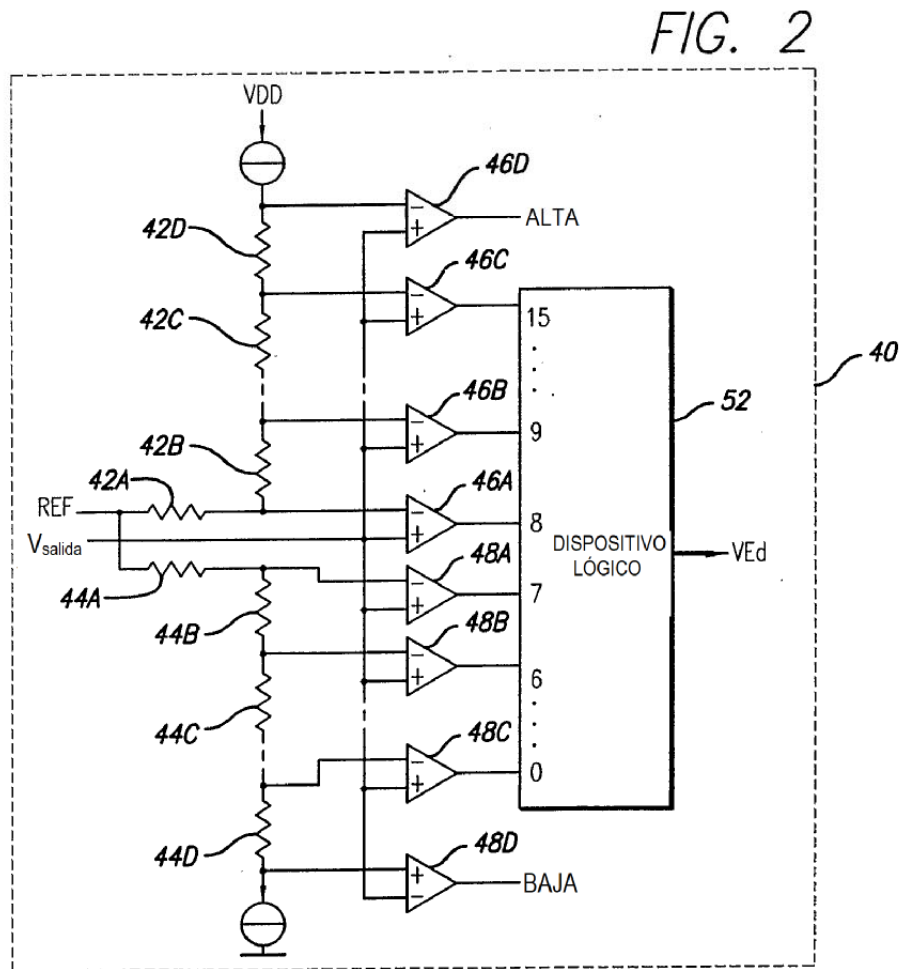
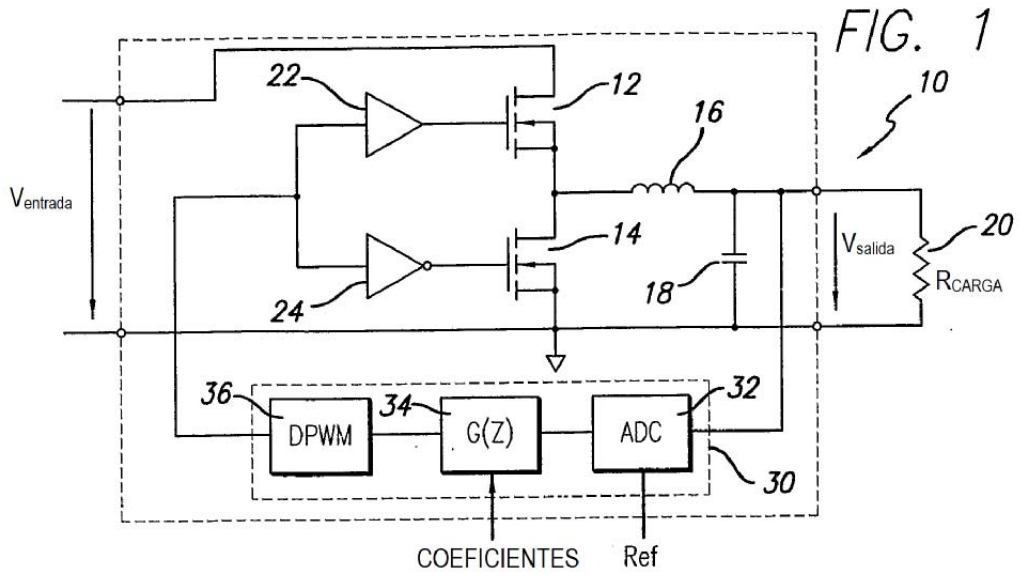
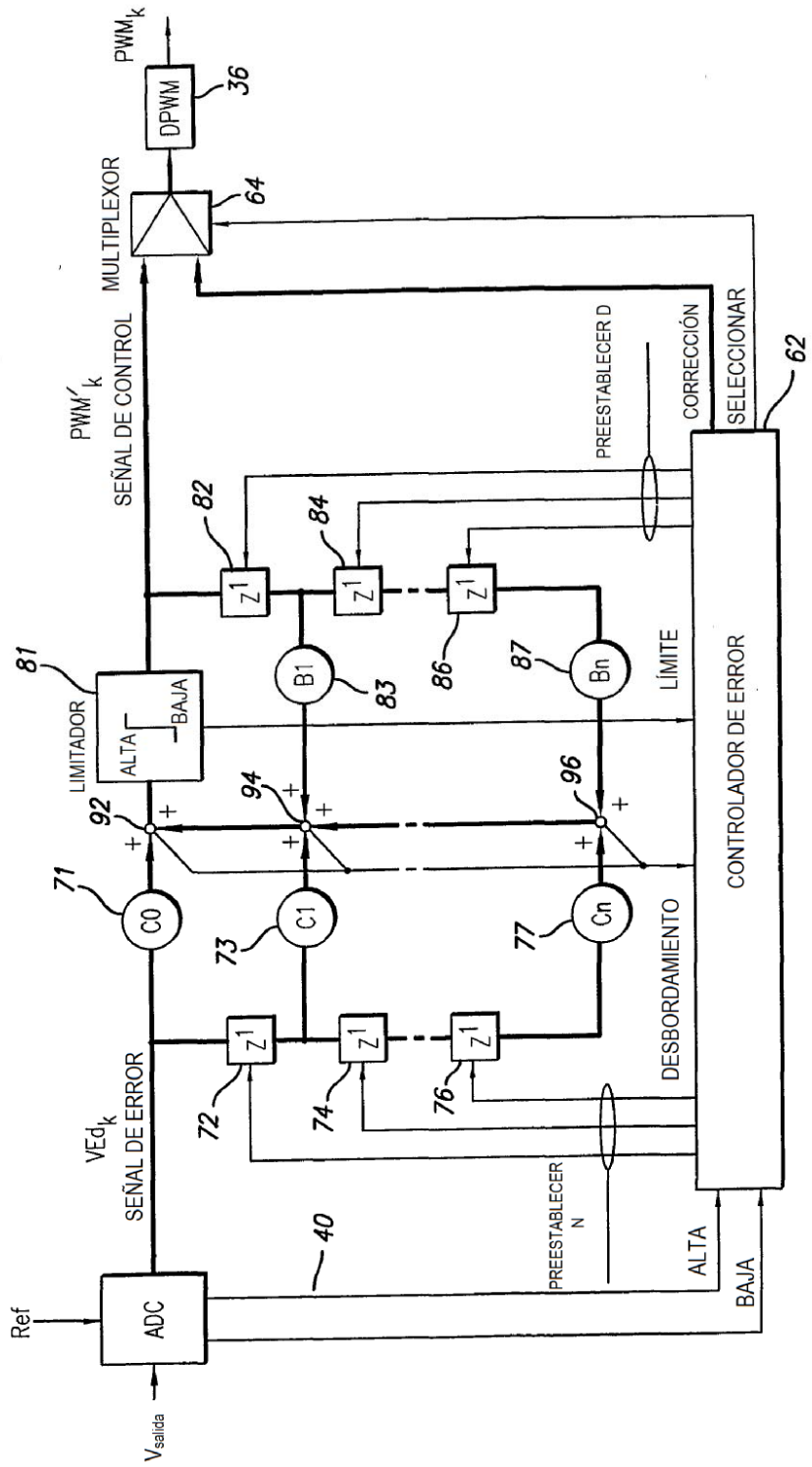


FIG. 3



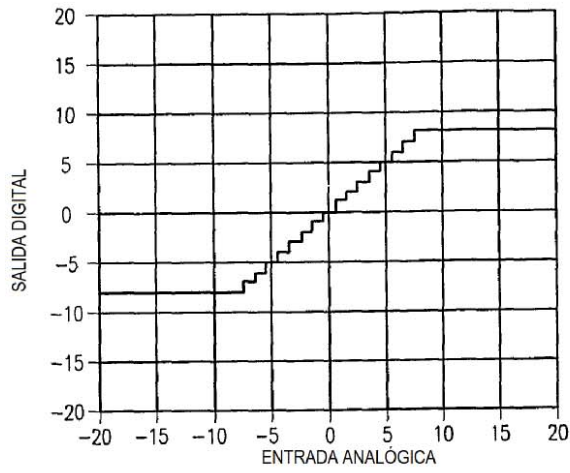


FIG. 4

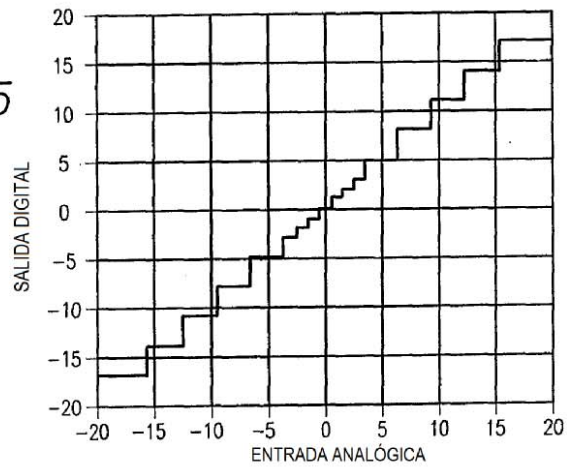


FIG. 5

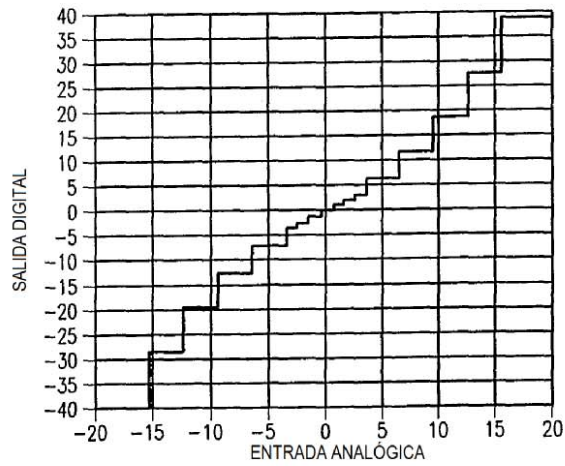


FIG. 6