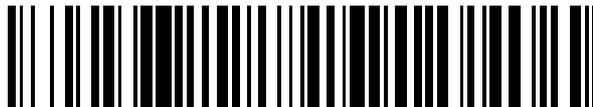


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 711 151**

51 Int. Cl.:

<b>H03D 3/22</b>	(2006.01)
<b>H04L 27/233</b>	(2006.01)
<b>H03M 13/45</b>	(2006.01)
<b>H03M 13/11</b>	(2006.01)
<b>H03M 13/19</b>	(2006.01)
<b>H03M 13/00</b>	(2006.01)
<b>H04L 1/00</b>	(2006.01)
<b>H04L 25/06</b>	(2006.01)
<b>H04L 25/20</b>	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **10.05.2006 E 13196663 (2)**

97 Fecha y número de publicación de la concesión europea: **14.11.2018 EP 2709270**

54 Título: **Uso de decisiones de bits fáciles para mejorar la desmodulación DPSK de datos SPS**

30 Prioridad:

**10.05.2005 US 679703 P**  
**19.10.2005 US 728078 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**30.04.2019**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)**  
**5775 Morehouse Drive**  
**San Diego, CA 92121-1714, US**

72 Inventor/es:

**TANG, KAI y**  
**ROWITCH, DOUGLAS, N.**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

ES 2 711 151 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Uso de decisiones de bits fáciles para mejorar la desmodulación DPSK de datos SPS

## 5 ANTECEDENTES

Campo

10 [0001] Un modo de realización se refiere en general al campo de la desmodulación de señales. Por ejemplo, un modo de realización se refiere a la desmodulación de señales utilizadas en un sistema de posicionamiento por satélite.

Antecedentes relevantes

15 [0002] Cuando se recibe una señal codificada, la señal recibida se ve a menudo severamente atenuada debido a las fuentes de ruido y obstrucciones tales como árboles y estructuras y de construcción. Como resultado, puede ser difícil descodificar con precisión la señal recibida. Por ejemplo, en una señal recibida de un Sistema de Posicionamiento Global (GPS), Galileo y/u otro sistema de comunicación o posicionamiento por satélite, cada uno denominado en general en el presente documento un "Sistema de Posicionamiento por Satélite" (SPS), el vehículo satelital puede verse tan severamente atenuado que el receptor descodifica un bit incorrectamente, lo cual hace que los datos recibidos no sean útiles. Como resultado, el receptor tiene que esperar una cantidad de tiempo significativa, por ejemplo, 30 segundos, para la próxima transmisión de la información del sistema de posicionamiento antes de repetir la función de desmodulación. Por lo tanto, la capacidad de un receptor para desmodular con precisión una señal recibida es a menudo un factor limitante en el rendimiento de un receptor.

25 [0003] Un tipo de sistema de desmodulación se conoce como una desmodulación de clave por cambio de fase diferencial (DPSK). Incluso si la información no está codificada diferencialmente en el transmisor, como en un sistema SPS, se puede usar DPSK en el receptor. Este tipo de sistema de desmodulación se basa en el valor de un bit recibido previamente para determinar el valor del bit presente. Por lo tanto, una vez que se introduce un error, por ejemplo, se determina incorrectamente que un bit es un "1" en lugar de un "0", el desmodulador producirá una serie de errores en los valores de bit subsiguientes, ya que los valores de bit subsiguientes dependen del valor de bit anterior que estaba en error. Por lo tanto, los datos desmodulados resultantes estarán en error. Anteriormente, un desmodulador habría tenido que obtener una retransmisión de los datos de entrada y repetir la desmodulación. Como resultado, esto hizo que el proceso de desmodulación fuera más lento de lo preferido o que los datos no pasaran en absoluto, introduciendo así un retardo en el receptor o reduciendo la sensibilidad. En un sistema de posicionamiento por satélite, un error en la desmodulación de información de almanaques y efemérides restringe la sensibilidad y el tiempo para la primera reparación (TTFF) de un receptor SPS.

40 [0004] El documento US 6,061,823 A divulga que un desmodulador desmodula datos recibidos y un descodificador Viterbi descodifica los datos recibidos en una secuencia de bits con el algoritmo de Viterbi de acuerdo con la estimación de decisión fácil generada en la desmodulación y al mismo tiempo agrega una fiabilidad a cada bit en la secuencia de bits. A continuación, un circuito CRC determina si se detecta o no algún error ejecutando CRC en la secuencia de bits descodificada y, si no se detecta ningún error, la secuencia de bits se envía como datos descodificados. Por otro lado, si se detecta algún error, la inversión de bits se ejecuta en orden ascendente de sumas de fiabilidad para que los bits se inviertan hasta que el circuito CRC no detecte ningún error. Por esta razón, el caso de detección de errores se reduce y la carga de trabajo para la computación se reduce; ver también US 2004/147228 A1 (KRASNER NORMAN F [US]) 29 de julio de 2004.

50 [0005] La invención se define mediante las reivindicaciones independientes adjuntas. Los modos de realización que no están dentro del alcance de las reivindicaciones deberían interpretarse como ejemplos útiles para comprender la invención. De acuerdo con un modo de realización, puede implementarse un procedimiento de desmodulación de datos proporcionando una primera señal de entrada representativa de una pluralidad de bits; realizando la desmodulación de clave de cambio de fase diferencial en la primera señal de entrada para obtener un primer conjunto de datos binarios y para obtener información de decisión fácil de la señal de entrada para cada bit en un subconjunto del primer conjunto de datos binarios; determinar un error de paridad para el primer conjunto de datos binarios después de la desmodulación de clave de cambio de fase diferencial; determinando un bit en el subconjunto del primer conjunto de datos binarios con el valor absoluto más bajo de información de decisión fácil; conmutando el valor binario del bit con el valor absoluto más bajo de la información de decisión fácil para formar un segundo conjunto de datos binarios; y comprobando un error de paridad para el segundo conjunto de datos binarios.

## 60 SUMARIO

65 [0006] De acuerdo con otro modo de realización, puede implementarse un procedimiento de desmodulación de datos proporcionando una primera señal de entrada representativa de una pluralidad de bits; realizando la desmodulación de clave de cambio de fase diferencial en la primera señal de entrada para obtener un primer conjunto de datos binarios y para obtener información de decisión fácil de la señal de entrada para cada bit en un subconjunto del primer conjunto de datos binarios; determinando un error de paridad para el primer conjunto de datos binarios después de realizar la

desmodulación de clave de cambio de fase diferencial; determinando un primer bit en el subconjunto del primer conjunto de datos binarios con el valor absoluto más bajo de información de decisión fácil; determinando un segundo bit en el subconjunto del primer conjunto de datos binarios con el siguiente valor absoluto más bajo de información de decisión fácil; probando el valor de información de decisión fácil para el primer bit en comparación con el valor de información de decisión fácil para el segundo bit con el fin de determinar si el valor de información de decisión fácil para el primer bit es suficientemente diferente del valor de información de decisión fácil para el segundo bit, de acuerdo con un estándar predeterminado; conmutar el valor binario del bit con el valor absoluto más bajo de información de decisión fácil para formar un segundo conjunto de datos binarios si el valor de información de decisión fácil para el primer bit satisface el estándar predeterminado.

[0007] De acuerdo con otro modo de realización, puede implementarse un procedimiento de desmodulación de datos proporcionando una primera señal de entrada que comprende una palabra de datos transmitidos; procesando la primera señal de entrada con un desmodulador de clave de cambio de fase diferencial para obtener a partir de la primera señal de entrada un primer conjunto de primeros valores de información de decisión fácil correspondientes a las posiciones de índice de bits en la palabra de datos transmitidos; proporcionar una segunda señal de entrada; procesar la segunda señal de entrada con un desmodulador de clave de cambio de fase diferencial para obtener a partir de la segunda señal de entrada un segundo conjunto de segundos valores de información de decisión fácil correspondientes a las posiciones de índice de bits en la palabra de datos transmitidos; realizar una función matemática en el primer y segundo conjuntos de los valores de información de decisión fácil primero y segundo correspondientes para obtener un tercer conjunto de valores de información de decisión fácil sustitutos correspondientes a las posiciones de índice de bits respectivas en la palabra de datos transmitidos.

[0008] De manera similar, los procedimientos anteriores se pueden lograr en un receptor, un circuito integrado, o implementarse a través de medios de almacenamiento legible por ordenador de acuerdo con otros modos de realización.

## BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0009]

La Fig. 1 ilustra un diagrama de bloques de un sistema de transmisión, de acuerdo con un modo de realización.

La Fig. 2 ilustra un diagrama de bloques de un circuito de desmodulación en un receptor para recuperar un flujo de bits codificado diferencialmente de acuerdo con un modo de realización.

La Fig. 3 ilustra un diagrama de bloques de un sistema de transmisión que incluye ruido de acuerdo con un modo de realización.

La Fig. 4 ilustra un diagrama de bloques de un dispositivo informático, tal como un dispositivo de comunicación, para implementar los elementos de la Fig. 1 de acuerdo con un modo de realización.

La Fig. 5 ilustra un ejemplo del formateo de datos de posicionamiento por satélite de acuerdo con un modo de realización.

La Fig. 6 ilustra un diagrama de flujo que muestra un procedimiento para reducir los errores de bits en un sistema de desmodulación, de acuerdo con un modo de realización.

Las Figs. 7 y 8 ilustran un diagrama de flujo que muestra un procedimiento para utilizar información de decisión fácil en un sistema de desmodulación, de acuerdo con un modo de realización.

La Fig. 9 ilustra un diagrama de flujo que muestra un procedimiento para corregir errores de decisiones difíciles de acuerdo con un modo de realización.

La Fig. 10 ilustra un diagrama de flujo que muestra un procedimiento para utilizar al menos dos conjuntos de información de decisión fácil para corregir información en un sistema de desmodulación, de acuerdo con un modo de realización.

La Fig. 11 ilustra un diagrama de flujo que muestra un procedimiento de combinación fácil de datos de acuerdo con un modo de realización.

La Fig. 12 ilustra un receptor a modo de ejemplo de acuerdo con un modo de realización.

## DESCRIPCIÓN DETALLADA

### Resumen de desmodulación de clave de cambio de fase diferencial

[0010] Cuando una señal binaria se transmite desde un transmisor a un receptor, tal como el que se muestra en el sistema de satélite de la Fig. 1, se pueden usar diversos tipos de esquemas de modulación para modular la señal binaria sobre una señal portadora. Uno de estos sistemas se conoce como desmodulación de clave de cambio de fase diferencial o DPSK. Este tipo de sistema es bien conocido por los expertos en la técnica como una forma no coherente de codificación de cambio de fase que evita la necesidad de una señal de referencia coherente en el receptor. Los receptores no coherentes son económicos de construir, ya que no requieren los circuitos de señal de referencia y, por lo tanto, son útiles en las comunicaciones inalámbricas.

[0011] En el receptor, la secuencia original se puede recuperar detectando en primer lugar la secuencia binaria descodificada diferencialmente y a continuación convirtiéndola de nuevo en la secuencia binaria original. En los sistemas SPS, DPSK no se utiliza en el transmisor. Sin embargo, se puede usar un desmodulador DPSK en el receptor.

[0012] La Fig. 2 ilustra un circuito a modo de ejemplo para generar una "decisión difícil" en un desmodulador DPSK. El receptor puede medir la diferencia de fase relativa entre las formas de onda recibidas durante los dos intervalos de bits sucesivos. Idealmente, si la diferencia de fase de las dos señales recibidas es cero, entonces el bit descodificado diferencialmente recuperado será el símbolo "0" de acuerdo con el esquema de codificación de cambio de transmisión. Si la diferencia de fase entre las dos formas de onda recibidas durante los dos intervalos de bits sucesivos es  $\pi$  radianes o 180 grados, entonces el bit actual tiene el símbolo "1". El bloque "Retardo  $T_b$ " representa el retardo de 1 bit o la capacidad de almacenamiento utilizada por el receptor para usar la señal de bit recibida previamente para descodificar la señal de bit actual. Se utiliza un detector de umbral 210 para tomar la decisión difícil de determinar si el bit descodificado diferencialmente es un 1 o un 0. Este bloque de decisión se muestra en la Fig. 3 como el bloque de "Decisión difícil" 310.

[0013] La Fig. 3 ilustra un modelo de error para un esquema de desmodulación DPSK a modo de ejemplo. En la Fig. 3, una secuencia de entrada binaria  $d_i$  se introduce en un codificador en el transmisor. El codificador, por ejemplo, utiliza la codificación de Hamming y agrega bits de paridad y transmite la señal a través de un medio de transmisión, como una transmisión inalámbrica de un satélite a un receptor basado en Tierra. Como resultado de la transmisión a través del medio de transmisión al receptor, la señal se atenúa y se agrega ruido gaussiano blanco aditivo a la señal. El receptor DPSK recibe la señal y la desmodula. El desmodulador determina inicialmente un valor atenuado que caracteriza la diferencia de fase entre señales de segmento de bit sucesivas.

[0014] El desmodulador toma una decisión en el bloque "decisión difícil" para determinar si una señal representa un 1 o un 0 en el esquema de descodificación diferencialmente; la decisión se representa como  $C(i)$  en la Fig. 3. A continuación, este valor de polaridad  $C(i)$  se introduce en un acumulador de módulo 2 junto con el valor del bit anterior (denominado  $D$  en la Fig. 3) para determinar un valor binario para el bit actual. Por lo tanto, el acumulador de módulo 2 produce un flujo de bits  $D(i)$  que representa la descodificación del flujo de bits codificado originalmente  $m(i)$ . Suponiendo que no se hayan introducido errores en el sistema,  $D(i)$  será igual a  $m(i)$ .

[0015] La tabla 1 siguiente ilustra un ejemplo del proceso de desmodulación DPSK de acuerdo con la Fig. 3 y suponiendo que no se producen errores de bits en la secuencia de bits descodificada.

Tabla 1

Bits transmitidos $\{m(i)\}$	1	0	1	1	0	0	1	0
Fase transmitida (radianes)	$\pi$	0	$\pi$	$\pi$	0	0	$\pi$	0
Bits descodificados diferencialmente $\{C(i)\}$		1	1	0	1	0	1	1
Secuencia de bits restaurada $\{D(i)\}$	1	0	1	1	0	0	1	0

#### Resumen de sistema de posicionamiento por satélite

[0016] Los desmoduladores de clave de cambio de fase diferencial (DPSK) pueden ser útiles en sistemas de posicionamiento por satélite (SPS), así como otros sistemas de transmisión. Un sistema SPS es un tipo de sistema utilizado para proporcionar información de posición altamente precisa a los receptores en la Tierra. Dichos receptores pueden ubicarse en estaciones base, automóviles, barcos, aviones y dispositivos móviles de consumo como teléfonos celulares, módems inalámbricos, módulos inalámbricos, asistentes digitales personales (PDA), ordenadores portátiles con acceso inalámbrico, etc. denominados en general en el presente documento estaciones móviles. Por ejemplo, la Fig. 1 ilustra un ejemplo de un sistema SPS 100 en el que los satélites 104, 108, 112 y 116 transmiten señales SPS al receptor 120. Además de recibir las señales SPS, el receptor también puede configurarse para recibir otras señales de comunicación inalámbrica desde un transmisor 124. Así, por ejemplo, un teléfono celular puede configurarse con la capacidad de transmitir sus coordenadas SPS como parte de una llamada, como por ejemplo en una llamada "911". Los satélites, el receptor y el transmisor celular SPS se pueden configurar de acuerdo con el diagrama de bloques de la Fig. 4.

[0017] Un ejemplo de un sistema de posicionamiento por satélite es el administrado por los Estados Unidos que incluye aproximadamente 24 vehículos satelitales posicionados en órbitas predeterminadas sobre la Tierra. Si bien estos vehículos satelitales tienen órbitas sustancialmente predeterminadas, dichas órbitas pueden variar hasta cierto punto. Por lo tanto, los vehículos satelitales transmiten datos a los receptores para permitir que el receptor conozca los cambios en la ubicación del vehículo satelital. Estos datos que se transmiten se denominan datos de almanaque y efemérides.

[0018] Los datos de almanaque se utilizan para identificar las ubicaciones aproximadas de todos los vehículos satelitales que se utilizan en el sistema. Por lo tanto, en el ejemplo donde se utilizan 24 vehículos satelitales o SV, los datos del almanaque incluirían información que indica al receptor donde los 24 satélites están orbitando aproximadamente. Estos datos de almanaque son los mismos para los 24 satélites. Los datos de efemérides son específicos para cada SV en particular. Identifica cómo la posición de ese SV específico difiere de la órbita predeterminada. Así, cada SV transmite datos de efemérides específicos para sí mismo. Es importante que el receptor pueda rastrear la ubicación exacta del SV ya que esta posición se utiliza para determinar la posición del receptor.

[0019] El receptor en un sistema SPS utiliza transmisiones de 3 o más satélites para determinar la posición del receptor. Esencialmente, cada satélite transmite una señal que corresponde a una señal de referencia utilizada por el receptor. La recepción de la transmisión por satélite se puede comparar con la señal de referencia en el receptor para determinar el retardo de tiempo en la señal recibida en relación con la señal de referencia. El retardo de tiempo es una función de la distancia real entre el vehículo satelital y el receptor. Por lo tanto, si el receptor conoce la ubicación exacta de un vehículo satelital, puede determinar la distancia desde el vehículo satelital hasta el receptor. Cuando tres o más satélites transmiten sus señales a un receptor, el receptor puede determinar su ubicación en la Tierra (o en el aire sobre la Tierra en el caso de un avión). Cuantos más satélites estén involucrados en la determinación, se obtendrán resultados más exactos. Sin embargo, la determinación se basa en los datos de almanaque y los datos de efemérides descritos anteriormente, ya que esos datos identifican dónde se encuentra cada satélite.

[0020] La Fig. 5 ilustra un ejemplo de cómo se pueden formatear los datos SPS. La Fig. 5 muestra una serie de tramas de datos de 25. Cada trama de datos se muestra con 5 subtramas. Además, cada subtrama se muestra con 10 palabras, en el que cada palabra se muestra con 24 bits de información y 6 bits de paridad. De acuerdo con un modo de realización, los bits de datos se transmiten a una velocidad de 50 bits/s o 20 ms por bit. Por lo tanto, cada palabra de 30 bits se transmite en 0,6 segundos y cada subtrama se transmite en 6 segundos. De manera similar, en este ejemplo, se tardarían 30 segundos en transmitirse una trama completa de datos. Cuando se utiliza una palabra de 30 bits que comprende 24 bits de información y 6 bits de paridad, la palabra se puede codificar utilizando un código de bloque extendido de Hamming (32, 26). La entrada del codificador usaría los 24 bits de información y los dos últimos bits de paridad de la palabra anterior.

[0021] En el sistema SPS administrado por los Estados Unidos, las primeras tres subtramas contienen los datos de efemérides de vehículo satelital y de reloj. Las dos últimas subtramas contienen los datos del almanaque. Se requieren 25 tramas para transmitir los datos del almanaque de los 24 vehículos satelitales en el sistema SPS administrado por los Estados Unidos, por ejemplo, por lo tanto, 12,5 minutos. En contraste, los datos de efemérides se repiten cada trama, es decir, cada 30 segundos. Por lo tanto, la capacidad de recibir y desmodular con precisión los datos de efemérides permitirán a un receptor evitar el retardo de 30 segundos que se introduce cuando los datos de efemérides no se pueden descodificar correctamente. En consecuencia, se mejorará el rendimiento del receptor.

**Uso de información de decisión fácil**

[0022] Como se señaló anteriormente, en condiciones del mundo real, las señales recibidas por el receptor desde el transmisor a menudo resultarán altamente atenuadas o habrán incurrido en un cambio de fase. Por ejemplo, dos señales normalizadas recibidas desde el transmisor pueden denominarse números complejos como  $s_1$  y  $s_2$ , en el que

$$s_1 = e^{j\Phi_1}$$

y en el que

$$s_2 = e^{j\Phi_2}$$

[0023] Por lo tanto, la diferencia de fase entre las dos señales  $s_1$  y  $s_2$  se puede medir mediante la multiplicación  $s_2$  y el conjugado de  $s_1$ . Esto produce un número complejo que tiene una magnitud entre 1 y -1. Por ejemplo, si  $\Phi_2 = \Phi_1$ , entonces la magnitud es 1. Si  $\Phi_2 = \Phi_1 + \pi$ , entonces la magnitud es -1. Sin embargo, en un entorno no ideal, la magnitud variará entre 1 y -1.

[0024] La Fig. 3 muestra un bloque de decisión difícil 310. El bloque de decisión difícil determina si el valor de la magnitud está más cerca de 1 o -1 y a continuación genera un bit 0 o 1 en consecuencia. A continuación, el valor 0 o 1 se reenvía al acumulador de módulo-2 312 que también recibe el bit D descodificado previamente mostrado en el bloque 314. La salida del acumulador de módulo 2 es el bit D(i). Si bien un experto en la técnica puede apreciar que

el receptor puede usar una variedad de esquemas para descodificar la señal recibida, la entrada al bloque de decisión difícil del receptor se entiende en la industria como información de decisión fácil.

5 **[0025]** Por lo tanto, la magnitud de la información de decisión fácil que se introduce en el bloque de decisión difícil puede estar muy cerca de 0, es decir, un valor muy pequeño positivo o un valor muy pequeño negativo. Cuando el valor está cerca de 0, es muy probable que esté en error. Por ejemplo, debido al ruido y la atenuación o al salto de frecuencia ocasional por parte del receptor, la información del bit de decisión fácil podría indicar un número positivo muy pequeño cuando, de hecho, debería indicar un número negativo. De manera similar, la información del bit de decisión fácil podría indicar un número negativo muy pequeño cuando en realidad debería indicar un valor positivo.

10 **[0026]** Como resultado de estos errores en el valor de información de decisión fácil, el bloque de decisión difícil 310 en la Fig. 3 producirá un valor de bit erróneo que se introduce en el acumulador de módulo 2 312. En consecuencia, este error producirá un valor erróneo para la secuencia de bits descodificada. Además, el valor erróneo se utilizará como D en el bloque 314 para calcular el siguiente valor en la secuencia de bits y el error se propagará a través de los valores restantes de la secuencia de bits. Si ocurre un segundo error en la información de decisión fácil, ese error corregirá la propagación de errores. Sin embargo, los datos anteriores todavía se corromperán.

15 **[0027]** La Fig. 3 muestra un bloque de comprobación de paridad 316. La comprobación de paridad se puede utilizar para determinar si hay un error detectable en la salida del desmodulador. Por ejemplo, si se utiliza un código de Hamming con seis bits de paridad, se detectarán la mayoría de los errores que salen del desmodulador. Suponiendo que se encuentra un solo error de bit, los sistemas anteriores habrían reconocido la existencia del error pero no habrían podido corregirlo. De acuerdo con un modo de realización, la información de decisión fácil ahora se puede usar para corregir tal error.

20 **[0028]** En términos generales, si se detecta un error de paridad para un conjunto de datos, la información de decisión fácil puede proporcionar una cierta probabilidad de qué bit está en error. Por ejemplo, si la magnitud de la información de decisión fácil está muy cerca de "0" cuando se espera un valor de "1" o "-1", el bit asociado con esa información de decisión fácil será sospechoso. Uno puede conmutar el bit y repetir la comprobación de paridad en la secuencia de datos binarios de salida del bloque de decisión difícil para ver si la conmutación del bit corrigió el error. Por ejemplo, la Fig. 6 ilustra un diagrama de flujo 600 que muestra un procedimiento de acuerdo con un modo de realización. De acuerdo con este diagrama de flujo, se proporciona una primera señal de entrada representativa de una pluralidad de bits, como se muestra en el bloque 604. El bloque 608 muestra que la desmodulación de clave de cambio de fase diferencial se realiza en la primera señal de entrada para obtener un primer conjunto de datos binarios y para obtener información de decisión fácil de la señal de entrada para cada bit en un subconjunto del primer conjunto de datos binarios. A continuación se puede realizar una comprobación de error de paridad, como se muestra en el bloque 612 para determinar si existe un error de paridad para el primer conjunto de datos binarios después de la realización de la desmodulación de clave de cambio de fase diferencial.

25 **[0029]** El bloque 616 indica que se realiza una determinación con respecto a qué bit en el subconjunto del primer conjunto de datos tiene el valor absoluto más bajo de información de decisión fácil. Así, por ejemplo, si un bit está asociado con una magnitud de valor de decisión fácil de -0,3 y otro bit está asociado con un valor de decisión fácil que tiene una magnitud de +0,2, el bit asociado con la información de decisión fácil que tiene una magnitud de +0,2 sería el más bajo. El bloque 620 indica que el valor binario del bit con el valor absoluto más bajo de información de decisión fácil se conmuta para formar un segundo conjunto de datos binarios. Además, el bloque 624 ilustra que el segundo conjunto de datos binarios se puede comprobar a continuación para determinar si hay un error de paridad. Si no hay error de paridad, entonces el error se considera corregido.

30 **[0030]** De acuerdo con otro modo de realización, el bit asociado con el valor absoluto más bajo siguiente de la información de decisión fácil se puede conmutar. Por lo tanto, si el primer intento de corregir el error de paridad falla, el proceso puede repetirse conmutando el bit descodificado diferencialmente asociado con el siguiente valor absoluto más bajo de información de decisión fácil, en lugar de conmutar el bit descodificado diferencialmente asociado con el valor absoluto más bajo de información de decisión fácil. Después de conmutar, se puede generar la secuencia de salida binaria y, a continuación, se puede comprobar la paridad de la secuencia de salida binaria. Este modo de realización puede ser útil, por ejemplo, en casos en que dos bits están asociados con valores de información de decisión fácil que están muy cerca uno del otro; por lo tanto, cualquiera de los dos podría ser la fuente probable del error.

**Prueba previa a la corrección de información de decisión fácil**

35 **[0031]** De acuerdo con otro modo de realización, puede implementarse una prueba antes de utilizar la corrección de la información de decisión fácil descrita anteriormente. Bajo ciertas condiciones, habrá múltiples errores en una palabra de datos detectada. En algunas situaciones, la implementación de la corrección de un bit puede producir una comprobación de paridad que indica que no hay error de paridad; sin embargo, la palabra descodificada aún puede estar en error (dados los múltiples errores que existen en la palabra detectada, para comenzar). Por lo tanto, una prueba adicional puede ayudar a reducir la tasa de error de palabras no detectadas (UWER) para el receptor. Las

Figs. 7 y 8 ilustran un diagrama de flujo que muestra un procedimiento de este tipo de acuerdo con un modo de realización.

5 **[0032]** Es decir, las Figs. 7 y 8 muestran un diagrama de flujo 700 en el que el bloque 704 proporciona una primera señal de entrada representativa de una pluralidad de bits. En el bloque 708, la desmodulación de clave de cambio de fase diferencial se realiza en la primera señal de entrada para obtener un primer conjunto de datos binarios y para obtener información de decisión fácil de la señal de entrada para cada bit en un subconjunto del primer conjunto de datos binarios. En el bloque 712, se realiza una comprobación para determinar si hay un error de paridad para el primer conjunto de datos binarios que se emiten desde el desmodulador de clave de cambio de fase diferencial. Si existe un error de paridad, se pueden determinar los valores absolutos de la información de decisión fácil. En el bloque 716 del diagrama de flujo 700, se determina un primer bit en el subconjunto del primer conjunto de datos binarios que está asociado con el valor absoluto más bajo de la información de decisión fácil. Además, en el bloque 720, se determina un segundo bit asociado con el segundo valor absoluto más bajo de información de decisión fácil. En el bloque 724, el valor de información de decisión fácil para el primer bit se compara con el valor de información de decisión fácil para el segundo bit con el fin de determinar si el valor de información de decisión fácil para el primer bit es suficientemente diferente del valor de información de decisión fácil para el segundo bit. Además, el bloque 724 indica que esta prueba se realiza de acuerdo con un estándar predeterminado. En el bloque 728, el valor binario del bit descodificado diferencialmente asociado con el valor absoluto más bajo de la información de decisión fácil se conmuta para formar un segundo conjunto de datos binarios que se pasa a través del acumulador de módulo 2 que se muestra en la Fig. 2 para producir una secuencia binaria de salida que se puede comprobar en cuanto a paridad. Esta conmutación se implementa si la información de decisión fácil para el primer bit satisface la condición predeterminada. De forma alternativa, la conmutación no se implementa si no se cumple la condición predeterminada.

25 **[0033]** Por ejemplo, se puede elegir para probar si la magnitud de la información fácil para el bit #1 es el doble de la magnitud para el bit #3 antes de conmutar el bit #3 para intentar corregir el error de paridad. Tal prueba le da al diseñador un nivel de comodidad de que el bit #3 es en realidad el bit que está en error y que conmutar el bit no producirá una palabra que pase la prueba de polaridad, siendo aún incorrecta, lo cual aumentaría la tasa de error de la palabra no detectada (UWER) para el receptor. Si no se satisface la prueba predeterminada, el receptor puede introducir una nueva señal que, en el caso de una señal SPS, sería una nueva trama de datos que contiene la información de efemérides. El proceso podría entonces repetirse. Esta repetición evita un aumento en el valor UWER que podría obtenerse si no se cumple la condición predeterminada.

**[0034]** Los ejemplos de pruebas que se pueden usar son:

35 
$$\text{LowBit} < \alpha * \text{NextLowBit}$$

en el que LowBit es la magnitud de la información de decisión fácil que tiene la magnitud de decisión fácil más baja en relación con un conjunto de valores de decisión fácil. Además, NextLowBit es la magnitud del valor de decisión fácil que tiene la siguiente magnitud más baja en el conjunto de valores de decisión fácil. Alpha ( $\alpha$ ) es un multiplicador predeterminado, como el entero 3; sin embargo, no necesariamente tiene que ser un valor constante, ya que podría ser una función de otra variable.

**[0035]** Otra prueba que se puede usar es:

45 
$$\text{LowBit} < \alpha * \text{NextLowBit} + \beta * (N0/2)$$

en el que  $\beta$  es un multiplicador predeterminado y  $N0/2$  es la varianza del ruido en la entrada al desmodulador DPSK. Típicamente,  $N0/2$  es un valor fijo debido al circuito de control automático de ganancia.

50 **[0036]** La Fig. 9 muestra otro ejemplo de un diagrama de flujo 900 que muestra estos modos de realización para utilizar información de decisión fácil para corregir resultados de desmodulación. En el bloque 904, se obtiene la información de decisión fácil  $\{S(i)\}$ . En el bloque 908, se toman decisiones difíciles según lo indicado por la ecuación  $C(i) = (1 - \text{sign}[S(i)])/2$ . En el bloque 912, se usa un acumulador de módulo 2 para calcular  $D(i)$ , en el que  $D(i) = D(i-1) \oplus C(i)$  (es decir,  $D(i-1)$  y  $C(i)$  son las entradas al acumulador de módulo 2 y se emite  $D(i)$ ). Si inicialmente se utilizó un código de Hamming para codificar la información, se puede realizar una comprobación de paridad en la palabra de información producida a partir de las salidas  $D(i)$ , como se muestra en el bloque de decisión 916. Si la comprobación de paridad pasa, entonces el bloque 920 muestra que se acepta la palabra de información.

60 **[0037]** Si se determina un error de paridad en el bloque de decisión 916, se puede realizar una clasificación de la magnitud de la información de decisión fácil, como se muestra en el bloque 924. El valor mínimo ( $\text{min}_s$ ) y su índice ( $\text{ind}_{\text{min}}$ ) también se pueden determinar. El índice asocia la información de decisión fácil con un bit particular. Además, se puede determinar el segundo valor mínimo ( $\text{value}_{\text{next}_s}$ ). El bloque de decisión 928 ilustra la opción de usar una prueba antes de conmutar un bit. La prueba utilizada en el ejemplo del bloque 928 es  $\text{next}_s \geq \alpha * \text{min}_s + \beta * (N0/2)$ . Esta prueba requeriría que la siguiente magnitud más baja de información de decisión fácil sea mayor o igual a un factor de la magnitud más baja de información de decisión fácil agregada a un factor de la varianza del ruido en la entrada al desmodulador. Si la prueba no se satisface, la recepción de palabras se considera un fallo y los datos se

pueden descartar, como se muestra en el bloque 944. Si se satisface la prueba, el bloque 932 muestra que la salida de la decisión difícil asociada con  $\text{min}_s$  está conmutada (es decir, "invertida"). Una vez que se invierte el valor del bit, el flujo de bits trasero se puede recalcular con el acumulador mod-2, en el que la salida del acumulador mod-2 es  $D(i) = D(i-1) \wedge C(i)$ . Una vez que el acumulador de módulo 2 produce el nuevo conjunto de bits de salida, se puede comprobar de nuevo la paridad del conjunto de bits. Por lo tanto, el bloque 940 ilustra que se puede usar un decodificador de Hamming, por ejemplo. Si la paridad pasa, entonces la palabra de información puede ser aceptada, como lo muestra el bloque 920. Si la paridad no pasa, entonces la recepción de la palabra se puede designar como fallo y la palabra de información se puede descartar, como se muestra en el bloque 944.

5  
10 **[0038]** Si bien los ejemplos anteriores se refieren a conmutar un solo bit, también sería posible conmutar múltiples bits. Por ejemplo, si la información de decisión fácil para dos bits cumple con el estándar predeterminado, ambos bits podrían conmutarse, en lugar de solo uno. De hecho, cualquier número de bits se puede conmutar si cumplen con el estándar predeterminado.

### 15 **Uso de pase múltiple de información de decisión fácil**

**[0039]** De acuerdo con otro modo de realización, se pueden usar múltiples recepciones de una palabra de datos para reducir los errores. Como se señaló en el modo de realización de la Fig. 5, los datos de efemérides SPS se pueden repetir en cada trama de datos. Por lo tanto, asumiendo que estos datos de efemérides no cambian entre tramas sucesivas, el receptor SPS puede recibir los mismos datos de efemérides aproximadamente cada 30 segundos. En consecuencia, esto proporciona información de decisión fácil adicional que puede ser utilizada por el receptor. La Fig. 10 ilustra un ejemplo de acuerdo con un modo de realización.

20  
25 **[0040]** La Fig. 10 ilustra un diagrama de flujo 1000 que describe un procedimiento en el que se pueden utilizar dos transmisiones de una palabra de datos, por ejemplo. El bloque 1010 indica que se proporciona una primera señal de entrada que comprende una palabra de datos transmitidos. Por ejemplo, un receptor puede recibir una palabra de 30 bits de datos de trama transmitidos en un sistema SPS. El bloque 1014 muestra que la primera señal de entrada se procesa con un desmodulador, como un desmodulador DPSK, para obtener un primer conjunto de valores de información de decisión fácil. Por ejemplo, los valores de información de decisión fácil se pueden almacenar para cada posición de índice de bits en la palabra de datos recibida.

30  
35 **[0041]** El bloque 1018 indica que se proporciona una segunda señal de entrada. Por ejemplo, se puede recibir una retransmisión de la misma palabra de datos al recibir una segunda trama de datos en una transmisión SPS que contiene datos de efemérides (es decir, los datos de efemérides se repiten cada trama). En el bloque 1022, la segunda señal de entrada se procesa con un desmodulador, como el desmodulador DPSK, para obtener a partir de la segunda señal de entrada un segundo conjunto de segundos valores de información de decisión fácil, es decir, se obtienen valores de información de decisión fácil para la segunda señal de entrada que corresponden a las respectivas posiciones de índice de bits en la palabra de datos transmitida.

40  
45 **[0042]** En el bloque 1026, se puede realizar una función matemática en los dos conjuntos de valores de información de decisión fácil. Esto produce un tercer conjunto de valores de información de decisión fácil sustitutos que corresponden a las posiciones de índice de bits en la palabra de datos transmitida. Las funciones matemáticas que se pueden realizar son numerosas. Un ejemplo es que se puede realizar un promedio de los valores de información de decisión fácil para producir un valor medio de los valores de información de decisión fácil que se aplican a las respectivas posiciones de índice de bits en la palabra de datos transmitida. Por ejemplo, un valor de información de decisión fácil que corresponde con el primer bit transmitido en la primera señal de entrada puede promediarse con el valor de información de decisión fácil que corresponde con el primer bit transmitido en la segunda señal de entrada. Esto produce un valor medio de información de decisión fácil que corresponde al primer bit en la palabra de datos. Como otro ejemplo, los valores de información de decisión fácil correspondientes se pueden agregar o multiplicar juntos o calcular un promedio ponderado, por ejemplo. En cualquier caso, la presencia de al menos dos puntos de datos (este proceso podría repetirse para recopilar puntos de datos adicionales) permite determinar un valor más preciso de la información de decisión fácil.

50  
55 **[0043]** La Fig. 11 ilustra un diagrama de flujo 1100 que muestra un procedimiento de acuerdo con un modo de realización. En el bloque 1104, se realiza una primera pasada en la que se obtiene un primer conjunto de información de decisión fácil  $\{S1(i)\}$ . El bloque 1108 muestra que a continuación pueden tomarse decisiones difíciles utilizando la información de decisión fácil como entradas, es decir,  $C(i) = (1 - \text{sign}[S1(i)])/2$ . A continuación, la información de decisión difícil puede introducirse en un acumulador de módulo 2 junto con la salida anterior del acumulador de módulo 2 para generar la salida del desmodulador (por ejemplo, de acuerdo con la ecuación  $D(i) = D(i-1) \wedge C(i)$ ). Esto se muestra en el bloque 1112. En el bloque de decisión 1116, se realiza una comprobación de paridad. Por ejemplo, si se utiliza el código de Hamming para codificar la transmisión, se puede realizar una comprobación de paridad del código de Hamming.

60  
65 **[0044]** Si el bloque de decisión 1116 detecta un error de paridad, la información de decisión de software puede almacenarse y el receptor puede esperar a una segunda transmisión de la misma palabra, como se muestra en el bloque 1120. Por lo tanto, el bloque 1124 muestra un segundo pase en el que se recibe una segunda señal de entrada

y en el que se obtiene información de decisión fácil  $\{S2(i)\}$  en el desmodulador. El bloque 1128 ilustra que se toman decisiones difíciles -  $C(i) = (1 - \text{sign}[S2(i)])/2$ . De manera similar, en el bloque 1132, las decisiones difíciles se introducen en un acumulador de módulo 2:  $D(i) = D(i-1) \wedge C(i)$ . En el bloque 1136, se realiza una comprobación de paridad. Si se aprueba la comprobación de paridad, se acepta la palabra de información de la segunda señal de entrada, como lo muestra el bloque 1140. Si la comprobación de paridad falla, se puede realizar un proceso de combinación fácil.

**[0045]** El bloque 1144 ilustra un ejemplo de un proceso de combinación fácil de acuerdo con un modo de realización. En este modo de realización, los valores de decisión fácil se suman de manera tal que  $S(i) = S1(i) + S2(i)$ . Sin embargo, como se señaló anteriormente, se podrían emplear otras funciones matemáticas para obtener los valores sustitutos  $S(i)$ . El bloque 1148 ilustra que se pueden tomar decisiones difíciles -  $C(i) = (1 - \text{sign}[S(i)])/2$ . Además, utilizando la salida de decisión difícil, la palabra que fue codificada y transmitida inicialmente puede reproducirse como la salida del acumulador de módulo 2 -  $D(i) = D(i-1) \wedge C(i)$ , como se muestra en bloque 1152. Una vez más, se puede realizar una comprobación de paridad, como se muestra en el bloque 1156. Si la paridad pasa, la palabra de información es aceptada. Si la comprobación de paridad falla, la recepción de palabras es un fallo y la palabra de información se puede descartar.

**[0046]** La Fig. 4 ilustra ampliamente cómo se pueden implementar elementos de sistema individuales en la Fig. 1. El sistema 400 se muestra compuesto por elementos de hardware que se acoplan eléctricamente a través del bus 408, incluido un procesador 401, dispositivo de entrada 402, dispositivo de salida 403, dispositivo de almacenamiento 404, lector de medios de almacenamiento legible por ordenador 405a, sistema de comunicación 406, aceleración de procesamiento (por ejemplo, DSP o procesadores especiales) 407 y memoria 409. El lector de medios de almacenamiento legible por ordenador 405a está además acoplado a los medios de almacenamiento legibles por ordenador 405b, con la combinación que representa de manera integral dispositivos de almacenamiento remotos, locales, fijos y/o extraíbles más medios de almacenamiento, memoria, etc. para contener de forma temporal y/o más permanente información legible por ordenador, que puede incluir el dispositivo de almacenamiento 404, la memoria 409 y/o cualquier otro recurso de sistema accesible 400. El sistema 400 también puede comprender elementos de software (que se muestran como ubicados actualmente dentro de la memoria de trabajo 491), incluido un sistema operativo 492 y otro código 493, como programas, applets, datos y similares.

**[0047]** La Fig. 12 ilustra otro modo de realización de un receptor. La Fig. 12 muestra un receptor 1200 que tiene un circuito integrado 1202 y un circuito de teléfono celular 1220. Un bus del circuito integrado está acoplado con un bus del circuito del teléfono celular a través del conductor 1218 o un acoplamiento equivalente. El bus 1206 está acoplado con el circuito de entrada 1204. Además, el bus 1206 está acoplado además con el circuito desmodulador DPSK 1208, el circuito de comprobación de paridad 1212, el procesador 1216 y la memoria 1217. El código informático operable para implementar los procedimientos descritos anteriormente se puede almacenar, por ejemplo, en la memoria 1217.

**[0048]** Será evidente para los expertos en la técnica que los modos de realización bien se pueden utilizar de acuerdo con los requisitos de aplicación más específicos. Por ejemplo, uno o más elementos del sistema podrían implementarse como subelementos dentro de un componente del sistema 400 (por ejemplo, dentro del sistema de comunicación 406). También podría usarse hardware personalizado, y/o elementos particulares podrían implementarse en hardware, software (incluyendo el denominado software portátil, tal como applets, etc.) o en ambos. Además, aunque se puede emplear la conexión a otros dispositivos informáticos, como los dispositivos de entrada/salida de red (no mostrados), debe entenderse que también pueden utilizarse conexiones por cable, inalámbricas, por módem y/u otras a otros dispositivos informáticos. No todos los componentes del sistema 400 serán necesariamente necesarios en todos los casos.

**[0049]** Si bien diversos modos de realización se han descrito como procedimientos o aparatos, debe entenderse que diversos modos de realización se pueden implementar a través de código acoplado a un ordenador, por ejemplo, residente código en un ordenador o accesible por el ordenador. Por ejemplo, el software podría utilizarse para implementar muchos de los procedimientos analizados anteriormente. Por lo tanto, además de los modos de realización realizados por hardware, también se observa que estos modos de realización pueden lograrse mediante el uso de un artículo de fabricación que comprende un medio utilizable por ordenador que tiene un código de programa legible por ordenador incorporado en el mismo, lo cual provoca la habilitación de las funciones divulgadas en esta descripción. Por lo tanto, se desea que los modos de realización también se consideren protegidos por esta patente en sus medios de código de programa. Además, los modos de realización pueden incorporarse como un código almacenado en una memoria legible por ordenador de prácticamente cualquier tipo incluyendo, sin limitación, RAM, ROM, medios magnéticos, medios ópticos o medios magneto-ópticos. Incluso de manera más general, los modos de realización podrían implementarse en software, hardware o cualquier combinación de los mismos, incluyendo, entre otros, software que se ejecuta en un procesador de propósito general, microcódigo, PLA o ASIC.

**[0050]** También se contempla que los modos de realización se podrían lograr como señales de ordenador incorporadas en una onda portadora, así como señales (por ejemplo, eléctricas y ópticas) propagadas a través de un medio de transmisión. Por lo tanto, la información diversa analizada anteriormente podría formatearse en una estructura, como una estructura de datos, y transmitirse como una señal eléctrica a través de un medio de transmisión o almacenarse en un medio legible por ordenador.

5 **[0051]** También se observó que muchas de las estructuras, materiales, y actos enumerados en el presente documento pueden recitarse como medios para realizar una función o pasos para realizar una función. Por lo tanto, debe entenderse que dicho lenguaje tiene derecho a cubrir todas las estructuras, materiales o actos divulgados dentro de esta memoria descriptiva y sus equivalentes.

10 **[0052]** Se cree que los aparatos y procedimientos y sus ventajas concomitantes se entenderán a partir de esta memoria descriptiva. Mientras que lo anterior es una descripción completa de modos de realización específicos, la descripción anterior no debe tomarse como limitante del alcance como se define en las reivindicaciones.

**REIVINDICACIONES**

1. Un procedimiento (1000) de desmodulación de datos, dicho procedimiento que comprende:

- 5 proporcionar (1010) una primera señal de entrada que comprende una palabra de datos transmitidos;
- procesar (1014) dicha primera señal de entrada con un desmodulador de clave de cambio de fase diferencial para obtener a partir de dicha primera señal de entrada un primer conjunto de primeros valores de información de decisión fácil correspondientes a posiciones de índice de bits en dicha palabra de datos transmitidos;
- 10 proporcionar (1018) una segunda señal de entrada;
- procesar (1022) dicha segunda señal de entrada con un desmodulador de clave de cambio de fase diferencial para obtener a partir de dicha segunda señal de entrada un segundo conjunto de segundos valores de información de decisión fácil correspondientes a las posiciones de índice de bits en dicha palabra de datos transmitidos;
- 15 realizar (1026) una función matemática en dichos conjuntos primero y segundo de valores de información de decisión fácil primero y segundo correspondientes con el fin de obtener un tercer conjunto de valores de información de decisión fácil sustitutos correspondientes a las posiciones de índice de bits respectivas en dicha palabra de datos transmitidos, en el que dicha realización (1026) de dicha función matemática comprende al menos uno de:
- 20 promediar la magnitud de dicho primer valor de información de decisión fácil y la magnitud de dicho segundo valor de información de decisión fácil correspondiente a una posición de índice de bits particular en dicha palabra de datos,
- agregar la magnitud de dicho primer valor de información de decisión fácil y la magnitud de dicho segundo valor de información de decisión fácil correspondiente a una posición de índice de bits particular en dicha palabra de datos, o
- 30 multiplicar la magnitud de dicho primer valor de información de decisión fácil con la magnitud de dicho segundo valor de información de decisión fácil correspondiente a una posición de índice de bits particular en dicha palabra de datos; y
- 35 conmutar un valor de bit de decisión difícil basándose en dichos valores de información de decisión fácil sustitutos, en el que dicha conmutación de dicho valor de bit comprende:
- 40 conmutar el valor binario de un bit de decisión difícil asociado con la magnitud de valor absoluto más bajo de información de decisión fácil sustituta.

2. El procedimiento como se reivindica en la reivindicación 1, en el que dicho promedio comprende realizar un promedio ponderado.

3. El procedimiento como se reivindica en la reivindicación 2, en el que dicha provisión (1010) de dicha primera señal de entrada comprende:

- 50 recibir una primera transmisión por satélite correspondiente a dicha primera palabra de datos; y
- en el que dicha provisión (1018) de dicha segunda señal de entrada comprende:
- recibir una segunda transmisión satelital correspondiente a dicha primera palabra de datos.

4. Un receptor (120) para desmodular datos, dicho receptor que comprende:

- una entrada para recibir una primera señal de entrada que comprende una palabra de datos transmitidos;
- 60 un desmodulador de clave de cambio de fase diferencial para realizar la desmodulación de clave de cambio de fase diferencial en dicha primera señal de entrada para obtener a partir de dicha primera señal de entrada un primer conjunto de primeros valores de información de decisión fácil correspondientes a las posiciones de índice de bits en dicha palabra de datos transmitidos;
- en el que dicha entrada está configurada además para recibir una segunda señal de entrada;

65

5 en el que dicho desmodulador de clave de cambio de fase diferencial está configurado además para realizar la desmodulación de clave de cambio de fase diferencial en dicha segunda señal de entrada para obtener a partir de dicha segunda señal de entrada un segundo conjunto de segundos valores de información de decisión fácil correspondientes a las posiciones de índice de bits en dicha palabra de datos transmitidos; y

10 un procesador configurado para realizar una función matemática en dichos conjuntos primero y segundo de los valores de información de decisión fácil primero y segundo correspondientes para obtener un tercer conjunto de valores de información de decisión fácil sustitutos correspondientes a las posiciones de índice de bits respectivas en dicha palabra de datos transmitidos, en el que dicho procesador está configurado además para realizar al menos uno de:

15 promediar la magnitud de dicho primer valor de información de decisión fácil y la magnitud de dicho segundo valor de información de decisión fácil correspondiente a una posición de índice de bits particular en dicha palabra de datos,

20 agregar la magnitud de dicho primer valor de información de decisión fácil y la magnitud de dicho segundo valor de información de decisión fácil correspondiente a una posición de índice de bits particular en dicha palabra de datos, o

25 multiplicar la magnitud de dicho primer valor de información de decisión fácil por la magnitud de dicho segundo valor de información de decisión fácil correspondiente a una posición de índice de bits particular en dicha palabra de datos,

30 en el que dicho procesador está configurado además para conmutar un valor de bit de decisión difícil basándose en dichos valores de información de decisión fácil sustitutos, y para conmutar el valor binario de un bit de decisión difícil asociado con la magnitud de valor absoluto más bajo de la información de decisión fácil sustituta.

5. Un artículo manufacturado que comprende:

30 medios de código de programa legible por ordenador para hacer que un ordenador realice el procedimiento de cualquiera de las reivindicaciones 1 a 3.

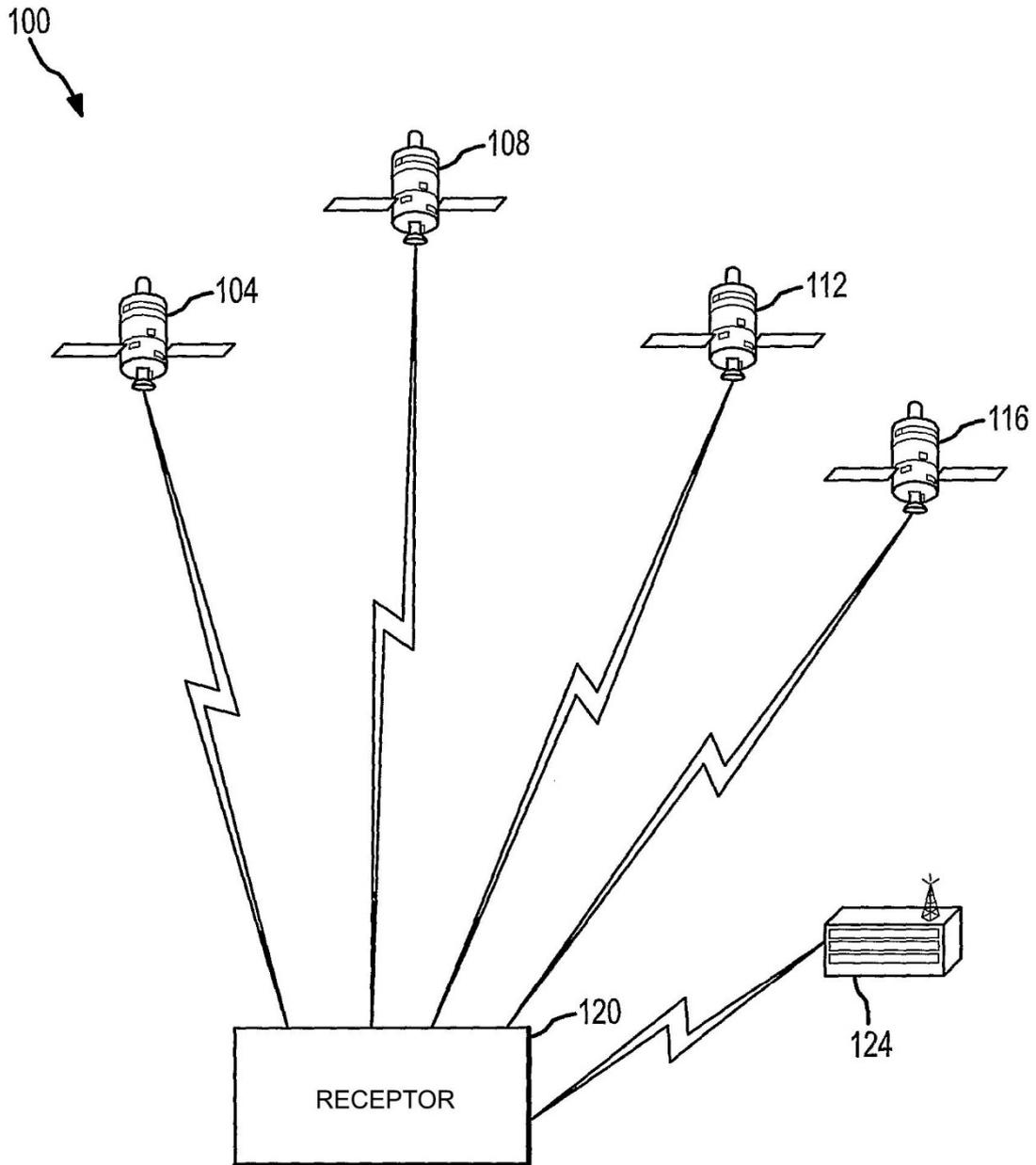


FIG.1

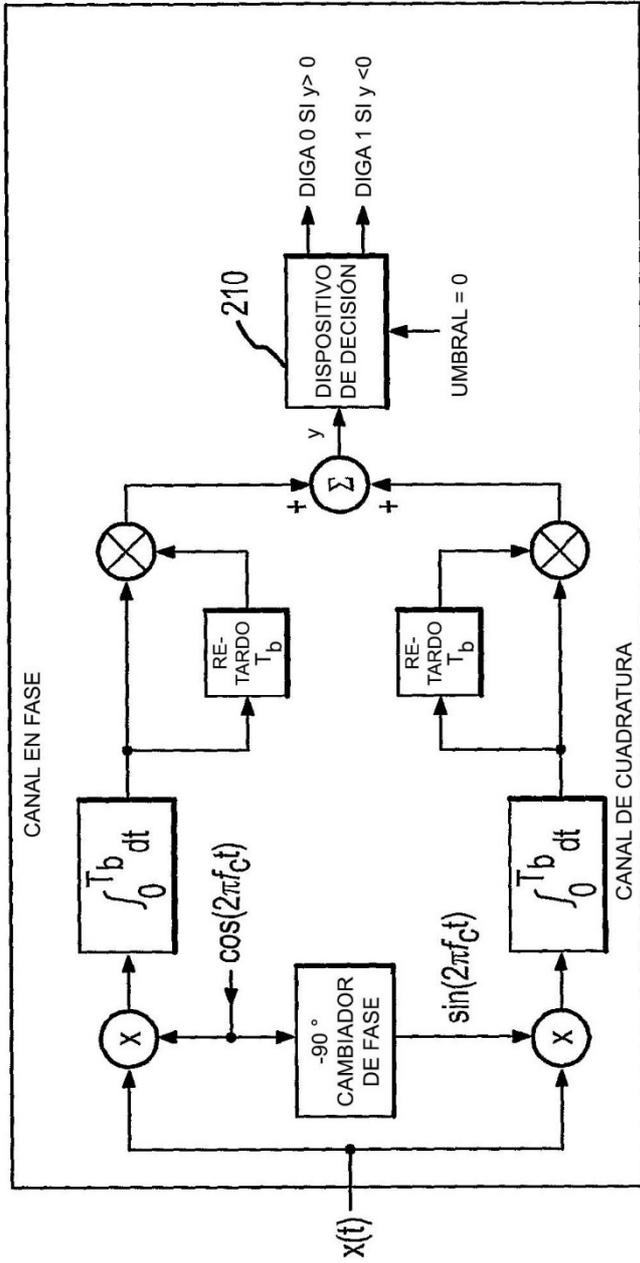


FIG.2

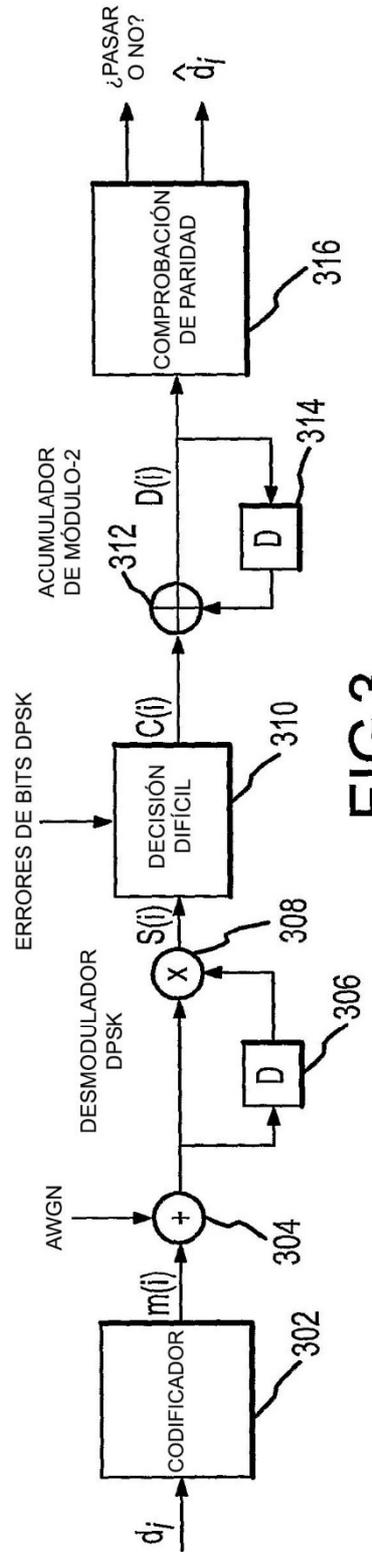


FIG.3

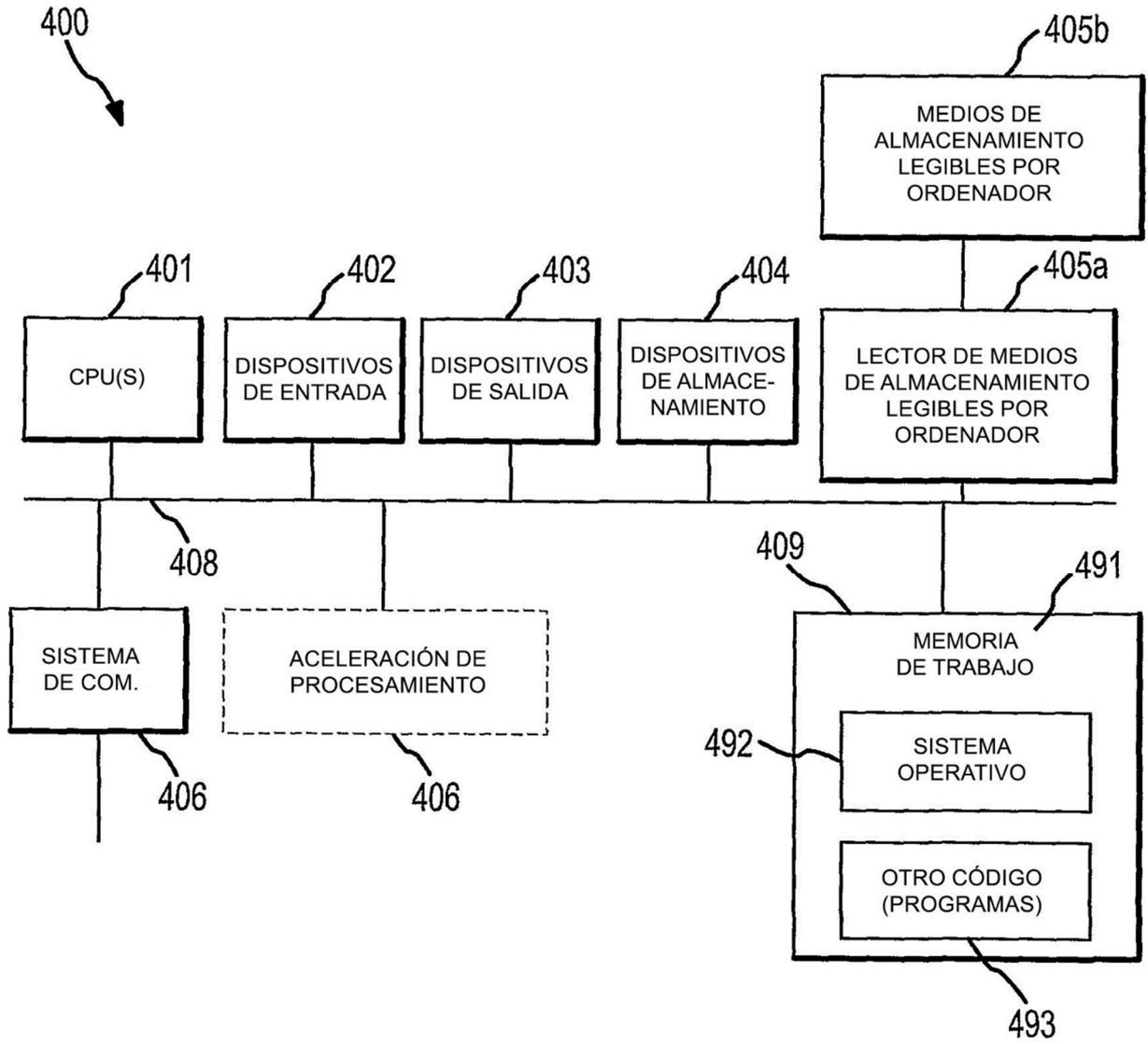


FIG.4

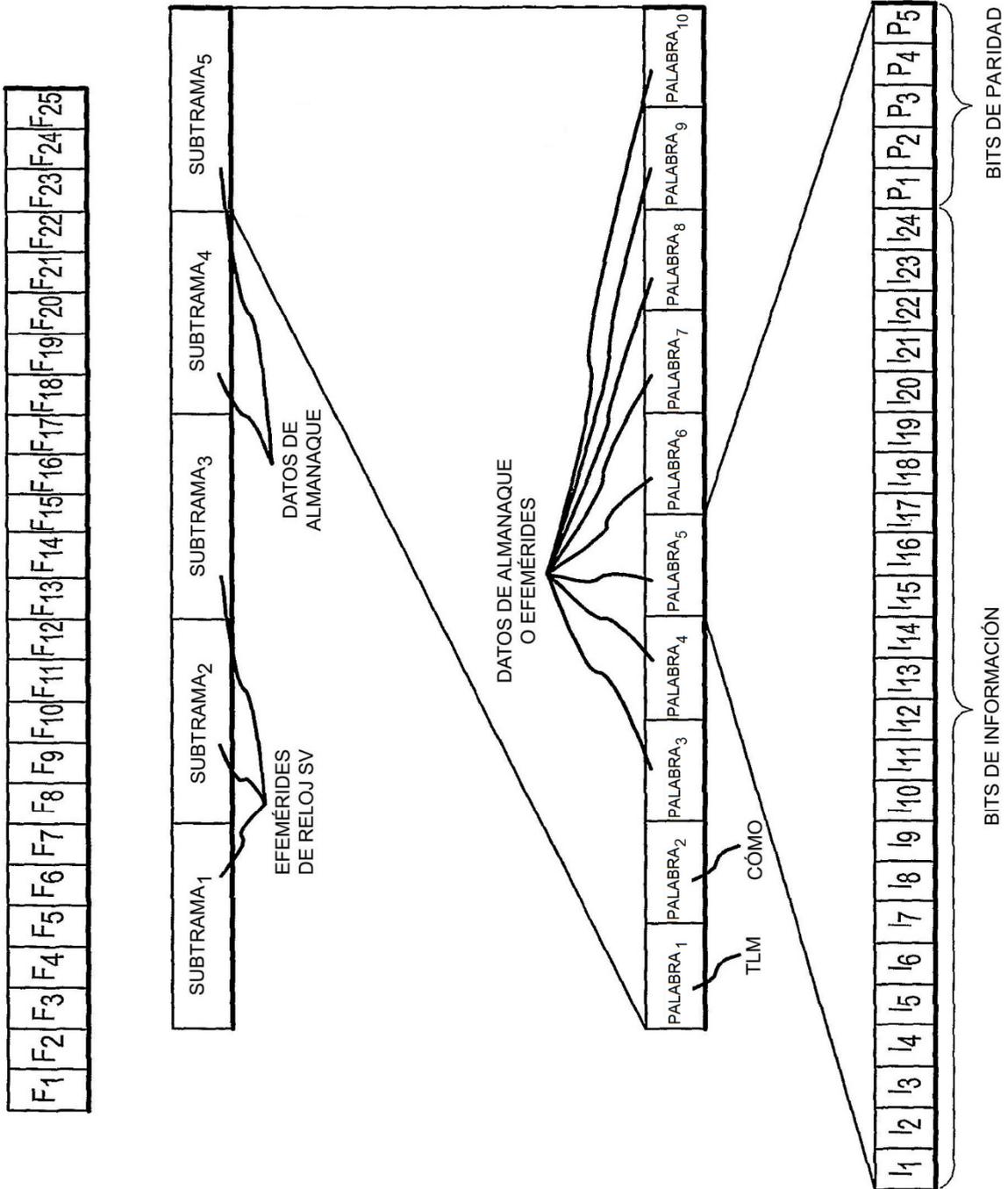


FIG.5

600  
↙

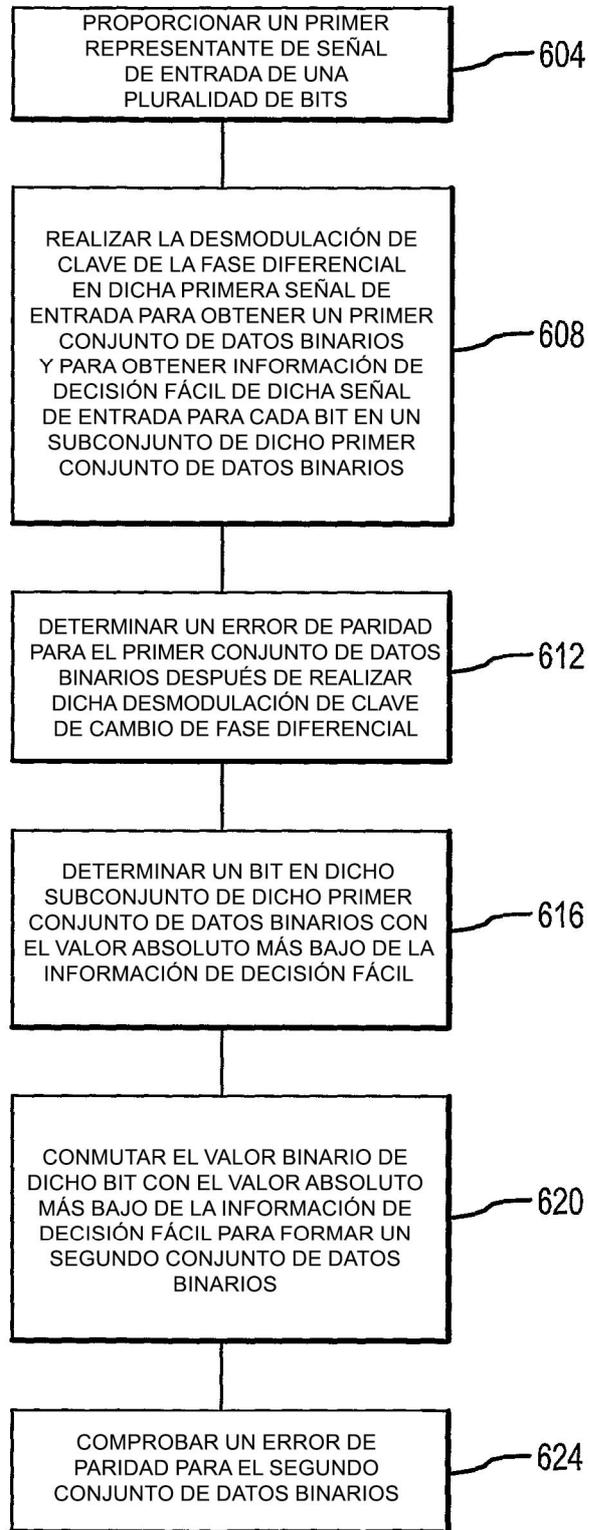


FIG.6

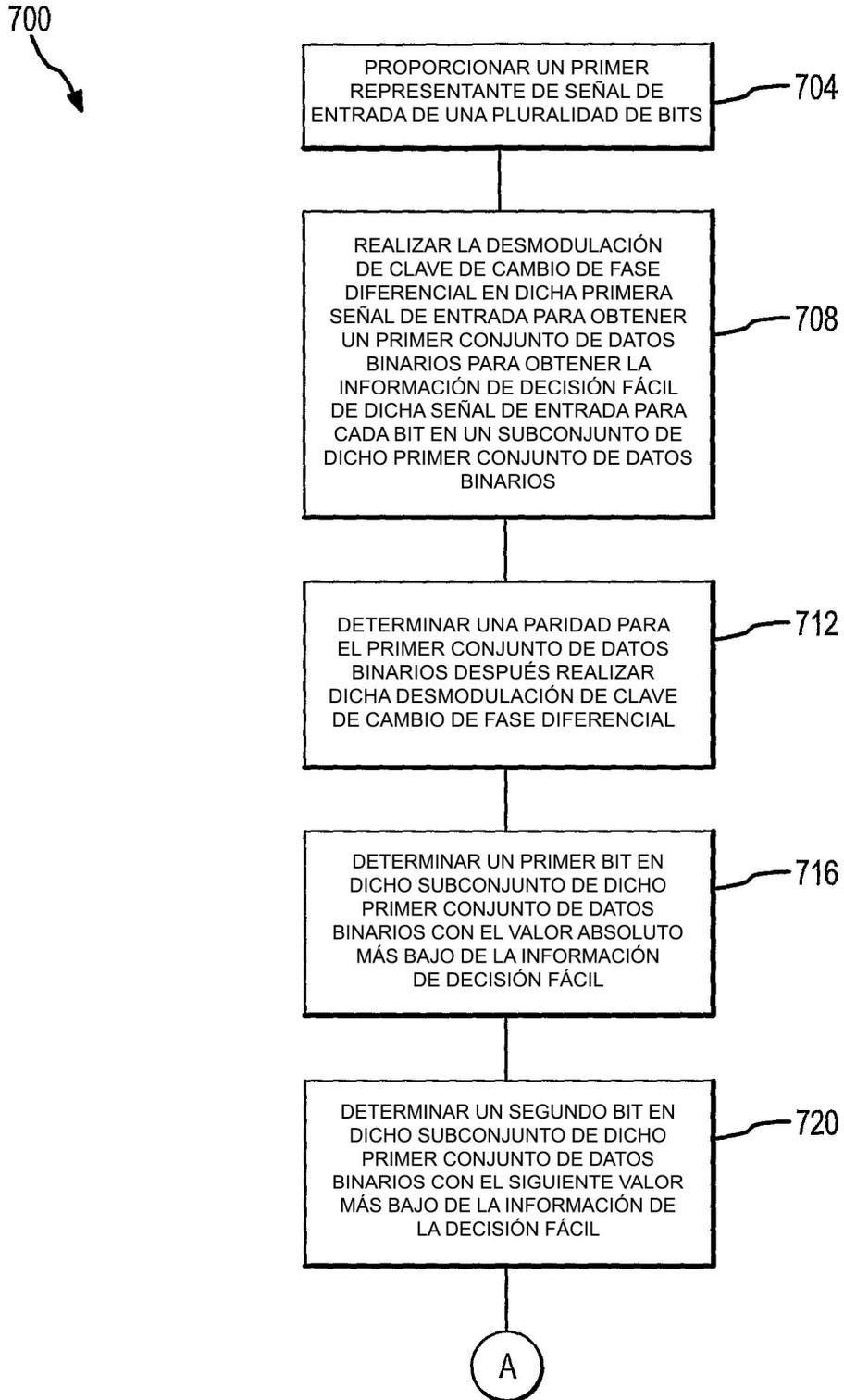


FIG.7

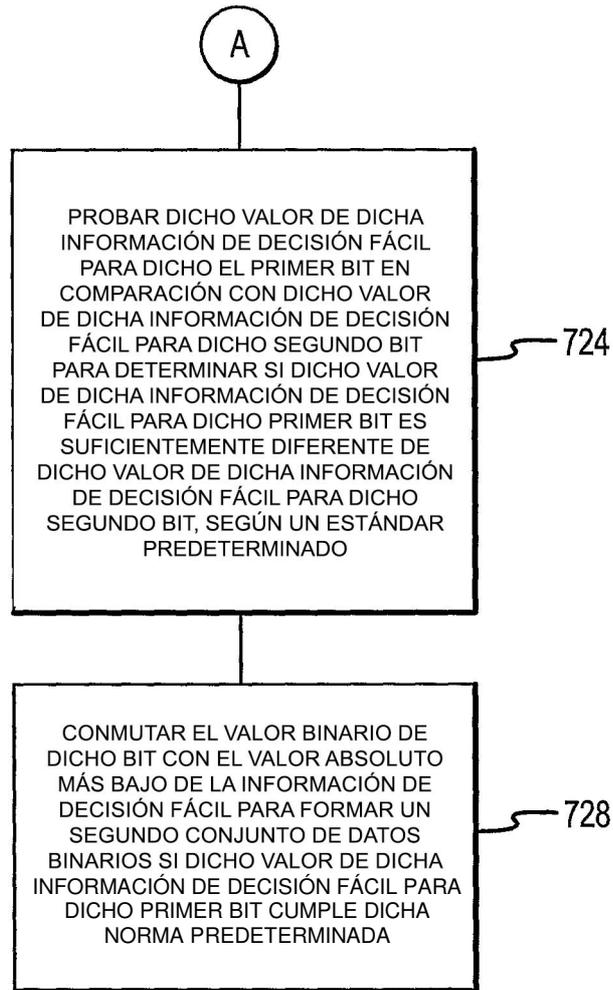


FIG.8

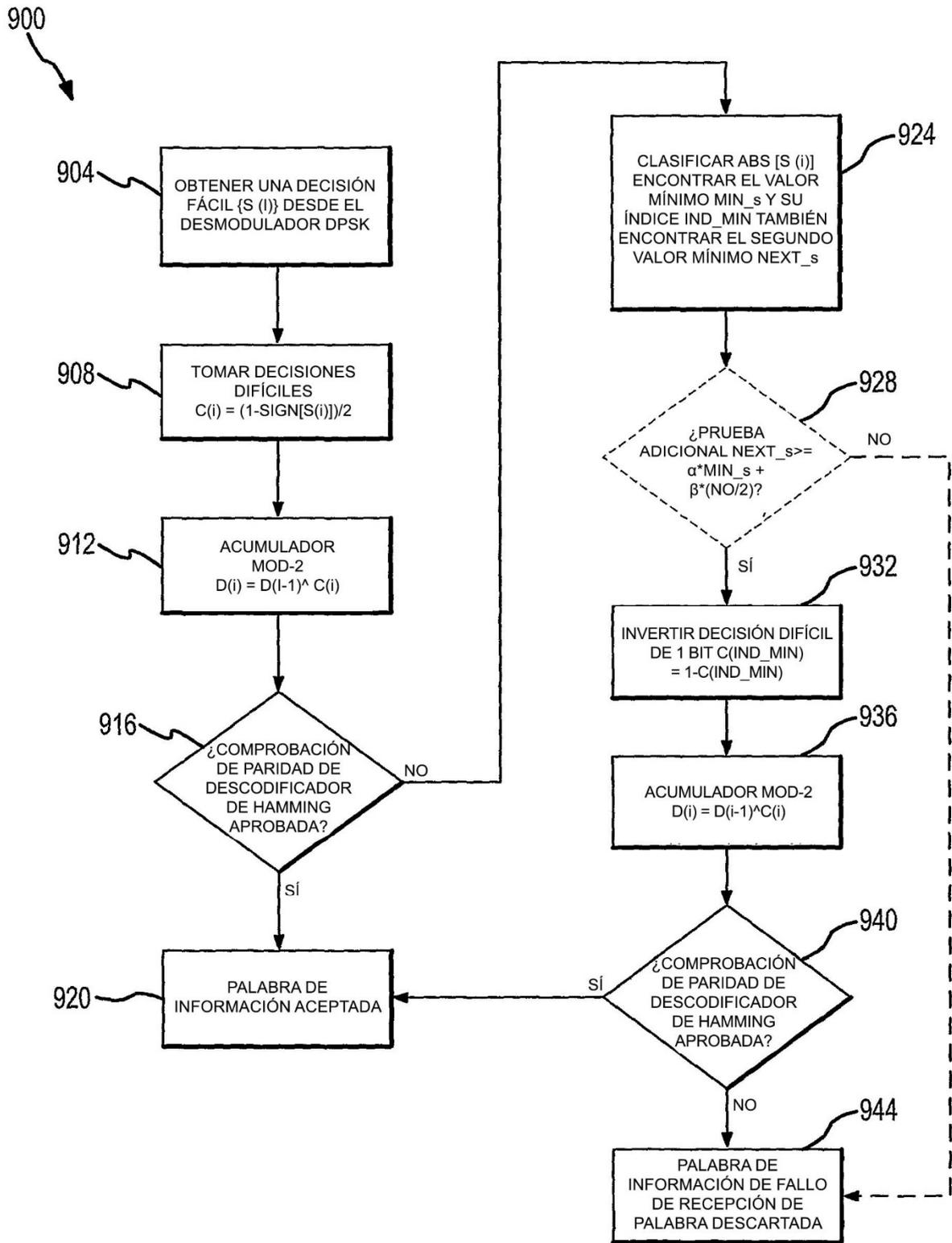


FIG.9

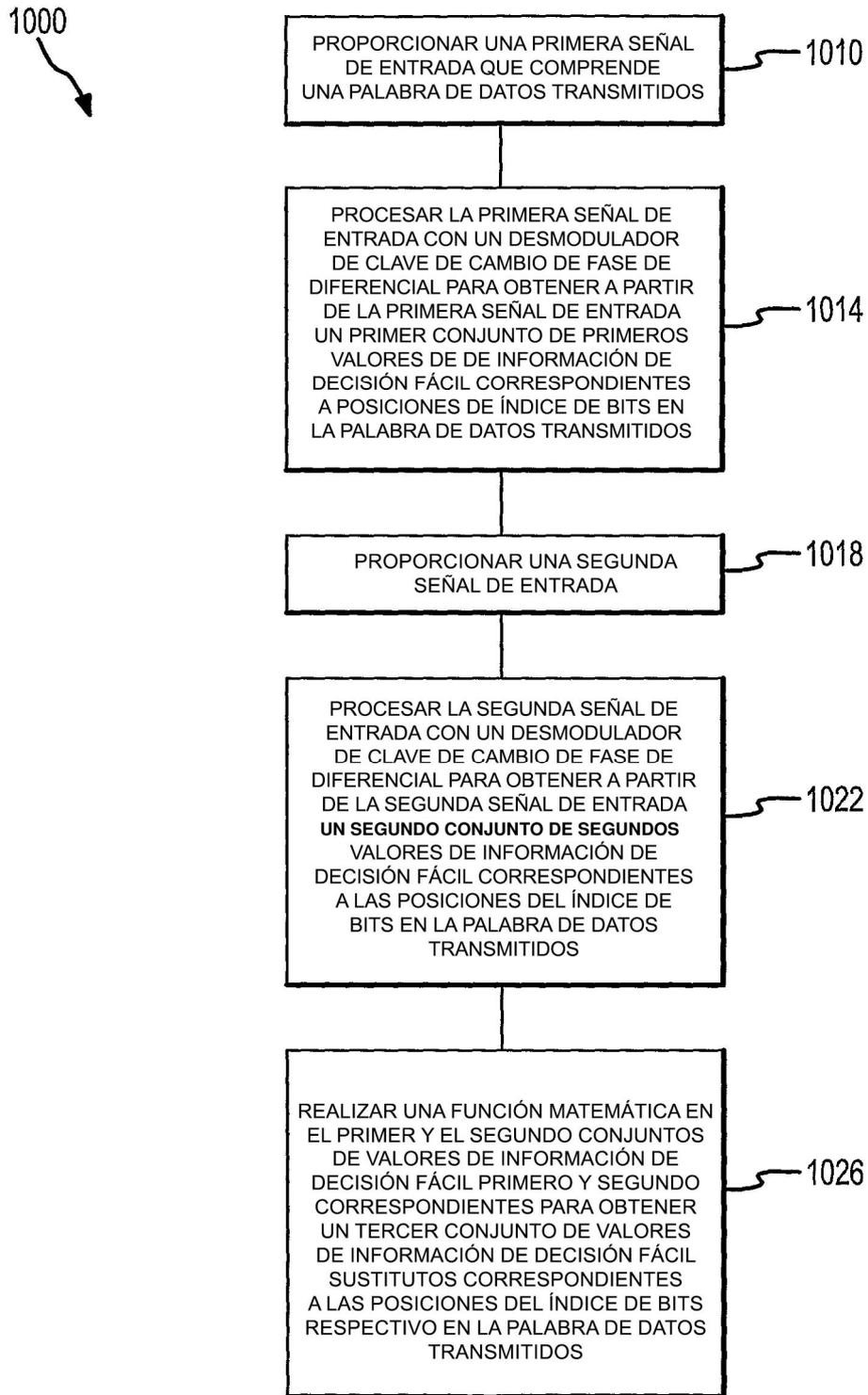


FIG.10

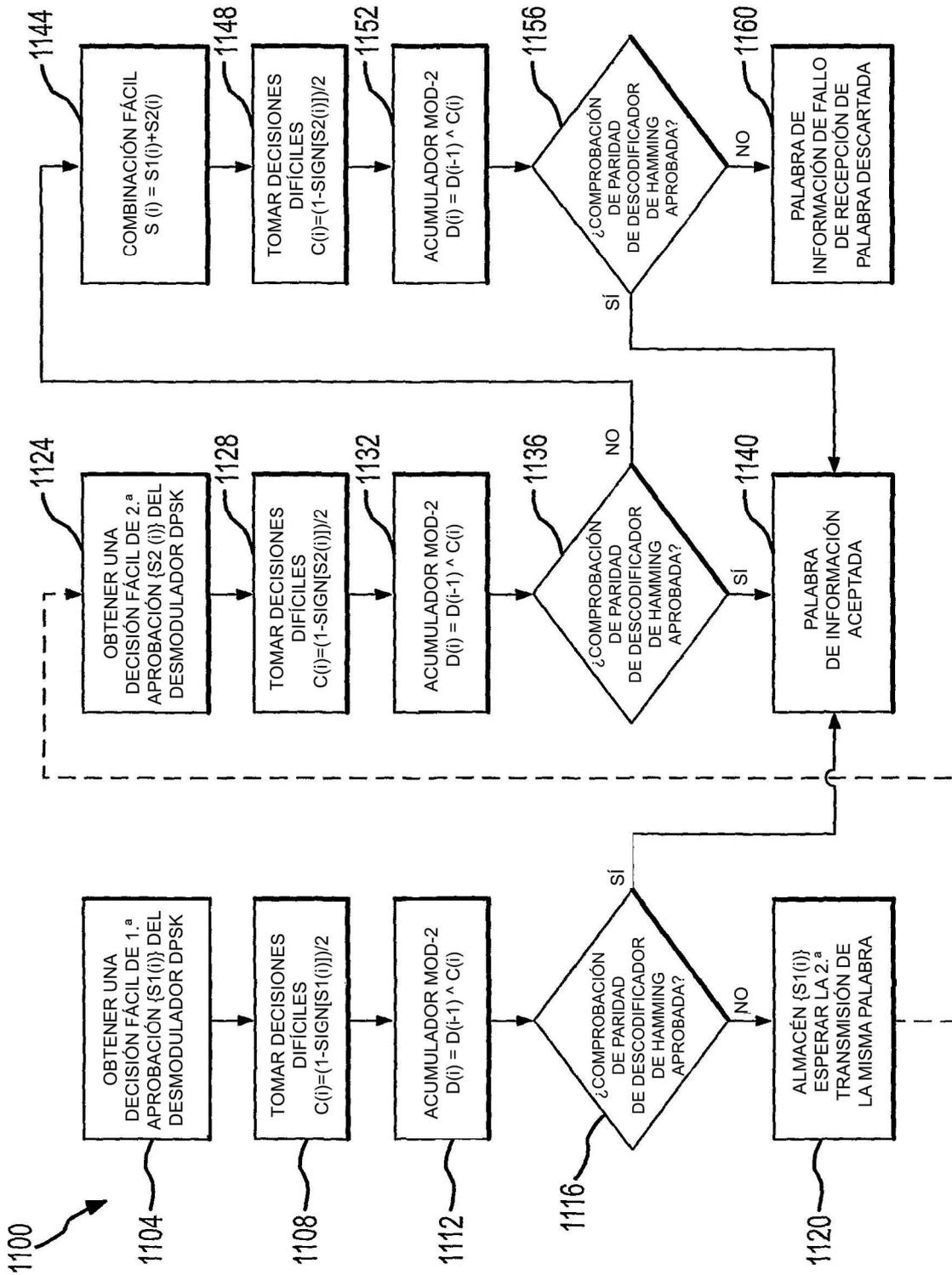


FIG.11

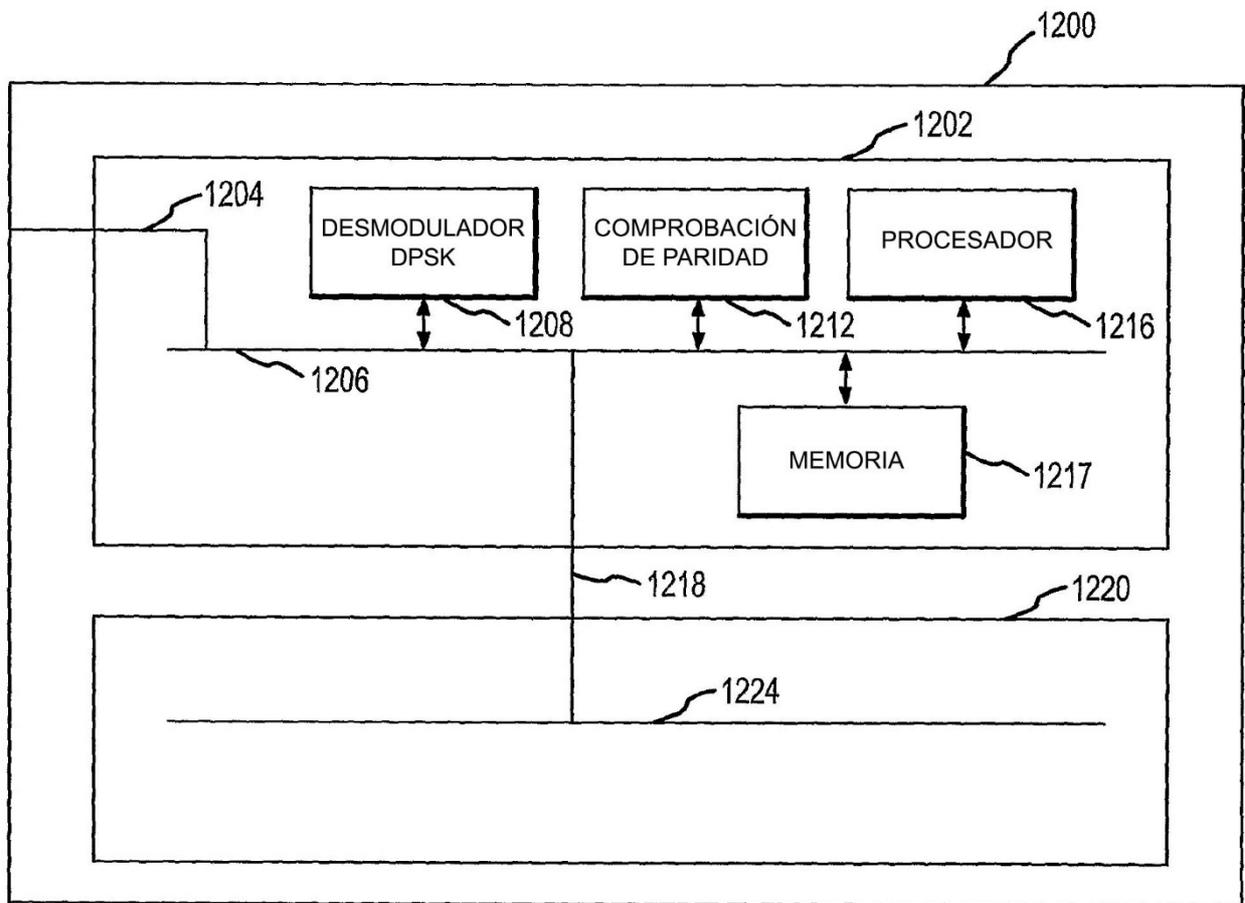


FIG.12