

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 713 443**

51 Int. Cl.:

**G11C 7/10** (2006.01)

**G11C 11/4076** (2006.01)

**H03L 7/08** (2006.01)

**H03L 7/081** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **11.05.2015 PCT/US2015/030214**

87 Fecha y número de publicación internacional: **10.12.2015 WO15187308**

96 Fecha de presentación y número de la solicitud europea: **11.05.2015 E 15725168 (7)**

97 Fecha y número de publicación de la concesión europea: **02.01.2019 EP 3152762**

54 Título: **Potencia programable para una interfaz de memoria**

30 Prioridad:

**06.06.2014 US 201414298730**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**21.05.2019**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
5775 Morehouse Drive  
San Diego, CA 92121-1714, US**

72 Inventor/es:

**DIFFENDERFER, JAN CHRISTIAN y  
CHENG, YUEHCHUN CLAIRE**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

ES 2 713 443 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Potencia programable para una interfaz de memoria

## 5 ANTECEDENTES

## Campo

10 [0001] Los aspectos de la presente divulgación se refieren en general a la memoria, y más particularmente, a la potencia programable para una interfaz de memoria.

## Antecedentes

15 [0002] Un chip puede incluir una interfaz de memoria para la interconexión de circuitos (por ejemplo, un controlador de memoria) en el chip con un dispositivo de memoria externo, como una memoria de acceso aleatorio dinámico de doble velocidad de datos (DDR DRAM). La interfaz de memoria puede incluir circuitos de retardo para ajustar la temporización de las señales (por ejemplo, señales de datos) en la interfaz de memoria. Por ejemplo, la interfaz de memoria puede incluir circuitos de retardo para compensar el desvío entre señales de datos (por ejemplo, debido a desajustes en las longitudes de las líneas de datos entre la interfaz de memoria y el dispositivo de memoria externo).  
20 En otro ejemplo, la interfaz de memoria puede incluir un circuito de retardo para centrar una señal estroboscópica de datos utilizada para el muestreo de datos entre las transiciones de las señales de datos.

25 Se llama la atención sobre el documento US 2010/033217 A1 que se refiere a una DLL con función de ahorro de energía que incluye un VCDL, un módulo de control de voltaje, un condensador y un detector de fase. El VCDL genera una señal de reloj retardada de acuerdo con el voltaje en el condensador y una señal de reloj de referencia. El detector de fase detecta la diferencia de fase entre la señal de reloj retardada y la señal de reloj de referencia y, en consecuencia, controla el controlador de voltaje. El controlador de voltaje recoge o suministra corriente al condensador para ajustar el voltaje en el condensador. Además, el controlador de voltaje puede desactivar su bomba de carga de acuerdo con una señal de desactivación y detiene la recogida o el suministro de corriente para ahorrar energía.  
30

35 Se presta mayor atención al documento US 2013/121094 A1 que se refiere a un circuito integrado (IC) que comprende un bucle bloqueado de retardo (DLL) que comprende los primeros circuitos para generar una primera señal de reloj al retardar una señal de reloj de entrada un primer retardo, los segundos circuitos para determinar un código basado en la señal de reloj de entrada y la primera señal de reloj, y los terceros circuitos para producir una señal de reloj de salida basada en la señal de reloj de entrada y el código. El consumo de energía de los circuitos DLL se reduce al desactivar al menos algunas partes de los circuitos DLL durante la mayor parte del tiempo. La señal de reloj que se utiliza para controlar los circuitos de comando y dirección de un dispositivo de memoria se utiliza para controlar los circuitos del contador de latencia de terminación de troquel.

40 Se llama la atención sobre el documento US 2010/033217 A1 que se refiere a una DLL con función de ahorro de energía que incluye un VCDL, un módulo de control de voltaje, un condensador y un detector de fase. El VCDL genera una señal de reloj retardada de acuerdo con el voltaje en el condensador y una señal de reloj de referencia. El detector de fase detecta la diferencia de fase entre la señal de reloj retardada y la señal de reloj de referencia y, en consecuencia, controla el controlador de voltaje. El controlador de voltaje recoge o suministra corriente al condensador para ajustar el voltaje en el condensador. Además, el controlador de voltaje puede desactivar su bomba de carga de acuerdo con una señal de desactivación y detiene la recogida o el suministro de corriente para ahorrar energía. Se presta mayor atención al documento US 2013/121094 A1 que se refiere a un circuito integrado (IC) que comprende un bucle bloqueado de retardo (DLL) que comprende los primeros circuitos para generar una primera señal de reloj al retardar una señal de reloj de entrada un primer retardo, los segundos circuitos para determinar un código basado en la señal de reloj de entrada y la primera señal de reloj, y los terceros circuitos para producir una señal de reloj de salida basada en la señal de reloj de entrada y el código. El consumo de energía de los circuitos DLL se reduce al desactivar al menos algunas partes de los circuitos DLL durante la mayor parte del tiempo. La señal de reloj que se utiliza para controlar los circuitos de comando y dirección de un dispositivo de memoria se utiliza para controlar los circuitos del contador de latencia de terminación de troquel.  
50

55 También se llama la atención sobre el documento US 2009/085623 A1 que se refiere a los enfoques para controlar los circuitos DLL secundarios remotos con un circuito DLL principal transmitiendo una señal de polarización relevante como una señal de corriente en lugar de una señal de voltaje.

60 El documento US 2010/219867 A1 se refiere a un bucle bloqueado de retardo. El bucle bloqueado de retardo controla el número de células de retardo que retardan la fase de un reloj de entrada durante una operación de bloqueo y controla un valor de retardo de fase de al menos una célula de retardo entre una pluralidad de células de retardo después de que se complete la operación de bloqueo.

65 También se llama la atención sobre el documento US 2014/019792 A1 que se refiere a dispositivos de circuito integrado que operan en diferentes modos. En un modo de velocidad de datos baja, los datos se transfieren entre los

5 dispositivos de circuito integrado a una velocidad de datos baja, o no se transfieren datos en absoluto. En un modo de velocidad de datos alta, los datos se transfieren entre dispositivos de circuito integrado a una velocidad de datos alta. Un modo de transición facilita la transición del modo de velocidad de datos baja al modo de velocidad de datos alta. Durante el modo de transición, los datos se transfieren entre los dispositivos de circuito integrado a una velocidad de datos intermedia mayor que la velocidad de datos baja pero inferior a la velocidad de datos alta. También durante el modo de transición, los parámetros que afectan a la transmisión de datos entre los dispositivos de circuito integrado se calibran a la velocidad de datos alta.

10 El documento US 2007/080728 A1 se refiere a un circuito de ajuste de fase para ajustar discretamente una fase de una señal de datos y la de una señal de reloj, con el circuito de ajuste de fase que incluye: una línea de retardo para retardar la señal de reloj para producir una señal de reloj retardada; un comparador de fase para comparar la fase de la señal de datos con la de la señal de reloj retardada; una sección de control de retardo para emitir una señal de control de retardo basada en el resultado de comparación del comparador de fase; y una sección de control de retardo para emitir una señal de control de retardo basada en una frecuencia de la señal de reloj. La línea de retardo determina una cantidad de retardo de la señal de reloj retardada con respecto a la señal de reloj basada en las señales de control.

15 La descripción siguiente y los dibujos adjuntos exponen con detalle ciertos aspectos ilustrativos de los uno o más modos de realización. Estos aspectos son indicativos, sin embargo, de tan solo algunas de las diversas maneras en las que se pueden emplear los principios de los diversos modos de realización. La invención se define por las reivindicaciones independientes 1 y 7. Se definen modos de realización adicionales preferidos mediante las reivindicaciones dependientes.

**BREVE DESCRIPCIÓN DE LOS DIBUJOS**

25 **[0003]**

La FIG. 1 muestra un ejemplo de una interfaz de memoria para interactuar con un dispositivo de memoria externo.

30 La FIG. 2 es un diagrama de temporización que ilustra un ejemplo de temporización entre una señal de datos y un estroboscopio de datos.

La FIG. 3 muestra un ejemplo de una arquitectura principal-secundario de acuerdo con un modo de realización de la presente divulgación.

35 La FIG. 4 muestra un ejemplo de un circuito de retardo secundario de acuerdo con un modo de realización de la presente divulgación.

40 La FIG. 5 muestra un ejemplo de un circuito de retardo principal de acuerdo con un modo de realización de la presente divulgación.

La FIG. 6 muestra un ejemplo de un circuito de retardo de reloj de acuerdo con un modo de realización de la presente divulgación.

45 La FIG. 7 muestra un circuito de retardo principal con potencia programable de acuerdo con un modo de realización de la presente divulgación.

La FIG. 8 es un diagrama de temporización que ilustra un ejemplo en el que la polarización de voltaje se actualiza cada dos períodos de reloj de acuerdo con un modo de realización de la presente divulgación.

50 La FIG. 9 es un diagrama de temporización que ilustra un ejemplo en el que la polarización de voltaje se actualiza cada cuatro períodos de reloj de acuerdo con un modo de realización de la presente divulgación.

55 La FIG. 10 es un diagrama de temporización que ilustra otro ejemplo en el que la polarización de voltaje se actualiza cada cuatro períodos de reloj de acuerdo con un modo de realización de la presente divulgación.

La FIG. 11 muestra una implementación a modo de ejemplo de un circuito de actualización de acuerdo con un modo de realización de la presente divulgación.

60 La FIG. 12 es un diagrama de temporización que ilustra un ejemplo de bloqueo de bucle de acuerdo con un modo de realización de la presente divulgación.

La FIG. 13 muestra una implementación a modo de ejemplo del circuito de retardo secundario de acuerdo con otro modo de realización de la presente divulgación.

65 Las FIGs. 14A y 14B muestran ejemplos de diferentes rutas de retardo a través del circuito de retardo secundario de la FIG. 13.

La FIG. 15 muestra una implementación a modo de ejemplo de la puerta NAND con retardo controlado por voltaje de acuerdo con un modo de realización de la presente divulgación.

5 La FIG. 16 muestra una implementación a modo de ejemplo de un circuito de retardo principal de acuerdo con un modo de realización de la presente divulgación.

La FIG. 17 muestra una implementación a modo de ejemplo de un circuito de retardo de reloj de acuerdo con un modo de realización de la presente divulgación.

10 La FIG. 18 es un diagrama de temporización que ilustra las salidas de una primera etapa de retardo y una segunda etapa de retardo del circuito de retardo de reloj de acuerdo con un modo de realización de la presente divulgación.

15 La FIG. 19 muestra una implementación a modo de ejemplo de un circuito de recuento de acuerdo con un modo de realización de la presente divulgación.

La FIG. 20 muestra una implementación a modo de ejemplo de una lógica de reinicio de acuerdo con un modo de realización de la presente divulgación.

20 La FIG. 21 muestra una implementación a modo de ejemplo de un circuito de actualización de acuerdo con otro modo de realización de la presente divulgación.

La FIG. 22 es un diagrama de flujo que ilustra un procedimiento para control de retardo de acuerdo con un modo de realización de la presente divulgación.

25

## DESCRIPCIÓN DETALLADA

[0004] La descripción detallada expuesta a continuación, en relación con los dibujos adjuntos, está concebida como una descripción de diversas configuraciones y no está concebida para representar las únicas configuraciones en las cuales pueden llevarse a la práctica los conceptos descritos en el presente documento. La descripción detallada incluye detalles específicos con el fin de proporcionar un entendimiento exhaustivo de los diversos conceptos. Sin embargo, resultará evidente para los expertos en la materia que estos conceptos pueden llevarse a la práctica sin estos detalles específicos. En algunos ejemplos, se muestran estructuras y componentes bien conocidos en forma de diagrama de bloques para evitar oscurecer dichos conceptos.

35

[0005] Un chip puede incluir una interfaz de memoria para la interconexión de circuitos (por ejemplo, un controlador de memoria) en el chip con un dispositivo de memoria externo, como una DDR DRAM. La FIG. 1 muestra una interfaz de memoria a modo de ejemplo 100 para interconectar un chip con un dispositivo de memoria externo (no mostrado). La interfaz de memoria 100 incluye una primera pluralidad de flip-flops 115(1)-115(n), una primera pluralidad de circuitos de eliminación de desvío 120(1)-120(n), una segunda pluralidad de flip-flops 135(1)-135(n), una segunda pluralidad de circuitos de eliminación de desvío 145(1)-145(n), un primer circuito de retardo 125 y un segundo circuito de retardo 140.

40

[0006] Durante las operaciones de escritura, la primera pluralidad de flip-flops 115(1)-115(n) recibe una pluralidad de señales de datos 117(1)-117(n) en paralelo. Cada flip-flop 115(1)-115(n) también recibe una señal estroboscópica de datos 119, que puede ser una señal periódica que tiene la mitad de la frecuencia de las señales de datos entrantes 117(1)-117(n). Cada flip-flop 115(1)-115(n) captura bits de datos de la respectiva señal de datos 117(1)-117(n) en los bordes ascendente y descendente de la señal estroboscópica de datos 119, y envía los bits de datos capturados al circuito de eliminación de desvío respectivo 120(1)-120(n), que se describe con más detalle a continuación.

50

[0007] La señal estroboscópica de datos 119 también se introduce en el primer circuito de retardo 125. Antes del primer circuito de retardo 125, los bordes de la señal estroboscópica de datos 119 se alinean aproximadamente con las transiciones de las señales de datos de salida 118(1)-118(n) de los flip-flops 115(1)-115(n). Esto se debe a que cada flip-flop 115(1)-115(n) captura bits de datos para la respectiva señal de datos de salida 118(1)-118(n) en los bordes ascendente y descendente de la señal estroboscópica de datos 119. El primer circuito de retardo 125 retarda la señal estroboscópica de datos 119 en un cuarto de período, de modo que los bordes de la señal estroboscópica de datos retardada 121 están aproximadamente centrados entre las transiciones de las señales de datos de salida 118(1)-118(n).

55

[0008] La FIG. 2 muestra un ejemplo simplificado de la relación de temporización entre una de las señales de datos de salida 118 y la señal estroboscópica de datos 119. En este ejemplo, los bordes ascendente y descendente 220 y 222 de la señal estroboscópica de datos 119 están aproximadamente alineados con las transiciones 210 de la señal de datos de salida 118. Después de retardarse un cuarto de período ( $T/4$ ), los bordes ascendente y descendente 220 y 222 de la señal estroboscópica de datos 121 están aproximadamente centrados entre las transiciones 210 de la señal de datos de salida 118, como se muestra en la FIG. 2. El dispositivo de memoria muestrea la señal de datos en los bordes de la señal estroboscópica 121. Centrar los bordes de la señal estroboscópica de datos 121 entre las

60

65

transiciones de la señal de datos ayuda a garantizar que el dispositivo de memoria muestree la señal de datos dentro de la ventana de datos válidos de la señal de datos.

5 **[0009]** Cada circuito de eliminación de desvío 120(1)-120(n) agrega una pequeña cantidad de retardo a la señal de datos respectiva 118(1)-118(n) para compensar el desvío entre las señales de datos que van desde la interfaz de memoria 100 al dispositivo de memoria (por ejemplo, DDR DRAM). La polarización puede deberse a desajustes en la longitud de las líneas utilizadas para transportar las señales de datos al dispositivo de memoria y/u otra causa. Después de ser retardada por el circuito de eliminación de desvío respectivo 120(1)-120(n), cada señal de datos de salida se envía al dispositivo de memoria en una línea de datos bidireccional respectiva  $DQ_0$ - $DQ_{n-1}$ . La señal estroboscópica de datos 121 se envía al dispositivo de memoria en una línea estroboscópica bidireccional DQS. El dispositivo de memoria utiliza la señal estroboscópica de datos 121 para muestrear las señales de datos recibidas desde la interfaz de memoria 100.

15 **[0010]** Durante las operaciones de lectura, la interfaz de memoria 100 recibe una pluralidad de señales de datos 132(1)-132(n) del dispositivo de memoria a través de las líneas de datos bidireccionales  $DQ_0$  - $DQ_{n-1}$  y una señal estroboscópica de datos 134 del dispositivo de memoria a través de la línea estroboscópica bidireccional DQS. Cada uno de la segunda pluralidad de circuitos de eliminación de desvío 145(1)-145(n) recibe una de las señales de datos 132(1)-132(n) y agrega una pequeña cantidad de retardo a la señal de datos respectiva para compensar el desvío entre las señales de datos.

20 **[0011]** La señal estroboscópica de datos 134 del dispositivo de memoria se introduce en el segundo circuito de retardo 140, lo cual retarda la señal estroboscópica de datos 134 en un cuarto de período. Esto se hace porque el dispositivo de memoria emite la señal estroboscópica de datos 134 con los bordes de la señal estroboscópica de datos alineados con las transiciones de las señales de datos 132(1)-132(n). Al retardar la señal estroboscópica de datos 134 en un cuarto de período, el segundo circuito de retardo 140 centra aproximadamente los bordes de la señal estroboscópica de datos retardada 136 entre las transiciones de las señales de datos 132(1)-132(n).

25 **[0012]** El estroboscopio de datos retardado 136 se introduce luego en la entrada de reloj de cada uno de la segunda pluralidad de flip-flops 135(1)-135 (n). Por ejemplo, la señal estroboscópica de datos retardada 136 puede distribuirse a las entradas de reloj de los flip-flops 135(1)-135(n) usando un árbol de reloj. Cada flip-flop 135(1)-135(n) captura bits de datos de la salida 138(1)-138(n) del circuito de eliminación de desvío respectivo 145(1)-145(n) en los bordes ascendente y descendente de la señal estroboscópica de datos retardada 136. Las señales de datos de salida resultantes 142(1)-142(n) pueden enviarse a circuitos adicionales (no mostrados) en la interfaz de memoria 100 para procesamiento adicional.

30 **[0013]** La interfaz de memoria 100 puede soportar múltiples velocidades de datos, en la que la velocidad a la que se envían y reciben los datos desde el dispositivo de memoria se puede ajustar dinámicamente. Por ejemplo, la velocidad de datos puede incrementarse para aplicaciones que requieren una velocidad de datos alta y puede disminuirse para aplicaciones que no requieren una velocidad de datos alta. Cuando cambia la velocidad de datos, los retardos de los circuitos de retardo 125 y 140 deben ajustarse en consecuencia. Por ejemplo, cuando la velocidad de datos se duplica, el período de la señal estroboscópica de datos 119 se reduce a la mitad. En este ejemplo, el retardo del primer circuito de retardo 125 se reduce a la mitad para mantener un retardo de un cuarto de período para la señal de estroboscopio de datos 119. En otro ejemplo, cuando la velocidad de datos se reduce a la mitad, el período de la señal estroboscópica de datos 119 se duplica. En este ejemplo, el retardo del primer circuito de retardo 125 se duplica para mantener un retardo de un cuarto de período para la señal de estroboscopia de datos 119.

35 **[0014]** La FIG. 3 muestra un ejemplo de una arquitectura principal-secundario 300 para proporcionar retardos controlados en una interfaz de memoria (por ejemplo, la interfaz de memoria 100). La arquitectura principal-secundario 300 comprende un circuito de retardo principal 310 y una pluralidad de circuitos de retardo secundarios 315(1)-315(m). Cada circuito de retardo secundario 315(1)-315(m) proporciona un retardo que es un múltiplo de un retardo de paso, en el que el retardo de paso se controla mediante una polarización de voltaje desde el circuito de retardo principal 310. El circuito de retardo principal 310 ajusta la polarización de voltaje basándose en un reloj de referencia (por ejemplo, de un oscilador de cristal) para mantener un retardo de paso deseado para los circuitos de retardo secundario 315(1)-315(m), como se analiza más adelante. Los circuitos de retardo secundarios 315(1)-315(m) se pueden usar para implementar los circuitos de retardo 125 y 140 y los circuitos de eliminación de desvío 120(1)-120(n) y 145(1)-145(n) mostrados en la FIG. 1

40 **[0015]** La FIG. 4 muestra una implementación a modo de ejemplo de uno de los circuitos de retardo secundario 315. El circuito de retardo secundario 315 comprende una pluralidad de elementos de retardo 440(1)-440(p) (por ejemplo, memorias intermedias) y un multiplexor 450. Cada uno de los elementos de retardo 440(1)-440(p) está polarizado con la polarización de voltaje del circuito de retardo principal 310. La polarización de voltaje controla el retardo de cada elemento de retardo 440(1)-440(p).

45 **[0016]** Los elementos de retardo 440(1)-440 (p) están acoplados en serie para formar una cadena de retardo 430, en la cual la salida 445(1)-445(p) de cada elemento de retardo 440(1)-440(p) proporciona una cantidad diferente de retardo a la señal recibida en la entrada (denominada "IN") del circuito de retardo secundario 315. Más particularmente,

la salida 445(1)-445(p) de cada elemento de retardo 440(1)-440(p) proporciona un retardo que es un múltiplo diferente de un retardo de paso, donde el retardo de paso es el retardo de un elemento de retardo. Por ejemplo, la salida 445(1) proporciona un retardo igual a un retardo de un paso, la salida 445(2) proporciona un retardo igual a dos retardos de un paso, la salida 445(3) proporciona un retardo igual a tres retardos de un paso, y así sucesivamente.

**[0017]** Las salidas 445(1)-445(p) de los elementos de retardo 440(1)-440(p) están acopladas al multiplexor 450, que selecciona una de las salidas 445(1)-445(p) bajo el control de un controlador de retardo 460. El multiplexor 450 acopla la salida seleccionada a la salida (denominada "SALIDA") del circuito de retardo secundario 315. El controlador de retardo 460 controla el retardo del circuito de retardo 315 indicando al multiplexor 450 que seleccione la salida 445(1)-445(p) del elemento de retardo 440(1)-440(p) correspondiente al retardo deseado.

**[0018]** De este modo, el controlador de retardo 460 ajusta el retardo del circuito de retardo secundario 315 controlando el número de elementos de retardo 440(1)-440(p) a través de los cuales pasa la señal de entrada. Esto permite que el controlador de retardo 460 controle el retardo por múltiplos del retardo de paso, donde el retardo de paso es el retardo de un elemento de retardo. El retardo de paso se controla mediante la polarización de voltaje del circuito de retardo principal 310, como se analizó anteriormente. El circuito de retardo secundario 315 en la FIG. 4 se puede usar para implementar cualquiera de los circuitos de retardo 125 y 140 y los circuitos de eliminación de desvío 120(1)-120(n) y 145(1)-145(n) que se muestran en la FIG. 1. A continuación se analizan ejemplos de otras implementaciones de los circuitos de retardo secundario.

**[0019]** La FIG. 5 muestra una implementación a modo de ejemplo del circuito de retardo principal 310. En este ejemplo, el circuito de retardo principal 310 es un bucle bloqueado de retardo (DLL) que comprende un circuito de re-temporización 510, un circuito de retardo de reloj 515, un detector de frecuencia de fase (PFD) 520 y un controlador de polarización de voltaje 525. Como se explica más adelante, la salida de polarización de voltaje del circuito de retardo principal 310 se retroalimenta al circuito de retardo de reloj 515 mediante un bucle de realimentación 517 para lograr un retardo de paso deseado.

**[0020]** En funcionamiento, el circuito de re-temporización 510 recibe el reloj de referencia, retarda el reloj de referencia en un período de reloj, y envía el reloj de referencia retardado a una primera entrada 522 del PFD 520. El circuito de re-temporización 510 también envía el reloj de referencia al circuito de retardo de reloj 515. El circuito de retardo de reloj 515 retarda el reloj de referencia en una cantidad controlada por la polarización de voltaje, que se retroalimenta al circuito de retardo de reloj 515 desde la salida del circuito de retardo principal 310 mediante el bucle de realimentación 517. El circuito de retardo de reloj 515 envía el reloj de referencia retardado resultante a una segunda entrada 524 del PFD 520.

**[0021]** El PFD 520 detecta el error de fase entre la primera y la segunda entrada 522 y 524, y envía una señal de error de fase al controlador de polarización de voltaje 525 basándose en el error de fase detectado. El circuito de polarización de voltaje 525 ajusta la polarización de voltaje en una dirección que reduce el error de fase. El circuito de polarización de voltaje 525 puede implementarse con una bomba de carga y un filtro de bucle.

**[0022]** El error de fase se acerca a cero cuando el retardo del circuito de retardo de reloj 515 es aproximadamente igual a un período del reloj de referencia. Por lo tanto, el controlador de polarización de voltaje 525 ajusta la polarización de voltaje de tal manera que el retardo del circuito de retardo de reloj 515 es aproximadamente igual a un período de reloj. En un aspecto, el circuito de retardo de reloj 515 tiene un retardo que es aproximadamente igual a un múltiplo M del retardo de paso de los circuitos de retardo secundarios 315(1)-315(m). Por lo tanto, en este aspecto, el circuito de retardo principal 310 ajusta la polarización de voltaje para mantener un retardo de paso de aproximadamente T/M, donde T es un período de reloj (ciclo).

**[0023]** En un aspecto, el reloj de referencia lo proporciona un oscilador de cristal (XO). El oscilador de cristal es capaz de generar un reloj de referencia que es aproximadamente invariante en temperatura, voltaje y/o proceso. Dado que el circuito de retardo principal 310 usa el reloj de referencia como referencia para ajustar la polarización de voltaje, el circuito de retardo principal 310 puede ajustar la polarización de voltaje para mantener un retardo de paso que es aproximadamente invariante en temperatura, voltaje y/o proceso.

**[0024]** La FIG. 6 muestra una implementación a modo de ejemplo del circuito de retardo de reloj 515. En este ejemplo, el circuito de retardo de reloj 515 comprende M elementos de retardo 610(1)-610(M) acoplados en serie, en los que cada elemento de retardo 610(1)-610(M) está polarizado por la polarización de voltaje del controlador de polarización de voltaje 525. Los elementos de retardo 610(1)-610(M) en el circuito de retardo de reloj 515 pueden ser réplicas de los elementos de retardo 440(1)-440(p) en los circuitos de retardo secundario 315(1)-315(m).

**[0025]** El circuito de retardo principal 310 puede actualizar la polarización de voltaje durante cada período del reloj de referencia. En particular, el PFD 520 puede detectar un error de fase entre la primera entrada 522 y la segunda entrada 524 durante cada período de reloj (ciclo), y enviar el error de fase detectado al controlador de polarización de voltaje 525 para actualizar la polarización de voltaje. Sin embargo, la actualización de la polarización de voltaje durante cada período de reloj (ciclo) puede consumir una cantidad relativamente grande de energía, lo cual reduce la vida útil de la batería cuando la interfaz de memoria se implementa en un dispositivo móvil.

- 5 **[0026]** Los modos de realización de la presente divulgación proporcionan potencia programable para un circuito de retardo principal, en el que el consumo de energía del circuito de retardo principal se ajusta ajustando la velocidad a la que el circuito de retardo principal actualiza la polarización de voltaje a los circuitos de retardo secundarios. Por ejemplo, el circuito de retardo principal puede actualizar la polarización de voltaje con menos frecuencia para reducir el consumo de energía cuando los requisitos de rendimiento son más bajos (por ejemplo, menores velocidades de datos), como se analiza más adelante.
- 10 **[0027]** La FIG. 7 muestra un circuito de retardo principal 710 con potencia programable de acuerdo con un modo de realización de la presente divulgación. El circuito de retardo principal 710 es un bucle bloqueado de retardo (DLL) que comprende el circuito de retardo de reloj 515, el detector de frecuencia de fase (PFD) 520 y el controlador de polarización de voltaje 525. El circuito de retardo principal 710 comprende además un circuito de actualización 712 y un condensador de salida 730.
- 15 **[0028]** El circuito de actualización 712 está configurado para controlar la velocidad a la que el circuito de retardo principal 710 actualiza la polarización de voltaje basándose en una señal de control N desde un controlador de actualización 750, donde N es programable y puede ser un número entero. Más particularmente, el circuito de actualización 712 hace que el circuito de retardo principal 710 actualice la polarización de voltaje cada N períodos (ciclos) del reloj de referencia (es decir, una velocidad de actualización de una polarización de voltaje por N períodos). Por ejemplo, si N es igual a dos, entonces el circuito de retardo principal 710 actualiza la polarización de voltaje cada dos períodos de reloj (ciclos).
- 20 **[0029]** El circuito de actualización 712 se puede usar para ajustar el consumo de energía del circuito de retardo principal 710 ajustando la velocidad a la que se actualiza la polarización de voltaje. Por ejemplo, el controlador de actualización 750 puede reducir el consumo de energía del circuito de retardo principal 710 aumentando N (es decir, reducir la velocidad a la que se actualiza la polarización de voltaje).
- 25 **[0030]** En funcionamiento, el circuito de actualización 712 emite un par de pulsos cada N períodos (ciclos) del reloj de referencia. Cada par de pulsos comprende un pulso Q y un pulso ZQ, en los que el pulso ZQ se retarda aproximadamente un período de reloj en relación con el pulso Q. Para cada par de pulsos, el circuito de actualización 712 envía el pulso ZQ a la primera entrada 522 del PFD 520 y envía el pulso Q al circuito de retardo de reloj 515. El circuito de retardo de reloj 515 retarda el pulso Q en una cantidad controlada por la polarización de voltaje, que es retroalimentada al circuito de retardo de reloj 515 desde la salida del controlador de polarización de voltaje 525 por el circuito de realimentación 517. El circuito de retardo de reloj 515 envía el pulso Q retardado resultante a la segunda entrada 524 del PFD 520. El PFD 520 detecta un error de fase entre el pulso ZQ y el pulso Q retardado. Por ejemplo, el PFD 520 puede detectar el error de fase detectando la diferencia de fase entre los bordes ascendentes del pulso ZQ y el pulso Q retardado o la diferencia de fase entre los bordes descendentes del pulso ZQ y el pulso Q retardado. El PFD 520 envía una señal de error de fase al controlador de polarización de voltaje 525 basándose en el error de fase detectado. El circuito de polarización de voltaje 525 ajusta la polarización de voltaje en una dirección que reduce el error de fase.
- 30 **[0031]** El error de fase se acerca a cero cuando el retardo del circuito de retardo de reloj 515 es aproximadamente igual a un período del reloj de referencia. Por lo tanto, el controlador de polarización de voltaje 525 ajusta la polarización de voltaje de tal manera que el retardo del circuito de retardo de reloj 515 es aproximadamente igual a un período de reloj de período. En un modo de realización, el circuito de retardo de reloj 515 tiene un retardo que es aproximadamente igual a un múltiplo M del retardo de paso de los circuitos de retardo secundario 315(1)-315(m). Por lo tanto, en este modo de realización, el circuito de retardo principal 710 actualiza la polarización de voltaje cada N períodos de reloj (ciclos) para mantener un retardo de paso de aproximadamente  $T/M$ , donde T es un período de reloj (ciclo).
- 35 **[0032]** El condensador de salida 730 se utiliza para mantener la polarización de voltaje en la salida del controlador de polarización de voltaje 525 entre actualizaciones. La polarización de voltaje en el condensador de salida 730 puede desviarse entre las actualizaciones de la polarización de voltaje, dando como resultado una fluctuación en los circuitos de retardo secundario 315(1)-315(m). La polarización de voltaje puede desviarse en una cantidad mayor cuando aumenta la cantidad de tiempo entre actualizaciones. Como resultado, la reducción de la velocidad a la que el circuito de retardo principal 710 actualiza la polarización del voltaje (es decir, el aumento de N) puede reducir el consumo de energía a expensas de un menor rendimiento (por ejemplo, una mayor fluctuación de fase). Por lo tanto, puede haber una compensación entre reducir la potencia del circuito de retardo principal 710 y el rendimiento del circuito de retardo principal 710.
- 40 **[0033]** A este respecto, el controlador 750 de actualización puede configurarse para reducir la velocidad de actualizaciones de polarización de voltaje (y, por lo tanto, reducir la potencia) a un nivel que aún proporciona un rendimiento adecuado para una aplicación particular. Por ejemplo, cuando la interfaz de memoria funciona a una velocidad de datos relativamente baja, la ventana de datos válidos es relativamente grande. Esto relaja los requisitos de temporización de la interfaz de memoria, lo cual permite que la interfaz de memoria tolere un menor rendimiento del circuito de retardo principal 710 (es decir, una mayor desviación de polarización de voltaje entre las actualizaciones). En este caso, el controlador de actualización 750 puede reducir la velocidad de actualizaciones de polarización de
- 45
- 50
- 55
- 60
- 65

voltaje (es decir, aumentar N) para reducir el consumo de energía. Cuando la interfaz de memoria opera a una velocidad de datos más alta, la ventana de datos válidos es más pequeña y los requisitos de temporización de la interferencia de memoria son más estrictos (por ejemplo, los flip-flops en la interfaz de memoria toleran menos fluctuaciones). En este caso, el controlador de actualización 750 puede aumentar la velocidad de actualizaciones de polarización de voltaje (es decir, disminuir N) para aumentar el rendimiento del circuito de retardo principal 710. Por lo tanto, la velocidad a la que se actualiza la polarización de voltaje puede reducirse cuando no se necesita un alto rendimiento para reducir el consumo de energía, y puede incrementarse cuando se necesita un alto rendimiento (por ejemplo, a velocidades de datos más altas).

**[0034]** Las operaciones a modo de ejemplo del circuito de retardo principal 710 para dos valores N diferentes se describirán ahora con referencia a las FIGs. 8 y 9. La FIG. 8 es un diagrama de temporización que ilustra un ejemplo donde N es igual a dos. En este ejemplo, el circuito de actualización 712 genera un par de pulsos 810(1)-810(3) cada dos períodos (ciclos) del reloj de referencia. Cada par de pulsos 810(1)-810(3) comprende una salida de pulsos Q al circuito de retardo de reloj 515 y una salida de pulsos ZQ a la primera entrada 522 del PFD 520, donde el pulso ZQ se retarda aproximadamente un período de reloj en relación con el pulso Q.

**[0035]** La FIG. 8 también muestra cada pulso Q después de que el circuito 515 de retardo del reloj haya retardado el pulso Q. Para cada par de pulsos, el PFD 520 detecta un error de fase entre el pulso ZQ respectivo y el pulso Q retardado respectivo (como se muestra en la FIG. 8), y el controlador de polarización de voltaje 525 actualiza la polarización de voltaje basándose en el error de fase detectado. En este ejemplo, el circuito de retardo principal 710 detecta un error de fase y actualiza la polarización de voltaje basándose en el error de fase detectado cada dos períodos (ciclos) del reloj de referencia.

**[0036]** Aunque la FIG. 8 muestra un ejemplo en el que cada pulso Q retardado es temprano respecto al pulso ZQ respectivo (ocasiona el pulso ZQ respectivo), debe apreciarse que un pulso Q retardado puede ser tardío respecto al pulso ZQ respectivo. En el caso de que el pulso Q retardado sea temprano, el controlador de polarización de voltaje 525 aumenta el retardo del circuito de retardo de reloj 515 para reducir el error de fase. Para el caso en el que el pulso Q retardado se retarde, el controlador de polarización de voltaje 525 reduce el retardo del circuito de retardo de reloj 515 para reducir el error de fase.

**[0037]** La FIG. 9 es un diagrama de temporización que ilustra un ejemplo donde N es igual a cuatro. En este ejemplo, el circuito de actualización 712 genera un par de pulsos 910(1)-910(3) cada cuatro períodos (ciclos) del reloj de referencia. Cada par de pulsos 910(1)-910(3) comprende una salida de pulsos Q al circuito de retardo de reloj 515 y una salida de pulsos ZQ a la primera entrada 522 del PFD 520, donde el pulso ZQ se retarda aproximadamente un período de reloj con respecto al pulso Q.

**[0038]** La FIG. 9 también muestra cada pulso Q después de que el circuito 515 de retardo del reloj haya retardado el pulso Q. Para cada par de pulsos, el PFD 520 detecta un error de fase entre el pulso ZQ respectivo y el pulso Q retardado respectivo (como se muestra en la FIG. 9), y el controlador de polarización de voltaje 525 actualiza la polarización de voltaje basándose en el error de fase detectado. En este ejemplo, el circuito de retardo principal 710 detecta un error de fase y actualiza la polarización de voltaje basándose en el error de fase detectado cada cuatro períodos (ciclos) del reloj de referencia.

**[0039]** Así, la FIG. 8 muestra un ejemplo en el que la polarización de voltaje se actualiza cada dos períodos de reloj y la FIG. 9 muestra un ejemplo en el que la polarización de voltaje se actualiza cada cuatro períodos de reloj. El ejemplo de la FIG. 9 puede reducir el consumo de energía en comparación con el ejemplo de la FIG. 8 mediante la actualización de la polarización de voltaje con menos frecuencia a expensas de una mayor desviación de polarización de voltaje entre las actualizaciones.

**[0040]** La FIG. 10 es un diagrama de temporización que ilustra otro ejemplo donde N es igual a cuatro. En este ejemplo, el circuito de actualización 712 genera un par de pulsos 1010(1)-1010(3) cada cuatro períodos (ciclos) del reloj de referencia. Cada par de pulsos 1010(1)-1010(3) comprende una salida de pulsos Q al circuito de retardo de reloj 515 y una salida de pulsos ZQ a la primera entrada 522 del PFD 520, donde el pulso ZQ se retarda aproximadamente un período de reloj con respecto al pulso Q. Este ejemplo difiere del ejemplo en la FIG. 9 en que los pulsos ZQ y Q son bajos en lugar de altos, y las dos salidas del circuito de actualización 712 son altas entre los pulsos en lugar de bajos.

**[0041]** La FIG. 10 también muestra cada pulso Q después de que el circuito 515 de retardo del reloj haya retardado el pulso Q. Para cada par de pulsos, el PFD 520 detecta un error de fase entre el pulso ZQ respectivo y el pulso Q retardado respectivo (como se muestra en la FIG. 10), y el controlador de polarización de voltaje 525 actualiza la polarización de voltaje basándose en el error de fase detectado. Debe apreciarse que el PFD 520 puede detectar el error de fase detectando la diferencia de fase entre los bordes ascendentes de los pulsos o la diferencia de fase entre los bordes descendentes de los pulsos (como se muestra en la FIG. 10). En este ejemplo, el circuito de retardo principal 710 actualiza la polarización de voltaje cada cuatro períodos (ciclos) del reloj de referencia.

**[0042]** La FIG. 11 muestra una implementación a modo de ejemplo del circuito de actualización 712 de acuerdo con un modo de realización de la presente divulgación. En este modo de realización, el circuito de actualización 712 comprende un contador programable 1110, una primera puerta de reloj 1115, una segunda puerta de reloj 1120 y un circuito de retardo de período de reloj 1122. Cada una de las puertas de reloj 1115 y 1120 recibe el reloj de referencia, y está configurada para pasar el reloj de referencia cuando la puerta del reloj recibe una señal de activación de la puerta y para bloquear el reloj de referencia cuando la puerta del reloj recibe una señal de desactivación de la puerta, como se analiza más abajo.

**[0043]** El contador programable 1110 recibe la señal de control N del controlador de actualización 750 y el reloj de referencia. El contador 1110 está configurado para emitir una señal de habilitación de puerta 1125 durante cada N-ésimo período (ciclo) del reloj de referencia, y para emitir una señal de inhabilitación de puerta durante el (los) período(s) entre cada N-ésimo período (ciclo) para N mayor que uno. La señal de habilitación de puerta 1125 hace que la primera puerta de reloj 1115 pase el reloj de referencia durante un período de reloj para producir un pulso Q. El circuito de retardo de período de reloj 1122 retarda la señal de habilitación de puerta en un período de reloj, y envía la señal de habilitación de puerta retardada 1130 a la segunda puerta de reloj 1120. La señal de habilitación de puerta retardada 1130 hace que la segunda puerta de reloj 1120 pase el reloj de referencia durante un período de reloj para producir un pulso ZQ. Dado que la entrada de la señal de habilitación de puerta 1130 a la segunda puerta de reloj 1120 se retarda un período de reloj con respecto a la entrada de la señal de habilitación de puerta 1125 a la primera puerta de reloj 1115, el pulso ZQ se retarda un período de reloj con relación al pulso Q.

**[0044]** Como se analizó anteriormente, el contador 1110 emite una señal de habilitación de puerta 1125 durante cada N-ésimo período (ciclo) del reloj de referencia. Para hacer esto, el contador 1110 puede contar el número de períodos del reloj de referencia, y emitir la señal de habilitación de la puerta cada vez que el contador 1110 cuenta N períodos del reloj de referencia. Dado que el valor de N es programable, la velocidad a la que el contador 1010 permite que las puertas de reloj 1115 y 1120 produzcan un par de pulsos (y, por lo tanto, la velocidad a la que el circuito de retardo principal 710 actualiza la polarización de voltaje) es programable.

**[0045]** Cada una de las puertas de reloj 1115 y 1120 puede implementarse utilizando una o más puertas lógicas. Por ejemplo, cada puerta de reloj 1115 y 1120 puede comprender una puerta AND que tiene una primera y una segunda entradas. La primera entrada de la puerta AND recibe el reloj de referencia y la segunda entrada de la puerta AND recibe una señal de habilitación de puerta (uno lógico) o una señal de inhabilitación de puerta (cero lógico). En este ejemplo, la puerta AND pasa el reloj de referencia cuando la puerta AND recibe una señal de habilitación de la puerta (uno lógico), y bloquea el reloj de referencia cuando la puerta AND recibe una señal de deshabilitación de la puerta (cero lógico). Cuando se bloquea el reloj de referencia, la puerta AND genera un cero lógico. Las puertas de reloj 1115 y 1120 de acuerdo con este modo de realización pueden usarse para generar pares de pulsos altos (ejemplos de los cuales se muestran en las FIGs. 8 y 9).

**[0046]** En otro ejemplo, cada puerta de reloj 1115 y 1120 puede comprender una puerta OR que tiene una primera y una segunda entradas. La primera entrada de la puerta OR recibe el reloj de referencia y la segunda entrada de la puerta OR recibe una señal de habilitación de puerta (cero lógico) o una señal de deshabilitación de puerta (uno lógico). En este ejemplo, la puerta OR pasa el reloj de referencia cuando la puerta OR recibe una señal de habilitación de la puerta (cero lógico) y bloquea el reloj de referencia cuando la puerta OR recibe una señal de deshabilitación de la puerta (uno lógico). Cuando el reloj de referencia está bloqueado, la puerta OR genera un uno lógico. Las puertas de reloj 1115 y 1120 de acuerdo con este modo de realización se pueden usar para generar pares de pulsos bajos (un ejemplo de los cuales se muestra en la FIG. 10).

**[0047]** Debe apreciarse que las puertas de reloj 1115 y 1120 no están limitadas a los ejemplos analizados anteriormente, y que cada puerta de reloj 1115 y 1120 puede implementarse utilizando otros tipos de puertas lógicas y/o una combinación de puertas lógicas.

**[0048]** El circuito de retardo del período de reloj 1122 puede implementarse con un flip-flip (por ejemplo, D flip-flop) que recibe el reloj de referencia y la señal de habilitación de la puerta, y retarda la señal de habilitación de la puerta en un período del reloj de referencia recibido.

**[0049]** Como se analizó anteriormente, el controlador de actualización 750 puede ajustar el valor de N basándose en los requisitos de temporización de la interfaz de memoria. Por ejemplo, los requisitos de temporización pueden depender de la velocidad de datos de la interfaz de memoria en un momento dado. Cuando se reduce la velocidad de datos, los requisitos de temporización de la interfaz de memoria se relajan y, por lo tanto, se reducen los requisitos de rendimiento para el circuito de retardo principal. En este caso, la velocidad a la que se actualiza la polarización de voltaje puede reducirse (es decir, se puede aumentar N) para reducir el consumo de energía. Cuando aumenta la velocidad de datos, los requisitos de temporización de la interfaz de memoria se vuelven más estrictos (por ejemplo, se reduce la cantidad de fluctuación de fase que pueden tolerar los flip-flops para un muestreo de datos adecuado). En este caso, la velocidad a la que se actualiza la polarización de voltaje puede aumentar (es decir, puede reducirse N) para aumentar el rendimiento.

- 5 **[0050]** En un modo de realización, el controlador de actualización 750 puede incluir una tabla de búsqueda, en la que la tabla de búsqueda comprende una pluralidad de diferentes velocidades de datos soportadas por la interfaz de memoria. La tabla de búsqueda puede asignar cada velocidad de datos a un valor correspondiente de N. El valor de N puede ser mayor para velocidades de datos más bajas. En este modo de realización, el controlador de actualización 750 puede recibir una indicación de la velocidad de datos actual de la interfaz de memoria (por ejemplo, de un controlador de memoria), y determinar un valor de N correspondiente a la velocidad de datos actual usando la tabla de búsqueda. El controlador de actualización 750 puede entonces programar el circuito de actualización 712 en el circuito de retardo principal 710 con el valor determinado de N.
- 10 **[0051]** Si la velocidad de datos cambia, entonces el controlador de actualización 750 puede determinar un valor de N correspondiente a la nueva velocidad de datos utilizando la tabla de búsqueda. Si el valor de N para la nueva velocidad de datos es diferente del valor de N para la velocidad de datos anterior, entonces el controlador de actualización 750 puede programar el circuito de actualización 712 en el circuito de retardo principal 710 con el valor de N para la nueva velocidad de datos. Por lo tanto, el valor de N (y, por lo tanto, la velocidad de actualizaciones de polarización de voltaje) se puede ajustar de acuerdo con los cambios en la velocidad de datos de la interfaz de memoria.
- 15 **[0052]** Por ejemplo, para una interfaz de memoria DDR, N puede establecerse en un valor máximo (por ejemplo, 32) cuando la velocidad de datos está por debajo de una primera velocidad de datos (por ejemplo, por debajo de 400 MHz), y N puede configurarse en uno cuando los datos la velocidad está por encima de una segunda velocidad de datos (por ejemplo, por encima de 1,6 GHz). En este ejemplo, N puede ajustarse a un valor entre uno y el valor máximo para las velocidades de datos entre la primera y la segunda velocidad de datos (por ejemplo, entre 400 MHz y 1,6 GHz).
- 20 **[0053]** Cuando el circuito de retardo principal 710 se activa por primera vez, el error de fase puede ser relativamente grande. A este respecto, el controlador de actualización 750 puede establecer inicialmente el valor de N en uno para reducir rápidamente el error de fase y bloquear el bucle del circuito de retardo principal 710. Cuando el error de fase baja a un nivel aceptable, el controlador de actualización 750 puede aumentar el valor de N para reducir el consumo de energía. Por ejemplo, el controlador de actualización 750 puede aumentar el valor de N basándose en la velocidad de datos actual de la interfaz de memoria, como se analizó anteriormente.
- 25 **[0054]** La FIG. 12 es un diagrama de temporización que muestra un ejemplo en el que el valor de N se establece inicialmente en uno durante un período de bloqueo. Durante el período de bloqueo, la polarización de voltaje se actualiza cada período del reloj de referencia para bloquear rápidamente el bucle del circuito de retardo principal 710. El período de bloqueo puede finalizar cuando el error de fase baja a un nivel aceptable (por ejemplo, un nivel que cumple con los requisitos de temporización de la interfaz de memoria). Después de que el bucle del circuito de retardo principal 710 se bloquee, el valor de N puede aumentarse para reducir la potencia. En el ejemplo mostrado en la FIG. 12, el valor de N se incrementa a cuatro. Sin embargo, debe apreciarse que los modos de realización de la presente divulgación no están limitados a este ejemplo, y que el valor de N puede incrementarse a cualquier valor que cumpla con los requisitos de temporización de la interfaz de memoria. También debe apreciarse que el período de bloqueo no está limitado a la duración en el ejemplo mostrado en la FIG. 12. En general, la duración del período de bloqueo puede depender del número de actualizaciones de polarización de voltaje necesarias para reducir el error de fase a un nivel aceptable.
- 30 **[0055]** En un modo de realización, el controlador de actualización 750 puede finalizar el período de bloqueo después de un número predeterminado de períodos de reloj desde el inicio del período de bloqueo. En este modo de realización, el número predeterminado de períodos de reloj puede basarse en una estimación del número de períodos de reloj necesarios para bloquear el circuito de retardo principal 710. En otro modo de realización, el controlador de actualización 750 puede supervisar el error de fase detectado desde el PFD 520. En este modo de realización, el controlador de actualización 750 puede finalizar el período de bloqueo cuando el error de fase detectado baja por debajo de un umbral.
- 35 **[0056]** La FIG. 13 muestra una implementación a modo de ejemplo de un circuito de retardo secundario 1315 de acuerdo con un modo de realización de la presente divulgación. El circuito de retardo secundario 1315 se puede usar para implementar cualquiera de los circuitos de retardo secundario 315(1)-315(m) que se muestran en la FIG. 3. El circuito de retardo secundario 1315 comprende una primera pluralidad de puertas NAND 1310(1)-1310(5) a lo largo de una ruta hacia adelante (indicada por la flecha 1312), y una segunda pluralidad de puertas NAND 1330(1)-1330(5) a lo largo de una ruta de retorno (indicada por la flecha 1332). El circuito de retardo secundario 1315 también comprende una tercera pluralidad de puertas NAND 1320(1)-1320(5) entre las rutas de avance y retorno, donde cada puerta NAND 1320(1)-1320(5) está acoplada entre dos posiciones diferentes en las rutas de ida y vuelta. Las puertas NAND 1310(1)-1310(5), 1320(1)-1320(5) y 1330(1)-1330(5) están influenciadas por la polarización de voltaje (no mostrada en la FIG. 13) del circuito de retardo principal, en el que la polarización de voltaje controla el retardo de cada puerta NAND.
- 40 **[0057]** En este modo de realización, un controlador de retardo 1340 controla el retardo entre la entrada y la salida (denominadas "ENTRADA" y "SALIDA") del circuito de retardo secundario 1315. El controlador de retardo 1340 lo
- 45
- 50
- 55
- 60
- 65

hace habilitando y deshabilitando selectivamente las puertas NAND en el circuito de retardo secundario 1315 para controlar la ruta de una señal a través del circuito de retardo secundario 1315, como se explica más adelante.

**[0058]** A este respecto, las puertas NAND 1310(1)-1310(5) reciben señales de control en las entradas de control 1317(1)-1317(5) del controlador de retardo 1340, las puertas NAND 1320(1)-1320(5) reciben señales de control en las entradas de control 1325(1)-1325(5) del controlador de retardo 1340, y la puerta NAND 1330(5) recibe una señal de control en la entrada de control 1335 del controlador de retardo 1340. Para facilitar la ilustración, las conexiones entre las entradas de control de las puertas NAND y el controlador de retardo 1340 no se muestran en la FIG. 13. Las señales de control habilitan y deshabilitan selectivamente las puertas NAND para controlar la ruta de una señal a través del circuito de retardo secundario 1315, y por lo tanto controlan el retardo de la señal a través del circuito de retardo secundario 1315. Cuando se habilita una puerta NAND (por ejemplo, al introducir un uno lógico en la entrada de control respectiva), la puerta NAND actúa como un inversor. Cuando una puerta NAND está deshabilitada (por ejemplo, al introducir un cero lógico a la entrada de control respectiva), el estado de salida de la puerta NAND es constante.

**[0059]** La FIG. 14A muestra un ejemplo en el que el controlador de retardo 1340 forma una ruta de retardo 1410 a través de las puertas NAND 1310(1)-1310(3), 1320(4) y 1330(1)-1330(4) del circuito de retardo secundario 1315. En este ejemplo, el retardo a través del circuito de retardo secundario 1315 es ocho veces el retardo de una puerta NAND ya que la señal se propaga a través de ocho puertas NAND. La FIG. 14A también muestra los estados lógicos de las señales de control que se introducen en las entradas de control de las puertas NAND 1310(1)-1310(5), 1320(1)-1320(5) y 1330(5) del controlador de retardo 1340 para formar la ruta de retardo 1410. Para facilitar la ilustración, los números de referencia de las entradas de control no se muestran en la FIG. 14A.

**[0060]** La FIG. 14B muestra un ejemplo en el que el controlador de retardo 1340 forma una ruta de retardo 1420 a través de las puertas NAND 1310(1)-1310(4), 1320(5) y 1330(1)-1330(5) del circuito de retardo secundario 1315. En este ejemplo, el retardo a través del circuito de retardo secundario 1315 es diez veces el retardo de una puerta NAND ya que la señal se propaga a través de diez puertas NAND. La FIG. 14B también muestra los estados lógicos de las señales de control que se introducen en las entradas de control de las puertas NAND 1310(1)-1310(5), 1320(1)-1320(5) y 1330(5) del controlador de retardo 1340 para formar la ruta de retardo 1420. Para facilitar la ilustración, los números de referencia de las entradas de control no se muestran en la FIG. 14B.

**[0061]** En este modo de realización, el controlador de retardo 1340 es capaz de ajustar el retardo del circuito de retardo secundario 1315 por múltiplos de un retardo de paso, donde el retardo de paso es el retardo de dos puertas NAND. Un retardo de paso de dos puertas NAND garantiza que una señal tenga la misma polaridad en la entrada y salida del circuito de retardo secundario 1315. El retardo de paso se controla mediante la polarización de voltaje suministrada a las puertas NAND desde el circuito de retardo principal. Debe apreciarse que el circuito de retardo secundario 1315 no está limitado al número de puertas NAND en el ejemplo mostrado en la FIG. 13, y que el circuito de retardo secundario 1315 puede incluir cualquier número de puertas NAND. Por ejemplo, el número de puertas NAND puede aumentarse para aumentar el número de retardos seleccionables.

**[0062]** La FIG. 15 muestra una implementación a modo de ejemplo de una puerta NAND 1510 con retardo controlado por voltaje de acuerdo con un modo de realización de la presente divulgación. La puerta NAND 1510 puede usarse para implementar las puertas NAND en la FIG. 13. La puerta NAND 1510 comprende la lógica NAND 1512, un transistor PMOS falto de corriente 1520 y un transistor NMOS falto de corriente 1550. Como se explica más adelante, la lógica NAND 1512 realiza las funciones lógicas de la puerta NAND 1510, y los transistores PMOS y NMOS 1520 y 1550 controlan el retardo de la puerta NAND 1510.

**[0063]** La lógica NAND 1512 comprende un primer transistor PMOS 1530, un segundo transistor PMOS 1535, un primer transistor NMOS 1540 y un segundo transistor NMOS 1545. Las fuentes del primer y segundo transistores PMOS 1530 y 1535 están acopladas entre sí, los drenajes del primer y segundo transistores PMOS 1530 y 1535 están acopladas entre sí, el drenaje del primer transistor NMOS 1540 está acoplada a los drenajes del primer y segundo transistores PMOS 1530 y 1535, y la fuente del primer transistor NMOS 1540 está acoplada al drenaje del segundo transistor NMOS 1545. Las fuentes del primer y segundo transistores PMOS 1530 y 1535 están acopladas a una fuente de alimentación Vdd a través del transistor PMOS falto de corriente 1520, y la fuente del segundo transistor NMOS 1545 está acoplada a tierra a través del transistor NMOS falto de corriente 1550.

**[0064]** Una primera entrada (denominada "IN1") de la puerta NAND 1510 está acoplada a las puertas del primer transistor PMOS 1530 y el primer transistor NMOS 1540, y una segunda entrada (denominada "IN2") de la puerta NAND 1510 está acoplada a las puertas del segundo transistor PMOS 1535 y el segundo transistor NMOS 1545. La salida (denominada "SALIDA") de la puerta NAND 1510 está acoplada a los drenajes del primer transistor PMOS 1530, el segundo transistor PMOS 1535 y el primer transistor NMOS 1540.

**[0065]** Como se analizó anteriormente, la lógica NAND 1512 realiza las funciones lógicas de la puerta NAND 1510. En este sentido, la lógica NAND 1512 genera un cero lógico si ambas entradas, la primera y la segunda (IN1 e IN2) están en uno lógico, y, de lo contrario, genera un uno lógico. Por lo tanto, si la segunda entrada (IN2) está en el cero lógico, entonces la lógica NAND 1512 genera un uno lógico independientemente del estado lógico en la primera

entrada (IN1). Si la segunda entrada (IN2) está en un uno lógico, la lógica NAND 1512 genera el inverso del estado lógico en la primera entrada (IN1).

5 **[0066]** En un ejemplo, la primera entrada (IN1) se puede usar para recibir una señal que se propaga a través de un circuito de retardo secundario (por ejemplo, el circuito de retardo secundario 1315), y la segunda entrada (IN2) se puede usar para recibir una señal de control de un controlador de retardo (por ejemplo, controlador de retardo 1340). En este ejemplo, si la señal de control es un cero lógico, entonces la lógica NAND 1512 genera un uno lógico, independientemente del estado lógico en la primera entrada (IN1). En este caso, la lógica NAND 1512 no propaga la señal en la primera entrada (IN1). Si la señal de control es un uno lógico, la lógica NAND 1512 invierte la señal en la primera entrada (IN1) y, por lo tanto, propaga la señal como un inversor.

15 **[0067]** Como se analizó anteriormente, el transistor PMOS falto de corriente 1520 y el transistor NMOS falto de corriente 1550 controlan el retardo de la puerta NAND 1510. Más particularmente, el transistor NMOS falto de corriente 1550, recibe una primera polarización de voltaje Vbn en su puerta, y controla el retardo de una señal que causa un borde descendente en la salida de la puerta NAND 1510 basándose en la primera polarización de voltaje Vbn. Esto se debe a que la primera polarización de voltaje Vbn controla la conductividad del transistor NMOS falto de corriente 1550 y, por lo tanto, la cantidad de corriente que puede fluir desde la salida (SALIDA) de la puerta NAND 1510 a tierra a través del transistor NMOS falto de corriente 1550. Esto, a su vez, controla el tiempo de bajada de la puerta NAND 1510 y, por lo tanto, la cantidad de tiempo para que la salida (SALIDA) de la puerta NAND 1510 pase de alto a bajo (es decir, el borde descendente). Cuanto mayor sea la primera polarización de voltaje Vbn, mayor será la corriente desde la salida (SALIDA) a tierra, y por lo tanto, más corto será el retardo. Cuanto menor sea la primera polarización de voltaje Vbn, menor será la corriente desde la salida (SALIDA) a tierra, y por lo tanto, mayor será el retardo.

25 **[0068]** El transistor PMOS falto de corriente 1520 recibe una segunda polarización de voltaje Vbp en su puerta, y controla el retardo de una señal que causa un borde ascendente en la salida (SALIDA) de la puerta NAND 1510 basándose en la segunda polarización de voltaje Vbp. Esto se debe a que la segunda polarización de voltaje Vbp controla la conductividad del transistor PMOS 1520 que está falto de corriente y, por lo tanto, la cantidad de corriente que puede fluir desde Vdd a la salida (SALIDA) de la puerta NAND 1510 a través del transistor PMOS falto de corriente 1520. Esto, a su vez, controla el tiempo de subida de la puerta NAND 1510 y, por lo tanto, la cantidad de tiempo para que la salida de la puerta NAND 1510 pase de baja a alta (es decir, el borde ascendente). Cuanto más bajo sea el segundo Vbp de polarización de voltaje, mayor será la corriente de Vdd a la salida (SALIDA) y, por lo tanto, más corto será el retardo. Cuanto mayor sea la segunda polarización de voltaje Vbp, menor será la corriente de Vdd a la salida (SALIDA) y, por lo tanto, mayor será el retardo.

35 **[0069]** Por lo tanto, la primera y la segunda polarizaciones de voltaje Vbn y Vbp controlan el retardo de la puerta NAND 1510 y, por lo tanto, controlan el retardo de paso de un circuito de retardo secundario que comprende puertas NAND implementadas con la puerta NAND 1510. La primera polarización de voltaje Vbn controla el retardo de un borde descendente en la salida (SALIDA) de la puerta NAND 1510, y la segunda polarización de voltaje Vbp controla el retardo de un borde ascendente en la salida (SALIDA) de la puerta NAND 1510.

40 **[0070]** La FIG. 16 muestra un circuito de retardo principal 1610 configurado para ajustar la primera y la segunda polarización de voltaje Vbn y Vbp para lograr un retardo de paso deseado para los circuitos de retardo secundarios de acuerdo con un modo de realización de la presente divulgación. El circuito de retardo principal 1610 comprende el circuito de actualización 712, un circuito de retardo de reloj 1615, un detector de frecuencia de fase (PFD) 1620, una bomba de carga 1625, un generador de Vbp 1640 y un circuito de extracción inicial 1650. El circuito de retardo principal 1610 comprende además un primer condensador 1630 acoplado entre la salida de la bomba de carga 1625 y tierra, y un segundo condensador 1645 acoplado entre Vdd y la salida del generador de Vbp 1640. Como se explica más adelante, el primer condensador 1630 se usa para generar la primera polarización de voltaje Vbn, y el segundo condensador 1645 se usa para generar la segunda polarización de voltaje Vbp.

50 **[0071]** En funcionamiento, el circuito de actualización 712 emite un par de pulsos cada N períodos (ciclos) del reloj de referencia. Cada par de pulsos comprende un pulso Q y un pulso ZQ, en los que el pulso ZQ se retarda aproximadamente un período de reloj en relación con el pulso Q. Para cada par de pulsos, el circuito de actualización 712 envía el pulso ZQ a la primera entrada 1622 del PFD 1620 y envía el pulso Q al circuito de retardo de reloj 1615. El circuito de retardo del reloj 1615 retarda el pulso Q en una cantidad controlada por la primera y la segunda polarización de voltaje Vbn y Vbp, que se retroalimentan al circuito de retardo del reloj 1615 desde las salidas de la bomba de carga 1625 y el generador Vbp 1640, respectivamente. La primera polarización de voltaje Vbn se retroalimenta al circuito de retardo de reloj 1615 mediante un primer bucle de realimentación 1655, y la segunda polarización de voltaje Vbp se retroalimenta al circuito de retardo de reloj 1615 mediante un segundo bucle de realimentación 1660. El circuito de retardo de reloj 1615 envía el pulso Q retardado resultante a la segunda entrada 1624 del PFD 1620.

65 **[0072]** El PFD 1620 detecta un error de fase entre el pulso ZQ y el pulso Q retardado. Por ejemplo, el PFD 1620 puede detectar el error de fase detectando la diferencia de fase entre los bordes ascendentes del pulso ZQ y el pulso Q retardado o la diferencia de fase entre los bordes descendentes del pulso ZQ y el pulso Q retardado. El PFD 1620 emite una señal ARRIBA y/o una señal de ABAJO a la bomba de carga 1625 basándose en el error de fase detectado.

La señal de ARRIBA hace que la bomba de carga 1625 cargue el primer condensador 1630 (y, por lo tanto, aumente la primera polarización de voltaje Vbn), y la señal de ABAJO hace que la bomba de carga 1625 descargue el primer condensador 1630 (y, por lo tanto, disminuya la primera polarización de voltaje Vbn). El PFD 1620 ajusta la señal ARRIBA y/o la señal ABAJO (y, por lo tanto, la primera polarización de voltaje Vbn) en una dirección que disminuye el error de fase detectado.

**[0073]** La primera polarización de voltaje Vbn se introduce en el generador de Vbp 1640, que genera la segunda polarización de voltaje Vbp basándose en la primera polarización de voltaje Vbn. En un modo de realización, el generador de Vbp 1640 puede simplemente ajustar la segunda polarización de voltaje Vbp de modo que Vdd-Vbp sea aproximadamente igual a Vbn. En otro modo de realización, el generador de Vbp 1640 puede ajustar la segunda polarización de voltaje Vbp de manera que los tiempos de subida y bajada de las puertas NAND en los circuitos de retardo secundario sean aproximadamente iguales. Por ejemplo, el generador de Vbp 1640 puede comprender dos puertas NAND controladas por señales complementarias, lo cual hace que una de las puertas NAND suba mientras que la otra puerta NAND baja. Ambas puertas NAND pueden estar polarizadas por la primera y la segunda polarización de voltaje Vbn y Vbp y pueden ser réplicas de puertas NAND en los circuitos de retardo secundario. En este ejemplo, el generador de Vbp 1640 puede detectar el punto (por ejemplo, el voltaje) donde se cruzan los bordes ascendente y descendente de las puertas NAND, y ajustar la segunda polarización de voltaje Vbp para que el punto de cruce se encuentre aproximadamente en el centro de la oscilación de voltaje de las puertas NAND (por ejemplo, aproximadamente la mitad de Vdd).

**[0074]** El error de fase se acerca a cero cuando el retardo del circuito de retardo de reloj 1615 es aproximadamente igual a un período del reloj de referencia. Por lo tanto, el circuito de retardo principal 1610 ajusta la primera y la segunda polarización de voltaje Vbn y Vbp de tal manera que el retardo del circuito de retardo de reloj 1615 es aproximadamente igual a un período de reloj. En un modo de realización, el circuito de retardo de reloj 1615 tiene un retardo que es aproximadamente igual a un múltiplo M del retardo de paso de los circuitos de retardo secundario. Por ejemplo, en una implementación simple, el circuito de retardo de reloj 1615 puede comprender  $2^M$  puertas NAND acopladas en serie, donde el retardo de paso es el retardo de dos puertas NAND. Por lo tanto, en este modo de realización, el circuito de retardo principal 1610 actualiza la primera y la segunda polarización de voltaje Vbn y Vbp cada N períodos de reloj (ciclos) para mantener un retardo de paso de aproximadamente T/M, donde T es un período de reloj (ciclo).

**[0075]** El primer condensador 1630 mantiene la primera polarización de voltaje Vbn entre las actualizaciones, y el segundo condensador 1645 mantiene la segunda polarización de voltaje Vbp entre las actualizaciones. La primera y la segunda polarización de voltaje Vbn y Vbp se desvían entre las actualizaciones. Como se analizó anteriormente, aumentar el tiempo entre actualizaciones (es decir, aumentar N) reduce el consumo de energía a expensas de un mayor desvío entre las actualizaciones (y, por lo tanto, un menor rendimiento). A este respecto, el controlador de actualización 750 puede ajustar la velocidad de actualizaciones (es decir, ajustar N) para reducir el consumo de energía mientras aún cumple con los requisitos de temporización para una velocidad de datos particular.

**[0076]** El circuito de extracción inicial 1650 está configurado para establecer los valores iniciales para la primera y la segunda polarización de voltaje Vbn y Vbp para evitar un bloqueo falso. Para hacer esto, el circuito de extracción inicial 1650 inicialmente aumenta la primera polarización de voltaje Vbn a la fuente de alimentación Vdd y baja la segunda polarización de voltaje Vbp a tierra cuando se confirma una señal de reinicio (denominada "i\_rst") (por ejemplo, i\_rst es un uno lógico). Esto establece inicialmente el circuito de retardo de reloj 1615 en un retardo que es más corto que un período de reloj, lo cual ayuda a garantizar que el circuito de retardo principal 1610 bloquee el retardo del circuito de retardo de reloj 1615 a un período de reloj.

**[0077]** Después de que la primera y la segunda polarización de voltaje Vbn y Vbp se configuran inicialmente y la reinicialización se desactiva (por ejemplo, i\_rst es cero lógico), el circuito de retardo principal 1610 puede actualizar la primera y la segunda polarización de voltaje Vbn y Vbp en cada período de reloj (ciclo) durante un período de bloqueo. Una vez que el circuito de retardo principal 1610 está bloqueado, el espacio entre las actualizaciones se puede aumentar (es decir, se puede aumentar N) para conservar la energía, como se explicó anteriormente.

**[0078]** La FIG. 17 muestra una implementación a modo de ejemplo del circuito de retardo de reloj 1615 de acuerdo con un modo de realización de la presente divulgación. El circuito de retardo de reloj 1615 comprende una primera etapa de retardo 1710 y una segunda etapa de retardo 1750. El retardo total a través del circuito de retardo de reloj 1615 es aproximadamente la suma de los retardos a través de la primera y la segunda etapa de retardo 1710 y 1750.

**[0079]** La primera etapa de retardo 1710 comprende un oscilador 1720 y un circuito de recuento 1730. El oscilador 1720 comprende un circuito de retardo 1725 y un circuito de habilitación/deshabilitación de la oscilación 1740.

**[0080]** El circuito de retardo 1725 puede comprender puertas NAND acopladas en una estructura similar a la estructura del circuito de retardo secundario 1315 en la FIG. 13. En el ejemplo mostrado en la FIG. 17, una parte de las puertas NAND en el circuito de retardo 1725 se habilitan para formar una ruta de retardo 1712 a través del circuito de retardo 1725. En un ejemplo, el retardo de la ruta 1712 es igual a  $16 \cdot t_d$ , donde  $t_d$  es un retardo de un paso (por ejemplo, el retardo de dos puertas NAND). El retardo de paso  $t_d$  está controlado por la primera y la segunda polarización de voltaje, Vbn y Vbp (no se muestran en la FIG. 17).

**[0081]** El circuito de habilitación/deshabilitación de la oscilación 1740 controla si el oscilador 1720 está habilita o deshabilitado basándose en una señal de control del circuito de recuento 1730, como se explica más adelante. En el ejemplo de la FIG. 17, el circuito de habilitación/deshabilitación de la oscilación 1740 comprende una puerta NAND 1740 que tiene una primera entrada acoplada a la salida 1735 del circuito de retardo 1725, una segunda entrada 1745 (también denominada entrada de control) acoplada al circuito de recuento 1730 para recibir la señal de control, y una salida acoplada a la entrada del circuito de retardo 1725. La puerta NAND 1740 puede ser polarizada por la primera y la segunda polarización de voltaje Vbn y Vbp (no mostradas en la FIG. 17).

**[0082]** En este ejemplo, cuando la señal de control es un uno lógico, la puerta NAND 1740 actúa como un inversor entre la salida y la entrada del circuito de retardo 1725, lo cual hace que el circuito de retardo 1725 oscile. Por lo tanto, el oscilador 1720 se habilita cuando la señal de control es un uno lógico. Cuando la señal de control es cero lógico, el estado de salida de la puerta NAND 1740 se mantiene constante en el uno lógico, independientemente del estado lógico en la salida del circuito de retardo 1725. Esto bloquea efectivamente la salida del circuito de retardo 1725 desde la entrada del circuito de retardo 1725. Como resultado, se evita que el circuito de retardo 1725 oscile. Por lo tanto, el oscilador 1720 se deshabilita cuando la señal de control es cero lógico.

**[0083]** Cuando el oscilador 1720 está habilitado, el circuito de retardo 1725 y la puerta NAND 1740 forman un bucle cerrado en el que un desplazamiento a través del bucle es igual a la suma del retardo de la ruta 1712 a través del circuito de retardo 1725 y el retardo de la puerta NAND 1740. Para el ejemplo donde el retardo de la ruta 1712 es igual a  $16 \cdot t_d$ , un desplazamiento a través del bucle es aproximadamente  $16,5 \cdot t_d$  (es decir,  $16 \cdot t_d$  de retardo a través de la ruta 1712 y  $0,5 \cdot t_d$  de retardo a través de la puerta NAND 1740).

**[0084]** Las operaciones a modo de ejemplo de la primera etapa de retardo 1710 se describirán ahora de acuerdo con los modos de realización de la presente divulgación. En este ejemplo, se puede suponer que la primera etapa de retardo 1710 recibe pulsos de Q bajos desde el circuito de actualización 712 (un ejemplo del cual se muestra en la FIG. 10). Antes de recibir un borde ascendente de un pulso Q del circuito de actualización 712, el oscilador 1720 se deshabilita (es decir, el circuito de recuento 1730 emite un cero lógico a la entrada de control 1745 de la puerta NAND 1740). Además, el circuito de recuento 1730 envía un uno lógico a la segunda etapa de retardo 1750.

**[0085]** En el borde ascendente del pulso Q, se activa el circuito de recuento 1730. Esto hace que el circuito de recuento 1730 emita un uno lógico a la entrada de control 1745 de la puerta NAND 1740 para habilitar el oscilador 1720. Esto también hace que el circuito de recuento 1730 comience a contar varias oscilaciones del oscilador 1720, y haga que la salida a la segunda etapa de retardo 1750 pase de alta a baja.

**[0086]** A medida que el oscilador 1720 oscila, el estado lógico en la salida 1735 del circuito de retardo 1725 cambia. El tiempo entre los cambios en el estado lógico de salida es aproximadamente igual al retardo de un desplazamiento a través de la puerta NAND 1740 y la ruta 1712 en el circuito de retardo 1725. El circuito de recuento 1730 puede incrementar un valor de recuento en cada borde descendente en la salida 1735 del circuito de retardo 1725. De forma alternativa, el circuito de recuento 1730 puede incrementar el valor de recuento en cada borde ascendente en la salida 1735 del circuito de retardo 1725. En cualquier caso, el circuito de recuento 1730 incrementa el valor de recuento cada vez que una señal hace dos desplazamientos a través de la puerta NAND 1740 y la ruta 1712 en el circuito de retardo 1725. Para el ejemplo en el que el retardo a través de la puerta NAND 1740 y la ruta 1712 en el circuito de retardo 1725 es igual a  $16,5 \cdot t_d$ , el circuito de recuento 1730 incrementa el valor de recuento después de un retardo de  $2 \cdot 16,5 \cdot t_d$ .

**[0087]** Cuando el valor de recuento alcanza un valor de recuento de terminal predeterminado (por ejemplo, 13 recuentos), el circuito de recuento 1730 emite un cero lógico a la entrada de control 1745 de la puerta NAND 1740 para deshabilitar el oscilador 1720. El circuito de recuento 1730 también genera un borde ascendente hacia la segunda etapa de retardo 1750. Por lo tanto, la primera etapa de retardo 1710 genera un borde ascendente hacia la segunda etapa de retardo 1750 en respuesta al valor de recuento que alcanza el valor de recuento del terminal. Para el ejemplo donde el valor de recuento del terminal es 13 y el retardo a través de la puerta NAND 1740 y el circuito de retardo 1725 es  $16,5 \cdot t_d$ , el retardo entre el borde ascendente de la entrada de pulso Q a la primera etapa de retardo 1710 y la salida del borde ascendente a la segunda etapa de retardo 1750 es aproximadamente igual a  $13 \cdot 2 \cdot 16,5 \cdot t_d$ . Una vez que se alcanza el recuento de terminales, el oscilador 1720 puede permanecer deshabilitado hasta que el circuito de recuento 1730 se vuelva a activar mediante el borde ascendente del siguiente pulso Q. Además, el circuito de recuento 1730 puede enviar un uno lógico a la segunda etapa 1750 hasta que se vuelva a activar.

**[0088]** En un modo de realización, la segunda etapa de retardo 1750 tiene sustancialmente la misma estructura que la primera etapa de retardo 1710. En este modo de realización, la segunda etapa de retardo 1750 comprende un oscilador 1770 y un circuito de recuento 1780. El oscilador 1770 comprende un circuito de habilitación/deshabilitación de la oscilación 1790 y un circuito de retardo 1775. En el ejemplo de la FIG. 17, el circuito de habilitación/deshabilitación de oscilación 1790 comprende una puerta NAND 1790. El circuito de retardo 1775, el circuito de recuento 1780 y la puerta NAND 1790 en la segunda etapa de retardo 1750 pueden funcionar de manera sustancialmente similar a la del circuito de retardo 1725, el circuito de recuento 1730 y la puerta NAND 1740 en la primera etapa de retardo 1710.

**[0089]** Antes de recibir el borde ascendente de la primera etapa de retardo 1710, el oscilador 1770 en la segunda etapa de retardo 1750 se deshabilita (es decir, el circuito de recuento 1780 envía un cero lógico a la entrada de control 1795 de la puerta NAND 1790). Además, el circuito de recuento 1780 emite uno lógico al PFD 1620.

5 **[0090]** En el borde ascendente de la primera etapa de retardo 1710, se activa el circuito de recuento 1780. Esto hace que el circuito de recuento 1780 emita un uno lógico a la entrada de control 1795 de la puerta NAND 1790 para habilitar el oscilador 1770. Esto también hace que el circuito de recuento 1780 comience a contar una serie de oscilaciones del oscilador 1770, y haga una transición de la salida al PFD 1620 de alto a bajo.

10 **[0091]** Cuando el valor de recuento en el circuito de recuento 1780 alcanza un valor de recuento de terminal predeterminado (por ejemplo, 13 recuentos), el circuito de recuento 1780 envía un cero lógico a la puerta NAND 1790 para deshabilitar el oscilador 1770. El circuito de recuento 1780 también genera un borde ascendente hacia el PFD 1620. Para el ejemplo en el que el valor de recuento del terminal es 13 y el retardo a través de la puerta NAND 1790 y el circuito de retardo 1775 es  $16,5 \cdot t_d$  el retardo entre la entrada de borde ascendente a la segunda etapa de retardo 1750 y la salida de borde ascendente a la PFD 1620 es aproximadamente igual a  $13 \cdot 2 \cdot 16,5 \cdot t_d$ . Una vez que se alcanza el recuento de terminales, el oscilador 1770 puede permanecer deshabilitado hasta que el circuito de recuento 1780 se vuelva a activar mediante el siguiente borde ascendente desde la primera etapa de retardo 1710. Además, el recuento 1780 puede enviar un uno lógico al PFD 1620 hasta que se vuelva a activar.

20 **[0092]** La FIG. 18 es un diagrama de temporización que ilustra un ejemplo del pulso Q, la salida de la primera etapa de retardo 1710, y la salida de la segunda etapa de retardo 1750. En este ejemplo, se supone que N es mayor que uno. El borde ascendente 1810 del pulso Q activa el circuito de recuento 1730 en la primera etapa de retardo 1710, lo cual causa que la salida de la primera etapa de retardo 1710 pase de alta a baja. Cuando el valor de recuento del circuito de recuento 1730 alcanza el recuento del terminal, la primera etapa de retardo 1710 genera un borde ascendente 1820 a la segunda etapa de retardo 1750. El borde ascendente 1820 de la primera etapa de retardo 1710 activa el circuito de recuento 1780 en la segunda etapa de retardo, causando que la salida de la segunda etapa de retardo 1750 pase de alta a baja. Cuando el valor de recuento del circuito de recuento 1780 alcanza el recuento del terminal, la segunda etapa de retardo 1750 genera un borde ascendente 1830 hacia el PFD 1620. La salida del borde ascendente 1830 al PFD 1620 se retarda desde el borde ascendente del pulso Q mediante la suma de los retardos a través de la primera y segunda etapas de retardo 1710 y 1750, como se muestra en la FIG. 18.

25 **[0093]** Como se analizó anteriormente, el circuito de retardo principal 1610 ajusta la primera y la segunda polarización de voltaje Vbn y Vbp hasta que el retardo a través del circuito de retardo de reloj 1615 sea aproximadamente igual a un período de reloj. Por lo tanto, el circuito de retardo principal 1610 ajusta la primera y la segunda polarización de voltaje Vbn y Vbp para lograr un retardo de paso de T/M, donde T es un período de reloj y M es el número total de pasos de retardo en la primera y la segunda etapa de retardo 1710 y 1750. Para el ejemplo en el que el retardo a través de cada etapa 1710 y 1750 del circuito de retardo de reloj 1615 es igual a  $13 \cdot 2 \cdot 16,5 \cdot t_d$ , el retardo total a través del circuito de retardo de reloj 1615 es  $2 \cdot 13 \cdot 2 \cdot 16,5 \cdot t_d$ . En este ejemplo, el circuito de retardo principal 1610 ajusta la primera y la segunda polarización Vbn y Vbp para lograr un retardo de paso  $t_d$  aproximadamente igual a  $T / (2 \cdot 13 \cdot 2 \cdot 16,5)$ , donde T es un período de reloj.

35 **[0094]** El circuito de retardo de reloj a modo de ejemplo 1615 en la FIG. 17 ofrece una o más de las siguientes ventajas. Primero, el circuito de retardo de reloj 1615 es capaz de lograr un retardo de paso pequeño usando un número mucho menor de puertas NAND en comparación con simplemente usar una cadena de retardo larga, reduciendo así el tamaño del circuito de retardo de reloj 1615. Esto se debe a que el circuito de retardo del reloj 1615 usa una cadena de retardo relativamente pequeña (por ejemplo, las puertas NAND en la ruta 1712) para formar un oscilador, y cuenta una serie de oscilaciones del oscilador para crear el retardo del circuito de retardo del reloj 1615.

40 **[0095]** Otra ventaja es que el consumo de energía del circuito de retardo de reloj 1615 se reduce sustancialmente cuando se reduce la velocidad de actualizaciones de polarización de voltaje (es decir, se aumenta N). Esto se debe a que los osciladores 1720 y 1770 están deshabilitados entre actualizaciones. Como resultado, cuando aumenta el espacio entre las actualizaciones (es decir, aumenta N), se reduce el consumo dinámico de energía de los osciladores 1720 y 1770. Por ejemplo, cuando N es mayor que uno, la potencia consumida por los osciladores 1720 y 1770 se reduce a aproximadamente  $1/N$  de la potencia consumida por los osciladores 1720 y 1770 para el caso en el que los voltajes de voltaje Vbn y Vbp se actualizan cada período de reloj.

45 **[0096]** Otra ventaja es que el uso de dos etapas de retardo 1710 y 1750 proporciona a cada etapa más tiempo para reiniciar entre los pulsos Q. Por ejemplo, cuando la primera etapa de retardo 1710 alcanza el recuento de terminales para un pulso Q actual y N es igual a uno, la primera etapa de retardo 1710 tiene una cantidad de tiempo aproximadamente igual al retardo de la segunda etapa de retardo 1750 para reiniciarse para el siguiente pulso Q.

50 **[0097]** Debe apreciarse que los circuitos de retardo 1725 y 1775 no están limitados a puertas NAND. Por ejemplo, cada circuito de retardo 1725 y 1775 puede comprender una cadena de elementos de retardo diferentes de las puertas NAND, en la que los elementos de retardo pueden ser réplicas de elementos de retardo en los circuitos de retardo secundarios. En este ejemplo, la entrada y la salida de la cadena de retardo se pueden acoplar selectivamente para

65

formar un oscilador, y el circuito de recuento respectivo 1730 y 1780 puede contar un número de oscilaciones del oscilador para crear un retardo.

5 **[0098]** También debe apreciarse que el circuito de retardo de reloj 1615 no está limitado a dos etapas de retardo. Por ejemplo, el circuito de retardo de reloj 1615 puede comprender una etapa de retardo 1710 en la que la salida de la primera etapa de retardo 1710 proporciona el pulso Q retardado al PFD 1620. Se puede usar una etapa de retardo 1710, por ejemplo, cuando la etapa de retardo 1710 tiene el tiempo adecuado para reiniciarse para el siguiente pulso Q sin la necesidad de una segunda etapa de retardo (por ejemplo, cuando N es igual a dos o más).

10 **[0099]** La FIG. 19 muestra una implementación a modo de ejemplo del circuito de recuento 1730 en la primera etapa de retardo 1710 de acuerdo con un modo de realización de la presente divulgación. El circuito de recuento 1780 en la segunda etapa de retardo 1750 también puede implementarse usando el circuito mostrado en la FIG. 19.

15 **[0100]** En este modo de realización, el circuito de recuento 1730 comprende la lógica de reinicio 1915, un contador 1910, una puerta NAND 1920, una puerta NOR 1930, un inversor 1925 y una puerta OR 1935. En la siguiente descripción, la puerta NAND 1920 en el circuito de recuento 1730 se denominará la segunda puerta NAND 1920 y la puerta NAND 1740 utilizada para habilitar/deshabilitar el oscilador 1720 se denominará la primera puerta NAND 1740.

20 **[0101]** La segunda puerta NAND 1920 tiene una primera entrada acoplada a la salida (denominada "o\_osc") del circuito de retardo 1725, y una segunda entrada acoplada a una salida (denominada "rst\_cnt") de la lógica de reinicio 1915. El contador 1910 tiene una entrada (denominada "i\_cnt") acoplada a la salida de la segunda puerta NAND 1920, y una salida (denominada "o\_cnt") acoplada a la entrada de control 1745 de la primera puerta NAND 1740. Por lo tanto, en este modo de realización, el estado lógico de la salida (o\_cnt) del contador 1910 controla si el oscilador 1720 está habilitado o deshabilitado. La puerta OR 1935 tiene una primera entrada para recibir la señal de reinicio inicial (denominada "i\_rst") y una segunda entrada acoplada a la salida (o\_osc) del circuito de retardo 1725 a través del inversor 1925. La salida de la puerta OR 1935 está acoplada a una entrada de reinicio (denominada "rst") de la lógica de reinicio 1915. La puerta NOR 1930 tiene una primera entrada acoplada a la entrada (i\_cnt) del contador 1910 y una segunda entrada acoplada a la salida (o\_cnt) del contador 1910.

30 **[0102]** Las operaciones a modo de ejemplo del circuito de recuento 1730 se describirán ahora de acuerdo con los modos de realización de la presente divulgación. En este ejemplo, se puede suponer que la primera etapa de retardo 1710 recibe pulsos de Q bajos desde el circuito de actualización 712 (un ejemplo del cual se muestra en la FIG. 10). Antes de recibir un borde ascendente de un pulso Q del circuito de actualización 712, el oscilador 1720 se deshabilita (es decir, el contador 1910 emite (o\_cnt) un cero lógico en la entrada de control 1745 de la primera puerta NAND 1740), y el retardo el circuito 1725 emite (o\_osc) un uno lógico a la segunda puerta NAND 1920. La lógica de reinicio 1915 emite (rst\_cnt) un uno lógico a la segunda puerta NAND 1920. Por lo tanto, la segunda puerta NAND 1920 recibe un uno lógico tanto del circuito de retardo 1725 como de la lógica de reinicio 1915, lo cual hace que la segunda puerta NAND 1920 emita un cero lógico a la entrada (i\_cnt) del contador 1910. Dado que tanto la entrada (i\_cnt) como la salida (o\_cnt) del contador 1910 son cero lógico, la puerta NOR 1930 emite un uno lógico.

40 **[0103]** En el borde ascendente del pulso Q, la salida (rst\_cnt) de la lógica de reinicio 1915 hace la transición de alto a bajo. Esto hace que la segunda puerta NAND 1920 emita un uno lógico a la entrada (i\_cnt) del contador 1910, que activa el contador 1910 para comenzar a contar. En respuesta, el contador 1910 envía (o\_cnt) un uno lógico a la entrada de control 1745 de la primera puerta NAND 1740, habilitando el oscilador 1720. Por lo tanto, el contador 1910 habilita el oscilador 1720 en respuesta a que la salida (rst\_cnt) de la lógica de reinicio 1915 sea baja. Además, la lógica en la salida (o\_cnt) del contador 1910 (que también se alimenta a la puerta NOR 1930) hace que la salida de la puerta NOR 1930 pase de alta a baja.

50 **[0104]** Cuando la salida (o\_osc) del circuito de retardo 1725 cambia por primera vez al cero lógico en el modo oscilante, se introduce un uno lógico a la entrada de reinicio (rst) de la lógica de reinicio 1915 a través del inversor 1925 y la puerta OR 1935. Esto hace que la lógica de reinicio 1915 se reinicie y envíe un uno lógico a la segunda puerta NAND 1920. El uno lógico de la lógica de reinicio 1915 hace que la segunda puerta NAND 1920 pase la inversa de la salida (o\_osc) del circuito de retardo 1725 a la entrada (i\_cnt) del contador 1910.

55 **[0105]** A medida que el oscilador 1720 oscila, el estado lógico en la salida (o\_osc) del circuito de retardo 1725 cambia. El tiempo entre los cambios en el estado lógico de salida es aproximadamente igual al retardo de un desplazamiento a través de la primera puerta NAND 1740 y la ruta 1712 en el circuito de retardo 1725.

60 **[0106]** Durante la oscilación, el contador 1910 incrementa un valor de recuento cada vez que la entrada del contador (i\_cnt) aumenta de bajo a alto (es decir, cada borde ascendente en la salida de la puerta NAND 1920). Esto ocurre cada vez que una señal hace dos desplazamientos a través de la primera puerta NAND 1740 y la ruta 1712 en el circuito de retardo 1725. Por lo tanto, en este aspecto, el contador 1910 incrementa el valor de recuento después de un retardo de dos activos a través de la primera puerta NAND 1740 y la ruta 1712 en el circuito de retardo 1725. Para el ejemplo donde el retardo a través de la primera puerta NAND 1740 y la ruta 1712 en el circuito de retardo 1725 es igual a  $16,5 \cdot t_d$ , el contador 1910 incrementa el valor de recuento después de un retardo de  $2 \cdot 16,5 \cdot t_d$ .

65

**[0107]** Cuando el valor de recuento alcanza el valor de recuento del terminal (p. ej., 13 recuentos), el contador 1910 envía (o\_cnt) un cero lógico tanto a la puerta NOR 1930 como a la entrada de control 1745 de la primera puerta NAND 1740. El cero lógico en la entrada de control 1745 de la primera puerta NAND 1740 hace que la salida de la primera puerta NAND 1740 se mantenga constante en el uno lógico, deshabilitando el oscilador 1720. La lógica en la salida de la primera puerta NAND 1740 se propaga a través del circuito de retardo 1725, haciendo que el circuito de retardo 1725 emita (o\_osc) un uno lógico a la segunda puerta NAND 1920. Esto, a su vez, hace que la segunda puerta NAND 1920 produzca un cero lógico tanto para la puerta NOR 1930 como para la entrada (i\_cnt) del contador 1910. Como resultado, ambas entradas de la puerta NOR 1930 son ceros lógicos, lo cual hace que la salida de la puerta NOR 1930 pase de baja a alta y, por lo tanto, la puerta NOR 1930 emita un borde ascendente a la segunda etapa de retardo 1750. Por lo tanto, la primera etapa de retardo 1710 genera un borde ascendente a la segunda etapa de retardo 1750 después de que el contador 1910 alcance el valor de recuento del terminal. Para el ejemplo donde el valor de recuento del terminal es 13 y el retardo a través de la primera puerta NAND 1740 y el circuito de retardo 1725 es  $16,5 \cdot t_d$ , el retardo entre el borde ascendente del pulso Q y la salida del borde ascendente a la segunda etapa de retardo 1750 es aproximadamente igual a  $13 \cdot 2 \cdot 16,5 \cdot t_d$ .

**[0108]** Debe apreciarse que, en lugar de incrementar el valor de recuento en cada borde ascendente en la entrada del contador (i\_cnt), como se explicó anteriormente, el contador 1910 puede disminuir el valor del contador en cada borde ascendente. En este caso, el contador 1910 puede comenzar a contar desde un valor de recuento predeterminado, disminuir el valor de recuento en cada borde ascendente y activar el segundo circuito de retardo de reloj 1710 cuando el valor de recuento alcance un valor de recuento terminal de cero.

**[0109]** La FIG. 20 muestra una implementación a modo de ejemplo de la lógica de reinicio 1915 de acuerdo con un modo de realización de la presente divulgación. La lógica de reinicio 1915 comprende una primera puerta AND 2010, una primera puerta NOR 2020, un inversor 2030, una segunda puerta AND 2040, una segunda puerta NOR 2050 y una tercera puerta NOR 2060. La entrada de reloj (denominada "clk") de la lógica de reinicio 1915 está acoplada a una primera entrada de la primera puerta AND 2010 y una primera entrada de la segunda puerta AND 2040. La salida de la primera puerta AND 2010 está acoplada a una primera entrada de la primera puerta NOR 2020, y la entrada de reinicio está acoplada a una segunda entrada de la primera puerta NOR 2020. La salida de la primera puerta NOR 2020 se retroalimenta a una segunda entrada de la primera puerta AND 2010 a través del inversor 2030. La salida de la primera puerta NOR 2020 también está acoplada a una segunda entrada de la segunda puerta AND 2040. La salida de la segunda puerta AND 2040 está acoplada a una primera entrada de la segunda puerta NOR 2050. La salida de la segunda puerta NOR 2050 está acoplada a una primera entrada de la tercera puerta NOR 2060, y la entrada de reinicio está acoplada a una segunda entrada de la tercera puerta NOR 2060. La salida de la tercera puerta NOR 2060 está acoplada a una segunda entrada de la segunda puerta NOR 2050. La salida de la segunda puerta NOR 2050 está acoplada a la salida (denominada "yn") de la lógica de reinicio 1915.

**[0110]** La lógica de reinicio 1915 puede reiniciarse introduciendo un uno lógico en la entrada de reinicio (rst). Una vez que se reinicia, la lógica de reinicio 1915 puede emitir (yn) un uno lógico hasta que se reciba un borde ascendente en la entrada del reloj (clk). Cuando se utiliza la lógica de reinicio 1915 en la primera etapa de retardo 1710, la entrada de reloj (clk) se puede acoplar a la salida Q del circuito de actualización 712, y, cuando se utiliza la lógica de reinicio 1915 en la segunda etapa de retardo 1750, la entrada de reloj (clk) se puede acoplar a la salida de la primera etapa de retardo 1710.

**[0111]** Cuando se recibe un borde ascendente en la entrada del reloj (clk), la salida de la lógica de reinicio 1915 se pone baja (es decir, la lógica de reinicio 1915 genera un cero lógico). Como se analizó anteriormente, esto puede activar el contador 1910 en el circuito de recuento 1730 para comenzar a contar. La lógica de reinicio 1915 puede reiniciarse cuando la salida (o\_osc) del circuito de retardo 1725 se pone baja. Esto se debe a que la salida (o\_osc) del circuito de retardo 1725 se envía a la entrada de reinicio (rst) de la lógica de reinicio 1915 a través del inversor 1925. Cuando se utiliza la lógica de reinicio 1915 en la primera etapa de retardo 1710, esto reinicia la lógica de reinicio 1915 para el borde ascendente del siguiente pulso Q.

**[0112]** La FIG. 21 muestra una implementación a modo de ejemplo del circuito de actualización 2110 de acuerdo con un modo de realización de la presente divulgación. El circuito de actualización 2110 se puede usar para implementar el circuito de actualización 712 que se muestra en las FIGs. 7 y 16. El circuito de actualización 2110 está configurado para emitir un par de pulsos cada N períodos (ciclos) del reloj de referencia de entrada. Cada par de pulsos comprende un pulso de Q bajo y un pulso de ZQ bajo (cuyo ejemplo se muestra en la FIG. 10), en el que el pulso de ZQ se retarda aproximadamente un período de reloj en relación con el pulso de Q.

**[0113]** El controlador de actualización 2110 comprende un contador programable 2115, un primer inversor 2120, un primer D flip-flop 2130, un segundo D flip-flop 2150, un segundo inversor 2135, una primera puerta OR 2140, un tercer inversor 2155 y una segunda puerta OR 2160. El contador 2115, el primer flip-flop 2130 y el segundo flip-flop 2150 pueden reiniciarse mediante la señal de reinicio inicial (i\_rst), como se muestra en la FIG. 21.

**[0114]** El contador 2115 recibe la señal de control N del controlador de actualización 750 y el reloj de referencia. El contador 2115 está configurado para emitir un cero lógico en su salida (denominado "tcn") durante cada N-ésimo

período (ciclo) del reloj de referencia, y para emitir un uno lógico en su salida (tcn) entre cada N-ésimo período (ciclo) para N mayor que uno.

5 **[0115]** El primer flip-flop 2130 tiene una entrada de reloj (denominada "clk") acoplada al reloj de referencia, una entrada d acoplada a la salida (tcn) del contador 2115 a través del primer inversor 2120 y una salida q. El segundo flip-flop 2150 tiene una entrada de reloj (denominada "clk") acoplada al reloj de referencia, una entrada d acoplada a la salida q del primer flip-flop 2130 y una salida q. Ambos flip-flops 2130 y 2150 pueden ser flip-flops activados por borde positivo, en los que cada flip-flop retiene el valor lógico en la entrada d respectiva en un borde ascendente del reloj de referencia y emite el valor lógico retenido en la salida q respectiva durante aproximadamente un período de reloj.  
10

15 **[0116]** La primera puerta OR 2140 tiene una primera entrada acoplada a la salida q del primer flip-flop 2130 a través del segundo inversor 2135, y una segunda entrada acoplada al reloj de referencia. La salida de la primera puerta OR 2140 forma la salida Q del circuito de actualización 2110. La segunda puerta OR 2160 tiene una primera entrada acoplada a la salida q del segundo flip-flop 2150 a través del tercer inversor 2155, y una segunda entrada acoplada al reloj de referencia. La salida de la segunda puerta OR 2160 forma la salida ZQ del circuito de actualización 2110.

20 **[0117]** Las operaciones del circuito de actualización 2110 se describirán ahora de acuerdo con los modos de realización de la presente divulgación.

25 **[0118]** Como se analizó anteriormente, el contador 2115 emite un cero lógico durante cada N-ésimo período (ciclo) del reloj de referencia. Cada vez que el contador 2115 genera un cero lógico durante un período de reloj (ciclo), la primera puerta OR 2140 y la segunda puerta OR 2160 emiten un pulso Q bajo y un pulso ZQ bajo, respectivamente, en los que el pulso ZQ se retarda con respecto a al pulso Q en aproximadamente un período de reloj. Más particularmente, el primer inversor 2120 invierte el cero lógico en la salida (tcn) del contador 2115, y envía uno lógico a la entrada d del primer flip-flop 2130. El primer flip-flop 2130 retiene el uno lógico en un borde ascendente del reloj de referencia, y emite el uno lógico retenido en su salida q durante un período de reloj. El segundo inversor 2135 invierte el uno lógico en la salida q del primer flip-flop 2130, y envía un cero lógico a la primera entrada de la primera puerta OR 2140. Esto hace que la primera puerta OR 2140 pase el reloj de referencia a la salida Q durante un período de reloj para generar un pulso Q bajo.  
30

35 **[0119]** El segundo flip-flop 2150 retiene el uno lógico en la salida q del primer flip-flop 2130 después de un retardo de un período de reloj, y emite el uno lógico retenido durante un período de reloj. El tercer inversor 2155 invierte el uno lógico en la salida q del segundo flip-flop 2150, y envía un cero lógico a la primera entrada de la segunda puerta OR 2160. Esto hace que la segunda puerta OR 2160 pase el reloj de referencia a la salida ZQ durante un período de reloj para generar un pulso ZQ bajo. Dado que la salida q del segundo flip-flop 2150 se retarda un período de reloj con respecto a la salida q del primer flip-flop 2130, el pulso ZQ se retarda con respecto al pulso Q en un período de reloj.

40 **[0120]** La FIG. 22 es un diagrama de flujo que ilustra un procedimiento 2200 para control de retardo, de acuerdo con un modo de realización de la presente divulgación. El procedimiento 2200 puede ser realizado por el circuito de retardo principal 1610 y el controlador de actualización 750.

45 **[0121]** En la etapa 2210, se proporciona una polarización de voltaje a un circuito de retardo, en el que la polarización de voltaje controla un retardo del circuito de retardo. Por ejemplo, un circuito de retardo principal (por ejemplo, el circuito de retardo principal 1610) puede proporcionar una polarización de voltaje a un circuito de retardo secundario (por ejemplo, el circuito de retardo secundario 1315) para controlar un retardo de paso del circuito de retardo secundario.

50 **[0122]** En el paso 2220, la polarización de voltaje se actualiza a una velocidad de actualización. Por ejemplo, la polarización de voltaje se puede ajustar a una velocidad de actualización por N períodos (ciclos) de un reloj de referencia.

55 **[0123]** En el paso 2230, se ajusta la velocidad de actualización. Por ejemplo, la velocidad de actualización puede ajustarse basándose en los requisitos de temporización de una interfaz de memoria que incorpora el circuito de retardo. En este ejemplo, la velocidad de actualización puede reducirse cuando los requisitos de temporización son más relajados (por ejemplo, velocidades de datos más bajas) para reducir la potencia, y puede aumentarse cuando los requisitos de temporización son más estrictos (por ejemplo, velocidades de datos más altas).

60 **[0124]** El procedimiento puede incluir opcionalmente ajustar la velocidad de actualización basándose en una velocidad de datos de una señal que está siendo retardada por el circuito de retardo. Por ejemplo, la velocidad de actualización se puede establecer en una primera velocidad de actualización si la velocidad de datos de la señal es aproximadamente igual a la primera velocidad de datos, y la velocidad de actualización se puede establecer en una segunda velocidad de actualización si la velocidad de datos de la señal es aproximadamente igual a una segunda velocidad de datos, en la que la primera velocidad de datos es menor que la segunda velocidad de datos, y la primera velocidad de actualización es menor que la segunda velocidad de actualización.  
65

**[0125]** El procedimiento puede incluir opcionalmente proporcionar una segunda polarización de voltaje (p. ej., polarización de voltaje  $V_{bp}$ ) al circuito de retardo y actualizar la segunda polarización de voltaje a la velocidad de actualización. La segunda polarización de voltaje también puede controlar el retardo del circuito de retardo.

5 **[0126]** Hay que apreciar que el controlador de actualización 750 puede implementarse con un procesador de propósito general, un procesador de señales digitales (DSP), un circuito integrado específico de aplicación (ASIC), una matriz de puertas programables in situ (FPGA) u otro dispositivo de lógica programable, lógica de transistor o de puertas discretas, componentes de hardware discretos o cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de uso general puede ser un microprocesador pero,  
10 de forma alternativa, el procesador puede ser cualquier procesador, controlador, micro-controlador o máquina de estados convencional. Un procesador puede realizar las funciones del controlador de actualización 750 descrito en el presente documento ejecutando un software que comprende un código para realizar las funciones. El software puede almacenarse en un medio de almacenamiento legible por computadora, como una memoria RAM, una ROM, una EEPROM, un disco óptico y/o un disco magnético.

15 **[0127]** La descripción anterior de la divulgación se da a conocer para permitir que cualquier experto en la materia realice o use la divulgación. Diversas modificaciones de la divulgación resultarán fácilmente evidentes para los expertos en la materia, y los principios genéricos definidos en el presente documento pueden aplicarse a otras variaciones. Por ejemplo, aunque los modos de realización de la presente divulgación se analizaron anteriormente  
20 utilizando un ejemplo de una DRAM, debe apreciarse que los modos de realización de la presente divulgación no se limitan a este ejemplo, y pueden usarse con otros tipos de dispositivos de memoria. Por lo tanto, la divulgación no pretende limitarse a los ejemplos descritos en el presente documento, sino que se le concede el alcance más amplio compatible con los principios y características novedosas de las reivindicaciones divulgadas en el presente documento.

**REIVINDICACIONES**

1. Un procedimiento (2200) para el control de retardo en una interfaz de memoria, que comprende:
  - 5 proporcionar (2210) una polarización de voltaje a un circuito de retardo, en el que la polarización de voltaje controla un retardo del circuito de retardo;
  - actualizar (2220) la polarización de voltaje a una velocidad de actualización; y
  - 10 ajustar (2230) la velocidad de actualización basada en una velocidad de datos de una señal que está siendo retardada por el circuito de retardo, en el que dicha velocidad de datos indica la operación de velocidad de datos de la interfaz de memoria.
2. El procedimiento (2200) según la reivindicación 1, en el que el ajuste (2230) de la velocidad de actualización comprende:
  - 15 establecer la velocidad de actualización a una primera velocidad de actualización si la velocidad de datos de la señal es aproximadamente igual a una primera velocidad de datos; y
  - 20 establecer la velocidad de actualización a una segunda velocidad de actualización si la velocidad de datos de la señal es aproximadamente igual a una segunda velocidad de datos;
  - en el que la primera velocidad de datos es menor que la segunda velocidad de datos, y la primera velocidad de actualización es menor que la segunda velocidad de actualización.
3. El procedimiento (2200) según la reivindicación 1, en el que actualizar la polarización de voltaje comprende actualizar la polarización de voltaje basándose en un reloj de referencia, la velocidad de actualización es aproximadamente una actualización de la polarización de voltaje por N períodos del reloj de referencia, N es un número entero, y ajustar la velocidad de actualización comprende ajustar N.
  - 25
  - 30
4. El procedimiento (2200) según la reivindicación 3, en el que el ajuste (2230) de la velocidad de actualización comprende:
  - 35 establecer N en un primer valor si la velocidad de datos de la señal es aproximadamente igual a una primera velocidad de datos; y
  - establecer N en un segundo valor si la velocidad de datos de la señal es aproximadamente igual a una segunda velocidad de datos;
  - 40 en el que la primera velocidad de datos es más baja que la segunda velocidad de datos, y el primer valor de N es mayor que el segundo valor de N.
5. El procedimiento (2200) según la reivindicación 1, en el que la actualización de la polarización de voltaje comprende:
  - 45 generar, a partir de un reloj de referencia, un par de pulsos para cada actualización de la polarización de voltaje, en el que cada par de pulsos comprende un primer pulso y un segundo pulso, y el primer pulso se retarda con respecto al segundo pulso en aproximadamente un período del reloj de referencia;
  - 50 retardar el segundo pulso de cada par de pulsos en una cantidad controlada por la polarización de voltaje;
  - detectar, para cada par de pulsos, un error de fase entre el primer pulso respectivo y el segundo pulso retardado respectivo; y
  - 55 actualizar la polarización de voltaje para cada par de pulsos basándose en el error de fase detectado respectivo.
6. El procedimiento (2200) según la reivindicación 1, que comprende además:
  - 60 proporcionar una segunda polarización de voltaje al circuito de retardo, en el que la segunda polarización de voltaje también controla el retardo del circuito de retardo; y
  - actualizar la segunda polarización de voltaje a la velocidad de actualización.
7. Un aparato para el control de retardo acoplable a una interfaz de memoria, el aparato que comprende:

medios (710) para proporcionar una polarización de voltaje a un circuito de retardo (315 (1 ... m)), en el que la polarización de voltaje controla un retardo del circuito de retardo (315 (1 ... m));

5 medios para actualizar la polarización de voltaje a una velocidad de actualización; y  
 medios (750) para ajustar la velocidad de actualización basándose en una velocidad de datos de una señal que está siendo retardada por el circuito de retardo, en el que dicha velocidad de datos indica la operación de velocidad de datos de la interfaz de memoria.

10 **8.** El aparato de la reivindicación 7, en el que el medio (750) para el ajuste de la velocidad de actualización comprende:

15 medios para establecer la velocidad de actualización a una primera velocidad de actualización si la velocidad de datos de la señal es aproximadamente igual a una primera velocidad de datos; y

medios para establecer la velocidad de actualización a una segunda velocidad de actualización si la velocidad de datos de la señal es aproximadamente igual a una segunda velocidad de datos;

20 en el que la primera velocidad de datos es menor que la segunda velocidad de datos, y la primera velocidad de actualización es menor que la segunda velocidad de actualización.

25 **9.** El aparato de la reivindicación 7, en el que los medios para actualizar la polarización de voltaje comprenden medios para actualizar la polarización de voltaje basándose en un reloj de referencia, la velocidad de actualización es aproximadamente una actualización de la polarización de voltaje por N períodos de la conexión de referencia, N es un número entero y los medios para ajustar la velocidad de actualización comprenden medios para ajustar N.

30 **10.** El aparato de la reivindicación 9, en el que los medios (750) para el ajuste de la velocidad de actualización comprenden:

medios para establecer N en un primer valor si la velocidad de datos de la señal es aproximadamente igual a una primera velocidad de datos; y

35 medios para establecer N en un segundo valor si la velocidad de datos de la señal es aproximadamente igual a una segunda velocidad de datos;

en el que la primera velocidad de datos es más baja que la segunda velocidad de datos, y el primer valor de N es mayor que el segundo valor de N.

40 **11.** El aparato de la reivindicación 7, en el que los medios para actualizar la polarización de voltaje comprenden:

45 medios para generar, a partir de un reloj de referencia, un par de pulsos para cada actualización de la polarización de voltaje, en el que cada par de pulsos comprende un primer pulso y un segundo pulso, y el primer pulso está retardado con relación al segundo pulso en aproximadamente un período del reloj de referencia;

medios para retardar el segundo pulso de cada par de pulsos en una cantidad controlada por la polarización de voltaje;

50 medios para detectar, para cada par de pulsos, un error de fase entre el primer pulso respectivo y el segundo pulso retardado respectivo; y

medios para actualizar la polarización de voltaje para cada par de pulsos basándose en el error de fase detectado respectivo.

55 **12.** El aparato de la reivindicación 7, que comprende además:

60 medios para proporcionar una segunda polarización de voltaje al circuito de retardo, en el que la segunda polarización de voltaje también controla el retardo del circuito de retardo; y

medios para actualizar la segunda polarización de voltaje a la velocidad de actualización.

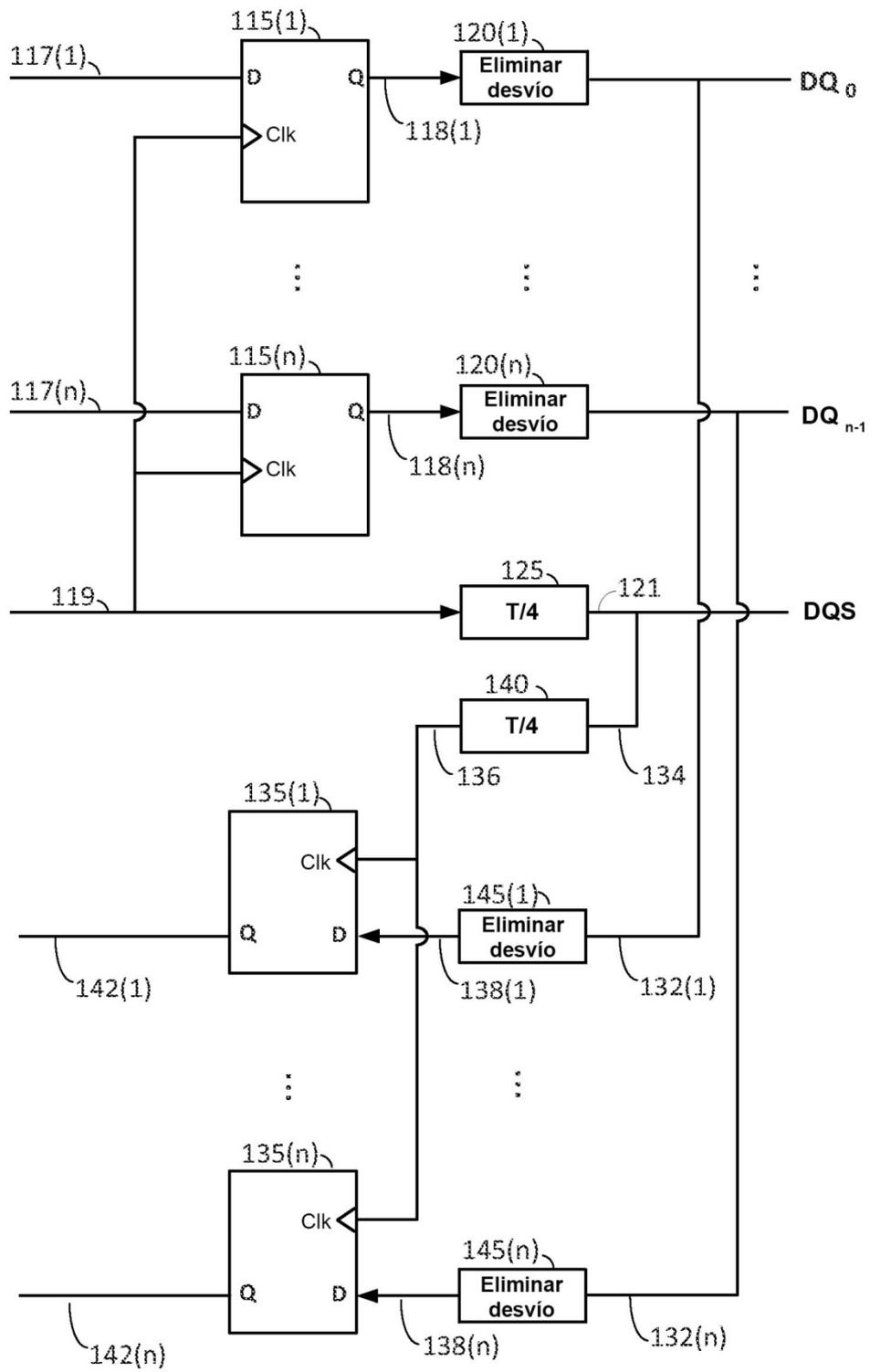


FIG. 1

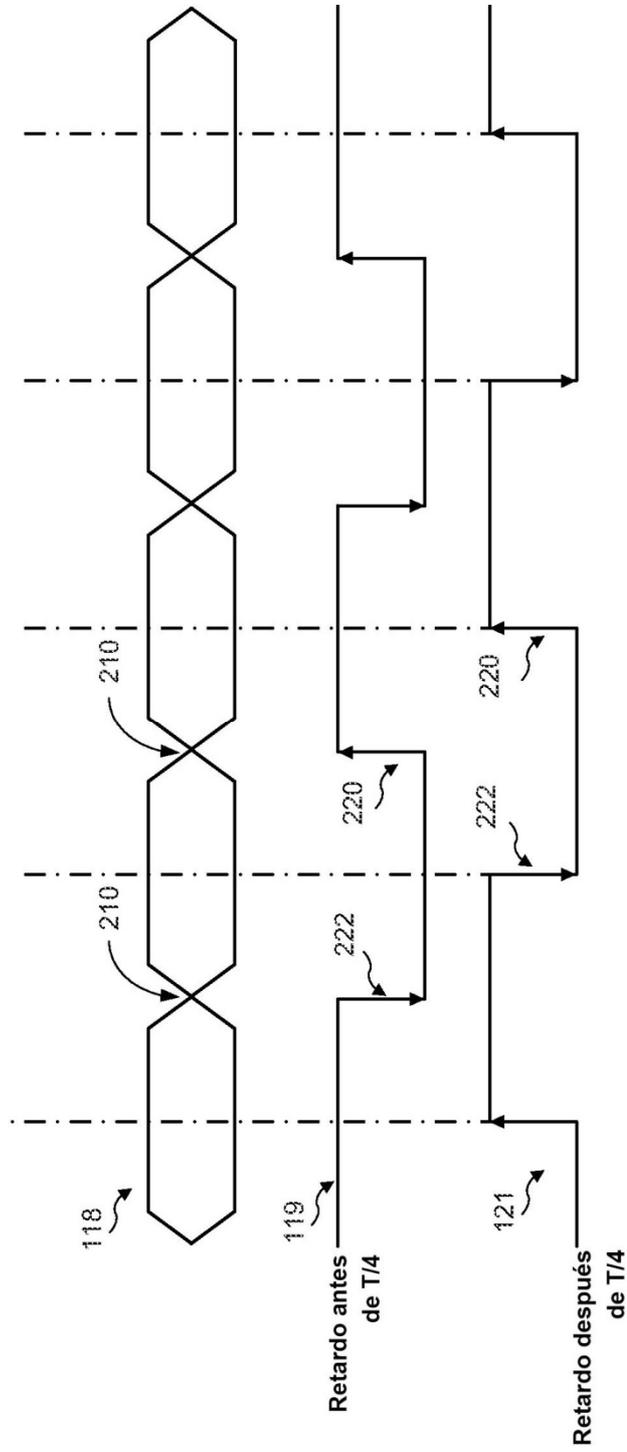


FIG. 2

300

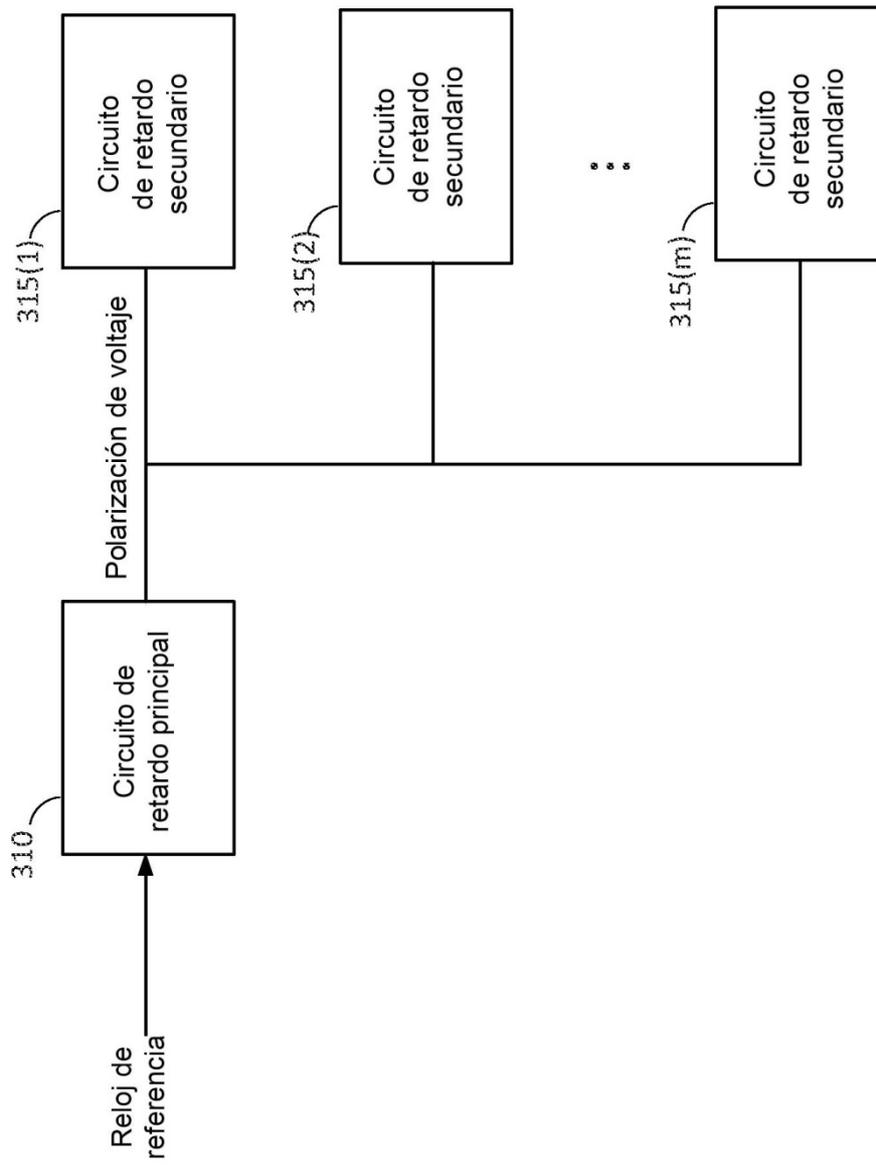


FIG. 3

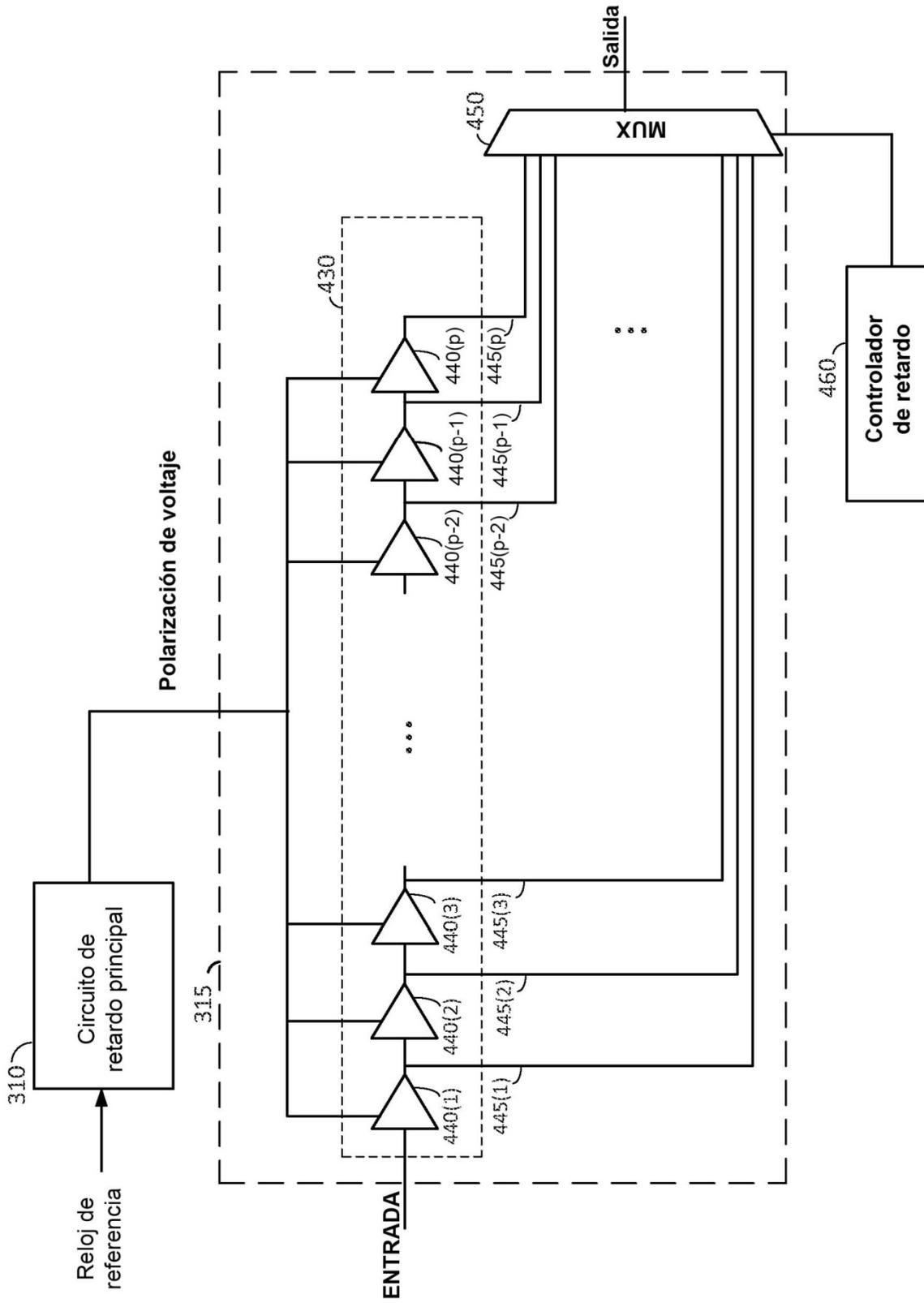


FIG. 4

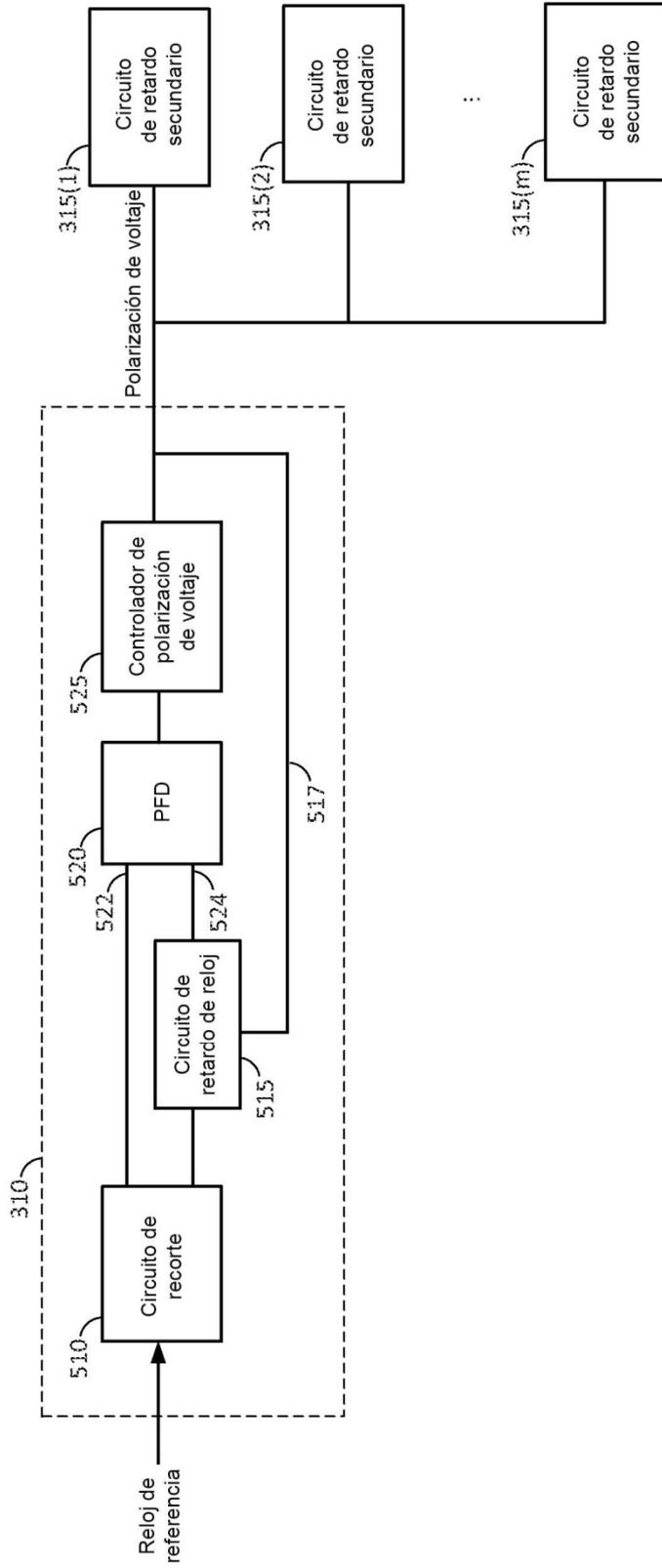


FIG. 5

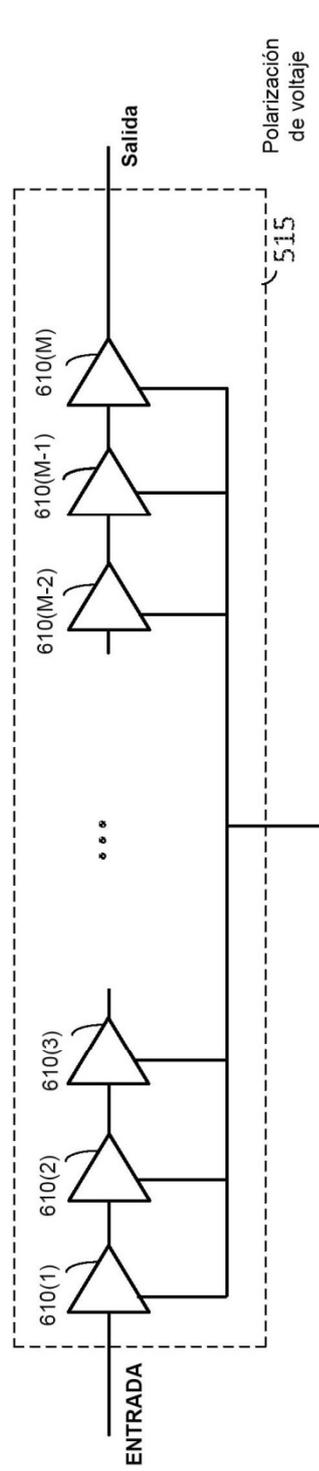


FIG. 6

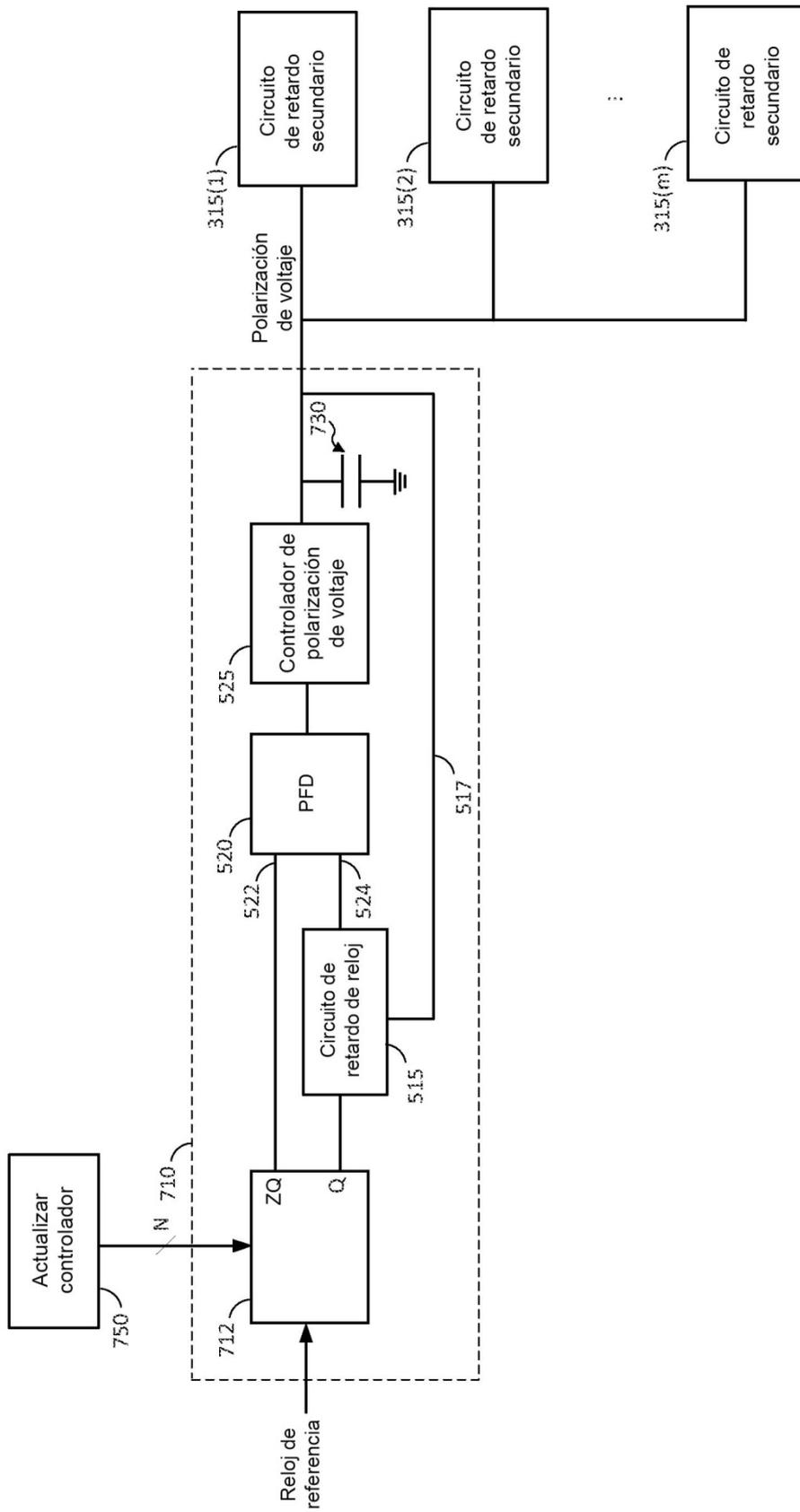


FIG. 7

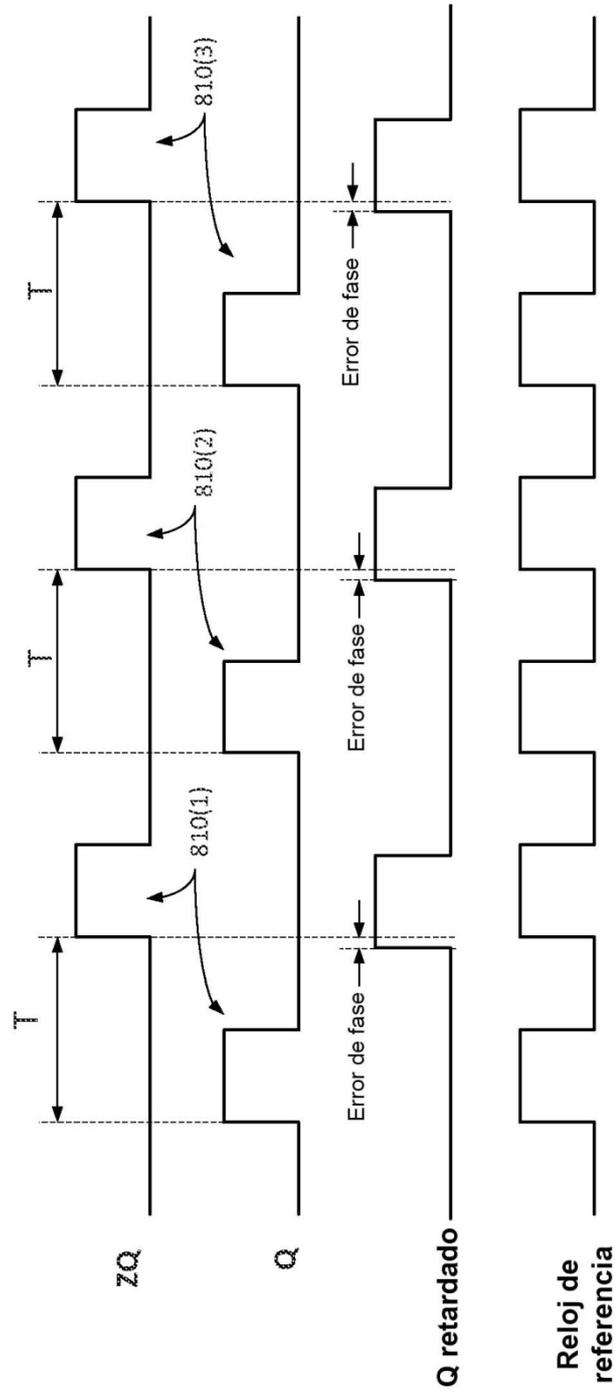


FIG. 8

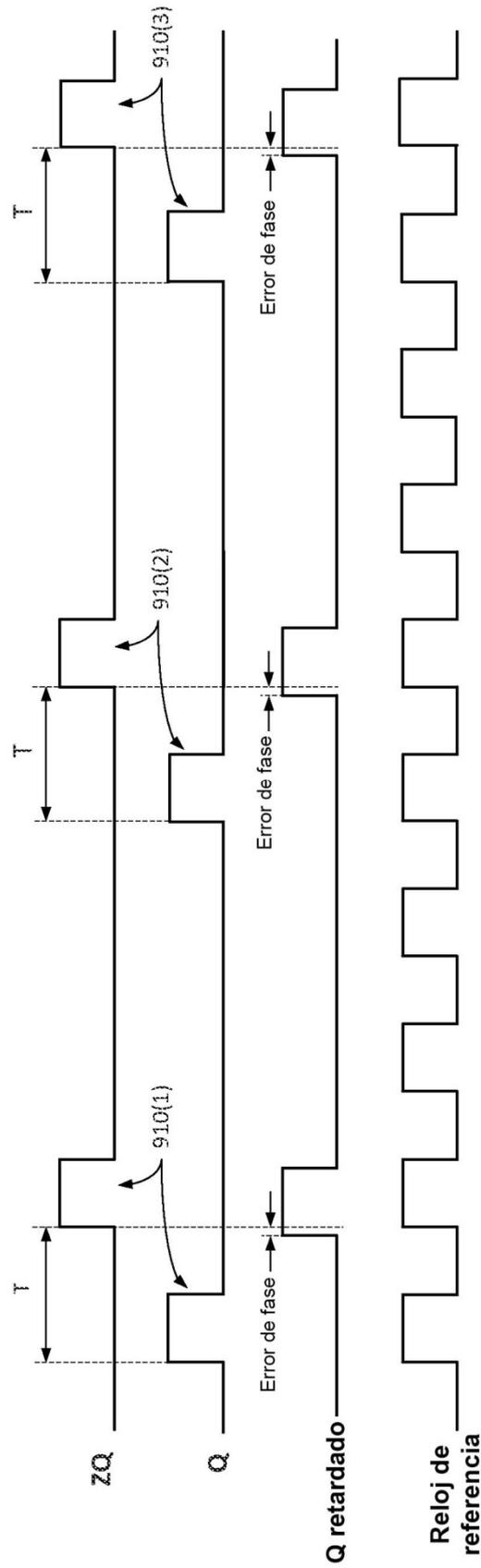


FIG. 9

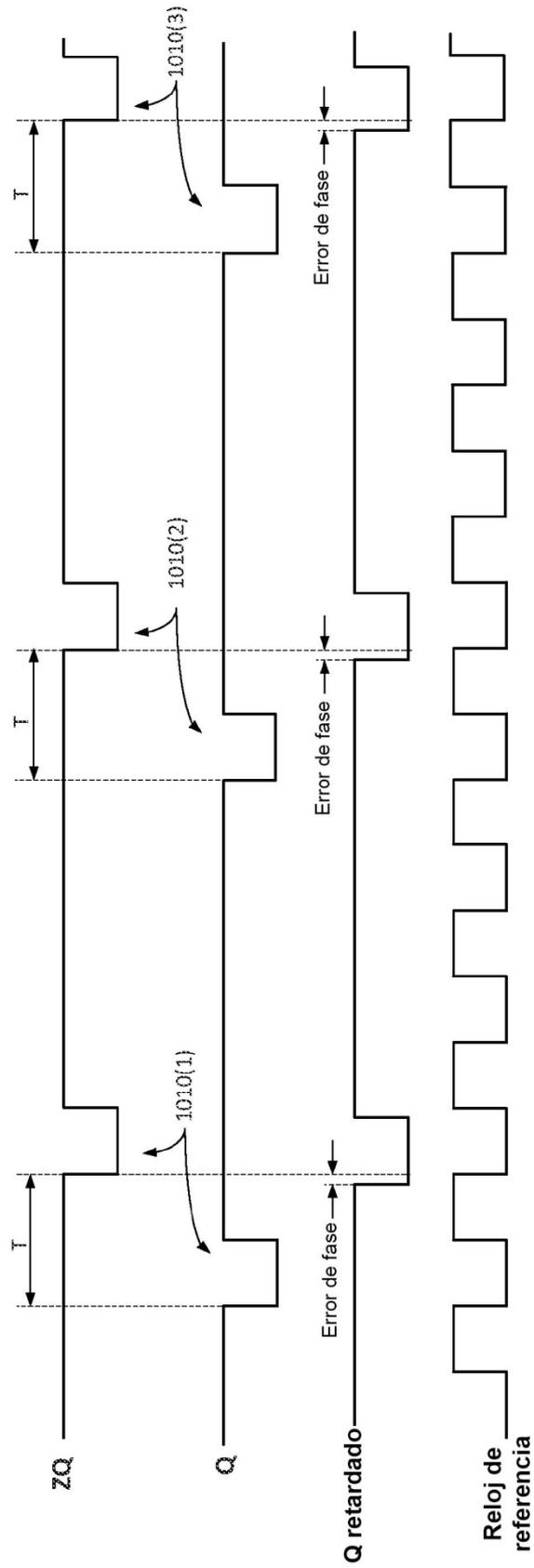


FIG. 10

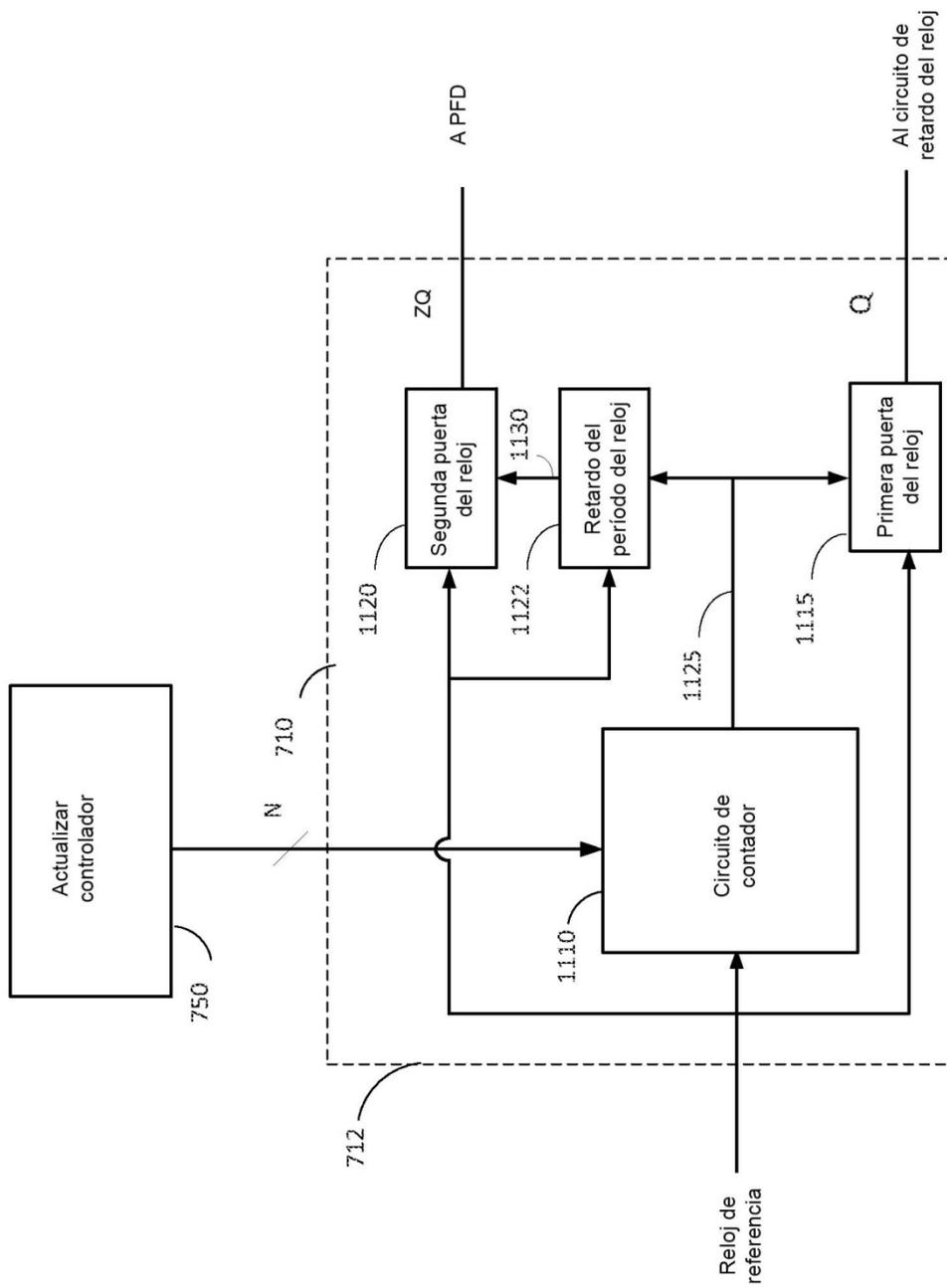


FIG. 11

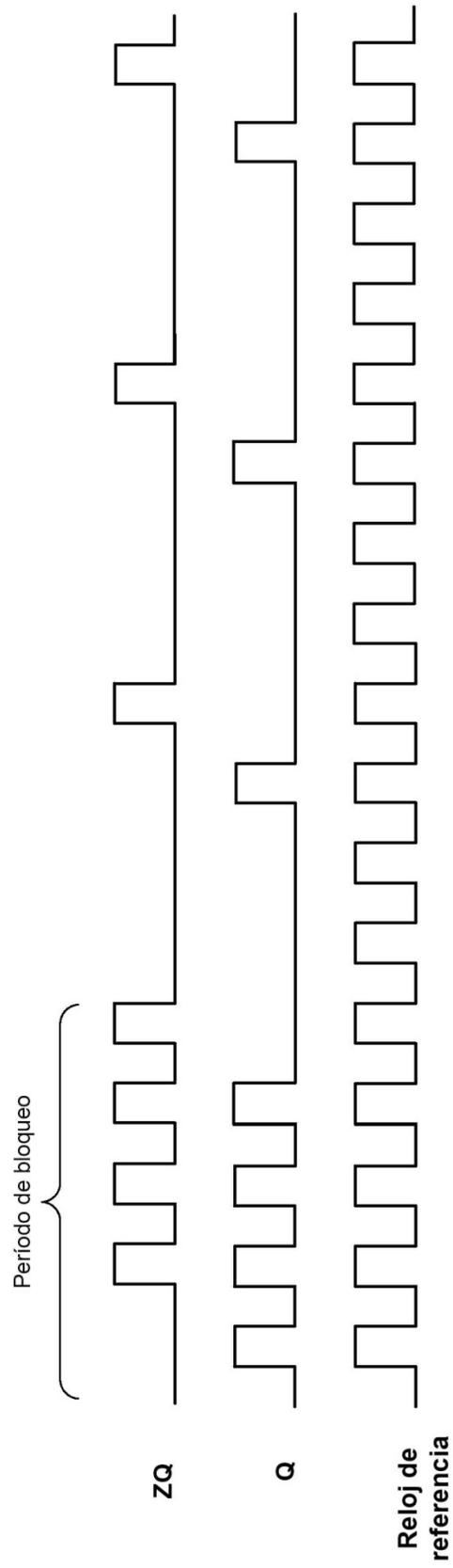


FIG. 12

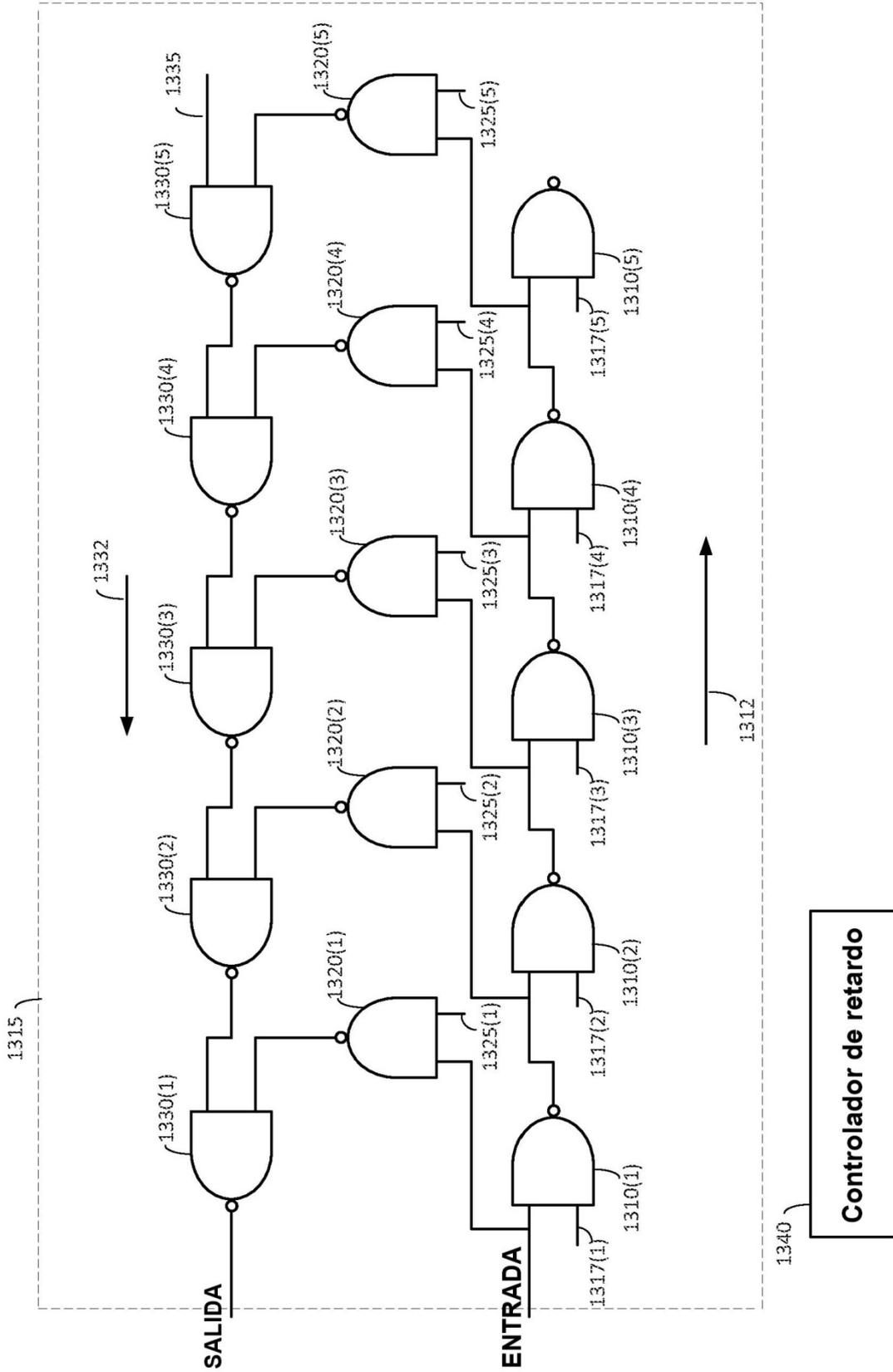


FIG. 13

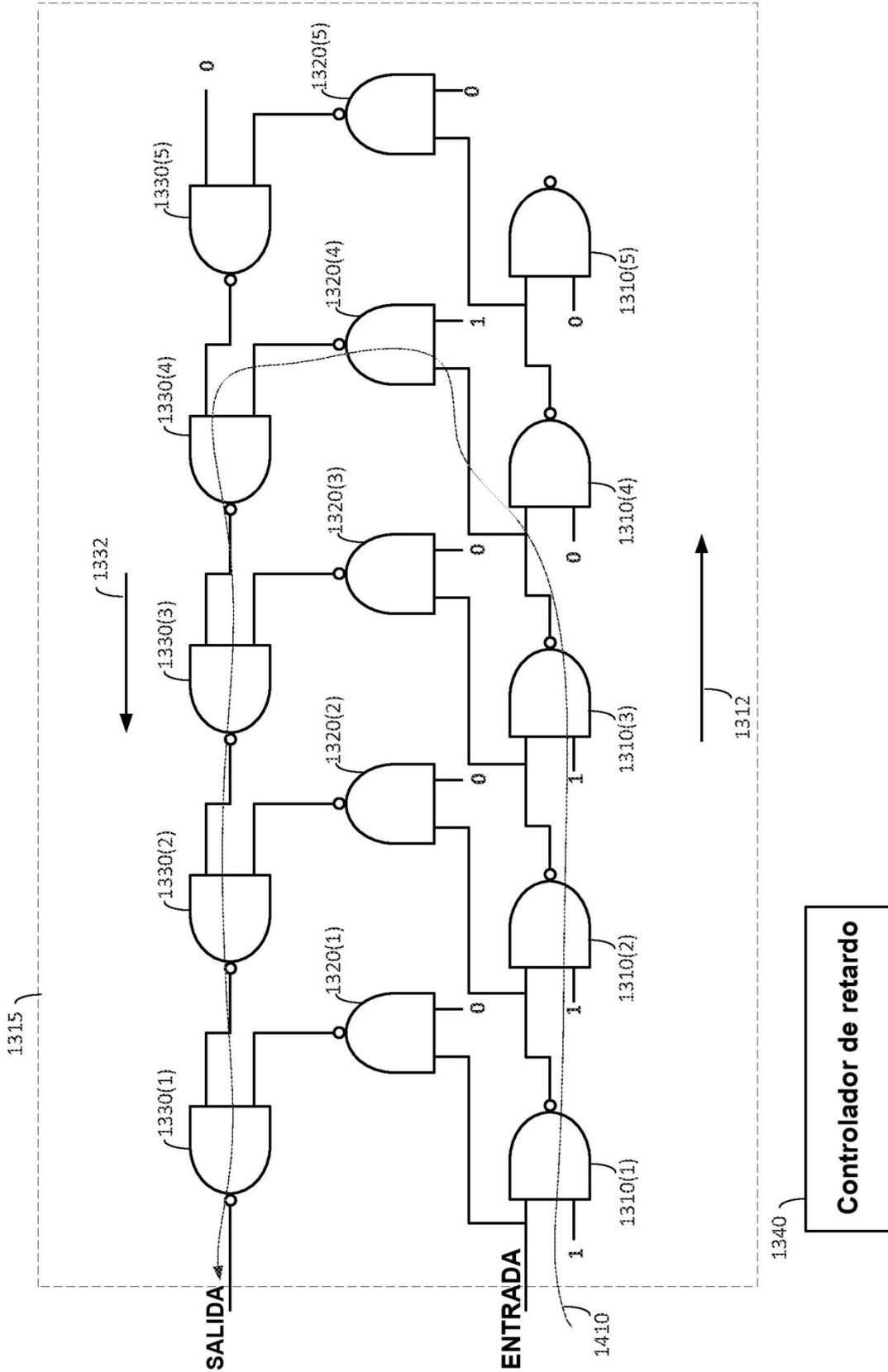


FIG. 14A

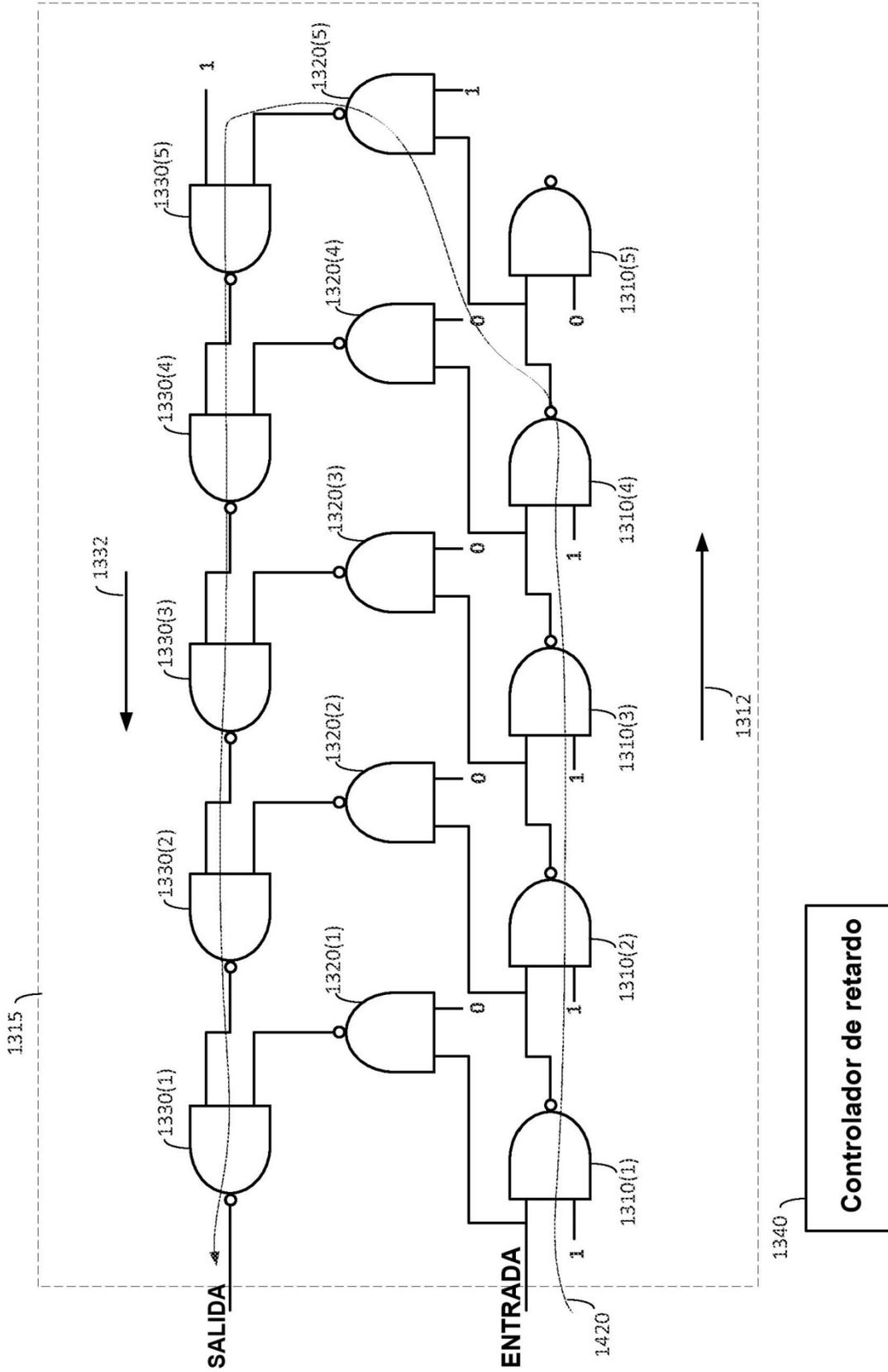


FIG. 14B

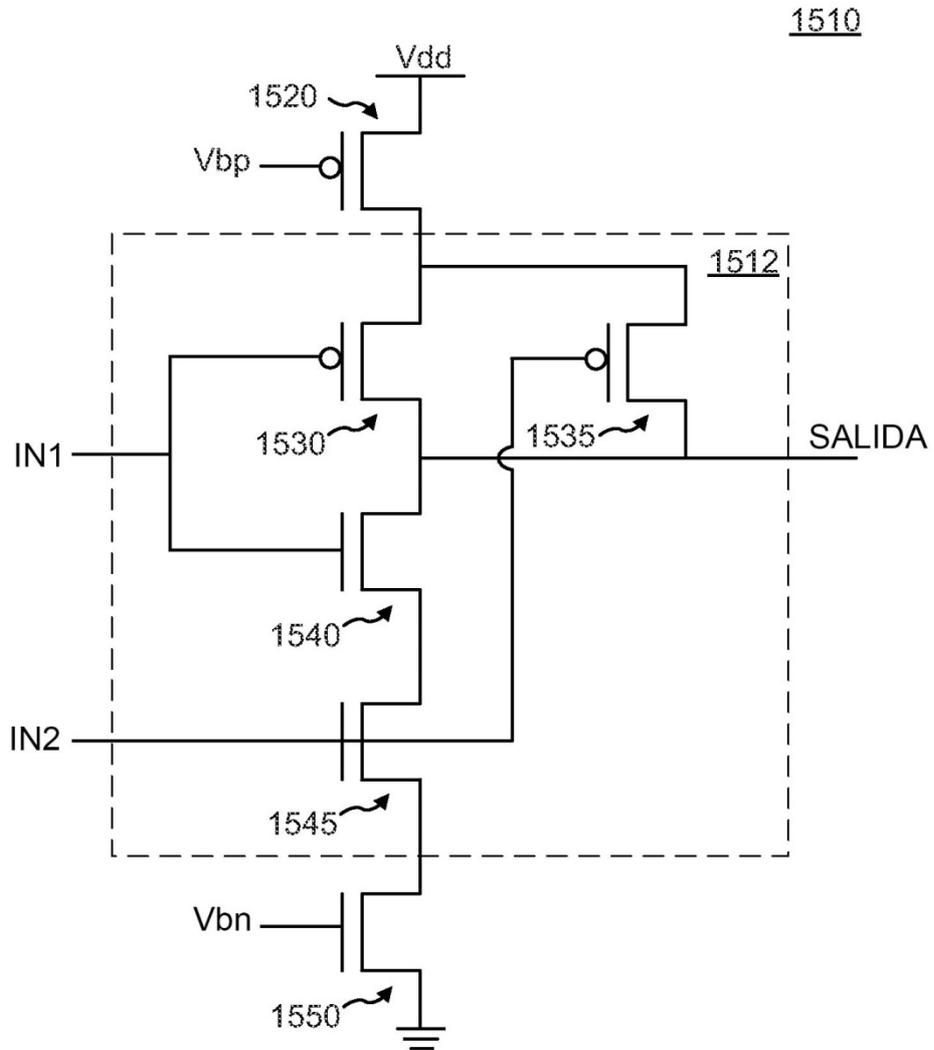


FIG. 15



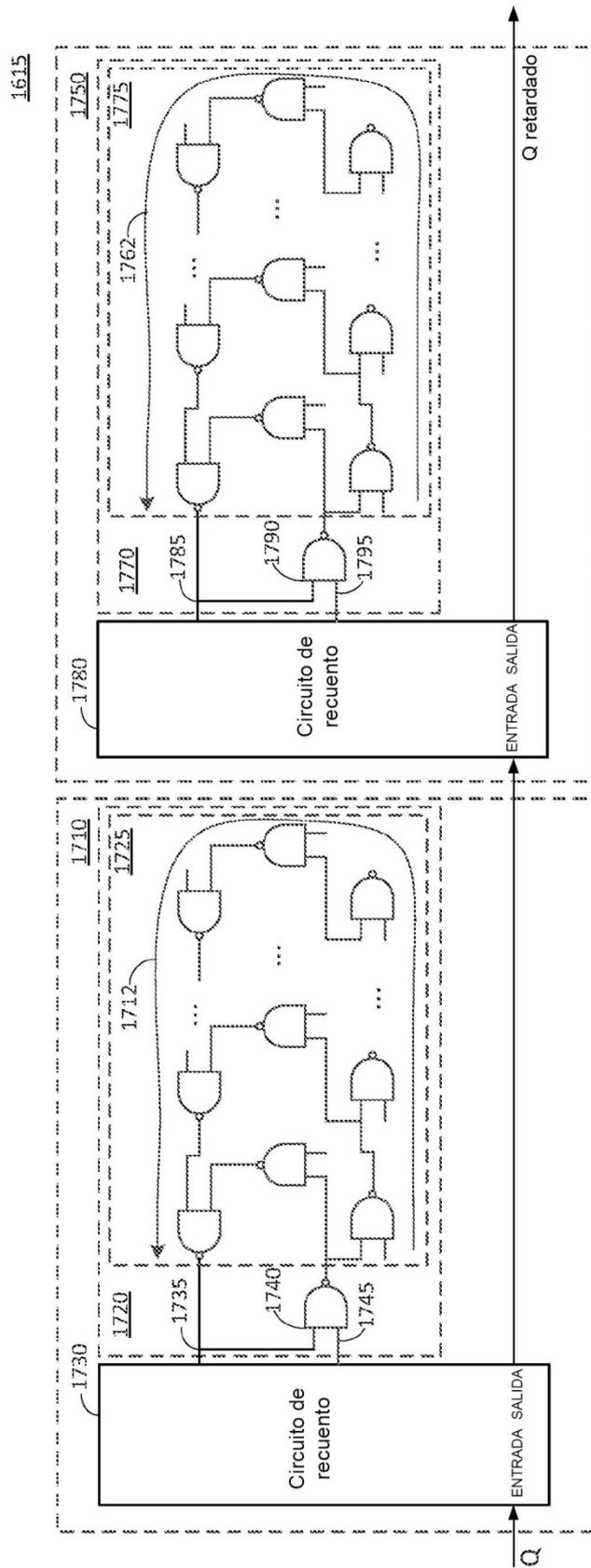


FIG. 17

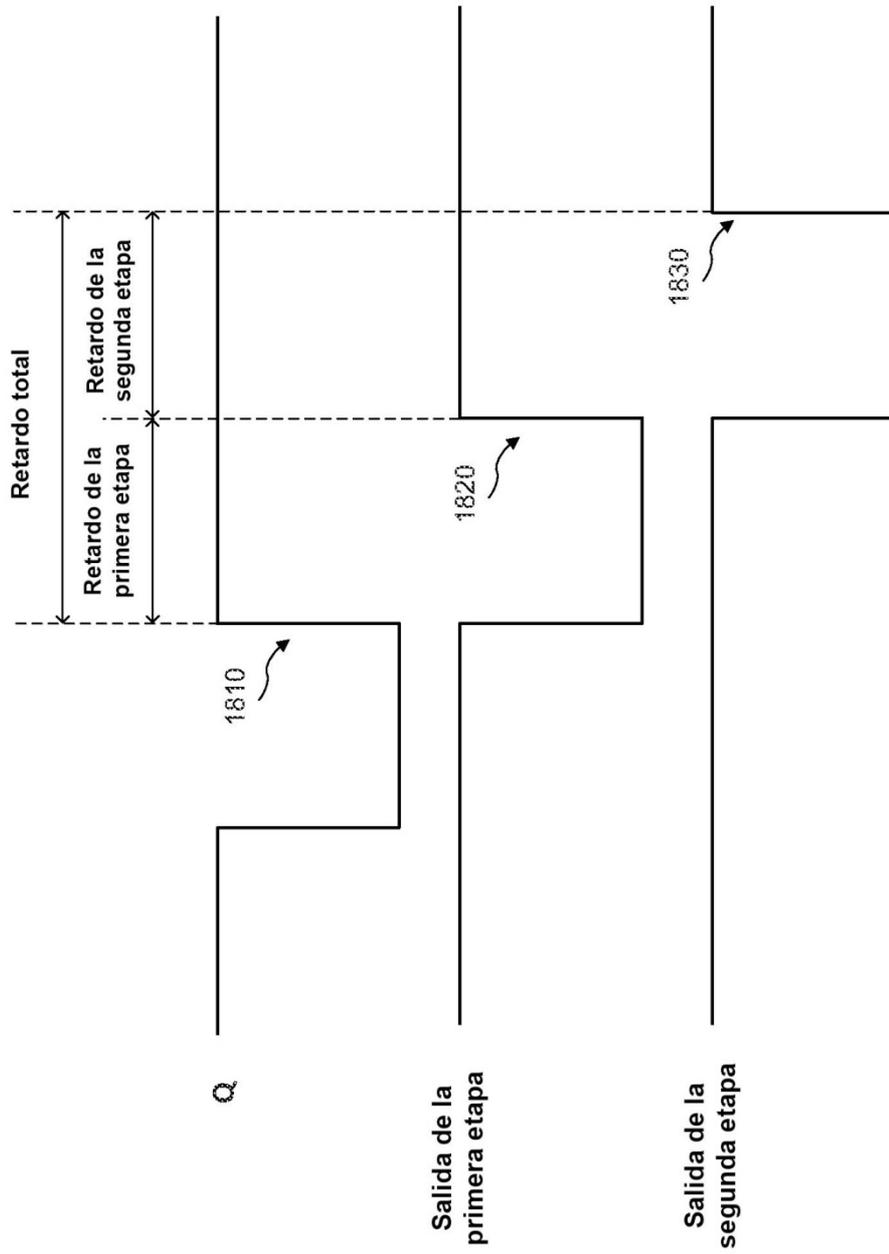


FIG. 18

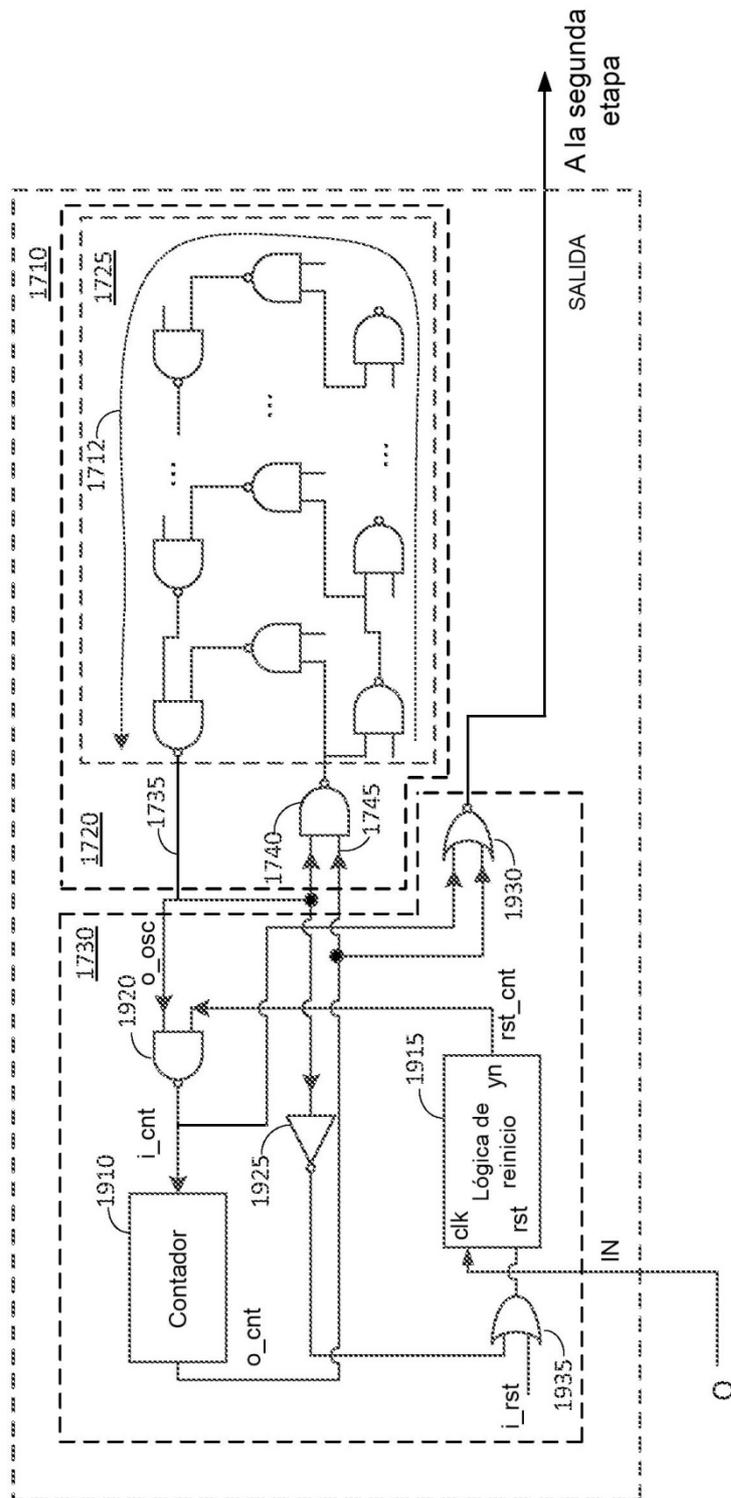


FIG. 19

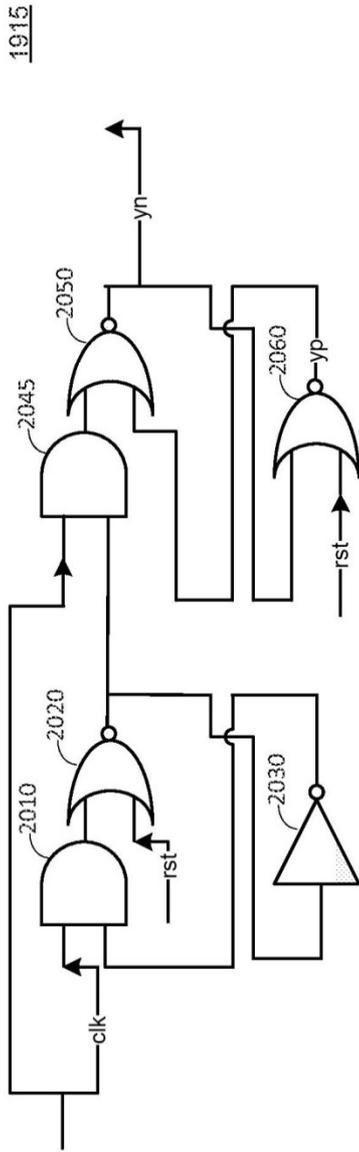


FIG. 20

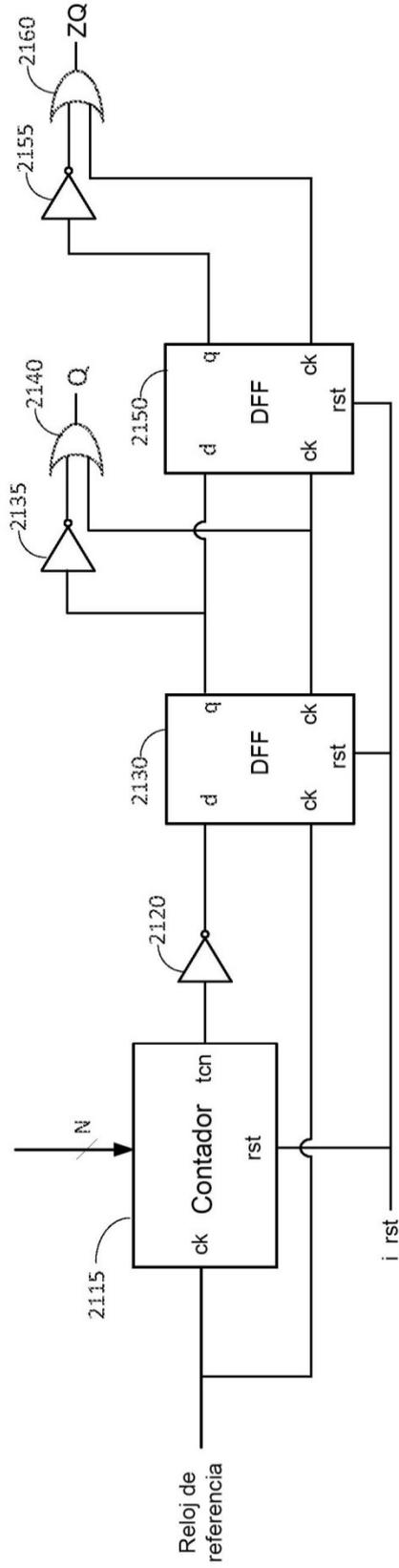


FIG. 21

2200

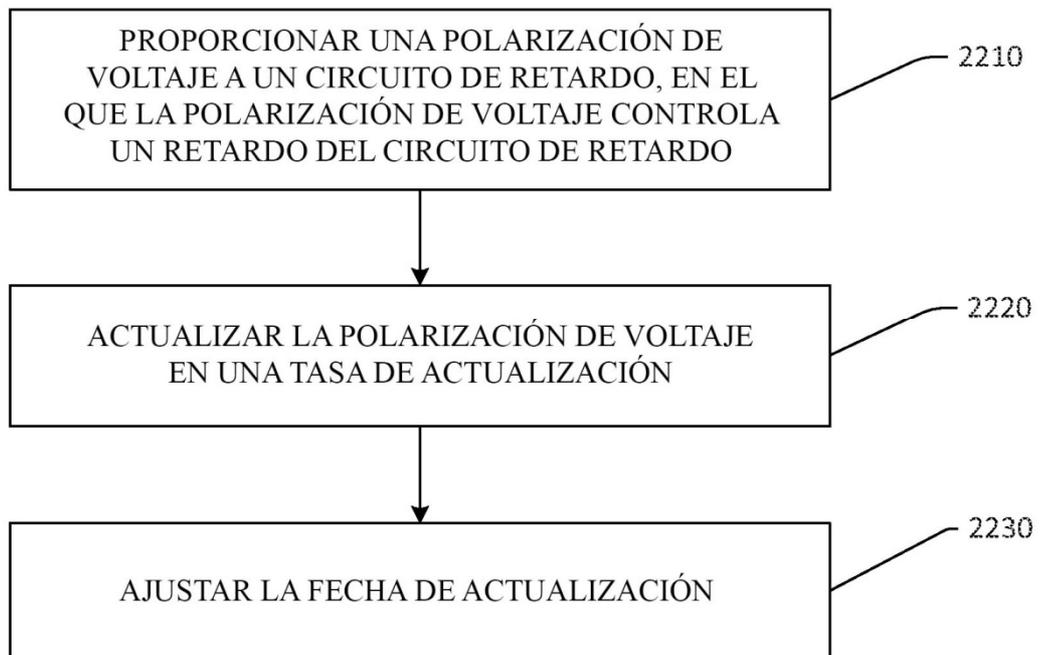


FIG. 22