

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 714 279**

51 Int. Cl.:

H04N 19/70	(2014.01)
H04N 19/30	(2014.01)
H04N 19/102	(2014.01)
H04N 19/152	(2014.01)
H04N 19/169	(2014.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **15.06.2015 PCT/US2015/035853**
- 87 Fecha y número de publicación internacional: **30.12.2015 WO15200026**
- 96 Fecha de presentación y número de la solicitud europea: **15.06.2015 E 15731472 (5)**
- 97 Fecha y número de publicación de la concesión europea: **05.12.2018 EP 3162068**

54 Título: **Mejoras de conformidad e interoperabilidad en codificación de vídeo multicapa**

30 Prioridad:

24.06.2014 US 201462016549 P
12.06.2015 US 201514737898

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
28.05.2019

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
International IP Administration, 5775 Morehouse Drive
San Diego, California 92121-1714, US

72 Inventor/es:

WANG, YE-KUI

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 714 279 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Mejoras de conformidad e interoperabilidad en codificación de vídeo multicapa

5 ANTECEDENTES

Campo tecnológico

10 [0001] Esta divulgación se refiere a la codificación de vídeo multicapa. Más concretamente, esta divulgación se refiere a procedimientos para conformidad e interoperabilidad en codificación de vídeo multicapa, incluyendo la señalización de información de perfil, grado y nivel, la señalización de conjuntos de capas de salida, el uso de parámetros de descodificador de referencia hipotético (HRD), y pruebas de conformidad de flujo de bits.

Técnica relacionada

15 [0002] Las capacidades del vídeo digital pueden incorporarse en una amplia gama de dispositivos, incluyendo televisores digitales, sistemas de radiodifusión directa digital, sistemas de radiodifusión inalámbrica, asistentes digitales personales (PDA), ordenadores portátiles o de escritorio, ordenadores de tableta, lectores de libros electrónicos, cámaras digitales, dispositivos de grabación digital, reproductores de medios digitales, dispositivos de videojuegos, consolas de videojuegos, teléfonos celulares o de radio por satélite, los denominados "teléfonos inteligentes", dispositivos de videoconferencia, dispositivos de transmisión continua de vídeo y similares. Los dispositivos de vídeo digital implementan una o más técnicas de codificación de vídeo. Los dispositivos de vídeo pueden transmitir, recibir, codificar, descodificar y/o almacenar información de vídeo digital más eficazmente, implementando dichas técnicas de codificación de vídeo.

25 [0003] Las técnicas de codificación de vídeo incluyen, sin limitación, las descritas en las normas definidas por ITU-T H.261, ISO/IEC MPEG-1 Visual, ITU-T H.262 o ISO/IEC MPEG-2 Visual, ITU-T H.263, ISO/IEC MPEG-4 Visual, e ITU-T H.264 o ISO/IEC MPEG-4 Codificación de vídeo avanzada (AVC) (incluyendo sus extensiones de Codificación de vídeo escalable (SVC) y Codificación de vídeo multivista (MVC)), y la relativamente nueva norma de Codificación de vídeo de alta eficiencia (HEVC). El Equipo de colaboración conjunta sobre Codificación de vídeo (JCT-VC) del Grupo de expertos en codificación de vídeo (VCEG) del Sector de normalización de Telecomunicaciones de la Unión Internacional de Telecomunicaciones (ITU-T) y el Grupo de expertos en imagen en movimiento (MPEG), formado por la Organización internacional para normalización (ISO) y la Comisión electrotécnica internacional (IEC) finalizaron recientemente la norma de HEVC. El borrador de trabajo (WD) más reciente de la especificación de HEVC, denominado HEVC WD10, está disponible en phenix.intevry.fr/jct/doc_end_user/documents/12_Geneva/wg11/JCTVC-L1003-v34.zip. El JCT-3V también está desarrollando la extensión multivista para HEVC, a saber MV-HEVC. Un reciente borrador de trabajo de MV-HEVC WD3 en adelante en el presente documento, está disponible en phenix.it-sudparis.eu/jct2/doc_end_user/documents/3_Geneva/wg11/JCT3V-C1004-v4.zip. El JCT-VC también está desarrollando la extensión escalable para HEVC, denominada SHVC. Un reciente borrador de trabajo de SHVC y denominado SHVC WD2 en adelante en el presente documento está disponible en phenix.intevry.fr/jct/doc_end_user/documents/13_Incheon/wg11/JCTVC-M1008-v1.zip. El "Improved Hypothetical Reference Decoder For HEVC" ["Descodificador de referencia hipotético mejorado para HEVC"] de Deshpande et al. proporciona un modelo de descodificador hipotético que especifica restricciones en la visibilidad de los flujos de unidades de capa de extracción de red conformes de flujos de bytes conformes que puede producir un proceso de codificación. El documento describe algunas de las mejoras principales del descodificador de referencia hipotético de HEVC, basándose en y mejorando el diseño del descodificador de referencia hipotético generalizado de H.264/AVC. El documento de patente WO2014/058600 A1 de Wang et al enseña que un dispositivo determina, basándose al menos en parte en un elemento sintáctico de un mensaje de información de mejora suplementaria (SEI) de anidamiento escalable encapsulado mediante una unidad de capa de abstracción de red (NAL) de SEI, si los mensajes SEI anidados encapsulados mediante el mensaje SEI de anidamiento escalable son aplicables a un sub-flujo de bits predeterminado. El sub-flujo de bits predeterminado es una representación de punto de operación de un punto de operación definido mediante un identificador de capa especificado en una cabecera de unidad NAL de la unidad SEI NAL y un identificador temporal especificado en la cabecera de la unidad NAL. Cuando el mensaje SEI anidado es aplicable al sub-flujo de bits predeterminado, el dispositivo usa el mensaje SEI anidado en una operación en el sub-flujo de bits predeterminado.

60 [0004] Las técnicas de codificación de vídeo incluyen la predicción espacial (intra-imagen) y/o la predicción temporal (inter-imagen) para reducir o eliminar la redundancia intrínseca en las secuencias de vídeo. Para la codificación de vídeo basada en bloques, un fragmento de vídeo (por ejemplo, una trama de vídeo o una porción de una trama de vídeo) puede dividirse en bloques de vídeo, que también pueden denominarse bloques arbolados, unidades de codificación (CU) y/o nodos de codificación. Los bloques de vídeo en un fragmento intra-codificado (I) de una imagen se codifican usando predicción espacial con respecto a muestras de referencia en bloques contiguos en la misma imagen. Los bloques de vídeo en un fragmento inter-codificado (P o B) de una imagen pueden usar predicción espacial con respecto a muestras de referencia en bloques contiguos en la misma imagen o predicción temporal con respecto

a muestras de referencia en otras imágenes de referencia. Las imágenes pueden denominarse tramas, y las imágenes de referencia pueden denominarse tramas de referencia.

5 **[0005]** La predicción espacial o temporal da como resultado un bloque predictivo para un bloque a codificar. Los datos residuales representan diferencias de píxeles entre el bloque original a codificar y el bloque predictivo. Un bloque inter-codificado se codifica de acuerdo con un vector de movimiento que apunta a un bloque de muestras de referencia que forman el bloque predictivo, y los datos residuales que indican la diferencia entre el bloque codificado y el bloque predictivo. Un bloque intra-codificado se codifica de acuerdo con un modo de intra-codificación y los datos residuales. Para una mayor compresión, los datos residuales pueden transformarse desde el dominio de píxeles a un dominio de transformada, dando como resultado coeficientes de transformada residuales, que a continuación se pueden cuantificar. Los coeficientes de transformada cuantificados, dispuestos inicialmente en una formación bidimensional, pueden explorarse con el fin de generar un vector unidimensional de coeficientes de transformada, y puede aplicarse codificación por entropía para lograr aún más compresión.

15 **[0006]** Un flujo de bits de codificación multivista puede generarse codificando vistas, por ejemplo, desde múltiples perspectivas. Se han desarrollado algunas normas de vídeo tridimensional (3D) que hacen uso de aspectos de codificación multivista. Por ejemplo, diferentes vistas pueden transmitir vistas de ojo izquierdo y derecho para soportar vídeo 3D. De forma alternativa, algunos procesos de codificación de vídeo 3D pueden aplicar la denominada codificación multivista con profundidad. En la codificación multivista con profundidad, un flujo de bits de vídeo 3D puede contener no solo componentes de vista de textura, sino también componentes de vista de profundidad. Por ejemplo, cada vista puede comprender un componente de vista de textura y un componente de vista de profundidad.

SUMARIO

25 **[0007]** En general, esta divulgación describe sistemas y procedimientos relacionados con mejoras de conformidad e interoperabilidad en codificación de vídeo multicapa. Cada uno de los sistemas, procedimientos y dispositivos de esta divulgación tiene varios aspectos innovadores, ninguno de los cuales es el único responsable de los atributos deseables divulgados en el presente documento.

30 **[0008]** Un aspecto de la divulgación proporciona un procedimiento de procesamiento de datos de vídeo. El procedimiento puede incluir recibir datos de vídeo codificados que tienen una pluralidad de puntos de operación de salida. El procedimiento también puede incluir extraer un punto de operación de salida seleccionado de la pluralidad de puntos de operación de salida. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un flujo de bits completo y un subconjunto temporal del flujo de bits completo con solo la capa base a enviar, el procedimiento también puede incluir realizar una primera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la primera prueba de conformidad de flujo de bits en un conjunto de parámetros de descodificador de referencia hipotético (HRD) de nivel de secuencia en un conjunto de parámetros de secuencia (SPS) activo para una capa base, y uno o más mensajes de información de mejora suplementaria (SEI) no anidados. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas especificado mediante un conjunto de parámetros de vídeo (VPS) de base de un VPS activo y un subconjunto temporal del conjunto de capas con solo la capa base a enviar, el procedimiento también puede incluir realizar una segunda prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la segunda prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS de base y mensajes SEI anidados directamente. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas de salida (OLS) especificado mediante una extensión de VPS del VPS activo y un subconjunto temporal del OLS, el procedimiento también puede incluir realizar una tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la tercera prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS activo y mensajes SEI anidados indirectamente.

50 **[0009]** Otro aspecto de la divulgación proporciona un dispositivo para procesar datos de vídeo. El dispositivo puede tener una memoria configurada para almacenar datos de vídeo codificados, teniendo los datos de vídeo codificados una pluralidad de puntos de operación de salida. El dispositivo también puede tener un procesador acoplado operativamente a la memoria y configurado para extraer un punto de operación de salida seleccionado de la pluralidad de puntos de operación de salida. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un flujo de bits completo y un subconjunto temporal del flujo de bits completo con solo la capa base a enviar, el procesador también se puede configurar para realizar una primera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la primera prueba de conformidad de flujo de bits en un conjunto de parámetros de descodificador de referencia hipotético (HRD) de nivel de secuencia en un conjunto de parámetros de secuencia (SPS) activo para una capa base, y uno o más mensajes de información de mejora suplementaria (SEI) no anidados. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas especificado mediante un conjunto de parámetros de vídeo (VPS) de base de un VPS activo y un subconjunto temporal del conjunto de capas con solo la capa base a enviar, el procesador también se puede configurar para realizar una segunda prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la segunda prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el

VPS de base y mensajes SEI anidados directamente. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas de salida (OLS) especificado mediante una extensión de VPS del VPS activo y un subconjunto temporal del OLS, el procesador también se puede configurar para realizar una tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la tercera prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS activo y mensajes SEI anidados indirectamente.

[0010] Otro aspecto de la divulgación proporciona un aparato para procesar datos de vídeo. El aparato puede tener unos medios de memoria para almacenar datos de vídeo codificados, teniendo los datos de vídeo una pluralidad de puntos de operación de salida. El aparato también puede tener unos medios de descodificador acoplados operativamente a los medios de memoria para extraer un punto de operación de salida seleccionado de la pluralidad de puntos de operación de salida. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un flujo de bits completo y un subconjunto temporal del flujo de bits completo con solo la capa base a enviar, los medios de descodificador también pueden realizar una primera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la primera prueba de conformidad de flujo de bits en un conjunto de parámetros de descodificador de referencia hipotético (HRD) de nivel de secuencia en un conjunto de parámetros de secuencia (SPS) activo para una capa base, y uno o más mensajes de información de mejora suplementaria (SEI) no anidados. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas especificado mediante un conjunto de parámetros de vídeo (VPS) de base de un VPS activo y un subconjunto temporal del conjunto de capas con solo la capa base a enviar, los medios de descodificador también pueden realizar una segunda prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la segunda prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS de base y mensajes SEI anidados directamente. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas de salida (OLS) especificado mediante una extensión de VPS del VPS activo y un subconjunto temporal del OLS, los medios de descodificador también pueden realizar una tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la tercera prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS activo y mensajes SEI anidados indirectamente.

[0011] Otro aspecto de la divulgación proporciona un medio legible por ordenador no transitorio para procesar datos de vídeo. El medio legible por ordenador no transitorio puede contener instrucciones que, cuando se ejecutan mediante un procesador, hacen que un ordenador reciba datos de vídeo codificados que tienen una pluralidad de puntos de operación de salida. Las instrucciones también pueden hacer que el ordenador extraiga un punto de operación de salida seleccionado de la pluralidad de puntos de operación de salida. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un flujo de bits completo y un subconjunto temporal del flujo de bits completo con solo la capa base a enviar, las instrucciones también pueden hacer que el ordenador realice una primera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la primera prueba de conformidad de flujo de bits en un conjunto de parámetros de descodificador de referencia hipotético (HRD) de nivel de secuencia en un conjunto de parámetros de secuencia (SPS) activo para una capa base, y uno o más mensajes de información de mejora suplementaria (SEI) no anidados. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas especificado mediante un conjunto de parámetros de vídeo (VPS) de base de un VPS activo y un subconjunto temporal del conjunto de capas con solo la capa base a enviar, las instrucciones también pueden hacer que el ordenador realice una segunda prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la segunda prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS de base y mensajes SEI anidados directamente. En respuesta al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas de salida (OLS) especificado mediante una extensión de VPS del VPS activo y un subconjunto temporal del OLS, las instrucciones también pueden hacer que el ordenador realice una tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la tercera prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS activo y mensajes SEI anidados indirectamente.

[0012] Otras características y ventajas de la presente divulgación deberían ser evidentes a partir de la siguiente descripción que ilustra, a modo de ejemplo, aspectos de la divulgación.

BREVE DESCRIPCIÓN DE LAS FIGURAS

[0013] Los detalles de los modos de realización de la presente invención, tanto en cuanto a su estructura como a su operación, pueden deducirse parcialmente mediante el estudio de los dibujos adjuntos, en los que números de referencia similares se refieren a partes similares, y en los que:

La FIG. 1 es un diagrama de bloques funcional de un sistema de codificación de vídeo;

La FIG. 2 es un diagrama de bloques funcional del codificador de vídeo de la FIG. 1;

La FIG. 3 es un diagrama de bloques que ilustra el descodificador de vídeo de la FIG. 1; y

La FIG. 4 es un diagrama de flujo que describe un procedimiento de implementación de prueba de conformidad.

5 **DESCRIPCIÓN DETALLADA**

10 [0014] En general, esta divulgación describe sistemas y procedimientos relacionados con mejoras de conformidad e interoperabilidad de flujo de bits en codificación de vídeo multicapa. Algunos de los procedimientos incluyen señalización de información de perfil, grado y nivel, señalización de conjuntos de capas de salida, uso de parámetros de HRD y pruebas de conformidad de flujo de bits.

15 [0015] Esta divulgación identifica ciertas limitaciones de la especificación de HEVC actual, con respecto a la señalización de información de perfil, grado y nivel, la señalización de conjuntos de capas de salida, el uso de parámetros de HRD y las pruebas de conformidad de flujo de bits. Algunas de estas limitaciones incluyen las siguientes:

20 [0016] Excepto para el 0-ésimo conjunto de capas de salida (OLS), el grado y nivel óptimos para otros OLS de única salida de capa base se pueden señalar en la parte de extensión del conjunto de parámetros de vídeo (VPS). Un OLS de única salida de capa base es un OLS para el que solo hay una capa de salida y la única capa de salida es la capa base. Dicha señalización no es necesaria porque HEVC no requiere que un OLS de única salida de capa base se señalice en la extensión de VPS para cada conjunto de capas señalado en el VPS de base. La información de perfil, grado y nivel para el flujo de bits completo se señala en cambio en la base de VPS. Por lo tanto, desde un punto de vista de la versión 1 de HEVC, no es ideal realizar pruebas de conformidad de flujo de bits para todos los puntos de operación con sus propios parámetros de HRD, aunque solo se verifiquen las restricciones solo contra el grado y el nivel del flujo de bits completo. Esto puede permitir que los parámetros de HRD para todos los puntos de operación distintos del correspondiente al flujo de bits completo sean mucho "mayores" que los óptimos aunque se siguen cumpliendo las pruebas de conformidad.

25 [0017] HEVC permite señalar OLS de única salida de capa base en la extensión de VPS. Sin embargo, el VPS de base ya cumple dicha función. En consecuencia, dicha señalización en la extensión de VPS es innecesaria, lo que resulta en un aumento de la sobrecarga.

30 [0018] La norma HEVC no es clara en cuanto a la aplicabilidad de mensajes de información de mejora suplementaria (SEI) de período de almacenamiento intermedio (BP), temporización de imagen (PT), e información de unidad de descodificación (DUI) no anidados y anidados directamente con respecto a cuál de dichos mensajes SEI se debe seleccionar para su uso en algunas pruebas de conformidad de flujo de bits.

35 [0019] El uso de la estructura sintáctica de perfil, grado, nivel (PTL) no se especifica claramente durante las pruebas de conformidad de flujo de bits. Por ejemplo, se omiten algunas pruebas de conformidad de flujo de bits para OLS de única salida de capa base. El uso de la estructura sintáctica `hrd_parameters()` y de los mensajes SEI BP, PT y DUI no está claro para algunas pruebas de conformidad.

40 [0020] La descripción detallada expuesta a continuación, en relación con los dibujos adjuntos, está concebida como una descripción de varios modos de realización y no pretende representar los únicos modos de realización en los que puede llevarse a la práctica la divulgación. La descripción detallada incluye detalles específicos con el objeto de proporcionar un entendimiento minucioso de los modos de realización. Sin embargo, a los expertos en la técnica les resultará evidente que la divulgación puede llevarse a la práctica sin estos detalles específicos. En algunos casos, se muestran estructuras y componentes bien conocidos de forma simplificada por brevedad de la descripción.

45 **Sistema de codificación de vídeo**

50 [0021] La FIG. 1 es un diagrama de bloques funcional de un sistema de codificación de vídeo. Un sistema de codificación de vídeo ("sistema") 10 que puede utilizar procedimiento de acuerdo con aspectos descritos en esta divulgación. Tal como se usa en el presente documento, el término "codificador de vídeo" se refiere genéricamente tanto a codificadores de vídeo como a descodificadores de vídeo. En esta divulgación, los términos "codificación de vídeo" o "codificación" pueden referirse genéricamente a la codificación de vídeo y a la descodificación de vídeo.

55 [0022] Como se muestra en la FIG. 1, el sistema 10 incluye un dispositivo de origen 12 que puede generar datos de vídeo codificados a descodificar en un momento posterior mediante un dispositivo de destino 14. El dispositivo de origen 12 y el dispositivo de destino 14 pueden comprender cualquiera de una amplia gama de dispositivos, incluyendo ordenadores de escritorio, ordenadores plegables (es decir, portátiles), ordenadores de tableta, descodificadores, teléfonos tales como los denominados teléfonos "inteligentes", los denominados paneles "inteligentes", televisores, cámaras, dispositivos de visualización, reproductores de medios digitales, consolas de videojuegos, dispositivo de transmisión continua de vídeo o similares. En algunos casos, el dispositivo de origen 12 y el dispositivo de destino 14 pueden estar equipados para la comunicación inalámbrica.

[0023] El dispositivo de destino 14 puede recibir los datos de vídeo codificados que se van a descodificar mediante un enlace 16. El enlace 16 puede comprender cualquier tipo de medio o dispositivo capaz de mover los datos de vídeo codificados desde el dispositivo de origen 12 al dispositivo de destino 14. En un ejemplo, el enlace 16 puede comprender un medio de comunicación para permitir que el dispositivo de origen 12 transmita datos de vídeo codificados directamente al dispositivo de destino 14 en tiempo real. El dispositivo de origen 12 puede modular los datos de vídeo codificados de acuerdo con una norma de comunicación, tal como un protocolo de comunicación inalámbrica, y transmitirlos al dispositivo de destino 14. El medio de comunicación puede comprender cualquier medio de comunicación, inalámbrica o cableada, tal como un espectro de radiofrecuencia (RF) o una o más líneas de transmisión físicas. El medio de comunicación puede formar parte de una red basada en paquetes, tal como una red de área local, una red de área amplia o una red global tal como Internet. El medio de comunicación puede incluir encaminadores, conmutadores, estaciones base o cualquier otro equipo que pueda ser útil para facilitar la comunicación desde el dispositivo de origen 12 al dispositivo de destino 14.

[0024] Los datos codificados pueden enviarse desde la interfaz de salida 22 hasta un dispositivo de almacenamiento 34. De forma similar, se puede acceder a los datos codificados desde el dispositivo de almacenamiento 34 mediante la interfaz de entrada 28 del dispositivo de destino 14. El dispositivo de almacenamiento 34 puede incluir cualquiera de diversos medios de almacenamiento de datos de acceso distribuido o local, tales como una unidad de disco duro, discos Blu-ray, DVD, CD-ROM, memoria flash, memoria volátil o no volátil o cualquier otro medio de almacenamiento digital adecuado para almacenar datos de vídeo codificados. En otro ejemplo, el dispositivo de almacenamiento 34 puede corresponder a un servidor de archivos o a otro dispositivo de almacenamiento intermedio que pueda guardar el vídeo codificado generado mediante el dispositivo de origen 12. El dispositivo de destino 14 puede acceder a datos de vídeo almacenados del dispositivo de almacenamiento 34, mediante transmisión continua o descarga. El servidor de archivos puede ser cualquier tipo de servidor capaz de almacenar datos de vídeo codificados y transmitir esos datos de vídeo codificados al dispositivo de destino 14. Los servidores de archivos de ejemplo incluyen un servidor web (por ejemplo, para un sitio web), un servidor FTP, dispositivos de almacenamiento conectado en red (NAS) o una unidad de disco local. El dispositivo de destino 14 puede acceder a los datos de vídeo codificados a través de cualquier conexión de datos estándar, incluyendo una conexión a Internet. Esto puede incluir un canal inalámbrico (por ejemplo, una conexión Wi-Fi), una conexión cableada (por ejemplo, DSL, módem de cable, etc.) o una combinación de ambos que sea adecuada para acceder a datos de vídeo codificados almacenados en un servidor de archivos. La transmisión de datos de vídeo codificados desde el dispositivo de almacenamiento 34 puede ser una transmisión continua, una transmisión de descarga o una combinación de ambas.

[0025] Los procedimientos de esta divulgación no están limitados necesariamente a aplicaciones o configuraciones inalámbricas. Los procedimientos se pueden aplicar a la codificación de vídeo como soporte de cualquiera de diversas aplicaciones multimedia, tales como radiodifusiones de televisión por el aire, transmisiones de televisión por cable, transmisiones de televisión por satélite, transmisiones de vídeo en continuo, por ejemplo, mediante Internet, codificación de vídeo digital para su almacenamiento en un medio de almacenamiento de datos, descodificación de vídeo digital almacenado en un medio de almacenamiento de datos, u otras aplicaciones. En algunos ejemplos, el sistema 10 se puede configurar para soportar la transmisión de vídeo unidireccional o bidireccional, para soportar aplicaciones tales como la transmisión continua de vídeo, la reproducción de vídeo, la radiodifusión de vídeo y/o la videotelefonía.

[0026] En el ejemplo de la FIG. 1, el dispositivo de origen 12 incluye un origen de vídeo 18, un codificador de vídeo 20 y una interfaz de salida 22. En algunos casos, la interfaz de salida 22 puede incluir un modulador/desmodulador (módem) y/o un transmisor. En el dispositivo de origen 12, el origen de vídeo 18 puede incluir un origen tal como un dispositivo de captura de vídeo, por ejemplo, una videocámara, un archivo de vídeo que contiene vídeo previamente capturado, una interfaz de alimentación de vídeo para recibir vídeo desde un proveedor de contenido de vídeo y/o un sistema de gráficos por ordenador para generar datos de gráficos por ordenador como el vídeo de origen, o una combinación de dichos orígenes. En un ejemplo, si el origen de vídeo 18 es una videocámara, el dispositivo de origen 12 y el dispositivo de destino 14 pueden formar los denominados teléfonos con cámara o videotelefonos. Sin embargo, los procedimientos descritos en esta divulgación se pueden aplicar a la codificación de vídeo en general, y se pueden aplicar a aplicaciones inalámbricas y/o cableadas.

[0027] El codificador de vídeo 20 puede codificar el vídeo capturado, pre-capturado o generado por ordenador. Además, en algunos modos de realización, el descodificador de vídeo 30 puede diferenciar entre un primer flujo de bits y un segundo flujo de bits basándose en el identificador de conjunto de parámetros del primer flujo de bits y el identificador de conjunto de parámetros único. En otros ejemplos, la interfaz de salida 22 del dispositivo de origen 12 puede transmitir los datos de vídeo codificados directamente al dispositivo de destino 14 a través del enlace 16. Los datos de vídeo codificados pueden almacenarse también (o de forma alternativa) en el dispositivo de almacenamiento 34 para un acceso posterior mediante el dispositivo de destino 14 u otros dispositivos, para su descodificación y/o reproducción.

[0028] El dispositivo de destino 14 incluye una interfaz de entrada 28, un descodificador de vídeo 30 y un dispositivo de visualización 32. En algunos casos, la interfaz de entrada 28 puede incluir un receptor y/o un módem. La interfaz

de entrada 28 del dispositivo de destino 14 recibe los datos de vídeo codificados a través del enlace 16. Los datos de vídeo codificados, comunicados a través del enlace 16, o proporcionados en el dispositivo de almacenamiento 34, pueden incluir una diversidad de elementos sintácticos generados mediante el codificador de vídeo 20, para su uso mediante un descodificador de vídeo, tal como el descodificador de vídeo 30, en la descodificación de los datos de vídeo. Dichos elementos sintácticos se pueden incluir con los datos de vídeo codificados transmitidos en un medio de comunicación, almacenados en un medio de almacenamiento o almacenados en un servidor de archivos.

[0029] El dispositivo de visualización 32 puede estar integrado con, o ser externo a, el dispositivo de destino 14. En algunos ejemplos, el dispositivo de destino 14 puede incluir un dispositivo de visualización integrado y también estar configurado para interconectarse con un dispositivo de visualización externo. En otros ejemplos, el dispositivo de destino 14 puede ser un dispositivo de visualización. En general, el dispositivo de visualización 32 muestra los datos de vídeo descodificados a un usuario, y puede comprender cualquiera de varios dispositivos de visualización, tales como una pantalla de cristal líquido (LCD), una pantalla de plasma, una pantalla de diodos orgánicos emisores de luz (OLED) u otro tipo de dispositivo de visualización.

[0030] Cada uno del codificador de vídeo 20 y el descodificador de vídeo 30 pueden implementarse como cualquiera de una variedad de circuitos codificadores adecuados, tales como uno o más microprocesadores, procesadores de señales digitales (DSP), circuitos integrados específicos de la aplicación (ASIC), matrices de puertas programables in situ (FPGA), lógica discreta, software, hardware, firmware o cualquier combinación de los mismos. Cuando los procedimientos se implementan parcialmente en software, un dispositivo puede almacenar instrucciones para el software en un medio adecuado no transitorio legible por ordenador, y ejecutar las instrucciones en hardware usando uno o más procesadores para realizar los procedimientos de esta divulgación. Cada uno del codificador de vídeo 20 y el descodificador de vídeo 30 pueden estar incluidos en uno o más codificadores o descodificadores, cualquiera de los cuales puede estar integrado como parte de un codificador/descodificador (CÓDEC) combinado en un respectivo dispositivo.

[0031] La iniciativa de normalización de HEVC se basa en un modelo en evolución de un dispositivo de codificación de vídeo denominado modelo de prueba de HEVC (HM). El HM supone varias capacidades adicionales de los dispositivos de codificación de vídeo respecto a los dispositivos existentes de acuerdo con, por ejemplo, la norma ITU-T H.264/AVC. Por ejemplo, mientras que la norma H.264 proporciona nueve modos de codificación de intra-predicción, el HM puede proporcionar hasta treinta y tres modos de codificación de intra-predicción.

[0032] En general, el modelo de explotación del HM especifica que una trama o imagen de vídeo puede dividirse en una secuencia de bloques de árbol o unidades de codificación de máximo tamaño (LCU), que incluyen muestras tanto de luma como de croma. Un bloque de árbol tiene un fin similar a un macrobloque de la norma H.264. Un fragmento incluye un cierto número de bloques de árbol consecutivos en orden de codificación. Una trama o imagen de vídeo puede dividirse en uno o más fragmentos. Cada bloque de árbol puede dividirse en unidades de codificación (CU) de acuerdo con un árbol cuaternario. Por ejemplo, un bloque de árbol, como un nodo raíz del árbol cuaternario, puede dividirse en cuatro nodos hijo, y cada nodo hijo puede, a su vez, ser un nodo padre y dividirse en otros cuatro nodos hijo. Un nodo hijo final no dividido, como un nodo hoja del árbol cuaternario, comprende un nodo de codificación, es decir, un bloque de vídeo codificado. Los datos sintácticos asociados a un flujo de bits codificado pueden definir un número máximo de veces que puede dividirse un bloque de árbol, y también pueden definir un tamaño mínimo de los nodos de codificación.

[0033] Una CU incluye un nodo de codificación y unidades de predicción (PU) y unidades de transformada (TU) asociadas al nodo de codificación. Un tamaño de la CU corresponde a un tamaño del nodo de codificación y debe ser de forma cuadrada. El tamaño de la CU puede variar desde 8x8 píxeles hasta el tamaño del bloque de árbol con un máximo de 64x64 píxeles o más. Cada CU puede contener una o más PU y una o más TU. Los datos sintácticos asociados a una CU pueden describir, por ejemplo, la división de la CU en una o más PU. Los modos de división pueden diferir dependiendo de si la CU está codificada en modo de salto o directo, codificada en modo de intra-predicción o codificada en modo de inter-predicción. Las PU pueden dividirse para tener forma no cuadrada. Los datos sintácticos asociados a una CU también pueden describir, por ejemplo, la división de la CU en una o más TU de acuerdo con un árbol cuaternario. Una TU puede tener forma cuadrada o no cuadrada.

[0034] La norma de HEVC admite transformaciones de acuerdo con las TU, que pueden ser diferentes para diferentes CU. El tamaño de las TU se puede basar en el tamaño de las PU dentro de una CU dada definida dada para una LCU dividida, aunque puede que no sea siempre así. Las TU pueden ser del mismo tamaño o de un tamaño más pequeño que las PU. En algunos ejemplos, las muestras residuales correspondientes a una CU pueden subdividirse en unidades más pequeñas mediante una estructura de árbol cuaternario conocida como "árbol cuaternario residual" (RQT). Los nodos hoja del RQT pueden denominarse unidades de transformada (TU). Los valores de diferencia de píxel asociados a las TU pueden transformarse para generar coeficientes de transformada, que pueden cuantificarse.

[0035] En general, una PU incluye datos relacionados con el proceso de predicción. Por ejemplo, cuando la PU se codifica en intra-modo, la PU puede incluir datos que describen un modo de intra-predicción para la PU. En otro

ejemplo, cuando la PU se codifica en inter-modo, la PU puede incluir datos que definen un vector de movimiento para la PU. Los datos que definen el vector de movimiento para una PU pueden describir, por ejemplo, una componente horizontal del vector de movimiento, una componente vertical del vector de movimiento, una resolución para el vector de movimiento (por ejemplo, precisión de un cuarto de píxel o precisión de un octavo de píxel), una imagen de referencia a la que apunta el vector de movimiento y/o una lista de imágenes de referencia (por ejemplo, lista 0, lista 1 o lista C) para el vector de movimiento.

[0036] En general, se usa una TU para los procesos de transformada y cuantificación. Una CU dada que tenga una o más PU también puede incluir una o más unidades de transformada (TU). Tras la predicción, el codificador de vídeo 20 puede calcular valores residuales correspondientes a la PU. Los valores residuales comprenden valores de diferencia de píxel que se pueden transformar en coeficientes de transformada, cuantificar y explorar mediante las TU, para generar coeficientes de transformada en serie para la codificación por entropía. Como se usa en este documento, el término "bloque de vídeo" puede referirse, en general, a un nodo de codificación de una CU. En algunos casos específicos, la presente divulgación también puede usar el término "bloque de vídeo" para referirse a un bloque de árbol, es decir, una LCU o una CU, que incluye un nodo de codificación y PU y TU.

[0037] El codificador de vídeo 20 puede generar un flujo de bits que incluye datos de vídeo codificados. El flujo de bits puede incluir una serie de unidades de capa de abstracción de red (NAL). Las unidades NAL del flujo de bits pueden incluir unidades NAL de capa de codificación de vídeo (VCL) y unidades de NAL no VCL. Las unidades NAL VCL pueden incluir fragmentos codificados de imágenes. Una unidad de NAL no VCL puede incluir un VPS, un conjunto de parámetros de secuencia (SPS), un conjunto de parámetros de imagen (PPS), SEI u otros tipos de datos. Un VPS es una estructura sintáctica que puede contener elementos sintácticos que se aplican a cero o más secuencias de vídeo codificadas completas. Un SPS es una estructura sintáctica que puede contener elementos sintácticos que se aplican a cero o más secuencias de vídeo codificadas completas. Un único VPS se puede aplicar a múltiples SPS. Un PPS es una estructura sintáctica que puede contener elementos sintácticos que se aplican a cero o más imágenes codificadas completas. Un único SPS se puede aplicar a múltiples PPS. Varios aspectos del VPS, SPS y PPS se pueden formar, en general, según se define mediante la norma HEVC. El codificador de vídeo 20 puede usar mensajes SEI para incluir, en el flujo de bits, metadatos que no son necesarios para la descodificación correcta de los valores de muestra de las imágenes. Sin embargo, el descodificador de vídeo 30 u otros dispositivos pueden usar los metadatos incluidos en los mensajes SEI para otros fines diversos. Por ejemplo, el descodificador de vídeo 30 puede usar los metadatos en los mensajes SEI para la temporización de salida de imagen, la visualización de imagen, la detección de pérdidas y la ocultación de errores.

Sintaxis de alto nivel

[0038] Las unidades NAL pueden contener elementos sintácticos codificados mediante el codificador de vídeo 20 y transmitidos al descodificador de vídeo 30. Los elementos sintácticos que describen la estructura del flujo de bits o proporcionan información que se aplica a múltiples imágenes o a múltiples regiones de bloques codificados dentro de una imagen, tales como los conjuntos de parámetros (por ejemplo, SPS, VPS, PPS, etc.), la sintaxis de gestión de imágenes de referencia, y los mensajes SEI, se conocen como la parte de "sintaxis de alto nivel" (HLS) de HEVC.

[0039] En particular, HEVC emplea los siguientes aspectos, relevantes para esta divulgación:

Estructura de conjunto de parámetros: Los conjuntos de parámetros contienen información que se puede compartir para la descodificación de varias regiones del vídeo descodificado. La estructura de conjunto de parámetros proporciona un mecanismo robusto para transportar datos que son esenciales para el proceso de descodificación.

[0040] *Información de mejora suplementaria (SEI):* La sintaxis incluye soporte para varios tipos de metadatos conocidos como SEI. Dichos datos proporcionan información sobre la temporización de las imágenes de vídeo, la interpretación correcta del espacio de color usado en la señal de vídeo, información de empaquetado de tramas estereoscópicas 3-D, otra información de sugerencias de visualización, etc.

[0041] La FIG. 2 es un diagrama de bloques funcional del codificador de vídeo de la FIG. 1. El codificador de vídeo 20 puede incluir un módulo de división 35 configurado para recibir datos de vídeo capturados y dividir los datos de vídeo en bloques de vídeo. El módulo de división 35 puede dividir los datos de vídeo en fragmentos, cuadros u otras unidades más grandes. El módulo de división 35 también puede dividir bloques de vídeo, por ejemplo, de acuerdo con una estructura de árbol cuaternario de LCU y CU. El codificador de vídeo 20 puede dividir el fragmento en múltiples bloques de vídeo (y, posiblemente, en conjuntos de bloques de vídeo denominados cuadros).

[0042] El codificador de vídeo 20 también puede tener un módulo de predicción 41 acoplado operativamente al módulo de división 35 y configurado para recibir los datos de vídeo divididos. El módulo de predicción 41 puede seleccionar uno de una pluralidad de modos de codificación posibles, tal como uno de una pluralidad de modos de intra-codificación o uno de una pluralidad de modos de inter-codificación, para el bloque de vídeo actual, basándose en resultados de errores (por ejemplo, la velocidad de codificación y el nivel de distorsión). El módulo de predicción 41 puede permitir que el codificador de vídeo 20 realice la intra-codificación y la inter-codificación de bloques de vídeo dentro de fragmentos de vídeo. La intra-codificación se basa en la predicción espacial para reducir o eliminar la

redundancia espacial en el vídeo dentro de una trama o imagen de vídeo dada. La inter-codificación se basa en la predicción temporal para reducir o eliminar la redundancia temporal en el vídeo dentro de tramas o imágenes adyacentes de una secuencia de vídeo. El intra-modo (modo I) puede referirse a cualquiera de varios modos de compresión espacial. Los inter-modos, tales como la predicción unidireccional (modo P) o la predicción bidireccional (modo B), pueden referirse a cualquiera de varios modos de compresión temporal.

[0043] El módulo de predicción 41 puede incluir un módulo de estimación de movimiento 42, un módulo de compensación de movimiento 44 y un módulo de intra-predicción 46. Cada uno de estos componentes puede conectarse operativamente o integrarse en uno o más procesadores dentro del codificador de vídeo 20. Aunque se analizan por separado con fines conceptuales, el módulo de estimación de movimiento 42, el módulo de compensación de movimiento 44 y el módulo de intra-predicción 46 pueden estar altamente integrados.

[0044] El módulo de estimación de movimiento 42 puede estar configurado para determinar el modo de inter-predicción para un fragmento de vídeo de acuerdo con un patrón predeterminado para una secuencia de vídeo. Dicha codificación de inter-predicción o inter-predictiva del bloque de vídeo actual con respecto a uno o más bloques predictivos de una o más imágenes de referencia puede proporcionar compresión temporal. El patrón predeterminado puede designar fragmentos de vídeo de la secuencia como fragmentos P, fragmentos B o fragmentos GPB. La estimación de movimiento, como se usa en el presente documento, puede referirse, en general, al proceso de generar vectores de movimiento, que estiman el movimiento para los bloques de vídeo. Un vector de movimiento, por ejemplo, puede indicar el desplazamiento de una PU de un bloque de vídeo dentro de una trama o imagen de vídeo actual en relación con un bloque predictivo dentro de una trama de referencia o una imagen de referencia. Las tramas de referencia pueden almacenarse en una memoria de imágenes de referencia 64 acoplada operativamente al módulo de predicción 41. La memoria de tramas de referencia 64 puede incluir además o denominarse en el presente documento una memoria intermedia de imágenes descodificadas (DPB). La memoria de tramas de referencia 64, o DPB, puede almacenar bloques de codificación reconstruidos después de que un módulo de filtro 63 realiza operaciones de desbloqueo en los bloques de codificación reconstruidos.

[0045] Un bloque predictivo es un bloque que se comprueba que corresponde estrechamente con la PU del bloque de vídeo que se va a codificar en términos de diferencia de píxel, lo que puede determinarse mediante una suma de una diferencia absoluta (SAD), una suma de diferencia al cuadrado (SSD) u otras métricas de diferencia. En algunos ejemplos, el módulo de predicción de movimiento ("módulo de predicción") 41 puede calcular los valores para las posiciones fraccionarias de píxeles de imágenes de referencia almacenadas en la memoria de imágenes de referencia 64. Por ejemplo, el módulo de predicción 41 puede interpolar valores de posiciones de un cuarto de píxel, posiciones de un octavo de píxel u otras posiciones fraccionarias de píxel de la imagen de referencia. Por lo tanto, el módulo de estimación de movimiento 42 puede realizar una búsqueda de movimiento con respecto a las posiciones de píxel completo y a las posiciones de píxel fraccionario, y enviar un vector de movimiento con precisión de píxel fraccionario.

[0046] El módulo de estimación de movimiento 42 puede calcular un vector de movimiento para una PU de un bloque de vídeo en un fragmento inter-codificado, comparando la posición de la PU con la posición de un bloque predictivo de una imagen de referencia. La imagen de referencia puede seleccionarse de una primera lista de imágenes de referencia (Lista 0) o una segunda lista de imágenes de referencia (Lista 1), cada una de las cuales identifica una o más imágenes de referencia almacenadas en una memoria de imágenes de referencia 64. El módulo de estimación de movimiento 42 puede enviar el vector de movimiento calculado al módulo de compensación de movimiento 44 y al módulo de codificación por entropía 56.

[0047] La compensación de movimiento puede implicar obtener o generar el bloque predictivo basándose en el vector de movimiento determinado mediante la estimación de movimiento. Esto puede incluir interpolaciones con precisión de subpíxel. Después de recibir el vector de movimiento para la PU del bloque de vídeo actual, el módulo de compensación de movimiento 44 puede localizar el bloque predictivo al que apunta el vector de movimiento en una de las listas de imágenes de referencia. El módulo de compensación de movimiento 44 también puede generar elementos sintácticos asociados con los bloques de vídeo y el fragmento de vídeo para su uso mediante el descodificador de vídeo 30 en la descodificación de los bloques de vídeo del fragmento de vídeo.

[0048] El módulo de intra-predicción 46 dentro del módulo de predicción 41 puede realizar una codificación intra-predictiva del bloque de vídeo actual con respecto a uno o más bloques contiguos de la misma trama o fragmento para proporcionar compresión espacial. El módulo de intra-predicción 46 puede realizar la intra-predicción de un bloque actual, como una alternativa a la inter-predicción realizada mediante el módulo de estimación de movimiento 42 y el módulo de compensación de movimiento 44, como se ha descrito anteriormente. En particular, el módulo 46 de intra-predicción puede determinar un modo de intra-predicción que se va a usar para codificar un bloque actual. En algunos ejemplos, el módulo de intra-predicción 46 puede codificar un bloque actual usando varios modos de intra-predicción, por ejemplo, durante pases de codificación independientes. Por ejemplo, el módulo de intra-predicción 46 puede calcular valores de velocidad-distorsión usando un análisis de velocidad-distorsión para los diversos modos de intra-predicción probados, y seleccionar el modo de intra-predicción que tiene las mejores características de velocidad-distorsión entre los modos probados. El análisis de velocidad-distorsión puede determinar una cantidad de distorsión (o error) entre un bloque codificado y un bloque original no codificado que se ha codificado para producir el bloque

codificado, así como una velocidad binaria (es decir, un número de bits) usada para producir el bloque codificado. El módulo de intra-predicción 46 puede calcular relaciones a partir de las distorsiones y velocidades para los diversos bloques codificados, para determinar qué modo de intra-predicción presenta el mejor valor de velocidad-distorsión para el bloque.

5 [0049] El módulo de intra-predicción 46 puede proporcionar información indicativa del modo de intra-predicción seleccionado para el bloque al módulo de codificación por entropía 56. El módulo de codificación por entropía 56 puede codificar la información que indica el modo de intra-predicción seleccionado. El codificador de vídeo 20 puede incluir
10 datos de configuración en el flujo de bits transmitido, que pueden incluir una pluralidad de tablas de índices de modos de intra-predicción y una pluralidad de tablas de índices de modos de intra-predicción modificados (también denominadas tablas de asignación de palabras de código), definiciones de contextos de codificación para varios bloques, e indicaciones de un modo de intra-predicción más probable, una tabla de índices de modos de intra-predicción y una tabla de índices de modos de intra-predicción modificados a usar para cada uno de los contextos.

15 [0050] Después de que el módulo de predicción 41 genera el bloque predictivo para el bloque de vídeo actual, ya sea mediante inter-predicción o intra-predicción, el codificador de vídeo 20 forma un bloque de vídeo residual restando el bloque predictivo al bloque de vídeo actual. Este proceso puede dar como resultado valores de diferencia de píxel. Los valores de diferencia de píxel forman los datos residuales para el bloque, y pueden incluir componentes de diferencia tanto de luma como de croma. Un sumador 50, acoplado operativamente al módulo de predicción 41 y al
20 módulo de división 35, representa el componente o componentes que se pueden configurar para realizar esta operación de resta.

[0051] Los datos de vídeo residuales en el bloque residual pueden incluirse en una o más TU y aplicarse a un módulo de transformada 52 acoplado operativamente al sumador 50. El módulo de transformada 52 puede transformar los
25 datos de vídeo residuales en coeficientes de transformada residuales usando una transformada, tal como una transformada de coseno discreta (DCT) o una transformada conceptualmente similar. El módulo de transformada 52 puede convertir los datos de vídeo residuales de un dominio de píxel a un dominio de transformada, tal como un dominio de frecuencia. El módulo de predicción 41 puede proporcionar el bloque intra-codificado o inter-codificado resultante al sumador 50 para generar datos de bloque residuales. El bloque intra-codificado o inter-codificado
30 resultante puede proporcionarse además a un sumador 62 para reconstruir el bloque codificado para su uso como una imagen de referencia.

[0052] El codificador de vídeo 20 también puede incluir el módulo de filtro 63 acoplado operativamente al sumador 62. El módulo de filtro 63 puede representar uno o más filtros de bucle tales como un filtro de desbloqueo, un filtro de bucle adaptativo (ALF) y un filtro de desplazamiento adaptativo de muestras (SAO). Aunque el módulo de filtro 63 se muestra en la FIG. 2 como un filtro de bucle, en otras configuraciones, el módulo de filtro 63 puede implementarse como un filtro post-bucle. El módulo de filtro 63 puede proporcionar imágenes de referencia a la memoria de imágenes de referencia 64.

40 [0053] El módulo de transformada 52 puede enviar los coeficientes de transformada resultantes al módulo de cuantificación 54. El módulo de cuantificación 54 puede cuantificar los coeficientes de transformada para reducir más la velocidad binaria. El proceso de cuantificación puede reducir la profundidad de bits asociada a algunos, o a la totalidad, de los coeficientes. El grado de cuantificación se puede modificar ajustando un parámetro de cuantificación. En algunos ejemplos, el módulo de cuantificación 54 puede realizar entonces una exploración de la matriz que incluye
45 los coeficientes de transformada cuantificados. En algunos modos de realización, el módulo de codificación por entropía 56 puede realizar la exploración.

[0054] Tras la cuantificación, el módulo de codificación por entropía 56 puede codificar por entropía los coeficientes de transformada cuantificados. Por ejemplo, el módulo de codificación por entropía 56 puede realizar una codificación de longitud variable adaptativa según el contexto (CAVLC), una codificación aritmética binaria adaptativa según el contexto (CABAC), una codificación aritmética binaria adaptativa según el contexto basada en sintaxis (SBAC), una codificación por entropía de división de intervalo de probabilidad (PIPE) u otra metodología de codificación por entropía. El codificador de vídeo 20 también puede codificar por entropía los elementos sintácticos asociados con los datos de vídeo codificados, para su uso mediante el descodificador de vídeo 30 en la descodificación de los datos de vídeo.
55

[0055] Tras la codificación por entropía mediante el módulo de codificación por entropía 56, el flujo de bits codificado se puede transmitir al descodificador de vídeo 30. El flujo de bits también se puede archivar para su posterior transmisión o recuperación mediante el descodificador de vídeo 30. El módulo de codificación por entropía 56 también
60 puede codificar por entropía los vectores de movimiento y los otros elementos sintácticos para el fragmento de vídeo actual que se está codificando.

[0056] El codificador de vídeo 20 también puede incluir un módulo de cuantificación inversa 58 acoplado operativamente al módulo de codificación por entropía 56. Un módulo de transformada inversa 60 también se puede acoplar operativamente al módulo de cuantificación inversa 58 y al sumador 62. El módulo de cuantificación inversa
65

58 y el módulo 60 de transformada inversa pueden aplicar una cuantificación inversa y una transformada inversa, respectivamente, para reconstruir el bloque residual en el dominio de píxel, para su uso posterior como un bloque de referencia de la imagen de referencia. El módulo de compensación de movimiento 44 puede calcular un bloque de referencia sumando el bloque residual a un bloque predictivo de una de las imágenes de referencia dentro de una de las listas de imágenes de referencia. El sumador 62 puede sumar el bloque residual reconstruido al bloque de predicción con compensación de movimiento producido mediante el módulo de compensación de movimiento 44 para generar un bloque de referencia para su almacenamiento en la memoria de imágenes de referencia 64. El módulo de estimación de movimiento 42 y el módulo de compensación de movimiento 44 pueden usar el bloque de referencia como un bloque de referencia para realizar la inter-predicción de un bloque en una trama o imagen de vídeo subsiguiente.

[0057] En algunos ejemplos, el codificador de vídeo 20 genera un flujo de bits. El flujo de bits generado mediante el codificador de vídeo 20 puede incluir múltiples puntos de operación que se pueden extraer como sub-flujos de bits del flujo de bits. Los puntos de operación pueden incluir, por ejemplo, múltiples capas y/o vistas, así como múltiples velocidades de trama. El codificador de vídeo 20 puede codificar información indicativa de los puntos de operación de salida en el VPS. En algunos ejemplos, para cada uno de los puntos de operación que el codificador de vídeo 20 señala en el VPS asociado con el flujo de bits, una estructura sintáctica de punto de operación especifica un conjunto de identificadores (ID) de capa usados para identificar las unidades NAL en el flujo de bits que pertenecen a un sub-flujo de bits de un punto de operación dado. De esta manera, las unidades NAL que forman el sub-flujo de bits del punto de operación dado pueden extraerse del flujo de bits original basándose en los identificadores de capa de las unidades NAL.

[0058] En algunos casos, el codificador de vídeo 20 puede codificar además los parámetros de HRD que están relacionados con uno o más de los puntos de operación, como se analiza con mayor detalle a continuación. En este caso, el codificador de vídeo 20 señala información de parámetros de HRD en el VPS. El codificador de vídeo 20 puede contener una implementación de un HRD para asegurar que cada flujo de bits generado es un flujo de bits conforme. La implementación de HRD también puede ser parte de otras entidades tales como descodificadores (por ejemplo, el descodificador de vídeo 30) y analizadores de flujo de bits para verificar si un flujo de bits es un flujo de bits conforme. Como se analiza con mayor detalle a continuación, para cada uno de los puntos de operación que tienen parámetros de HRD, una estructura sintáctica de parámetros de HRD puede especificar un conjunto de parámetros de HRD que define un HRD usado para verificar la conformidad de un sub-flujo de bits de un punto de operación dado.

[0059] Como se usa en el presente documento, un punto de operación es un flujo de bits creado a partir de otro flujo de bits mediante la operación del proceso de extracción de sub-flujo de bits con otro flujo de bits, un temporal_ID máximo objetivo, y una lista de identificadores de capa objetivo como entradas. Más concretamente, los "puntos de operación" son sub-flujos de bits que se pueden extraer de un flujo de bits original que son escalables temporalmente y/o con múltiples capas y/o vistas. Es decir, un punto de operación es un flujo de bits que se crea a partir de otro flujo de bits mediante la operación del proceso de extracción de sub-flujo de bits con el otro flujo de bits, un identificador temporal máximo objetivo, y una lista de identificadores de capa objetivo como entradas. El flujo de bits incluye una o más vistas, incluyendo la(s) vista(s) del punto de operación. El temporal_ID máximo objetivo define el subconjunto temporal. La lista de capas objetivo incluye un conjunto de capas: el conjunto de capas a descodificar para un punto de operación, y el conjunto de capas a enviar para un punto de operación de salida. Un punto de operación de salida está asociado con, entre otras cosas, un conjunto de capas de salida, es decir, las capas identificadas en el conjunto de capas de salida, que son las capas que se van a enviar. En general, cada flujo de bits puede contener uno o más conjuntos de capas de salida. Cada conjunto de capas de salida puede contener uno o más puntos de operación de salida. Se realiza una prueba de conformidad de flujo de bits para cada punto de operación de salida para garantizar que el sub-flujo de bits correspondiente es un flujo de bits conforme.

[0060] El término "conjunto de capas" se usa para referirse a un conjunto de capas a descodificar. Un "conjunto de capas" es similar a un punto de operación, excepto que un conjunto de capas no está asociado con un valor particular de identificador temporal. En cambio, todas las subcapas temporales presentes en las capas pertenecen al conjunto de capas. De manera similar, se puede decir que un conjunto de capas está asociado con el identificador temporal máximo posible. En consecuencia, todas las subcapas temporales presentes en las capas pertenecen al conjunto de capas. Un conjunto de capas puede obtenerse a partir de un flujo de bits de la misma manera que un punto de operación puede obtenerse a partir de un flujo de bits, siendo el identificador temporal máximo el valor máximo posible.

[0061] El término "conjunto de capas de salida" se refiere a un conjunto de capas para el que se especifican las capas de salida. Por tanto, mientras que el conjunto de capas a descodificar se especifica como un conjunto de capas, el conjunto de capas a enviar se especifica para un conjunto de capas de salida. En algunos ejemplos, el conjunto de capas de salida identifica el conjunto de capas correspondiente incluyendo un índice al conjunto de capas correspondiente, donde el conjunto de capas correspondiente identifica las capas a descodificar. En otros ejemplos, el conjunto de capas de salida identifica el conjunto de capas correspondiente de alguna otra manera.

- 5 [0062] Las capas en el conjunto de capas que no son objetivo para el envío todavía se pueden descodificar, por ejemplo, cuando se usan para la predicción inter-capas (o inter-vista). Las capas que son objetivo para el envío son un subconjunto de las capas que se van a descodificar: una, algunas o todas las capas a descodificar pueden ser objetivo para el envío. Debe entenderse que el término "subconjunto" no significa necesariamente que la capa a enviar sea un subconjunto estricto de las capas a descodificar. Es decir, en algunos ejemplos, las capas a descodificar y la capa a enviar son las mismas. Por tanto, la distinción entre un conjunto de capas de salida y un punto de operación de salida es similar a la distinción entre un conjunto de capas y un punto de operación como se ha descrito anteriormente.
- 10 [0063] Los sub-flujos de bits se pueden extraer del flujo de bits basándose en los valores de los identificadores de capa (que identifican las capas para el punto de operación de salida) y los identificadores de subcapa temporal (que identifican el subconjunto temporal para el punto de operación de salida) que identifican el punto de operación de salida del flujo de bits. Los puntos de operación de salida se pueden señalar en un VPS dentro del flujo de bits. Para cada uno de los puntos de operación, una estructura sintáctica de punto de operación especifica un conjunto de identificadores de capa usados para identificar unidades de capa de abstracción de red (NAL) en el flujo de bits que pertenecen a un sub-flujo de bits de un punto de operación dado. De esta manera, las unidades NAL que forman el sub-flujo de bits del punto de operación de salida dado pueden extraerse del flujo de bits original basándose en los identificadores de capa de las unidades NAL y el identificador temporal máximo asociado con el punto de operación de salida. Las unidades NAL son los componentes de los datos de vídeo codificados; los datos de vídeo codificados se organizan en unidades NAL.
- 20 [0064] La FIG. 3 es un diagrama de bloques que ilustra el descodificador de vídeo de la FIG. 1. Con fines de explicación, esta divulgación describe el descodificador de vídeo 30 en el contexto de la codificación HEVC. Sin embargo, esta divulgación puede ser aplicable a otras normas o procedimientos de codificación.
- 25 [0065] El descodificador de vídeo 30 puede incluir un módulo de descodificación por entropía 70, un módulo de predicción 71, un módulo de cuantificación inversa 76, un módulo de transformada inversa 78, un sumador 80, un módulo de filtro 84 y una memoria intermedia de imágenes descodificadas 82. El módulo de predicción 71 puede incluir un módulo de compensación de movimiento 72 y un módulo de intra-predicción 74. En otros ejemplos, el descodificador de vídeo 30 puede incluir más, menos o diferentes componentes funcionales.
- 30 [0066] Una memoria intermedia de imágenes codificadas (CPB) 90 puede recibir y almacenar datos de vídeo codificados (por ejemplo, unidades NAL) de un flujo de bits. El módulo de descodificación por entropía 70 puede recibir unidades NAL de la CPB 90 y analizar las unidades NAL para descodificar elementos sintácticos. El módulo de descodificación por entropía 70 puede descodificar por entropía elementos sintácticos codificados por entropía en las unidades NAL. El módulo de predicción 71, el módulo de cuantificación inversa 76, el módulo de transformada inversa 78, el sumador 80 y el módulo de filtro 84 pueden generar datos de vídeo descodificados basándose en los elementos sintácticos extraídos del flujo de bits.
- 35 [0067] Las unidades NAL del flujo de bits pueden incluir unidades NAL de fragmentos codificados. Como parte de la descodificación del flujo de bits, el módulo de descodificación por entropía 70 puede extraer y descodificar por entropía elementos sintácticos de las unidades NAL de fragmentos codificados. Cada uno de los fragmentos codificados puede incluir una cabecera de fragmento y datos de fragmento. La cabecera de fragmento puede contener elementos sintácticos pertenecientes a un fragmento. Los elementos sintácticos en la cabecera de fragmento pueden incluir un elemento sintáctico que identifica un PPS asociado con una imagen que contiene el fragmento.
- 40 [0068] Además de descodificar elementos sintácticos del flujo de bits, el descodificador de vídeo 30 puede realizar una operación de reconstrucción en una CU no dividida. Para realizar la operación de reconstrucción en una CU no dividida, el descodificador de vídeo 30 puede realizar una operación de reconstrucción en cada TU de la CU. Realizando la operación de reconstrucción para cada TU de la CU, el descodificador de vídeo 30 puede reconstruir bloques residuales de la CU.
- 45 [0069] Como parte de la realización de una operación de reconstrucción en una TU de una CU, el módulo de cuantificación inversa 76 puede cuantificar de forma inversa, es decir, descuantificar, los bloques de coeficientes asociados con la TU. El módulo de cuantificación inversa 76 puede usar un valor de parámetro de cuantificación (QP) asociado con la CU de la TU para determinar un grado de cuantificación y, asimismo, un grado de cuantificación inversa a aplicar mediante el módulo de cuantificación inversa 76. Es decir, la relación de compresión, es decir, la relación entre el número de bits usados para representar la secuencia original y la comprimida, puede controlarse ajustando el valor del QP usado al cuantificar los coeficientes de transformada. La relación de compresión también puede depender del procedimiento de codificación por entropía empleado.
- 50 [0070] Después de que el módulo de cuantificación inversa 76 cuantifica inversamente un bloque de coeficientes, el módulo de transformada inversa 78 puede aplicar una o más transformadas inversas al bloque de coeficientes con el fin de generar un bloque residual asociado con la TU. Por ejemplo, el módulo de transformada inversa 78 puede aplicar una DCT inversa, una transformada entera inversa, una transformada direccional inversa u otra transformada inversa al bloque de coeficientes.
- 55
- 60
- 65

[0071] Si se codifica una PU usando intra-predicción, el módulo de intra-predicción 74 puede realizar la intra-predicción para generar bloques predictivos para la PU. El módulo de intra-predicción 74 puede usar un modo de intra-predicción para generar los bloques predictivos de luma, Cb y Cr para la PU basándose en los bloques predictivos de las PU espacialmente contiguas. El módulo de intra-predicción 74 puede determinar el modo de intra-predicción para la PU basándose en uno o más elementos sintácticos descodificados a partir del flujo de bits.

[0072] El módulo de predicción 71 puede construir una primera lista de imágenes de referencia (RefPicList0) y una segunda lista de imágenes de referencia (RefPicList01) basándose en los elementos sintácticos extraídos del flujo de bits. Además, si se codifica una PU usando inter-predicción, el módulo de descodificación por entropía 70 puede extraer información de movimiento para la PU. El módulo de compensación de movimiento 72 puede determinar, basándose en la información de movimiento de la PU, una o más regiones de referencia para la PU. El módulo de compensación de movimiento 72 puede generar bloques predictivos de luma, Cb y Cr para la PU basándose en bloques de muestras en el uno o más bloques de referencia para la PU.

[0073] El sumador 80 puede usar los bloques de transformada de luma, Cb y Cr, asociados con las TU de una CU y los bloques predictivos de luma, Cb y Cr de las PU de la CU, es decir, datos de intra-predicción o bien datos de inter-predicción, según corresponda, para reconstruir los bloques de codificación de luma, Cb y Cr de la CU. Por ejemplo, el sumador 80 puede sumar muestras de los bloques de transformada de luma, Cb y Cr a las muestras correspondientes de los bloques predictivos de luma, Cb y Cr para reconstruir los bloques de codificación de luma, Cb y Cr de la CU.

El módulo de filtro 84 puede ser un filtro de desbloqueo, por ejemplo, y realizar una operación de desbloqueo para reducir los artefactos de bloqueo asociados con los bloques de codificación de luma, Cb y Cr de la CU. El descodificador de vídeo 30 puede almacenar entonces los bloques de codificación de luma, Cb y Cr de la CU en la memoria intermedia de imágenes descodificadas 82. La memoria intermedia de imágenes descodificadas 82 puede proporcionar imágenes de referencia para la compensación de movimiento subsiguiente, la intra-predicción y la presentación en un dispositivo de visualización, tal como el dispositivo de visualización 32 de la FIG. 1. Por ejemplo, el descodificador de vídeo 30 puede realizar operaciones de intra-predicción o inter-predicción en las PU de otras CU basándose en los bloques de luma, Cb y Cr en la memoria intermedia de imágenes descodificadas 82. Por tanto, el descodificador de vídeo 30 puede descodificar, a partir del flujo de bits, los niveles de coeficientes de transformada del bloque de coeficientes luma significativos, cuantificar inversamente los niveles de coeficientes de transformada, aplicar una transformada a los niveles de coeficientes de transformada para generar un bloque de transformada, generar, basándose, al menos en parte, en el bloque de transformada, un bloque de codificación, y enviar el bloque de codificación para su visualización.

Extracción de sub-flujo de bits

[0074] Las normas de codificación de vídeo pueden incluir diversas características para soportar el proceso de extracción de sub-flujo de bits. Por ejemplo, los datos de vídeo del flujo de bits se pueden dividir en un conjunto de capas. Para cada una de las capas, los datos en una capa inferior pueden descodificarse sin referencia a los datos en cualquier capa superior. Una unidad NAL individual solo encapsula datos de una única capa. Por tanto, las unidades NAL que encapsulan datos de la capa restante más alta del flujo de bits pueden eliminarse del flujo de bits sin afectar a la capacidad de descodificación de los datos en las capas inferiores restantes del flujo de bits. En SVC, SHVC y otros procedimientos de codificación de vídeo escalable, las capas superiores pueden incluir datos de mejora que mejoran la calidad de las imágenes en capas inferiores (escalabilidad de calidad), amplían el formato espacial de las imágenes en capas inferiores (escalabilidad espacial) o aumentan la velocidad temporal de las imágenes en capas inferiores (escalabilidad temporal). En MVC, MV-HEVC y otras codificaciones de vídeo tridimensionales, las capas superiores pueden incluir vistas adicionales.

[0075] Las unidades NAL pueden especificar un identificador temporal de la unidad NAL. Si el identificador temporal de una primera unidad NAL es menor que el identificador temporal de una segunda unidad NAL, los datos encapsulados mediante la primera unidad NAL pueden descodificarse sin referencia a los datos encapsulados mediante la segunda unidad NAL.

[0076] Cada punto de operación de un flujo de bits está asociado con un conjunto de identificadores de capa y un identificador temporal. El conjunto de identificadores de capa se puede indicar como OpLayerIdSet y el identificador temporal se puede indicar como TemporalId. Si el identificador de capa de una unidad NAL está en el conjunto de identificadores de capa de un punto de operación y el identificador temporal de la unidad NAL es menor o igual que el identificador temporal del punto de operación, la unidad NAL está asociada con el punto de operación. Un sub-flujo de bits es un subconjunto de flujo de bits que está asociado con un punto de operación. El sub-flujo de bits puede incluir cada unidad NAL que está asociada con el punto de operación. El sub-flujo de bits no incluye unidades NAL VCL que no están asociadas con el punto de operación.

Descodificador de referencia hipotético

5 **[0077]** Las normas de codificación de vídeo especifican modelos de almacenamiento en memoria intermedia de vídeo, también denominados HRD. El HRD describe cómo se almacenarán en memoria intermedia los datos para la descodificación y cómo se almacenan en memoria intermedia los datos descodificados para la salida. Por ejemplo, el HRD describe la operación de una CPB y una DPB del sistema de codificación de vídeo 10. La CPB y la DPB pueden comprender la CPB 90 (FIG. 3) y la memoria de imágenes de referencia 64 (FIG. 2), respectivamente. En algunos modos de realización, la DPB también puede ser similar a la DPB 82 (FIG. 3). La CPB puede ser una memoria intermedia de primero en entrar, primero en salir, que contiene unidades de acceso en el orden de descodificación especificado por el HRD. La DPB es una memoria intermedia que contiene imágenes descodificadas para referencia, reordenamiento de salida o retardo de salida especificado por el HRD.

15 **[0078]** El codificador de vídeo 20 puede señalar un conjunto de parámetros de HRD de nivel de secuencia. Los parámetros de HRD de nivel de secuencia controlan varios aspectos del HRD. Los parámetros de HRD de nivel de secuencia incluyen un retardo de eliminación de CPB inicial, un tamaño de CPB, una velocidad binaria, un retardo de salida de DPB inicial y un tamaño de DPB. Estos parámetros de HRD de nivel de secuencia se codifican en una estructura sintáctica `hrd_parameters()` especificada en un VPS y/o un SPS. Los parámetros de HRD de nivel de imagen o de nivel de sub-imagen se pueden especificar en un mensaje SEI BP, PT o DUI.

20 **[0079]** Un sub-flujo de bits (de, por ejemplo, un punto de operación) puede tener una velocidad de trama y/o velocidad binaria diferente a la de su flujo de bits original. Esto puede deberse a que el sub-flujo de bits puede no incluir algunas imágenes y/o algunos de los datos del flujo de bits original. Por tanto, si el descodificador de vídeo 20 eliminase datos de la CPB y/o de la DPB a una velocidad particular al procesar el flujo de bits original y si el descodificador de vídeo 30 eliminase datos de la CPB y/o la DPB a la misma velocidad al procesar un sub-flujo de bits, el descodificador de vídeo 30 puede eliminar demasiada o muy poca información de la CPB y/o la DPB. En consecuencia, el codificador de vídeo 20 puede señalar diferentes conjuntos de parámetros de HRD para diferentes puntos de operación. En HEVC, el codificador de vídeo 20 puede señalar conjuntos de parámetros de HRD en un VPS o el codificador de vídeo 20 puede señalar conjuntos de parámetros de HRD en un SPS.

30 **[0080]** En algunas versiones de HEVC, solo se seleccionan los conjuntos de parámetros de HRD en el VPS para operaciones de HRD. Es decir, aunque los parámetros de HRD se pueden proporcionar en SPS, los descodificadores de vídeo HEVC no seleccionan los conjuntos de parámetros de HRD en los SPS para operaciones de HRD. El descodificador de vídeo 30 puede analizar y descodificar el VPS de un flujo de bits. Por lo tanto, el descodificador de vídeo 30 puede analizar y descodificar los conjuntos de parámetros de HRD del VPS. Esto puede producirse independientemente de si el flujo de bits incluye unidades NAL que no son de capa base.

35 **[0081]** El codificador de vídeo 20 puede generar un flujo de bits que incluye un SPS que es aplicable a una secuencia de imágenes. En algunos modos de realización, el SPS incluye un conjunto de parámetros de HRD. El conjunto de parámetros de HRD es aplicable a cada punto de operación del flujo de bits que tiene un conjunto de identificadores de capa que coinciden con un conjunto de identificadores de capa objetivo. Por tanto, los conjuntos de parámetros de HRD en los SPS no se desperdician, sino que se pueden usar para operaciones de HRD. Por ejemplo, un dispositivo puede seleccionar, de entre un conjunto de parámetros de HRD en un VPS y un conjunto de parámetros de HRD en un SPS, un conjunto de parámetros de HRD aplicables a un punto de operación particular. El codificador de vídeo 20 puede realizar, basándose al menos en parte en el conjunto de parámetros de HRD aplicables al punto de operación particular, una prueba de conformidad de flujo de bits que prueba si un subconjunto de flujo de bits asociado con el punto de operación particular se ajusta a una norma de codificación de vídeo.

50 **[0082]** El codificador de vídeo 20, el descodificador de vídeo 30, u otro tipo de dispositivo, tal como un dispositivo de red de entrega de contenido (CDN), un elemento de red con conocimiento de medios (MANE), por ejemplo, puede realizar pruebas de conformidad de flujo de bits en un sub-flujo de bits para un punto de operación. Las pruebas de conformidad de flujo de bits pueden verificar que el sub-flujo de bits se ajusta a una norma de codificación de vídeo, tal como HEVC.

55 **[0083]** En la norma H.264/AVC y HEVC, la conformidad de flujo de bits y la conformidad de descodificador se especifican como partes de la especificación de HRD. El modelo de HRD especifica pruebas para determinar si un flujo de bits se ajusta a una norma y pruebas para determinar si un descodificador se ajusta a la norma. Aunque el HRD se denomina un tipo de descodificador, el codificador de vídeo 20 puede usar el HRD para garantizar la conformidad de flujo de bits, mientras que el descodificador de vídeo 30 puede no necesitar realmente el HRD.

60 **[0084]** Dos tipos de subconjuntos de flujo de bits están sujetos a conformidad de HRD, concretamente, Tipo I y Tipo II. Un flujo de bits de Tipo I es un flujo de unidades NAL que contiene solo las unidades NAL VCL y la unidad NAL de datos de relleno para todas las unidades de acceso en el flujo de bits. Un flujo de bits de Tipo II es un flujo de unidades NAL que contiene, además de las unidades NAL VCL y unidades NAL de datos de relleno para todas las unidades de acceso en el flujo de bits, al menos uno de los siguientes: unidades NAL no VCL adicionales distintas de unidades NAL de datos de relleno; y todos los elementos sintácticos `leading_zero_8bits`, `zero_byte`, `start_coded_prefix_one_3` y `trailing_zero_8bits` que forman un flujo de bytes a partir del flujo de unidades NAL.

65

[0085] Cuando un dispositivo (por ejemplo, el codificador de vídeo 20) realiza una prueba de conformidad de flujo de bits que determina si un flujo de bits se ajusta a una norma de codificación de vídeo, el dispositivo puede seleccionar un punto de operación del flujo de bits. El dispositivo puede entonces determinar un conjunto de parámetros de HRD aplicables al punto de operación seleccionado. El dispositivo puede usar el conjunto de parámetros de HRD aplicables al punto de operación seleccionado para configurar el comportamiento del HRD. Más concretamente, el dispositivo puede usar el conjunto aplicable de parámetros de HRD para configurar los comportamientos de componentes particulares del HRD, tales como un programador de flujo hipotético (HSS), la CPB, un proceso de descodificación, la DPB, etc.

[0086] Además, el dispositivo puede invocar un proceso de descodificación que descodifica los datos de vídeo codificados en la CPB 90. El proceso de descodificación puede enviar imágenes descodificadas a la DPB 82. A medida que el dispositivo mueve datos a través del HRD, el dispositivo puede determinar si sigue cumpliéndose un conjunto particular de restricciones. Por ejemplo, el dispositivo puede determinar si se produce una condición de desbordamiento o subdesbordamiento en la CPB 90 o la DPB 82 mientras el HRD está descodificando el sub-flujo de bits del punto de operación seleccionado. El dispositivo puede seleccionar y procesar cada punto de operación del flujo de bits de esta manera. Si ningún punto de operación del flujo de bits hace que se violen las restricciones, el dispositivo puede determinar que el flujo de bits se ajusta a la norma de codificación de vídeo.

[0087] H.264/AVC y HEVC especifican dos tipos de conformidad de descodificador; a saber, la conformidad de descodificador de sincronización de salida y la conformidad de descodificador de orden de salida. Un descodificador (por ejemplo, el descodificador de vídeo 30) conforme a un perfil, grado y nivel (PTL) específico, es capaz de descodificar correctamente todos los flujos de bits que se ajustan a los requisitos de conformidad de flujo de bits de una norma de codificación de vídeo, tal como HEVC. Como se usa en el presente documento, un "perfil" puede referirse, en general, a un subconjunto de la sintaxis de flujo de bits. Se pueden especificar "grados" y "niveles" dentro de cada perfil. Un nivel de un grado puede ser un conjunto de restricciones especificadas impuestas en los valores de los elementos sintácticos en el flujo de bits. Dichas restricciones pueden ser simples límites en varios valores. De forma alternativa, pueden adoptar la forma de restricciones sobre combinaciones aritméticas de valores (por ejemplo, el ancho de imagen multiplicado por la altura de la imagen multiplicada por el número de imágenes descodificadas por segundo). Un nivel especificado para un grado inferior está más restringido que un nivel especificado para un grado superior.

[0088] La norma HEVC estipula dos conjuntos de pruebas de conformidad de flujo de bits basadas en el contenido de los datos de vídeo. El primer conjunto de pruebas de conformidad de flujo de bits es para probar la conformidad del flujo de bits completo y sus subconjuntos temporales, independientemente de si hay un conjunto de capas especificado mediante el VPS activo que contiene todos los valores de `nuh_layer_id` de las unidades NAL VCL presentes en el flujo de bits completo. El segundo conjunto de pruebas de conformidad de flujo de bits es para probar la conformidad de los conjuntos de capas especificados mediante el VPS activo y sus subconjuntos temporales. Para todas estas pruebas, solo se descodifican las imágenes de la capa base (es decir, las imágenes con `nuh_layer_id` igual a 0), y el descodificador ignora otras imágenes cuando se invoca el proceso de descodificación.

Conjuntos de capas señalizados en el VPS de base

[0089] En algunos ejemplos, el codificador de vídeo 20 puede señalar uno o más conjuntos de capas en el VPS. Un VPS, según se define mediante la norma HEVC, es una estructura sintáctica que contiene elementos sintácticos que se aplican a cero o más secuencias de vídeo codificadas completas según se determina mediante el contenido de un elemento sintáctico `video_parameter_set_id` que se encuentra en el SPS al que hace referencia el elemento sintáctico `seq_parameter_set_id`, que se encuentra en el PPS al que hace referencia el elemento sintáctico `pic_parameter_set_id` que se encuentra en cada cabecera de segmento de fragmento.

[0090] Como los VPS se aplican a secuencias de vídeo codificadas completas, el VPS incluye elementos sintácticos que cambian con poca frecuencia. El mecanismo de VPS, SPS y PPS en algunas versiones de HEVC separa la transmisión de información que cambia con poca frecuencia de la transmisión de datos de bloques de vídeo codificados. En HEVC, se puede codificar un identificador (ID) de un VPS, un SPS o un PPS para cada conjunto de parámetros. Cada SPS incluye un identificador de SPS y un identificador de VPS, cada PPS incluye un identificador de PPS y un identificador de SPS, y cada cabecera de fragmento incluye un identificador de PPS y posiblemente un identificador de APS. Por consiguiente, los identificadores se pueden usar para identificar el conjunto de parámetros adecuado a usar en diferentes instancias.

[0091] Un VPS contiene dos partes, el VPS de base y la extensión de VPS. El VPS de base, tal como se define en la primera edición, contiene información relacionada con la capa compatible con la versión 1 de HEVC, así como puntos de operación correspondientes a conjuntos de capas. El VPS de base también contiene información de escalabilidad temporal, incluyendo el número máximo de capas temporales. La extensión de VPS contiene información relacionada con las capas adicionales más allá de la capa base.

- 5 **[0092]** En MV-HEVC WD8 y SHVC WD6, todos los conjuntos de capas señalizados en el VPS de base son equivalentes a conjuntos de capas de salida (OLS) para los cuales la única capa de salida es la capa base. Esto se denomina, en general, en el presente documento "OLS de única salida de capa base". En general, el 0-ésimo OLS es uno de los OLS de única salida de capa base, sin embargo, puede haber otros OLS que también son OLS de única salida de capa base. Esto se debe a que un descodificador de vídeo 30 conforme a los perfiles definidos en el Anexo A de la especificación de HEVC y sus HRD correspondientes descodifican solo la capa base, ignorando las capas de mejora, incluso aunque todos los bits de la capa de mejora se cuenten en las operaciones de CPB cuando se descodifica el OLS.
- 10 **[0093]** En algunos ejemplos, también se permite señalar OLS de única salida de capa base en la extensión de VPS. Sin embargo, como esto ya se consigue en el VPS de base, dicha señalización en la extensión de VPS puede constituir una pérdida de bits. Por lo tanto, en algunos modos de realización, la norma HEVC puede no permitir la señalización de OLS de única salida de capa base en la extensión de VPS.
- 15 **[0094]** Además, independientemente de si el flujo de bits completo corresponde a un conjunto de capas señalizado en el VPS de base, también es equivalente a un OLS de única salida de capa base. Por conveniencia, un OLS para el cual hay al menos una capa de salida que no es la capa base, en general se denomina en el presente documento "OLS de única salida no de capa base".
- 20 **Perfil, grado, nivel**
- 25 **[0095]** La información de PTL especifica puntos de conformidad para implementar la norma (por ejemplo, HEVC) de una manera interoperable a través de varias aplicaciones que tienen requisitos funcionales similares. Un perfil define un conjunto de herramientas o algoritmos de codificación que se pueden usar para generar un flujo de bits conforme, mientras que un nivel impone restricciones en ciertos parámetros clave del flujo de bits, correspondientes a las capacidades de carga de procesamiento y memoria del descodificador. Las restricciones de nivel se establecen en términos de velocidad de muestreo máxima, tamaño de imagen máximo, velocidad binaria máxima, relación de compresión mínima y capacidades de la DPB, y la memoria intermedia de imágenes codificadas (CPB) que contiene datos comprimidos antes de su descodificación con fines de gestión de flujo de datos. En el diseño de HEVC, se determinó que existían algunas aplicaciones que tenían requisitos que diferían solo en términos de velocidad binaria máxima y capacidades de CPB.
- 30 **[0096]** El perfil es el mismo para todos los OLS de única salida de capa base, incluyendo el correspondiente al flujo de bits completo. Esto es cierto incluso si la capa base se proporciona externamente, en cuyo caso no se especifica el perfil. Por ejemplo, en dicho caso, la estructura sintáctica de PTL en el VPS de base solo contiene bits todos ceros.
- 35 **[0097]** Cuando la capa base está en el flujo de bits, el perfil para todos los OLS de única salida de capa base se señala en la estructura sintáctica de PTL del SPS activo para la capa base y en la primera estructura sintáctica de PTL del VPS activo, es decir, la estructura sintáctica de PTL en la parte de base del VPS activo.
- 40 **[0098]** El grado y el nivel señalizados en la estructura sintáctica de PTL del SPS activo para la capa base y en la primera estructura sintáctica de PTL del VPS activo son para el flujo de bits completo, que puede o no corresponder a un conjunto de capas o a un OLS señalizado en el VPS. Sin embargo, como se ha indicado anteriormente, el flujo de bits completo puede corresponder a un OLS de única salida de capa base.
- 45 **[0099]** En un ejemplo de este tipo, el VPS de base no contiene la información de grado y nivel para otro OLS de única salida de capa base señalado, incluyendo el 0-ésimo OLS que contiene sólo la propia capa base en el conjunto de capas. Por consiguiente, el grado y nivel del flujo de bits completo también se aplicaría a cualquiera de los OLS de única salida de capa base distintos del correspondiente al flujo de bits completo, aunque potencialmente a una velocidad subóptima. Esto puede deberse a que la información de grado y nivel se identifica para el flujo de bits completo. Por tanto, para un subconjunto del flujo de bits completo, la información de grado y perfil puede ser subóptima. Por ejemplo, el nivel óptimo para un subconjunto del flujo de bits completo puede ser inferior al del flujo de bits completo.
- 50 **[0100]** Excepto por el 0-ésimo OLS, la información de grado y nivel óptimos para otros OLS de única salida de capa base se puede señalar en la extensión de VPS, pero esto no es necesario. Esto puede deberse a que no es necesario tener un OLS de única salida de capa base señalado en la extensión de VPS para cada conjunto de capas señalado en el VPS de base.
- 55 **[0101]** Desde un punto de vista de la versión 1 de HEVC, las pruebas de conformidad del flujo de bits que usan su propio parámetro de HRD y solo la información de grado y nivel para el flujo de bits completo no son óptimas. Esto puede permitir que los parámetros de HRD para todos los puntos de operación distintos del correspondiente al flujo de bits completo sean subóptimos aunque se sigan pasando las pruebas de conformidad. Por tanto, deben considerarse ciertos cambios en las pruebas de conformidad. Esto se describe a continuación en relación con la FIG.
- 60 4.
- 65

Parámetros de HRD en estructuras sintácticas hrd_parameters()

5 [0102] HEVC especifica modelos de almacenamiento en memoria intermedia de vídeo para gestionar las fluctuaciones en la velocidad binaria, y la variación del vídeo comprimido cuando se transmite a una velocidad binaria constante o casi constante. Por consiguiente, el codificador de vídeo 20 y el descodificador de vídeo 30 pueden almacenar en memoria intermedia los datos en la CPB o en la DPB, respectivamente, usando el HRD. El HRD describe cómo se almacenarán en memoria intermedia los datos para la descodificación y cómo se almacenan en memoria intermedia los datos descodificados para la salida.

10 [0103] El HRD se puede usar para verificar la conformidad de flujo de bits y de descodificador en varios puntos de operación. Como se ha señalado anteriormente, un punto de operación define los parámetros usados para la extracción de sub-flujo de bits, lo que incluye una lista de capas objetivo y una capa temporal máxima objetivo. Se pueden especificar múltiples puntos de operación para un flujo de bits en particular. Los puntos de operación para los que se especifican las capas de salida, en general, se denominan en el presente documento puntos de operación de salida.

15 [0104] En las normas de codificación de vídeo, un flujo de bits compatible debe poder descodificarse mediante un HRD conectado a la salida del codificador de vídeo 20 y consiste en al menos una memoria intermedia de pre-descodificador, un descodificador y una unidad de salida/visualización (por ejemplo, el dispositivo de visualización 32).

20 [0105] Un flujo de bits es compatible si se puede descodificar mediante el HRD sin desbordamiento o subdesbordamiento de la memoria intermedia. El desbordamiento de memoria intermedia se produce cuando se deben colocar más bits en la memoria intermedia cuando está llena. El subdesbordamiento de la memoria intermedia se produce cuando algunos bits no están en la memoria intermedia cuando se deben recuperar los bits de la memoria intermedia para su descodificación/reproducción.

25 [0106] El codificador de vídeo 20 puede señalar un conjunto de parámetros de HRD para imponer restricciones a los tamaños codificados de las imágenes y para ayudar a decidir los tamaños de memoria intermedia requeridos y el retardo de inicio.

30 [0107] Para un HRD, se pueden usar dos tipos de conjuntos de parámetros de HRD (parámetros NAL HRD y parámetros VCL HRD). En algunos ejemplos, los conjuntos de parámetros de HRD de nivel de secuencia se señalan a través de la estructura sintáctica `hrd_parameters()`, que puede ser parte de la estructura sintáctica de SPS o de la estructura sintáctica de VPS.

35 [0108] Dentro de la estructura sintáctica `hrd_parameters()`, solo tres elementos sintácticos están relacionados con operaciones de DPB. El resto de elementos son solo para operaciones de CPB. Estos tres elementos sintácticos relacionados con DPB son:

40 `fixed_pic_rate_general_flag[i]`,

`fixed_pic_rate_within_cvs_flag[i]`, y

45 `elemental_duration_in_tc_minus1[i]`, un conjunto para cada valor de `TemporalId`.

50 [0109] Cuando las imágenes están alineadas entre capas, es decir, cada unidad de acceso (AU) tiene una imagen para cada capa en el conjunto de capas, y se usa una velocidad de imagen fija, se aplicaría una estructura sintáctica `hrd_parameters()` que se aplica a un conjunto de capas a todos los OLS que están asociados con el conjunto de capas. Sin embargo, en otras situaciones, una estructura sintáctica `hrd_parameters()` que se aplica a un conjunto de capas puede no ser aplicable al resto de OLS asociados con el conjunto de capas distintos del OLS de única salida de capa base.

55 [0110] En otras palabras, es necesario habilitar la señalización de las estructuras sintácticas `hrd_parameters()` en la extensión de VPS para los OLS especificados en la extensión de VPS.

Aplicabilidad de mensajes SEI BP/PT/DUI no anidados y anidados directamente

60 [0111] Los mensajes SEI pueden contener información sobre la temporización de las imágenes de vídeo, la interpretación correcta del espacio de color usado en la señal de vídeo, información de empaquetado de tramas estereoscópicas 3-D, otra información de sugerencias de visualización, etc. Los mensajes SEI BP, PT y DUI contienen parámetros de HRD de nivel de imagen y de nivel de sub-imagen. Los mensajes SEI BP, PT y DUI no anidados pueden aplicarse al flujo de bits completo, independientemente de si corresponde a un conjunto de capas o a un OLS señalado en el VPS.

65

5 [0112] Los mensajes SEI BP, PT y DUI anidados directamente se refieren a mensajes SEI BP, PT y DUI que están incluidos directamente en mensajes SEI de anidamiento escalable, en lugar de estar anidados indirectamente. Anidado indirectamente se refiere a mensajes SEI incluidos en mensajes SEI de anidamiento de división de flujo de bits, que a su vez están incluidos en los mensajes SEI de anidamiento escalable. Un mensaje SEI no anidado está incluido directamente en una unidad SEI NAL, en lugar de estar anidado directa o indirectamente.

10 [0113] De acuerdo con la versión 1 de HEVC, los mensajes SEI BP, PT y DUI anidados directamente se aplican a los puntos de operación que corresponden a los conjuntos de capas señalizados en el VPS de base, que son equivalentes a OLS de única salida de capa base. En algunos ejemplos, los mensajes SEI BP, PT y DUI anidados directamente no se aplican a OLS de única salida no de capa base, ya que no hay manera de asociar estos mensajes SEI a un OLS de única salida no de capa base anidándolos directamente.

15 [0114] Sin embargo, en algunos ejemplos, la aplicabilidad de los mensajes SEI BP, PT y DUI no anidados y anidados directamente no está clara basándose en la norma actual. En consecuencia, a menudo no está claro cuáles de dichos mensajes SEI se deben seleccionar para su uso en algunas pruebas de conformidad de flujo de bits.

20 [0115] En algunos modos de realización, puede ser beneficioso especificar qué mensajes SEI son pertinentes para qué prueba de conformidad. Por tanto, los mensajes SEI anidados directamente se pueden seleccionar para su uso con puntos de operación correspondientes a OLS de única salida de capa base. En algunos modos de realización, los mensajes SEI anidados directamente se pueden seleccionar para su uso con puntos de operación correspondientes a OLS de única salida de capa base. Esto puede eliminar cierta ambigüedad. En algunos modos de realización diferentes, los mensajes SEI pueden ser uno de los mensajes SEI BP, PT y DUI.

25 [0116] En algunos modos de realización, los mensajes SEI anidados indirectamente se pueden aplicar a los OLS de única salida no de capa base especificados en la extensión de VPS. En algunos modos de realización diferentes, los mensajes SEI anidados indirectamente pueden ser uno de los mensajes SEI BP, PT y DUI.

Pruebas de conformidad de flujo de bits

30 [0117] En algunos ejemplos, a excepción del 0-ésimo OLS, la información de grado y nivel óptima para OLS de salida única de capa base se puede señalar en la extensión de VPS. En HEVC, esto puede no ser necesario. Esto se debe a que el codificador de vídeo 20 no necesita señalar el OLS de única salida de capa base en la extensión de VPS para cada conjunto de capas señalado en el VPS de base. En la base de VPS, solo se señala un conjunto de información de PTL, pero se pueden señalar múltiples estructuras `hrd_parameters()`, por ejemplo, una para cada OLS de única salida de capa base. Por tanto, la conformidad de flujo de bits para los puntos de conformidad de un OLS de única salida de capa base se comprueban contra sus propios parámetros de HRD. Sin embargo, las restricciones se comparan solo con la información de grado y nivel del flujo de bits completo. Esta es la única información de PTL señalizada en la base de VPS, que se comparte mediante todos los OLS de única salida de capa base especificados mediante la base de VPS. Los requisitos existentes pueden permitir entonces que los parámetros de HRD para todos los puntos de operación distintos del correspondiente al flujo de bits completo sean "mayores" que el óptimo aunque se sigan pasando las pruebas de conformidad. En algunos ejemplos, la información de grado y nivel proporciona un límite superior a muchos de los parámetros de HRD. Por lo tanto, el grado o nivel del flujo de bits completo puede ser mayor que el grado o nivel óptimo para un OLS de única salida de capa base. Por consiguiente, puede ser beneficioso implementar pruebas de conformidad de flujo de bits para diferentes OLS de única salida de capa base de acuerdo con su contenido respectivo. Esto se puede lograr señalizando información de grado y nivel diferente para los diferentes OLS de única salida de capa base.

35 [0118] En algunos modos de realización, puede haber tres conjuntos de pruebas de conformidad de flujo de bits implementadas. El primer conjunto de pruebas de conformidad de flujo de bits es para probar la conformidad del flujo de bits completo y sus subconjuntos temporales, independientemente de si hay un conjunto de capas especificado mediante el VPS activo que contiene todos los valores de `nuh_layer_id` de las unidades NAL VCL presentes en el flujo de bits completo. El segundo conjunto de pruebas de conformidad de flujo de bits es para probar la conformidad de los conjuntos de capas especificados mediante la parte de base el VPS activo (por ejemplo, la base de VPS) y sus subconjuntos temporales. Para todas estas pruebas, solo se descodifican las imágenes de la capa base (es decir, las imágenes con `nuh_layer_id` igual a 0), y el decodificador ignora otras imágenes cuando se invoca el proceso de descodificación. El tercer conjunto de pruebas de conformidad de flujo de bits se puede implementar para probar la conformidad de los OLS especificados mediante la extensión de VPS del VPS activo y los subconjuntos temporales de esos OLS.

40 [0119] En algunos modos de realización, las tres pruebas de conformidad se realizan en uno o más puntos de operación de salida. Los puntos de operación de salida se pueden seleccionar y extraer de los datos de vídeo codificados que conforman el flujo de bits. En algunos modos de realización, la selección de los puntos de operación de salida se basa en el contenido de los conjuntos de parámetros (por ejemplo, SPS, VPS, PPS) y el contenido del flujo de bits.

[0120] En algunos casos, el punto de operación de salida seleccionado puede identificarse como un punto de operación de salida bajo prueba (también denominado "Target Op") seleccionando una lista de identificadores de capa (OpLayerIdList) y un identificador temporal máximo objetivo (OpTid). La lista de identificadores de capa incluye todos los identificadores de capa (nuh_layer_id) de las unidades NAL VCL presentes en el flujo de bits o incluye los identificadores de capa de un conjunto de capas especificado mediante el VPS activo. En un ejemplo de este tipo, una de la primera o segunda pruebas de conformidad de flujo de bits se aplica al punto de operación de salida seleccionado.

[0121] Como se ha señalado anteriormente, la tercera prueba de conformidad de flujo de bits se aplica a los OLS especificados mediante la parte de extensión de VPS del VPS activo y sus subconjuntos temporales. Para cada prueba en el tercer conjunto de pruebas de conformidad de flujo de bits, el punto o puntos de operación de salida se pueden seleccionar de una manera ligeramente diferente a la primera y la segunda pruebas de conformidad de flujo de bits. El punto de operación de salida seleccionado (por ejemplo, el punto de operación de salida bajo prueba, o TargetOp) se selecciona identificando un OLS objetivo en la extensión de VPS y el identificador temporal máximo (HighestTid) dentro del OLS.

[0122] La **FIG. 4** es un diagrama de flujo que describe un procedimiento de implementación de prueba de conformidad. En el bloque 410, el sistema de codificación 10 puede recibir datos de vídeo codificados que incluyen una pluralidad de puntos de operación de salida. Los datos de vídeo codificados también pueden incluir una indicación de qué capas se deben enviar para cada uno de los puntos de operación de salida. La indicación se puede incluir en un conjunto de parámetros (por ejemplo, un VPS, SPS). La indicación también puede ser implícita cuando el punto de operación de salida corresponde a un flujo de bits completo o a un subconjunto temporal del flujo de bits completo; o a un conjunto de capas especificado mediante la base de VPS o a un subconjunto temporal del conjunto de capas. En los casos implícitos, solo se debe enviar la capa base. En el bloque 415, el sistema de codificación 10 puede extraer un punto de operación de salida a probar de acuerdo con una prueba de conformidad de flujo de bits. El punto de operación de salida se puede seleccionar basándose en la identificación de los OLS, los subconjuntos temporales de los OLS, los subconjuntos temporales del flujo de bits completo, o como se indique de otro modo en la base de VPS o en la extensión de VPS. El uno o más procesadores (procesador) que comprenden el codificador de vídeo 20 y el descodificador de vídeo 30 pueden implementar una prueba de conformidad dada para el punto de operación de salida (por ejemplo, datos de vídeo codificados) basándose en su contenido.

[0123] Por ejemplo, en el bloque de decisión 420, si el punto de operación de salida seleccionado corresponde a un flujo de bits completo o a un subconjunto temporal del flujo de bits completo con solo la capa base como salida, el procedimiento 400 se puede mover al bloque 430. En el bloque 430, el procesador (por ejemplo, el HRD) puede realizar una primera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado basándose en un conjunto de parámetros de HRD de nivel de secuencia en un SPS activo para una capa base y mensajes SEI no anidados (por ejemplo, BP, PT y DUI). El conjunto de parámetros de HRD de nivel de secuencia se puede especificar en una estructura sintáctica hrd_parameters() en el SPS activo. En algunos modos de realización, la primera prueba de conformidad de flujo de bits puede basarse además en una estructura sintáctica de PTL en el SPS activo.

[0124] Si el punto de operación de salida seleccionado no corresponde al flujo de bits completo o a un subconjunto temporal del flujo de bits completo con solo la capa base como la salida en el bloque de decisión 420, el procedimiento 400 se mueve al bloque de decisión 440. Si, en el bloque de decisión 440, el punto de operación de salida seleccionado corresponde a uno de un conjunto de capas especificado mediante una base de VPS activo o un subconjunto temporal del conjunto de capas con solo la capa base a enviar, el procesador puede realizar una segunda prueba de conformidad de flujo de bits en el bloque 450. La segunda prueba de conformidad de flujo de bits se puede realizar en el punto de operación de salida seleccionado basándose en un conjunto de parámetros de HRD de nivel de secuencia en el VPS de base y mensajes SEI BP, PT o DUI anidados directamente. El conjunto de parámetros de HRD de nivel de secuencia se puede especificar en una estructura sintáctica hrd_parameters() en la base de VPS activo.

[0125] Si, en el bloque de decisión 440, los datos de vídeo codificados no corresponden a uno de un conjunto de capas especificado mediante una parte de base de un VPS activo o un subconjunto temporal del conjunto de capas con solo la capa base a enviar, los datos de vídeo codificados corresponden a uno de un OLS especificado mediante una extensión de VPS de un VPS activo o un subconjunto temporal del OLS, como se muestra en el bloque 460. En el bloque 470, el procesador (por ejemplo, el HRD) puede realizar una tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado basándose en un conjunto de parámetros de HRD de nivel de secuencia en la parte de base o de extensión del VPS activo y mensajes SEI BP, PT, o DUI anidados indirectamente. El conjunto de parámetros de HRD de nivel de secuencia se puede especificar en una estructura sintáctica hrd_parameters() en la parte de base o de extensión del VPS activo. En consecuencia, con los tres tipos independientes de pruebas de conformidad, las pruebas de conformidad de flujo de bits para diferentes tipos de puntos de operación de salida se especifican de manera clara y eficiente, y de una manera que es compatible con la versión 1 de la especificación de HEVC.

[0126] En algunos modos de realización, para los OLS de única salida de capa base entre todos los OLS especificados en la extensión de VPS, si hay alguno, se usa la estructura sintáctica hrd_parameters() aplicable en la

parte de base del VPS activo, y los mensajes SEI BP, PT y DUI anidados directamente aplicables. La sintaxis y el proceso existentes permiten esto de una manera que es compatible con la versión 1 de HEVC, sin embargo, esto no está permitido para otros OLS especificados en la extensión de VPS.

- 5 **[0127]** Se debe tener en cuenta que si un OLS de única salida no de capa base contiene todas las capas en el flujo de bits completo, todavía se pueden usar solo mensajes SEI BP, PT y DUI anidados indirectamente, no los no anidados, ya que los no anidados son para el OLS de única salida de capa base que contiene todas las capas en el flujo de bits completo.
- 10 **[0128]** El uso de la estructura sintáctica de PTL es el mismo tanto para OLS de única salida de capa base como para OLS de única salida no de capa base entre todos los OLS especificados en la extensión de VPS. Se usa la estructura sintáctica de PTL más apropiada, ya sea en el VPS de base o en la extensión de VPS.
- 15 **[0129]** Se debe tener en cuenta que si un OLS de única salida no de capa base contiene todas las capas en el flujo de bits completo, todavía se puede usar solo una estructura sintáctica de PTL en el VPS, no la de la estructura sintáctica de PTL en el SPS activo para la capa base, ya que esa es para el OLS de única salida de capa base que contiene todas las capas en el flujo de bits completo.
- 20 **[0130]** La información y las señales divulgadas en el presente documento pueden representarse usando cualquiera entre varias tecnologías y procedimientos diferentes. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan haberse mencionado a lo largo de la descripción anterior pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticas, campos o partículas ópticas o cualquier combinación de los mismos.
- 25 **[0131]** Los diversos bloques lógicos, módulos, circuitos y etapas de algoritmos ilustrativos descritos en conexión con los modos de realización divulgados en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito en general diversos componentes, bloques, módulos y etapas ilustrativos en términos de su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de la aplicación particular y de las restricciones de diseño impuestas en el sistema general. Los expertos en la técnica pueden implementar la funcionalidad descrita de distintas maneras para cada aplicación particular, pero no se debería interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente divulgación.
- 30 **[0132]** Los modos de realización descritos en el presente documento pueden implementarse en hardware, software, firmware o cualquier combinación de los mismos. Dichos modos de realización pueden implementarse en cualquiera de una variedad de dispositivos tales como ordenadores de propósito general, equipos manuales de dispositivo de comunicación inalámbrica o dispositivos de circuito integrado que tienen múltiples usos, incluyendo su aplicación en equipos manuales de dispositivo de comunicación inalámbrica y otros dispositivos. Todas las características descritas como módulos o componentes pueden implementarse juntas en un dispositivo lógico integrado o por separado, como dispositivos lógicos discretos pero interoperables. Si se implementan en software, los procedimientos pueden realizarse, al menos en parte, mediante un medio de almacenamiento de datos legible por ordenador que comprende código de programa que incluye instrucciones que, cuando se ejecutan, realizan uno o más de los procedimientos descritos anteriormente. El medio de almacenamiento de datos legible por ordenador puede formar parte de un producto de programa informático, que puede incluir materiales de embalaje. El medio legible por ordenador puede comprender memoria o medios de almacenamiento de datos, tales como memoria de acceso aleatorio (RAM), tal como memoria de acceso aleatorio dinámica síncrona (SDRAM), memoria de sólo lectura (ROM), memoria de acceso aleatorio no volátil (NVRAM), memoria de sólo lectura programable y borrable eléctricamente (EEPROM), memoria FLASH, medios de almacenamiento de datos magnéticos u ópticos, y similares. Los procedimientos se pueden realizar, adicionalmente o de forma alternativa, al menos en parte, mediante un medio de comunicación legible por ordenador que transporta o comunica código de programa en la forma de instrucciones o estructuras de datos y a las que se puede acceder, leer y/o ejecutar mediante un ordenador, tales como señales u ondas propagadas.
- 35 **[0133]** El código de programa se puede ejecutar mediante un procesador, que puede incluir uno o más procesadores, tales como uno o más procesadores de señales digitales (DSP), microprocesadores de propósito general, circuitos integrados específicos de la aplicación (ASIC), matrices de puertas programables in-situ (FPGA) u otros circuitos lógicos equivalentes, integrados o discretos. Un procesador de este tipo puede estar configurado para realizar cualquiera de los procedimientos y procesos descritos en esta divulgación. Un procesador de uso general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados convencional. Un procesador puede implementarse también como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de ese tipo. Por consiguiente, el término "procesador", como se usa en el presente documento, puede referirse a cualquier estructura anterior, cualquier combinación de la estructura anterior, o cualquier otra estructura o aparato adecuados para la implementación de los procedimientos descritos en el presente documento. Además, en algunos aspectos, la funcionalidad descrita en el presente documento puede proporcionarse dentro de módulos de
- 40
- 45
- 50
- 55
- 60
- 65

software o módulos de hardware dedicados configurados para la codificación y la decodificación, o incorporados en un codificador-descodificador (CODEC) de vídeo combinado.

5 **[0134]** Aunque los modos de realización de la divulgación se describen anteriormente para un modo de realización particular, son posibles muchas variaciones de la divulgación. Por ejemplo, los números de varios componentes se pueden aumentar o disminuir, los módulos y las etapas que determinan una fuente de voltaje se pueden modificar para determinar una frecuencia, otro parámetro de sistema o una combinación de parámetros. Adicionalmente, las características de los diversos modos de realización pueden combinarse en combinaciones que difieran de las descritas anteriormente.

10 **[0135]** Los expertos apreciarán que los diversos bloques y módulos ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse de diversas formas. Algunos bloques y módulos se han descrito anteriormente en general en términos de su funcionalidad. Cómo se implementa dicha funcionalidad depende de las restricciones de diseño impuestas en un sistema general. Los expertos en la técnica pueden implementar las funciones descritas de diferentes maneras para cada aplicación particular, no debiéndose interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente divulgación. Además, la agrupación de funciones dentro de un módulo, bloque o paso es para facilitar la descripción. Las funciones o etapas específicas se pueden mover desde un módulo o bloque, o distribuirse entre módulos o bloques, sin apartarse de la divulgación.

20 **[0136]** La descripción anterior del modo de realización divulgado se proporciona para permitir que cualquier experto en la materia realice o use la materia objeto de la divulgación. Diversas modificaciones de estos modos de realización resultarán fácilmente evidentes para los expertos en la técnica, y los principios genéricos descritos en el presente documento pueden aplicarse a otro modo de realización sin apartarse del alcance de la divulgación. Por tanto, se entenderá que la descripción y los dibujos presentados en el presente documento representan una implementación preferente en este momento de la divulgación y, por lo tanto, son representativos de la materia objeto que se contempla ampliamente en la presente divulgación. Se entiende además que el alcance de la presente divulgación abarca completamente otros modos de realización que pueden volverse obvios para los expertos en la técnica y que, por consiguiente, el alcance de la presente divulgación no está limitado por nada más que las reivindicaciones adjuntas.

25

30

REIVINDICACIONES

1. Un procedimiento para procesamiento de datos de vídeo que comprende:
- 5 recibir (410) datos de vídeo codificados que tienen una pluralidad de puntos de operación de salida;
- extraer (415) un punto de operación de salida seleccionado de la pluralidad de puntos de operación de salida, siendo el punto de operación de salida seleccionado un sub-flujo de bits de un flujo de bits completo;
- 10 y
- en respuesta (420)
- al punto de operación de salida seleccionado correspondiente a uno de un flujo de bits completo con solo la capa base a enviar, y un subconjunto temporal del flujo de bits completo con solo la capa base a enviar,
- 15 realizar (430) una primera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la primera prueba de conformidad de flujo de bits en un conjunto de parámetros de descodificador de referencia hipotético (HRD) de nivel de secuencia en un conjunto de parámetros de secuencia (SPS) activo para la capa base, y
- 20 uno o más mensajes de información de mejora suplementaria (SEI) no anidados, estando incluidos directamente cada uno de los mensajes SEI no anidados del uno o más mensajes SEI no anidados en una unidad de capa de abstracción de red (NAL) de SEI,
- 25 en respuesta (440)
- al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas especificado mediante un conjunto de parámetros de vídeo (VPS) de base de un VPS activo y un subconjunto temporal del conjunto de capas con solo la capa base a enviar,
- 30 realizar (450) una segunda prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado,
- 35 estando basada la segunda prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS de base y mensajes SEI anidados directamente, estando incluidos directamente los mensajes SEI anidados directamente en los mensajes SEI de anidamiento escalable, y
- 40 en respuesta (460)
- al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas de salida (OLS) especificado mediante una extensión de VPS del VPS activo y un subconjunto temporal del OLS,
- 45 realizar (470) una tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la tercera prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS activo y mensajes SEI anidados indirectamente, estando incluidos los mensajes SEI anidados indirectamente en los mensajes SEI de anidamiento de división de flujo de bits, estando incluido el mensaje SEI de anidamiento de división de flujo de bits en un mensaje SEI de anidamiento escalable.
- 50
2. El procedimiento de acuerdo con la reivindicación 1, que comprende además aplicar mensajes SEI anidados directamente solo cuando el punto de operación de salida seleccionado corresponde a un OLS identificado en la parte de base del VPS activo, siendo los mensajes SEI anidados directamente uno de mensajes SEI de período de memoria intermedia (BP), temporización de imagen (PT), e información de unidad de descodificador (DUI).
- 55
3. El procedimiento de acuerdo con la reivindicación 1, que comprende además aplicar los mensajes SEI anidados indirectamente solo cuando el punto de operación de salida seleccionado corresponde a un OLS especificado en la extensión de VPS, siendo los mensajes SEI anidados indirectamente uno de los mensajes SEI BP, PT y DUI.
- 60
4. El procedimiento de acuerdo con la reivindicación 1, que comprende además incluir el conjunto de parámetros de HRD de nivel de secuencia en una estructura sintáctica `hrd_parameters()` en uno de los SPS, el VPS de base y la extensión de VPS.
- 65

5. El procedimiento de acuerdo con la reivindicación 1, en el que los mensajes SEI comprenden uno de los mensajes SEI BP, PT y DUI.
- 5 6. El procedimiento de acuerdo con la reivindicación 1, que comprende además realizar la tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada además la tercera prueba de conformidad de flujo de bits en el conjunto de parámetros de HRD de nivel de secuencia en el VPS activo y estando ubicados los mensajes SEI anidados indirectamente en uno del VPS de base y la extensión de VPS.
- 10 7. El procedimiento de acuerdo con la reivindicación 1, que comprende además seleccionar el punto de operación de salida seleccionado de la pluralidad de puntos de operación de salida de los datos de vídeo codificados.
- 15 8. Un aparato para procesar datos de vídeo que comprende:
- unos medios de memoria para almacenar datos de vídeo codificados, teniendo los datos de vídeo una pluralidad de puntos de operación de salida; y
- 20 unos medios de descodificador (30) acoplados operativamente a los medios de memoria para: extraer (415) un punto de operación de salida seleccionado de la pluralidad de puntos de operación de salida, siendo el punto de operación de salida seleccionado un sub-flujo de bits de un flujo de bits completo; y en respuesta (420)
- 25 al punto de operación de salida seleccionado correspondiente a uno de un flujo de bits completo con solo la capa base a enviar, y un subconjunto temporal del flujo de bits completo con solo la capa base a enviar, realizar (430)
- 30 una primera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la primera prueba de conformidad de flujo de bits en un conjunto de parámetros de descodificador de referencia hipotético (HRD) de nivel de secuencia en un conjunto de parámetros de secuencia (SPS) activo para la capa base, y uno o más mensajes de información de mejora suplementaria (SEI) no anidados, estando incluidos directamente cada uno de los mensajes SEI no anidados del uno o más mensajes SEI no anidados en una unidad de capa de abstracción de red (NAL) de SEI, en respuesta (440)
- 35 al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas especificado mediante un conjunto de parámetros de vídeo (VPS) de base de un VPS activo y un subconjunto temporal del conjunto de capas con solo la capa base a enviar, realizar (450)
- 40 una segunda prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la segunda prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS de base y mensajes SEI anidados directamente, estando incluidos directamente los mensajes SEI anidados directamente en los mensajes SEI de anidamiento escalable, y en respuesta (460)
- 45 al punto de operación de salida seleccionado correspondiente a uno de un conjunto de capas de salida (OLS) especificado mediante una extensión de VPS del VPS activo y un subconjunto temporal del OLS, realizar (470)
- 50 una tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada la tercera prueba de conformidad de flujo de bits en un conjunto de parámetros de HRD de nivel de secuencia en el VPS activo y mensajes SEI anidados indirectamente, estando incluidos los mensajes SEI anidados indirectamente en los mensajes SEI de anidamiento de división de flujo de bits, estando incluido el mensaje SEI de anidamiento de división de flujo de bits en un mensaje SEI de anidamiento escalable.
- 55 9. El aparato de acuerdo con la reivindicación 8, en el que los medios de descodificador (30) son un descodificador de referencia hipotético implementado mediante al menos un procesador.
- 60 10. El aparato de acuerdo con la reivindicación 8, en el que los medios de descodificador (30) están configurados para aplicar mensajes SEI anidados directamente solo cuando el punto de operación de salida seleccionado corresponde a un OLS identificado en la base de VPS del VPS activo, siendo los mensajes SEI anidados directamente uno de mensajes SEI de período de memoria intermedia (BP), temporización de imagen (PT) e información de unidad de descodificador (DUI).

- 5
- 10
- 15
- 20
11. El aparato de acuerdo con la reivindicación 8, en el que los medios de descodificador (30) están configurados para aplicar mensajes SEI anidados indirectamente solo cuando el punto de operación de salida seleccionado corresponde a un OLS identificado en la extensión de VPS del VPS activo, siendo los mensajes SEI anidados indirectamente uno de los mensajes SEI BP, PT y DUI.
 12. El dispositivo de acuerdo con la reivindicación 11, en el que el conjunto de parámetros de HRD de nivel de secuencia se incluye en una estructura sintáctica `hrd_parameters()` en uno del SPS, el VPS de base y la extensión de VPS.
 13. El dispositivo de acuerdo con la reivindicación 11, en el que los mensajes SEI comprenden uno de los mensajes SEI BP, PT y DUI.
 14. El dispositivo de acuerdo con la reivindicación 11, en el que el procesador está configurado además para realizar la tercera prueba de conformidad de flujo de bits en el punto de operación de salida seleccionado, estando basada además la tercera prueba de conformidad de flujo de bits en el conjunto de parámetros de HRD de nivel de secuencia en el VPS activo y estando ubicados los mensajes SEI indirectamente anidados en uno del VPS de base y la extensión de VPS.
 15. Un medio no transitorio legible por ordenador que contiene instrucciones que, cuando se ejecutan mediante un procesador, hacen que el ordenador realice el procedimiento de acuerdo con cualquiera de las reivindicaciones 1 a 7.

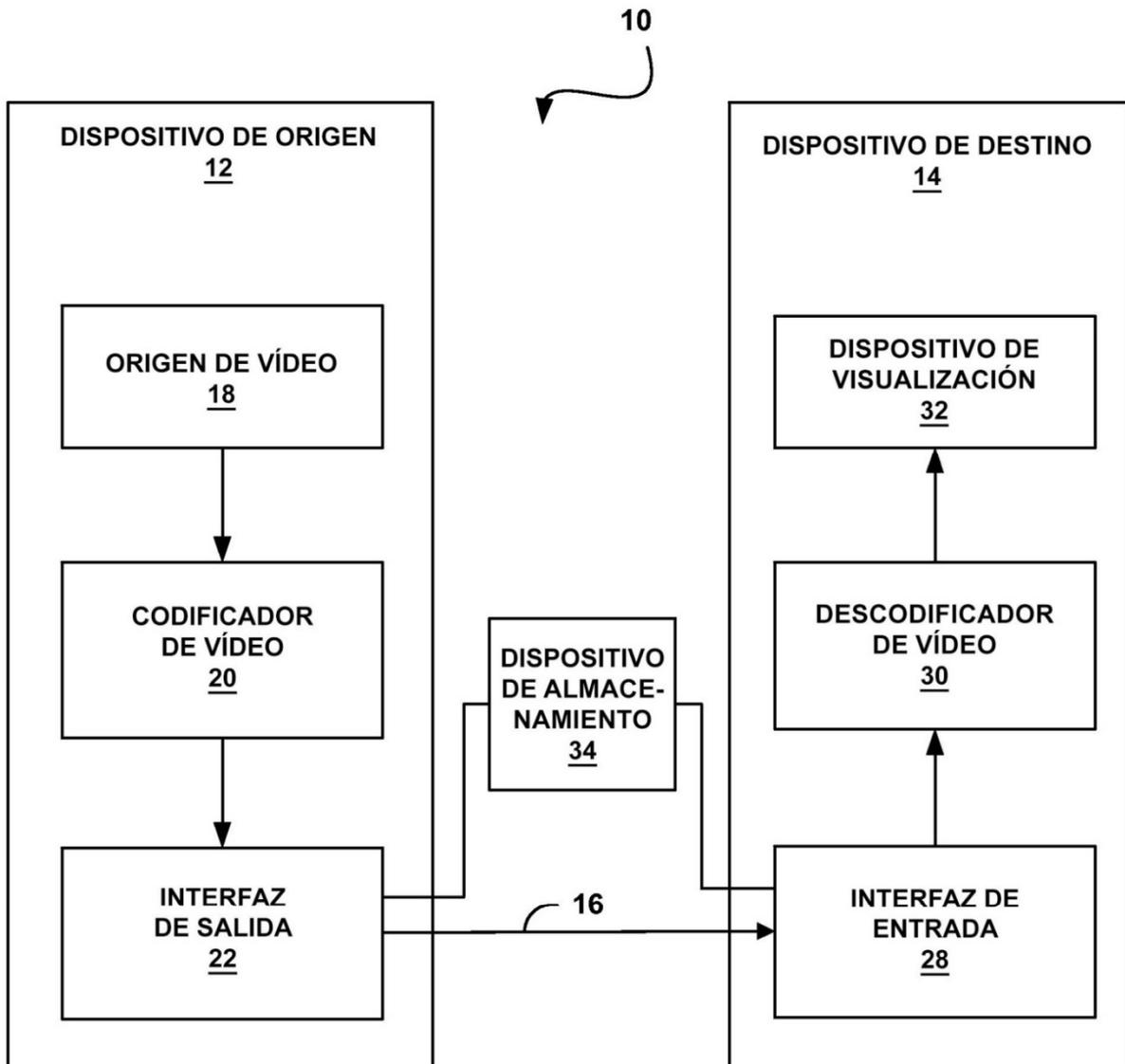


FIG. 1

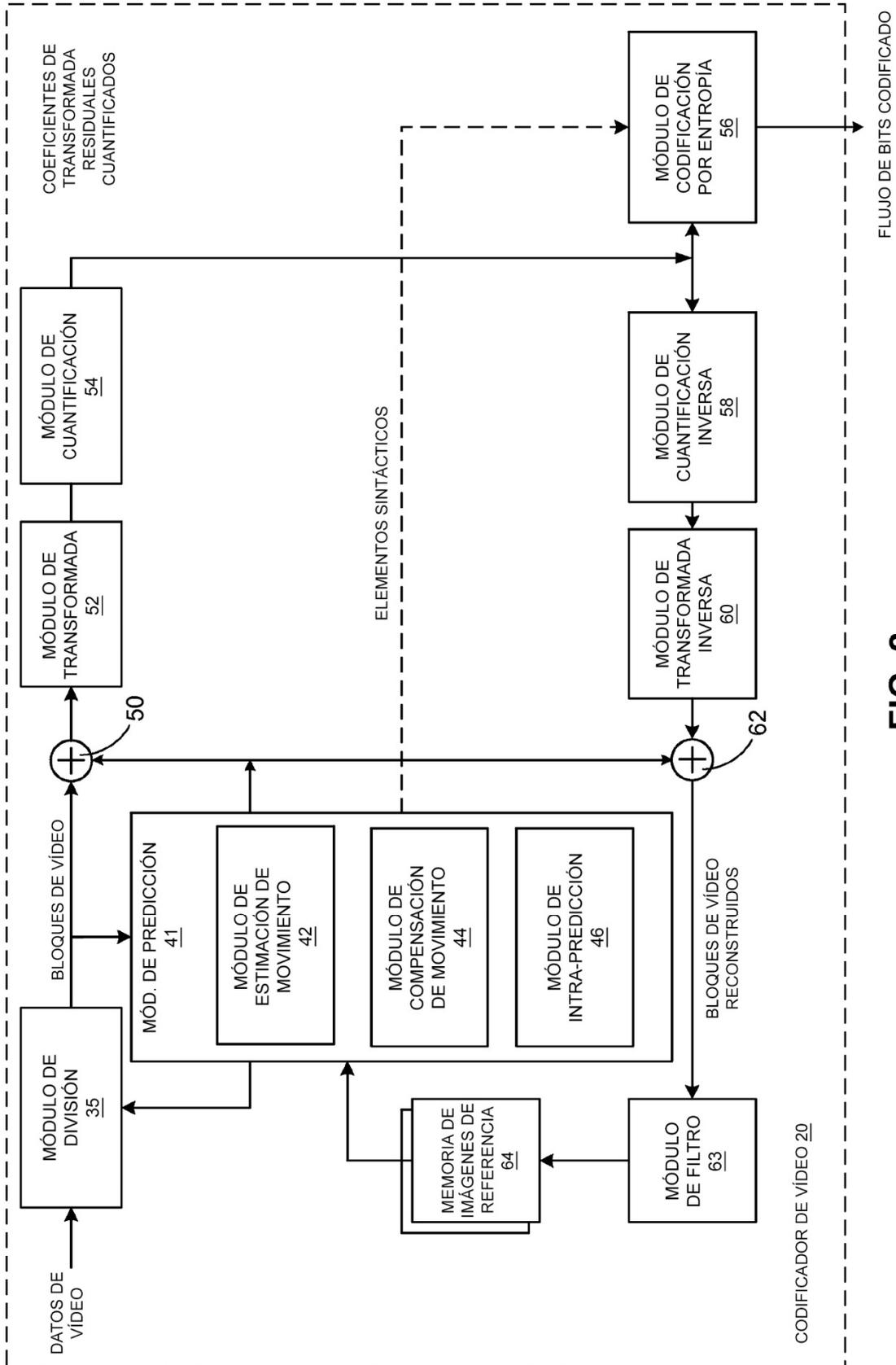


FIG. 2

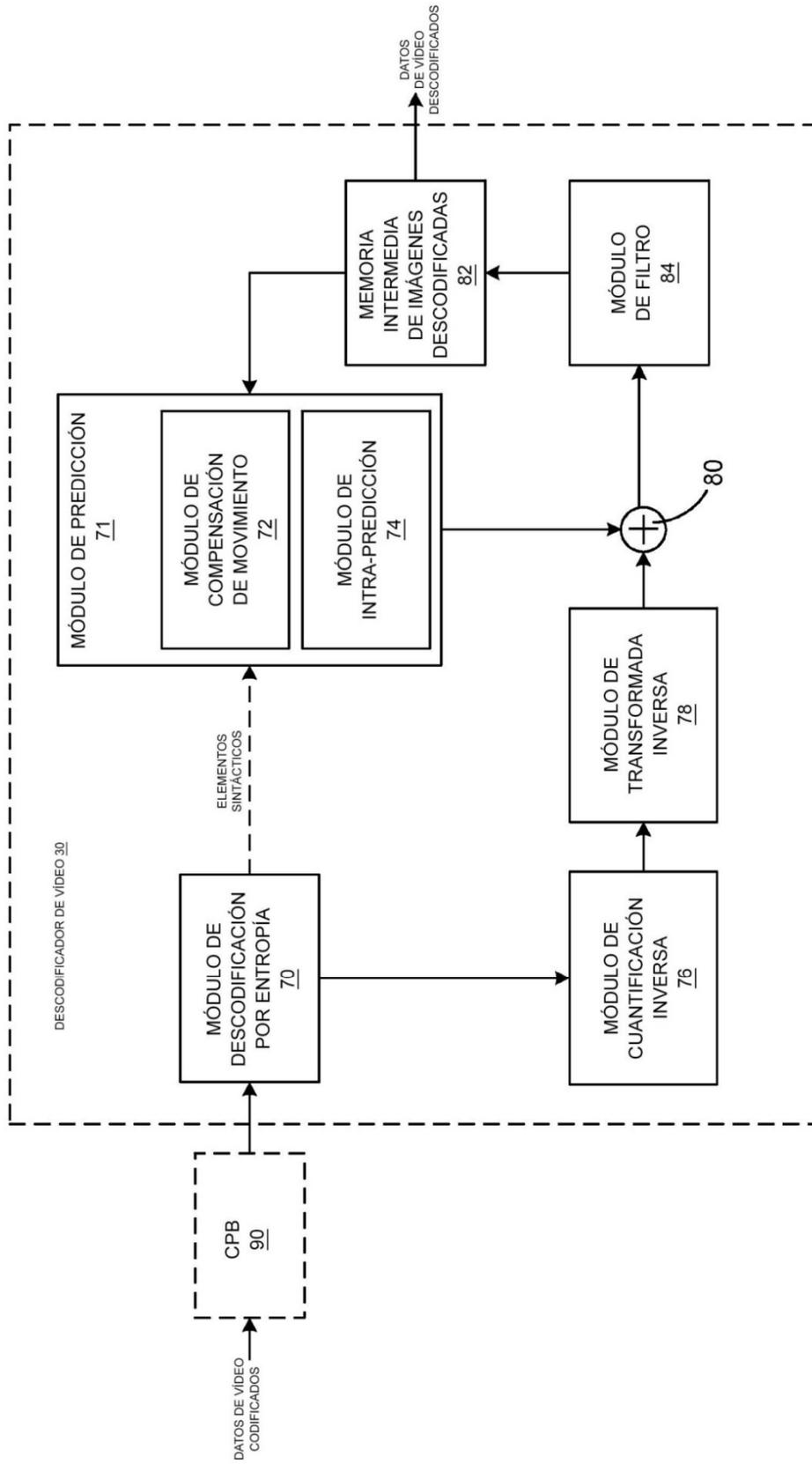


FIG. 3

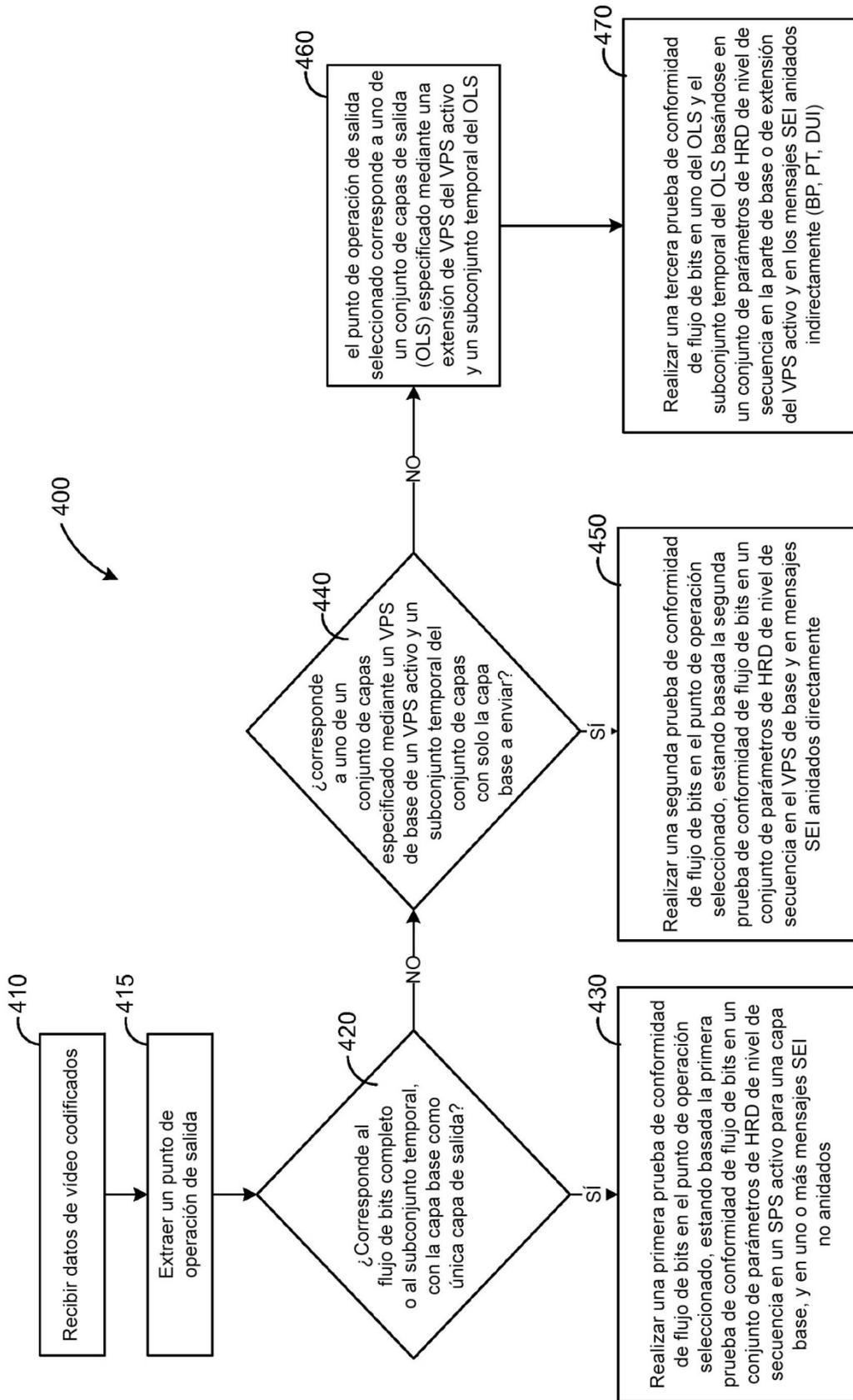


FIG. 4