

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 715 029**

51 Int. Cl.:

<b>G06F 1/08</b>	(2006.01)
<b>H03K 3/037</b>	(2006.01)
<b>H03K 7/06</b>	(2006.01)
<b>H03K 21/10</b>	(2006.01)
<b>H03K 23/64</b>	(2006.01)
<b>H03K 19/21</b>	(2006.01)
<b>H03K 21/00</b>	(2006.01)
<b>H03K 21/02</b>	(2006.01)
<b>H03K 23/00</b>	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **10.08.2016 PCT/US2016/046333**
- 87 Fecha y número de publicación internacional: **23.03.2017 WO17048419**
- 96 Fecha de presentación y número de la solicitud europea: **10.08.2016 E 16754368 (5)**
- 97 Fecha y número de publicación de la concesión europea: **09.01.2019 EP 3350928**

54 Título: **Divisor de reloj programable de alta velocidad**

30 Prioridad:

**15.09.2015 US 201514855238**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**31.05.2019**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
5775 Morehouse Drive  
San Diego, CA 92121-1714, US**

72 Inventor/es:

**AGRAWAL, NEHA;  
MOHAMAD, SAJIN y  
LEE, CHULKYU**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

ES 2 715 029 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Divisor de reloj programable de alta velocidad

## 5 ANTECEDENTES

Campo

10 [0001] La presente invención se refiere a circuitos electrónicos y, más particularmente, a divisores de reloj programables.

Antecedentes

15 [0002] Un divisor de reloj programable recibe una señal de reloj de entrada a una frecuencia de entrada y produce una señal de reloj de salida a una frecuencia de salida con la relación de la frecuencia de entrada a la frecuencia de salida establecida por una proporción de división programable. Los divisores de reloj programables se utilizan en muchos dispositivos electrónicos. Por ejemplo, un divisor de reloj programable se puede usar para implementar múltiples frecuencias de operación para un enlace de interfaz en serie de pantalla (DSI) entre un procesador y un dispositivo de visualización. DSI es un estándar de interfaz establecido por la Alianza de Interfaz de Procesador de Industria Móvil (MIPI). El enlace DSI puede operar en muchas frecuencias diferentes, por ejemplo, dependiendo de las características de la pantalla, con una señal de reloj que alterna entre las diferentes frecuencias producidas por un divisor de reloj programable.

25 [0003] La figura 1 es un diagrama de bloques de un sistema electrónico que incluye un divisor de reloj programable. El sistema incluye una interfaz DSI 20. La interfaz DSI 20 está acoplada a señales DSI para comunicación con un dispositivo de visualización 10. La interfaz DSI 20 puede recibir señales de datos y formatear las señales para comunicación de acuerdo con especificaciones DSI. La interfaz DSI 20 recibe una señal de reloj (CLKdiv) para usarse en la realización de sus funciones.

30 [0004] Un divisor de reloj programable 45 recibe una señal de reloj de entrada (CLKin) y produce una señal de reloj de salida (CLKdiv). El divisor de reloj programable 45 recibe una señal de proporción de división (N) que indica la relación de la frecuencia de la señal de reloj de entrada con la frecuencia de la señal de reloj de salida.

35 [0005] El sistema de la figura 1 también incluye un bloque SoC 90. El bloque SoC 90 proporciona otras funciones del sistema electrónico. El bloque SoC 90 puede suministrar datos a la interfaz DSI 20. El bloque SoC 90 también puede suministrar la señal de proporción de división y la señal de entrada del reloj al divisor de reloj programable 45.

40 [0006] La señal de reloj utilizada por la interfaz DSI 20 puede alternar en una amplia gama de frecuencias, por ejemplo, de 2,5 GHz a 80 MHz. Un divisor de reloj programable que puede operar a frecuencias tan altas puede ser difícil de implementar. Además, el sistema puede mejorarse cuando el retardo del divisor de reloj programable 45 desde la señal de entrada del reloj hasta la señal de reloj de salida es constante. Por ejemplo, el bloque SoC 90 puede cronometrar algunas operaciones usando la señal de entrada de reloj suministrada al divisor de reloj programable 45. El retardo del divisor de reloj programable 45 afecta el tiempo de las señales de datos entre el bloque SoC 90 y la interfaz DSI 20. Por lo tanto, un retardo constante del divisor de reloj programable 45 puede permitir que el sistema funcione a altas frecuencias. Además, las funciones de los circuitos en la interfaz DSI 20 pueden mejorarse cuando el ciclo de trabajo de la señal de reloj utilizada esté cerca del 50 %. Proporcionar una señal de reloj de salida de ciclo de trabajo del 50 % es más difícil cuando la proporción de división es un número impar. Por lo tanto, es valioso proporcionar un divisor de reloj programable que produzca una señal de reloj de salida con un ciclo de trabajo del 50 %, que tenga un retardo constante y funcione a altas frecuencias.

50 [0007] Muchos otros sistemas utilizan divisores de reloj programables y pueden tener requisitos similares.

[0008] Se llama la atención sobre el documento US 2008/0219399A1, que describe un aparato para dividir la frecuencia de una señal de entrada por un entero N. Unos primeros y segundos medios pueden dividir la frecuencia de la señal de entrada por un factor de N y luego por un factor de 2. Una salida de los primeros medios y una salida de los segundos medios pueden combinarse mediante una puerta OR exclusiva. Se pueden usar terceros medios para controlar la fase relativa de las salidas de los primeros y segundos medios, de manera que la salida de los primeros medios y la salida de los segundos medios difieran en fase en un cuarto de ciclo o 90 grados.

## 60 SUMARIO

[0009] De acuerdo con la presente invención, se proporcionan un procedimiento y un aparato, como se exponen en las reivindicaciones independientes. Los modos de realización de la invención se reivindican en las reivindicaciones dependientes.

65

5 [0010] En un aspecto, se proporciona un divisor de reloj programable para recibir una señal de reloj de entrada a una frecuencia de entrada y producir una señal de reloj de salida a una frecuencia de salida, estableciéndose la relación de la frecuencia de entrada y la frecuencia de salida por una proporción de división programable. El divisor de reloj programable incluye: un contador de módulo N configurado para producir una señal de recuento que cuenta el módulo de la proporción de división; un generador de señal de reloj de media tasa configurado para producir una señal de reloj de media tasa común, una señal de reloj de media tasa par, y una señal de reloj de media tasa impar que alterna a la mitad de la velocidad de la señal de reloj de salida; una primera puerta OR exclusiva que tiene entradas acopladas a la señal de reloj de media tasa común y la señal de reloj de media tasa par y una salida que conduce una señal de reloj par; una segunda puerta OR exclusiva que tiene entradas acopladas a la señal de reloj de media tasa común y la señal de reloj de media tasa impar y una salida que conduce una señal de reloj par; y un selector configurado para producir la señal de reloj de salida seleccionando la señal de reloj par cuando la proporción de división es par y seleccionando la señal de reloj impar cuando la proporción de división es impar.

15 [0011] En un aspecto, se proporciona un procedimiento para dividir una señal de reloj de entrada por una proporción de división programable. El procedimiento incluye: contar, en bordes de la señal de reloj de entrada, el módulo de la proporción de división para producir una señal de recuento; producir, en función de la señal de recuento y de la proporción de división, una señal de reloj de media tasa común, una señal de reloj de media tasa par y una señal de reloj de media tasa impar que alterna a la mitad de la velocidad de la señal de reloj de salida; y producir una señal de reloj de salida utilizando la señal de reloj de media tasa común, la señal de reloj de media tasa par y la señal de reloj de media tasa impar.

25 [0012] En un aspecto, se proporciona un aparato para recibir una señal de reloj de entrada a una frecuencia de entrada y producir una señal de reloj de salida a una frecuencia de salida, estableciéndose la relación de la frecuencia de entrada a la frecuencia de salida por una proporción de división programable. El aparato incluye: contar, en bordes de la señal de reloj de entrada, el módulo de la proporción de división para producir una señal de recuento; producir, en función de la señal de recuento y de la proporción de división, una señal de reloj de media tasa común, una señal de reloj de media tasa par y una señal de reloj de media tasa impar que alterna a la mitad de la velocidad de la señal de reloj de salida; y producir una señal de reloj de salida utilizando la señal de reloj de media tasa común, la señal de reloj de media tasa par y la señal de reloj de media tasa impar.

30 [0013] Otras características y ventajas de la presente invención deberían ser evidentes a partir de la siguiente descripción que ilustra, a modo de ejemplo, aspectos de la invención.

#### 35 BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0014] Los detalles de la presente invención, tanto en cuanto a su estructura como a su funcionamiento, pueden recogerse parcialmente por el estudio de los dibujos adjuntos, en los cuales números de referencia similares se refieren a partes similares y en los cuales:

40 La figura 1 es un diagrama de bloques de un sistema electrónico que incluye un divisor de reloj programable;

La figura 2 es un diagrama de bloques de divisor de reloj de acuerdo con una realización divulgada actualmente;

45 La figura 3 es un diagrama de bloques de un generador de señales de reloj de media tasa según una realización divulgada actualmente;

La figura 4 es un diagrama de forma de onda que ilustra la operación de un divisor de reloj programable de acuerdo con una realización divulgada actualmente; y

50 La figura 5 es un diagrama de flujo de un proceso para dividir una señal de reloj por un valor entero programable de acuerdo con una realización divulgada actualmente.

#### DESCRIPCIÓN DETALLADA

55 [0015] La descripción detallada expuesta a continuación, en relación con los dibujos adjuntos, está concebida como una descripción de diversas configuraciones y no está concebida para representar las únicas configuraciones en las cuales pueden llevarse a la práctica los conceptos descritos en el presente documento. La descripción detallada incluye detalles específicos con el fin de proporcionar un entendimiento exhaustivo de los diversos conceptos. Sin embargo, resultará evidente para los expertos en la materia que estos conceptos pueden llevarse a la práctica sin estos detalles específicos. En algunos casos, se muestran estructuras y componentes bien conocidos de forma simplificada con el fin de evitar complicar dichos conceptos.

65 [0016] La figura 2 es un diagrama de bloques de divisor de reloj de acuerdo con una realización divulgada actualmente. El divisor de reloj programable se puede usar para implementar el divisor de reloj programable 45 del sistema electrónico de la figura 1. El divisor de reloj programable de la figura 2 puede implementarse, por ejemplo, en un proceso semiconductor complementario de óxido de metal (CMOS). El divisor de reloj programable recibe una

señal de reloj de entrada (CLKin) y una señal de proporción de división (N) que indica una proporción de división y produce una señal de reloj de salida (CLKdiv) que cambia a una frecuencia que es la frecuencia de la señal de reloj de entrada dividida por la proporción de división.

5 **[0017]** Una memoria intermedia 210 recibe la señal de reloj de entrada y produce señales de reloj de memoria intermedia para el uso de otros circuitos en el divisor de reloj programable. La memoria intermedia 210 puede producir un par complementario de señales de reloj de memoria intermedia. Las señales de reloj de memoria intermedia complementarias pueden denominarse una señal de reloj de memoria intermedia positiva (CLK) y una señal de reloj de memoria intermedia negativa (CLKbar). Además del almacenamiento en memoria intermedia, la memoria intermedia 210 puede incluir circuitos de activación para deshabilitar las señales de reloj en memoria intermedia, por ejemplo, en un modo de bajo consumo.

15 **[0018]** Un contador de módulo N 220 produce una señal de recuento (RECuento) que cuenta el módulo N. La señal de recuento puede tener un ancho de bits de acuerdo con un intervalo de valores de la proporción de división. En una realización de ejemplo, la señal de recuento es de cuatro bits de ancho. El contador de módulo N 220 cuenta cada ciclo de las señales de reloj almacenadas en la memoria intermedia. Por ejemplo, la señal de recuento puede pasar de 1 a N repetidamente. También se pueden usar otras secuencias de recuento (por ejemplo, N-1 a 0). El valor de módulo se especifica por la proporción de división.

20 **[0019]** Un generador de señales de reloj de media tasa 230 produce tres señales de reloj de media tasa basadas en la salida de recuento del módulo N contador 220 y la proporción de división. Las operaciones del generador de señales de reloj de media tasa 230 son cronometradas por las señales de reloj almacenadas. Las señales de reloj de media tasa se alternan a la mitad de la frecuencia de la señal de reloj de salida. Las fases de las señales de reloj de media tasa se cronometran de modo que los pares de las señales de reloj de media tasa pueden combinarse para producir la señal de reloj de salida.

25 **[0020]** Se utilizan diferentes pares de señales de reloj de media tasa para relaciones de división pares e impares. Una primera de las señales de reloj de media tasa (señal de reloj de frecuencia media HRCLKcom) es común a las relaciones de división pares e impares. Una segunda de las señales de reloj de media tasa (incluso la señal de reloj de media tasa HRCLKEven) se usa para relaciones de división pares. Una tercera de las señales de reloj de media tasa (señal de reloj de media tasa impar HRCLKodd) se usa para relaciones de división impares.

30 **[0021]** Los pares de las señales de reloj de media tasa son ORed exclusivas para producir la señal de reloj de salida. Una primera puerta OR exclusiva 242 recibe la señal de reloj de media tasa común y la señal de reloj de media tasa par y produce una señal de reloj par (CLKEven) que se utiliza para producir la señal de reloj de salida cuando la proporción de división es par. Una segunda puerta OR exclusiva 241 recibe la señal de reloj de media tasa común y la señal de reloj de media tasa impar y produce una señal de reloj impar (CLKodd) que se utiliza para producir la señal de reloj de salida cuando la proporción de división es impar.

35 **[0022]** Un selector 250 produce la señal de reloj de salida seleccionando la señal de reloj par cuando la proporción de división es par y la señal de reloj impar cuando la proporción de división es impar.

40 **[0023]** La figura 4 es un diagrama de forma de onda que ilustra la operación del divisor de reloj programable. Las formas de onda ilustran una proporción de división de tres y una proporción de división de cuatro. Las formas de onda de la figura 4 son para retardos de circuito que son pequeños (mucho menos que el período de reloj) para una ilustración clara; sin embargo, los retardos reales del circuito pueden ser comparables a un período de reloj.

45 **[0024]** Como se muestra, hay relaciones de temporización en cuadratura (desplazamiento de fase de un cuarto de período) entre la señal de reloj de media tasa común y la señal de reloj de media tasa par y entre la señal de reloj de media tasa común y la señal de reloj de media tasa impar. Las relaciones de temporización en cuadratura proporcionan un 50 % de ciclos de trabajo en la señal de reloj de salida para relaciones de división pares e impares. Para lograr las relaciones de temporización en cuadratura, la señal de reloj de media tasa común y la señal de reloj de media tasa par se alternan en los bordes ascendentes de la señal de reloj de entrada y la señal de reloj de frecuencia media alterna en los bordes descendentes de la señal de reloj de entrada.

50 **[0025]** Para las relaciones de división impares, la señal de reloj de media tasa no se usa y su forma de onda se puede elegir para una implementación conveniente. De manera similar, para proporciones de división pares, la señal de reloj de media tasa impar no se usa y su forma de onda puede elegirse para una implementación conveniente.

55 **[0026]** El retardo de la señal de reloj de entrada a la señal de reloj de salida no depende del valor de la proporción de división. Esto puede simplificar el cierre de tiempo y permitir una operación de alta frecuencia.

60 **[0027]** La figura 3 es un diagrama de bloques de un generador de señales de reloj de media tasa según una realización divulgada actualmente. El generador de señales de reloj de media tasa se puede usar para implementar el generador de señales de reloj de media tasa 230 del divisor de reloj programable de la figura 2. El generador de señales de reloj de media tasa de la figura 3 recibe una señal de recuento (RECuento), una señal de proporción de

división (N) y señales complementarias de reloj de memoria intermedia (CLK y CLKbar) y produce tres señales de reloj de media tasa: una señal de reloj de media tasa común (HRCLKcom), una señal de reloj de media tasa par (HRCLKeven), y una señal de reloj de media tasa impar (HRCLKodd). Las señales complementarias de reloj almacenadas en memoria intermedia incluyen una señal de reloj almacenada en memoria intermedia positiva (CLK) y una señal de reloj almacenada en memoria intermedia negativa (CLKbar). El generador de señales de reloj de media tasa puede generar señales como se ilustra en la figura 4.

**[0028]** Las tres señales de reloj de media tasa son suministradas por tres interruptores biestables. Un primer interruptor biestable 330 produce la señal común de reloj de media tasa. Un segundo interruptor biestable 332 produce la señal de reloj de media tasa par. Un tercer interruptor biestable 335 produce la señal de reloj de media tasa impar. Cuando los interruptores biestables alternan, se determina de la señal de recuento y la proporción de división. La señal de recuento se compara con los valores derivados de la proporción de división para controlar cuando se alternan los interruptores biestables.

**[0029]** Un primer comparador 310 controla cuándo se alterna el primer interruptor biestable 330, que produce la señal de reloj de media tasa común. El primer comparador 310 compara el valor de la señal de recuento con su valor de inicio (1 para las formas de onda ilustradas en la figura 4) y produce una salida activa cuando los valores son iguales. La salida del primer comparador 310 se guarda en un primer biestable de conducto 320 en bordes ascendentes de la señal de reloj almacenada en memoria intermedia positiva. El primer interruptor biestable 330 es habilitado por la salida del primer biestable de conducto 320 y sincronizado por la señal de reloj almacenada en memoria intermedia positiva. El uso del biestable de conducto puede mejorar la configuración y mantener el tiempo y, por lo tanto, aumentar la frecuencia de operación máxima.

**[0030]** Un segundo comparador 312 controla cuándo se alterna el segundo interruptor biestable 332, que produce la señal de reloj de media tasa par. El segundo comparador 312 compara el valor de la señal de recuento con su valor de punto medio y produce una salida activa cuando los valores son iguales. El valor de punto medio se puede seleccionar para que sea  $N/2+1$  (3 para la proporción de división de 4 ilustrada en la figura 4) en la realización ilustrada. La salida del segundo comparador 312 se guarda en un segundo biestable de conducto 322 en bordes ascendentes de la señal de reloj almacenada en memoria intermedia positiva. El segundo interruptor biestable 332 es habilitado por la salida del segundo biestable de conducto 322 y sincronizado por la señal de reloj almacenada en memoria intermedia positiva.

**[0031]** Un tercer comparador 315 controla cuándo se alterna el tercer interruptor biestable 335, que produce la señal de reloj de media tasa impar. El tercer comparador 315 compara el valor de la señal de recuento con su valor de punto medio y produce una salida activa cuando los valores son iguales. El valor de punto medio se puede seleccionar para que sea  $(N+1)/2+1$  (3 para la proporción de división de 3 ilustrada en la figura 4) en la realización ilustrada. La salida del tercer comparador 315 se guarda en un tercer biestable de conducto 325 en bordes ascendentes de la señal de reloj almacenada en memoria intermedia positiva. El tercer interruptor biestable 335 es habilitado por la salida del tercer biestable de conducto 325 y sincronizado por la señal de reloj almacenada en memoria intermedia negativa. El uso de la señal de reloj almacenada en memoria intermedia negativa para sincronizar el tercer interruptor biestable 335 retrasa la señal de reloj de media tasa impar en la mitad del período de la señal de reloj de entrada, de modo que cuando la señal de reloj de media tasa impar es OR exclusiva con la señal de reloj de media tasa común, la señal resultante tiene un ciclo de trabajo del 50 %.

**[0032]** Los valores utilizados en el comparador son ejemplares. Los valores de comparación pueden ajustarse mediante cantidades correspondientes para producir señales de reloj con las mismas formas de onda (pero cambiadas con respecto a la señal de recuento). Además, los valores de comparación se pueden ajustar cuando se utiliza un número diferente de biestables de conducto.

**[0033]** El divisor de reloj programable de la figura 2 que utiliza el generador de señales de reloj de media tasa de la figura 3 produce la señal de reloj de salida con el retardo desde la señal de reloj de entrada hasta que la señal de reloj de salida es independiente de la proporción de división. Esta relación de retardo se puede denominar retardo constante. Sin embargo, el retardo puede variar según las condiciones operativas, por ejemplo, la temperatura y la tensión de alimentación, del divisor de reloj programable. El retardo de la señal de entrada del reloj a la salida del reloj incluye retardos en la memoria intermedia del reloj, los interruptores biestables, las puertas OR exclusivas y el selector. Estos retardos pueden variar ligeramente, por ejemplo, el retardo del selector a su salida puede ser diferente entre la señal de reloj par y la señal de reloj impar. Tales diferencias de retardo pueden ser pequeñas, por ejemplo, menores que el retardo de una puerta lógica.

**[0034]** El divisor de reloj programable de la figura 2 que utiliza el generador de señales de reloj de media tasa de la figura 3 también puede operar a alta frecuencia, por ejemplo, 3,5 GHz. Además, el reloj de salida tiene un ciclo de trabajo del 50 % para todas las relaciones de división. Similar al retardo constante, el ciclo de trabajo puede variar ligeramente.

**[0035]** La figura 5 es un diagrama de flujo de un proceso para dividir una señal de reloj por un valor entero programable de acuerdo con una realización divulgada actualmente. El proceso de la figura 5 se puede realizar con

cualquier circuito adecuado; sin embargo, para proporcionar un ejemplo específico, el proceso se describirá con referencia al divisor de reloj programable de la figura 2 y al generador de señal de reloj de media tasa de la figura 3. El proceso de la figura 5 recibe una señal de reloj de entrada (CLKin) y una señal de proporción de división (N) que indica una proporción de división y produce una señal de reloj de salida (CLKdiv) que cambia a una frecuencia que es la frecuencia de la señal de reloj de entrada dividida por la proporción de división.

**[0036]** En la etapa 510, el proceso cuenta el módulo N. Por ejemplo, el contador de módulo N 220 puede producir una señal de recuento que cuenta el módulo de la proporción de división con el valor de la señal de recuento cambiando en las transiciones de la señal de reloj de entrada.

**[0037]** En la etapa 520, el proceso utiliza la señal de recuento y la proporción de división para producir una señal de reloj de media tasa común, una señal de reloj de media tasa par y una señal de reloj de media tasa impar que alterna a la mitad de la tasa de la señal del reloj de salida. Por ejemplo, el generador de señales de reloj de media tasa de la figura 3 puede producir las tres señales de reloj de media tasa utilizando los interruptores biestables que se habilitan según la comparación del valor del inicio de la señal de recuento y los valores de los puntos medios de la señal de recuento.

**[0038]** En la etapa 530, el proceso utiliza la señal de reloj de media tasa común, la señal de reloj de media tasa par y la señal de reloj de media tasa impar para producir la señal de reloj de salida. Por ejemplo, la primera puerta OR exclusiva 242 puede combinar la señal de reloj de media tasa común y la señal de reloj de media tasa par para producir la señal de reloj de salida cuando la proporción de división es par y la segunda puerta OR exclusiva 241 puede combinar la señal de reloj de media tasa común y la señal de reloj de media tasa impar para producir la señal de reloj de salida cuando la proporción de división es impar.

**[0039]** El proceso de la figura 5 puede modificarse, por ejemplo, añadiendo o alterando etapas. Adicionalmente, pueden llevarse a cabo etapas simultáneamente.

**[0040]** Aunque se describen realizaciones particulares anteriormente, son posibles muchas variaciones, incluyendo, por ejemplo, aquellas con polaridades de señal diferentes. Además, se pueden agregar, mover o eliminar las memorias intermedias de señal y las etapas de conducto. Además, las funciones descritas como llevadas a cabo por un bloque pueden moverse hacia otro bloque o distribuirse entre bloques. Adicionalmente, las características de los diversos modos de realización pueden combinarse en combinaciones que difieran de las descritas anteriormente.

**[0041]** La descripción anterior de los modos de realización divulgados se proporciona para permitir que cualquier persona experta en la técnica realice o use la invención. Diversas modificaciones de estas realizaciones resultarán fácilmente evidentes a los expertos en la técnica, y los principios genéricos descritos en el presente documento pueden aplicarse a otras realizaciones sin apartarse del alcance de la invención como se define en las reivindicaciones adjuntas. Por tanto, se entenderá que la descripción y los dibujos presentados en el presente documento representan modos de realización preferidas en este momento de la invención y, por lo tanto, son representativos de la materia objeto que se contempla ampliamente en la presente invención. Se entiende además que el alcance de la presente invención abarca completamente otros modos de realización que pueden volverse obvios para los expertos en la técnica y que, por consiguiente, el alcance de la presente invención está limitado por nada más que las reivindicaciones adjuntas.

**REIVINDICACIONES**

1. Un procedimiento para dividir una señal de reloj de entrada por una proporción de división programable, el procedimiento que comprende:
- 5 contar (510), en los bordes de la señal de reloj de entrada, el módulo de la proporción de división programable para producir una señal de recuento;
- 10 producir (520), en función de la señal de recuento y la proporción de división programable, una señal de reloj de media tasa común, una señal de reloj de media tasa par y una señal de reloj de media tasa impar, cada una alternando a una mitad de la tasa de la señal de reloj de salida; y
- 15 combinar (530) la señal de reloj de media tasa común y la señal de reloj de media tasa par para producir una señal de reloj par;
- 20 combinar (530) la señal de reloj de media tasa común y la señal de reloj de media tasa impar para producir una señal de reloj impar; y
- seleccionar como señal de reloj de salida, la señal de reloj par cuando la proporción de división programable es par y seleccionar, como señal de reloj de salida, la señal de reloj impar cuando la proporción de división programable es impar.
2. El procedimiento de la reivindicación 1, en el que el retardo desde la señal de reloj de entrada hasta la señal de reloj de salida es independiente del valor de la proporción de división programable.
- 25 3. El procedimiento de la reivindicación 1, en el que el ciclo de trabajo de la señal de reloj de salida es un 50 % independiente del valor de la proporción de división programable.
- 30 4. El procedimiento de la reivindicación 1, en el que la señal de reloj de media tasa común y de reloj de media tasa par tienen una relación de temporización en cuadratura para relaciones de división pares, y la señal de reloj de media tasa común y de reloj de media tasa impar tienen una relación de sincronización en cuadratura para proporciones de división impares.
- 35 5. El procedimiento de la reivindicación 1, en el que:
- las transiciones de la señal de reloj de media tasa común en los bordes ascendentes de la señal de reloj de entrada;
- 40 las transiciones de la señal de reloj de media tasa par en los bordes ascendentes de la señal de reloj de entrada; y
- las transiciones de la señal de reloj de media tasa impar en los bordes descendentes de la señal de reloj de entrada.
- 45 6. El procedimiento de la reivindicación 1, en el que:
- las transiciones de la señal de reloj de media tasa común después de la señal de recuento son iguales al valor de inicio de la señal de recuento;
- 50 las transiciones de la señal de reloj de media tasa par después de la señal de recuento son iguales a un valor de punto medio par de la señal de recuento; y
- las transiciones de la señal de reloj de media tasa impar después de la señal de recuento son iguales a un valor de punto medio impar de la señal de recuento.
- 55 7. Un aparato (45) para recibir una señal de reloj de entrada a una frecuencia de entrada y producir una señal de reloj de salida a una frecuencia de salida, estableciéndose la relación de la frecuencia de entrada a la frecuencia de salida por una proporción de división programable, el aparato que comprende:
- 60 unos medios contadores de módulo N (220) para producir una señal de recuento que cuenta el módulo de la proporción de división programable;
- 65 unos medios generadores de señal de reloj de media tasa (230) para producir una señal de reloj de media tasa común que alterna en los bordes ascendentes de la señal de reloj de entrada, una señal de reloj de media tasa par que alterna en los bordes ascendentes de la señal de reloj de entrada, y una señal de reloj

de media tasa impar que alterna en los bordes descendentes de la señal de reloj de entrada, alternando las señales de reloj de media tasa a una mitad de la tasa de la señal de reloj de salida;

5 una primera puerta OR exclusiva (242) que tiene entradas acopladas a la señal de reloj de media tasa común y la señal de reloj de media tasa par y una salida que acciona una señal de reloj par;

una segunda puerta OR exclusiva (241) que tiene entradas acopladas a la señal de reloj de media tasa común y la señal de reloj de media tasa impar y una salida que acciona una señal de reloj impar; y

10 un selector (250) configurado para producir la señal de reloj de salida seleccionando la señal de reloj par cuando la proporción de división programable es par y seleccionando la señal de reloj impar cuando la proporción de división programable es impar.

15 **8.** El aparato (45) de la reivindicación 7, en el que el retardo desde la señal de reloj de entrada hasta la señal de reloj de salida es independiente del valor de la proporción de división programable.

**9.** El aparato (45) de la reivindicación 7, en el que el ciclo de trabajo de la señal de reloj de salida es un 50 % independiente del valor de la proporción de división programable.

20 **10.** El aparato (45) de la reivindicación 7, en el que la señal de reloj de media tasa común y de reloj de media tasa par tienen una relación de temporización en cuadratura para relaciones de división pares, y la señal de reloj de media tasa común y de reloj de media tasa impar tienen una relación de sincronización en cuadratura para proporciones de división impares.

25 **11.** El aparato (45) de la reivindicación 7, en el que el generador de señales de reloj de media tasa (230) comprende:

un primer interruptor biestable (330) sincronizado en los bordes ascendentes de la señal de reloj de entrada y configurado para producir la señal de reloj de media tasa común;

30 un segundo interruptor biestable (332) sincronizado en los bordes ascendentes de la señal de reloj de entrada y configurado para producir la señal de reloj de media tasa par; y

un tercer interruptor biestable (335) sincronizado en los bordes descendentes de la señal de reloj de entrada y configurado para producir la señal de reloj de media tasa impar.

35 **12.** El aparato (45) de la reivindicación 11, en el que el generador de señales de reloj de media tasa comprende además:

40 un primer comparador (310) configurado para comparar el valor de la señal de recuento con un valor de inicio de la señal de recuento y producir una habilitación para el primer interruptor biestable en base a la comparación;

45 un segundo comparador (312) configurado para comparar el valor de la señal de recuento con un valor de punto medio par de la señal de recuento y producir una habilitación para el segundo interruptor biestable en base a la comparación; y

un tercer comparador (315) configurado para comparar el valor de la señal de recuento con un valor de punto medio impar de la señal de recuento y producir una habilitación para el tercer interruptor biestable en base a la comparación.

50 **13.** El aparato (45) de la reivindicación 12, en el que el generador de señales de reloj de media tasa (230) comprende además:

55 un primer biestable de conducto (320) acoplado entre el primer comparador y el primer interruptor biestable;

un segundo biestable de conducto (322) acoplado entre el segundo comparador y el segundo interruptor biestable; y

un tercer biestable de conducto (325) acoplado entre el tercer comparador y el tercer interruptor biestable.

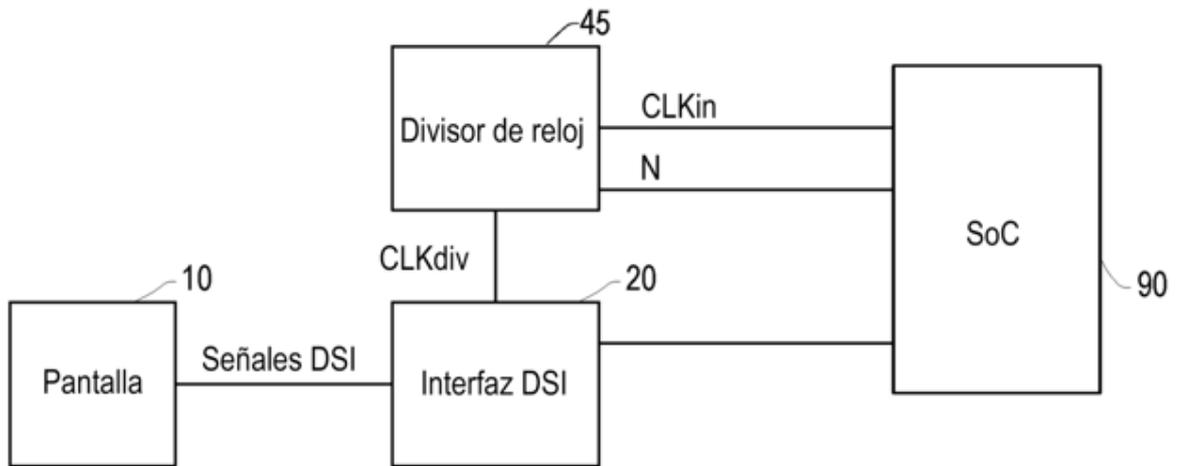


FIG. 1

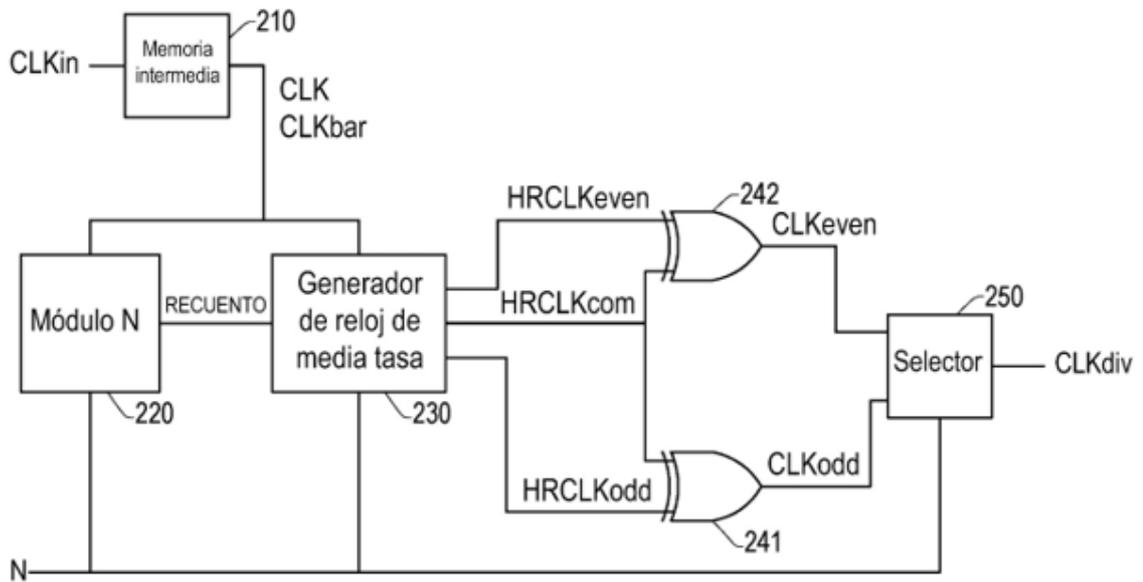
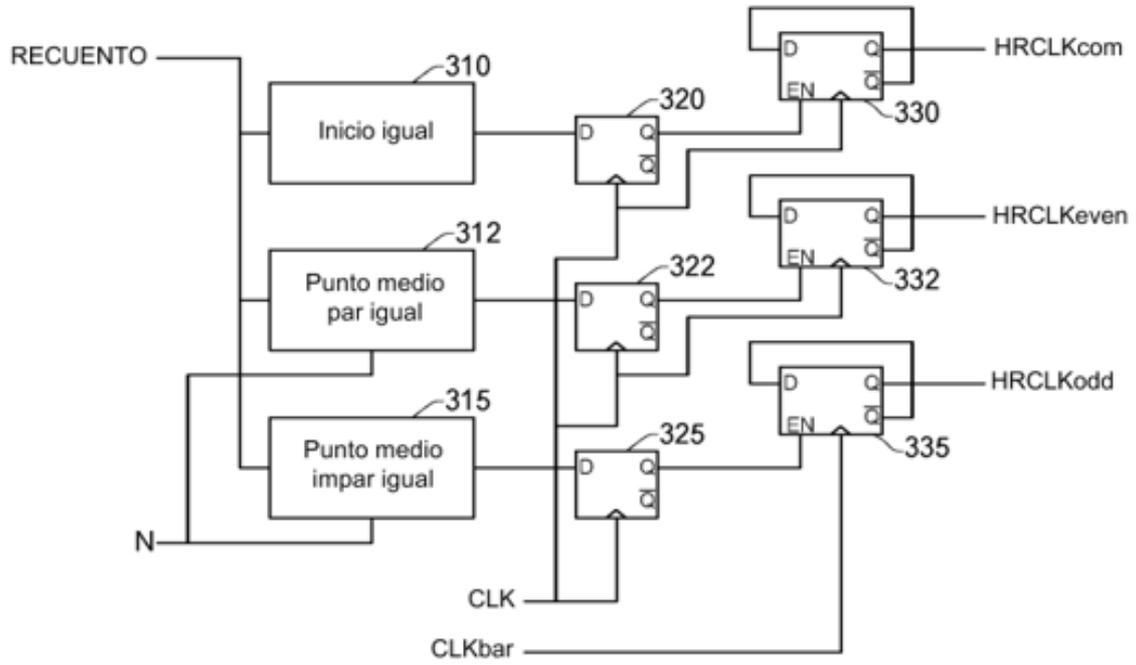
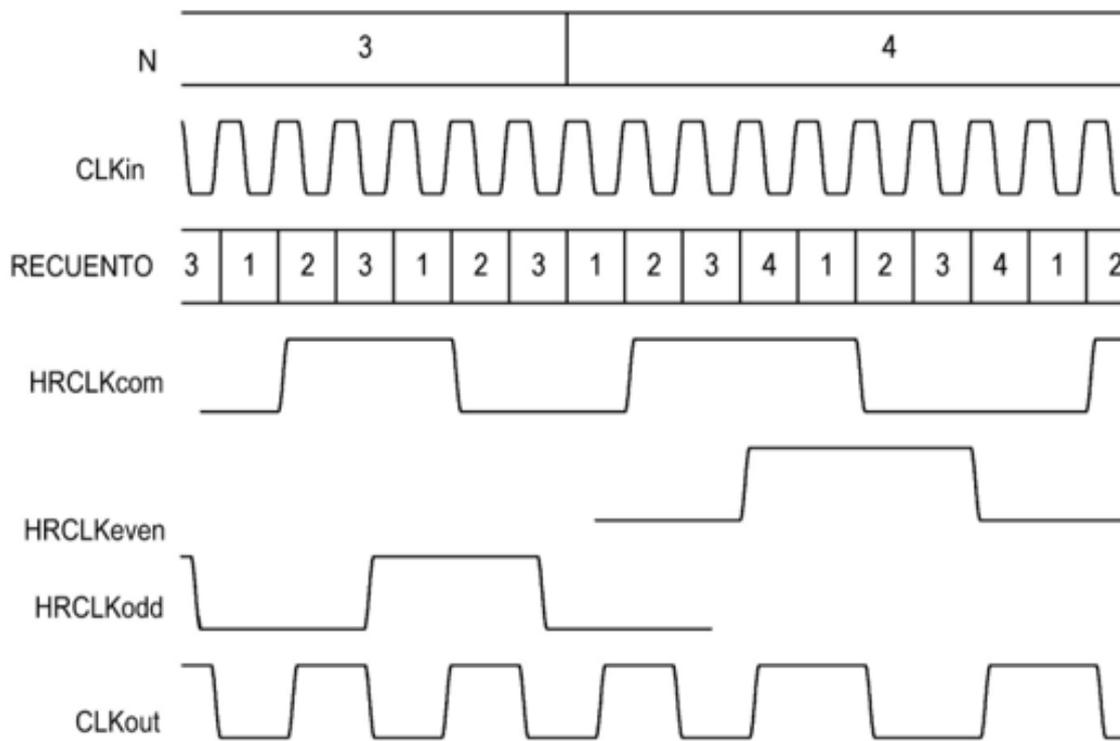


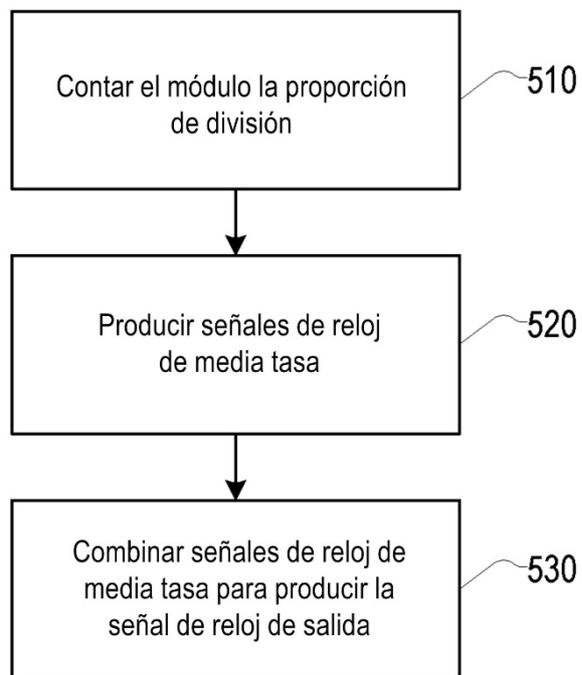
FIG. 2



**FIG. 3**



**FIG. 4**



**FIG. 5**