

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 718 463**

51 Int. Cl.:

**G11C 11/00** (2006.01)

**G11C 7/10** (2006.01)

**G11C 8/12** (2006.01)

**H01L 27/115** (2007.01)

**G06F 12/06** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **01.06.2007 PCT/US2007/013127**

87 Fecha y número de publicación internacional: **21.12.2007 WO07145883**

96 Fecha de presentación y número de la solicitud europea: **01.06.2007 E 07795704 (1)**

97 Fecha y número de publicación de la concesión europea: **23.01.2019 EP 2025001**

54 Título: **Dispositivo de memoria híbrida con una única interfaz**

30 Prioridad:

**07.06.2006 US 449435**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**02.07.2019**

73 Titular/es:

**MICROSOFT TECHNOLOGY LICENSING, LLC  
(100.0%)**

**One Microsoft Way  
Redmond, WA 98052, US**

72 Inventor/es:

**PANABAKER, RUSTON y  
CREASY, JACK**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

ES 2 718 463 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Dispositivo de memoria híbrida con una única interfaz

**Antecedentes**

5 Diversos dispositivos informáticos existentes y nuevos hacen uso de memoria volátil de alta velocidad (por ejemplo, memoria de acceso aleatorio dinámico, o DRAM) para contener instrucciones y datos operativos. Tales dispositivos incluyen teléfonos móviles, decodificadores de televisión, memoria informática personal, etcétera. Cada vez más los dispositivos informáticos también incluyen grandes cantidades de memoria flash NAND no volátil relativamente económica para almacenar aplicaciones y datos.

10 Sin embargo, muchos dispositivos existentes a base de DRAM están diseñados sin las interfaces apropiadas de bus para soportar la memoria flash NAND; soportar memoria flash NAND requiere volver a diseñar de manera costosa y extensa del conjunto de chips del dispositivo. De manera similar, la mayoría de dispositivos a base de flash NAND no pueden simplemente añadir DRAM. Se requieren cambios significativos a la arquitectura física de un dispositivo para incorporar memoria flash en un modelo actualizado de lo que era un dispositivo a base de DRAM, por ejemplo, o viceversa.

15 Aunque una combinación de memoria volátil y no volátil proporciona beneficios en muchas situaciones, a menudo el coste de volver a diseñar un conjunto de chips de un dispositivo es demasiado costoso/arriesgado para un fabricante, por lo cual el fabricante renuncia a nuevas características y modelos de negocio que serían habilitadas que, si no, serían viables contando con memoria volátil y no volátil en un dispositivo. Además, no hay ninguna manera directa para usar modelos arquitectónicos existentes y, por ejemplo, actualizar un dispositivo existente a base de DRAM con memoria flash NAND; por ejemplo, sería necesario volver a diseñar y sustituir toda una placa de circuitos, en vez de simplemente añadir memoria a un dispositivo existente o cambiar la memoria en el mismo (y actualizar el soporte lógico según sea apropiado). Además, hay una gran diferencia en velocidades de bus entre la memoria no volátil y la basada en DRAM.

25 El documento US 6.418.506 B1 divulga un dispositivo de memoria de circuitos integrado comprendiendo conjuntos de memoria tanto volátil como no volátil que están acoplados por una interfaz. La interfaz está configurada para escribir datos en el conjunto de memoria volátil, y para subsiguientemente escribir los datos del conjunto de memoria volátil en el conjunto de memoria no volátil.

30 El documento US2003/0206478 A1 divulga una memoria que tiene una gran capacidad de almacenaje y una corriente reducida de retención de datos, una memoria no volátil, una SRAM, una DRAM, y un circuito de control que están modularizados en un paquete.

**Sumario**

Se expone la invención en las reivindicaciones adjuntas independientes. Se definen realizaciones ventajosas por las reivindicaciones adjuntas dependientes.

35 Brevemente, diversos aspectos de la materia objeto descritos en la presente memoria están dirigidos hacia un dispositivo de memoria híbrida que incluye un primer tipo de memoria (por ejemplo, memoria volátil de tipo DRAM) y una interfaz correspondiente al primer tipo de memoria, y un segundo tipo de memoria (por ejemplo, memoria no volátil de tipo flash). El dispositivo de memoria incluye un controlador que está acoplado con la interfaz, con el primer tipo de memoria y con el segundo tipo de memoria. En función de la información, tal como órdenes y/o direcciones de memoria recibidas en la interfaz, el controlador determina si una orden tal como una solicitud de I/O (por ejemplo, de lectura o de escritura) está dirigida al primer tipo de memoria o al segundo tipo de memoria.

40 Así, al recibir órdenes, direcciones y datos en un controlador del dispositivo de memoria híbrida, se puede acceder a diferentes tipos de memoria mediante un soporte lógico (por ejemplo, soporte lógico inalterable de un dispositivo o un programa) mediante una única interfaz definida para un tipo de memoria. El controlador incluye lógica que determina si una orden/dirección recibida en la interfaz de un primer tipo de memoria está dirigida a un segundo tipo de memoria asociada con el dispositivo de memoria, y si es así, emite señales al segundo tipo de memoria para comunicar al menos una orden al segundo tipo de memoria y/o para llevar a cabo al menos una operación de entrada/salida (I/O) de datos en el segundo tipo de memoria.

45 Otras ventajas pueden hacerse evidentes a partir de la siguiente descripción detallada cuando sea tomada junto con los dibujos.

50 **Breve descripción de los dibujos**

La presente invención se ilustra a título de ejemplo y no está limitada en las figuras adjuntas en las que los números similares de referencia indican elementos similares y en las que:

La FIGURA 1 muestra un ejemplo ilustrativo de un dispositivo informático en el que se pueden incorporar diversos aspectos de la presente invención.

La FIG. 2 es una representación de un ejemplo de dispositivo de memoria híbrida que incluye un controlador y dos tipos de memoria que son accesibles por una única interfaz definida por uno de los tipos de memoria.

5 La FIG. 3A es una representación de un ejemplo de dispositivo de memoria híbrida con una interfaz de SDRAM con memoria SDRAM y flash que es objeto de acceso mediante un bloque designado de memoria en el espacio referenciable de SDRAM.

10 La FIG. 3B es una representación de un ejemplo de dispositivo de memoria híbrida con una interfaz de SDRAM con memoria SDRAM y flash que es accedida mediante una pluralidad de bloques designados de memoria en el espacio referenciable de SDRAM.

La FIG. 4 es una representación del espacio de memoria referenciable correspondiente a un primer tipo de memoria con secciones usadas para comunicar datos y órdenes con un segundo tipo de memoria.

La FIG. 5 es una representación ejemplar de un tipo adecuado de dispositivo de SDRAM que puede ser incorporado en un dispositivo de memoria híbrida.

15 La FIG. 6 es una representación ejemplar de un dispositivo de memoria híbrida con una interfaz de SDRAM que contiene un dispositivo de SDRAM tal como el dispositivo de la FIG. 5 y un dispositivo flash.

La FIG. 7 es una representación ejemplar de un cronograma para controlar un dispositivo de SDRAM y un dispositivo flash.

20 La FIG. 8 es una representación de etapas ejemplares correspondientes a cómo el controlador puede emitir datos flash a un dispositivo de SDRAM configurado para emitir datos en ráfagas.

La FIG. 9 es una representación de cómo se puede añadir flash a un módulo dual de memoria en línea (DIMMM) para añadir flash a memoria informática personal basada de DRAM (incluyendo SDRAM).

### **Descripción detallada**

#### Entorno operativo ejemplar

25 La FIGURA 1 ilustra un ejemplo de algunos componentes funcionales adecuados de un dispositivo informático 188, tal como se puede encontrar en una agenda electrónica portátil/de bolsillo/de tipo tableta, aparato, teléfono móvil, etcétera, que incluye un procesador 189, una memoria 190, un medio 192 de visualización, y un teclado 193 (que puede ser un teclado físico o virtual). En general, la memoria 190 incluye tanto memoria volátil (por ejemplo, RAM) como memoria no volátil (por ejemplo, ROM, tarjetas PCMCIA, etcétera). Además, según se describe a continuación, la memoria ejemplar 190 incluye un dispositivo de memoria híbrida (correspondiente a uno o más chips) que contiene más de un tipo de memoria, tales como flash y DRAM o flash y SDRAM (DRAM síncrona), en la que uno de los tipos comparte la interfaz del otro. Un sistema 193 puede residir en la memoria 190 y ejecutarse en el procesador 189, tal como un sistema operativo basado en Microsoft® Windows®, u otro sistema operativo.

30 Uno o más programas 194 de aplicaciones y datos 195 pueden encontrarse en la memoria 190, por ejemplo, con los programas 194 que se ejecutan en el sistema operativo 193. Ejemplos de aplicaciones incluyen programas de correo electrónico, programas de planificación, programas PIM (gestión de información personal), programas de procesamiento de texto, programas de hojas de cálculo, programas de navegación de Internet, etcétera. El dispositivo informático 188 también puede incluir otros componentes 196 tales como un gestor de notificaciones cargado en la memoria 190, que se ejecuta en el procesador 189. El gestor de notificaciones, por ejemplo, puede gestionar solicitudes de notificaciones, por ejemplo, de los programas 195 de aplicaciones.

35 El dispositivo informático 188 tiene un suministro 197 de energía, por ejemplo, implementado como una o más baterías o un sistema accionado por luz. El suministro 197 de energía puede incluir, además, una fuente externa de energía que anula o recarga las baterías integradas, tales como un adaptador de CA o una base alimentada de acoplamiento.

45 El dispositivo informático ejemplar 188 representado en la FIG. 1 es mostrado con tres tipos ejemplares de dispositivos externos de salida, incluyendo un medio 192 de visualización, otros mecanismos 198 de salida (por ejemplo, uno o más diodos que emiten luz, o LED) y un generador 199 de audio, por ejemplo, acoplado con altavoces incorporados y/o a un conector de audio. Uno o más de estos dispositivos de salida pueden estar acoplados directamente con el suministro 197 de energía para que cuando se active, permanezcan encendidos una duración dictada por un mecanismo de notificación, aunque el procesador 189 y los otros componentes pudieran apagarse para conservar energía de la batería. Por ejemplo, un LED puede permanecer encendido (siempre y cuando haya energía disponible) hasta que el usuario actúe. Otros pueden ser configurados para apagarse cuando lo haga el resto del sistema o en alguna duración finita tras la activación.

#### Dispositivo de memoria híbrida con una única interfaz

55 Diversos aspectos de la tecnología descrita en la presente memoria están dirigidos, en general, a expandir una memoria de un dispositivo informático (tal como el dispositivo 188) con respecto a tener cantidades relativamente grandes de memoria volátil y no volátil en el dispositivo informático, sin requerir cambios a una arquitectura física existente de ese dispositivo informático. En general, la descripción en la presente memoria proporciona ejemplos de la incorporación de memoria flash NAND en un dispositivo a base de SDRAM añadiendo o sustituyendo un

dispositivo de memoria híbrida (que comprende, por ejemplo, uno o más chips) que contiene SDRAM y la flash NAND, en el que el dispositivo de memoria híbrida tiene la misma interfaz (incluyendo identificación de conexiones, protocolo de tensión, y protocolo de acceso) que un componente convencional de SDRAM. Sin embargo, según se entenderá, se aplican estos aspectos y conceptos a cualquier tipo o tipos de memoria volátil y/o no volátil, por ejemplo, pueden usarse diversos tipos de DRAM (por ejemplo, EDO) en vez de SDRAM; al contrario, puede incorporarse DRAM o SDRAM en un dispositivo de tipo flash; puede mezclarse memoria flash a base de NOR con SDRAM y/o con flash de tipo NAND; uno de los tipos de memoria puede ser RAM estática (SRAM) u otros tipos de RAM; puede añadirse memoria más volátil en lugar de un dispositivo existente de memoria volátil; puede añadirse más memoria no volátil en lugar de un dispositivo existente de memoria no volátil, etcétera. Se debe hacer notar que la incorporación de diferentes tipos de memoria en un dispositivo de memoria híbrida (con una interfaz que normalmente se corresponde con un tipo original de memoria para un diseño dado) normalmente añade memoria total a un dispositivo, pero no es preciso necesariamente que aumente (y si lo desea el diseñador puede disminuir) la cantidad del tipo original de memoria y/o la cantidad total de memoria.

Además, según se entenderá, los conceptos descritos en la presente memoria no están limitados a lo que se consideran dispositivos informáticos convencionales (por ejemplo, sistemas informáticos de sobremesa, portátil, portátil pequeño o de tipo tableta, agendas electrónicas, ordenadores personales de bolsillo, o similares), pero en vez de ello, puede usarse en cualquier dispositivo que tenga la necesidad de almacenar datos en memoria volátil o no volátil, incluyendo teléfonos móviles, decodificadores, discos duros híbridos, televisores, mandos a distancia, dispositivos audio visuales, aparatos eléctricos, aparatos domésticos, etcétera. Cada uno de estos dispositivos puede añadir memoria no volátil a un diseño de memoria volátil, o viceversa, o aumentar memoria, sin tener que volver a diseñar el soporte físico de manera costosa y arriesgada. De esta manera, por ejemplo, un dispositivo con memoria volátil tal como un teléfono móvil puede tener, ahora, grandes cantidades de almacenaje no volátil incluido en el mismo para almacenar programas, música, imágenes, etcétera, simplemente sustituyendo un chip de memoria (o múltiples chips de memoria), y actualizando algún soporte lógico inalterable para trabajar con el almacenaje no volátil, según se describe a continuación.

Como tal, la presente invención no está limitada a los ejemplos, estructuras o funcionalidad descrita en la presente memoria. En vez de ello, cualesquiera de los ejemplos, estructuras o funcionalidades descritos en la presente memoria no son limitantes, y la presente invención puede ser usada de diversas maneras para proporcionar beneficios y ventajas en el almacenaje informático y de datos, en general.

Pasando a la FIG. 2 de los dibujos, se muestra un concepto ejemplar general de un dispositivo 202 de memoria híbrida, incluyendo el dispositivo memoria volátil 204 (por ejemplo, SDRAM) y memoria no volátil 206 (por ejemplo, flash NAND). Un controlador 208 contiene lógica que determina a cuál de las memorias 204 o 206 se accede, en función de direcciones y órdenes, por ejemplo, originadas en el soporte lógico inalterable/soporte lógico y referenciadas a través de una CPU.

Según se representa en la FIG. 2, el controlador 208 puede incluir o estar asociado de otro modo con un conjunto 210 de memoria intermedia, que comprende una o más memorias intermedias, que en una implementación es usado con fines de equiparación de la velocidad. Por ejemplo, en la actualidad, la SDRAM es significativamente más rápida que la flash y, por lo tanto, un chip de memoria híbrida que tiene una interfaz que para componentes externos parece un dispositivo de SDRAM necesita acumular datos en el conjunto 210 de memoria intermedia (por ejemplo, SDRAM, DRAM o SRAM) para cumplir con el protocolo de SDRAM con respecto a los requisitos de la velocidad y salida, incluyendo requisitos en modo de ráfaga. Por lo tanto, el conjunto 210 de memoria intermedia normalmente comprende memoria tal como SDRAM o RAM estática (SRAM) que es al menos igual de rápida que un chip dado de SDRAM y sus requisitos de protocolo; si no el dispositivo híbrido parecería en ocasiones a los componentes externos que es memoria defectuosa. Se debe hacer notar que un dispositivo de memoria híbrida que añadiera memoria rápida (por ejemplo, SDRAM) a una interfaz más lenta (por ejemplo, flash) no necesitaría necesariamente tal memoria intermedia.

La FIG. 3A muestra un concepto ejemplar de cómo opera, en general, un dispositivo 302A de memoria híbrida, en el que se dispone memoria flash 306 como cierto número de bloques (por ejemplo, bloques F-1 hasta F-n) y es objeto de acceso a través de una interfaz de SDRAM. El dispositivo 302A de memoria híbrida también incluye un dispositivo 304 de SDRAM. Según se describe a continuación, un controlador 308A incorporado en el chip (por ejemplo, correspondiente al controlador 208 de la FIG. 2) determina a que sección de SDRAM 304 o flash se accede con respecto a una dirección actual originada en la CPU 389. En general, el controlador 308A recibe órdenes, datos y direcciones de la CPU 389 que son generadas según el protocolo convencional de SDRAM. Se debe hacer notar que no se requiere que la CPU conozca nada de los diferentes tipos de memoria en el chip híbrido, y opera de forma normal en su bus existente de tipo SDRAM.

En la FIG. 3A, el controlador 308 incluye lógica que puede detectar direcciones enviadas a las líneas de dirección del dispositivo híbrido de SDRAM que forman parte de su interfaz. Algunas de las direcciones en el intervalo referenciable de direcciones corresponden a SDRAM, y para esas direcciones, el controlador 308A permite que el dispositivo 304 de SDRAM gestione las direcciones, órdenes y datos (por ejemplo, remite los unos y los ceros

equivalentes o no impide que el dispositivo vea los unos y los ceros). En consecuencia, para esas direcciones el dispositivo híbrido actúa como un dispositivo convencional de SDRAM.

5 Sin embargo, ciertas direcciones en el intervalo referenciable (que normalmente comprende un intervalo contiguo denominado bloque designado 320) son conocidas por el controlador 308 para ser asociadas con la flash, y esencialmente actúa como una ventana en la memoria flash 306. Por ejemplo, el bloque designado puede corresponderse con el tamaño del bloque de la flash, por ejemplo, 128 KB en un tipo de dispositivo flash. Cuando se transfieren direcciones en el bloque designado 320, el dispositivo 304 de SDRAM está inhabilitado (realmente o de manera efectiva) por el controlador 308. El controlador 308 envía, en vez de ello, órdenes al dispositivo 306 de memoria flash, o controla el flujo de datos de lectura y escritura en el dispositivo 306 de memoria flash. Dependiendo del diseño, el controlador 308 puede inhabilitar el componente 304 de SDRAM cambiando una línea apropiada de entrada del dispositivo (por ejemplo, habilitar el chip) del dispositivo 304 para inhabilitarlo, no remitiendo las direcciones recibidas al dispositivo 304, y/o remitiendo las direcciones (por ejemplo, si se necesita para refrescar) pero no permitiendo la escritura de datos o no devolviendo ningún dato para la lectura.

15 Se debe hacer notar que la cantidad de flash 306 no está limitada al tamaño del bloque designado 320; en vez de ello, puede haber múltiples bloques flash (u otras disposiciones de memoria flash), accediendo con el controlador 308 a cada bloque o similar según información de correlación adicional que identifica qué parte (por ejemplo, bloque) de la flash total 306 ha de ser objeto de acceso. Esta información adicional de correlación puede ser escrita en otras ubicaciones de memoria conocidas por el controlador 308, por ejemplo, en el extremo alto de memoria referenciable, (o posiblemente como un suplemento al bloque designado). El soporte lógico inalterable 330, ya presente en esencialmente todos los dispositivos informáticos, puede ser actualizado para leer y escribir esta información según un protocolo adecuado mediante la CPU 389, (según se representa en la FIG. 3A por las líneas discontinuas desde el soporte lógico inalterable 330 mediante la CPU 389 hasta el controlador 308A; de esta manera, órdenes, datos e información 332 de estado pueden ser comunicados entre el soporte lógico inalterable 330 del dispositivo (y/u otro código solicitante, denominado en lo que sigue soporte lógico inalterable 330 en aras de la simplicidad) y el dispositivo 302A de memoria híbrida.

20 La FIG. 3B es una representación de un concepto similar al de la FIG. 3A, salvo que en la FIG. 3B el controlador alternativo 308B puede tener múltiples memorias intermedias 310-1 y 310-2 correspondientes a múltiples ventanas 320A y 320B, correlacionadas por separado con múltiples bloques flash (por ejemplo, actualmente bloque flash A1 y bloque flash B0 en la FIG. 3B). Según se puede apreciar fácilmente, aunque en la FIG. 3B solo se muestran dos accesos paralelos (y, así, normalmente más rápidos) a dispositivos de memoria flash, se puede usar cualquier número práctico.

25 A título de ejemplo de cómo el controlador correlaciona la ventana (FIG. 3A) o las ventanas (FIG. 3B) con la sección o las secciones correctas de flash, la FIG. 4 muestra un intervalo 440 de direcciones representado linealmente correspondiente al intervalo de un dispositivo convencional de SDRAM, que en este ejemplo es de palabras de 4M por 16 bits. En aras de la simplicidad, se describirá la correlación con respecto al único bloque designado 320 de la FIG. 3A; sin embargo, se puede entender fácilmente que se puede realizar una correlación separada esencialmente de la misma manera.

30 En el ejemplo de la FIG. 4, los últimos dos bloques correspondientes al espacio de direcciones de SDRAM son usados por el controlador 308 y el soporte lógico inalterable 330 como un canal 444 de órdenes y un canal 442 de datos al dispositivo 306 de memoria flash. La información 332 de correlación y otros (FIG. 3) en estos bloques 442 y 444 pueden ser leída y escrita por el controlador 308 mediante cualquier protocolo adecuado entendido por el controlador 308 y la fuente de esa información adicional (por ejemplo, código 330 de soporte lógico inalterable). Por lo tanto, accediendo a la información adicional 332 (o 333 en la FIG. 3B) en el controlador 308, por ejemplo, los últimos dos bloques de palabra de un kilobyte, se establecen vías de órdenes y datos para comunicarse con el dispositivo flash 306. Otra información también puede encontrarse en estos espacios. Por ejemplo, el soporte lógico inalterable 330 del dispositivo puede usar esta sección de memoria para emplear un protocolo de arranque por el que el soporte lógico inalterable 330 puede determinar si el dispositivo de memoria es realmente un dispositivo híbrido, dado que, en general, el dispositivo 302A de memoria híbrida de la FIG. 3, si no, sería indistinguible de un dispositivo convencional de SDRAM. Otros datos posibles comunicados por estos bloques pueden, por ejemplo, informar el controlador 308A donde está ubicado el bloque designado 320 (o bloques en la FIG. 3B) en la memoria referenciable; por ejemplo, de esta manera, los bloques designados pueden moverse, incluyendo de manera dinámica si se desea.

35 Pasando a una explicación de la operación de un dispositivo ejemplar de memoria híbrida, un protocolo adecuado de órdenes comprende un protocolo en serie usado para transferir información de bloques de direcciones y de órdenes (por ejemplo, 332 en la FIG. 3A) para el dispositivo flash. Se debe hacer notar que, dado que el controlador 308A es responsable de la traducción de la información de direcciones y de órdenes, el protocolo es configurable para acceder a diferentes tipos de dispositivos flash; por ejemplo, un tipo de dispositivo NAND usa una interfaz NOR SRAM, por la cual la lógica de control accede a bloques de datos, que son serializados a continuación, para adecuarse al protocolo de SDRAM de suministro de datos. Los datos de escritura en la flash 306 serían convertidos

igualmente por el controlador 308A según se requiere por el protocolo flash, por ejemplo, se escriben 2 KB en tal dispositivo flash en un momento dado.

Según se puede apreciar fácilmente, dado que la SDRAM es actualmente una o más órdenes de magnitud más rápida que la flash, el protocolo incluye un modo para el controlador 308A para indicar al soporte lógico inalterable 330 cuándo una solicitud de lectura o escritura flash está ocupada y cuándo una solicitud está lista. Se puede usar un registro de estado en la ubicación 332. Por ejemplo, el soporte lógico inalterable 330 envía una orden de lectura o escritura mediante el bloque 332 de órdenes; el estado, que puede ser un bit que es parte de la orden, es puesto a cero por el controlador tras recibir una solicitud flash para indicar que está ocupado. Se debe hacer notar que el no es preciso que el controlador 308A conmute el estado a ocupado si en una solicitud de lectura el controlador 308A sabe que el bloque designado ya contiene los datos correctos para la correlación actual.

En una situación típica, el controlador 308A establece el estado en ocupado y para una lectura, y empieza a llenar la memoria intermedia 310 con los datos solicitados. Cuando la memoria intermedia contiene los datos correctos, (que pueden ser más que los solicitados en previsión de una solicitud subsiguiente de lectura), el controlador 308A conmuta el estado a listo. El soporte lógico inalterable 330, que sondea el estado desde que envía la solicitud, sabe, entonces que los datos solicitados pueden ser leídos, que el controlador 308A emite, a continuación, desde la memoria intermedia 310. Por ejemplo, según el protocolo de SDRAM, el controlador emitirá un único conjunto de datos (por ejemplo, bytes) para la dirección solicitada si se solicita una única salida, o una salida sincronizada en ráfaga de múltiples conjuntos de datos comenzando con esa dirección, con el número de conjuntos producidos correspondiente al modo actual de ráfagas. Se debe hacer notar que el modo actual de ráfagas puede ser establecido mediante una configuración cableada, incluyendo una configuración que indica que el modo de ráfaga es controlado por soporte lógico; en cualquier caso, el modo es conocido por el controlador 308A mediante las líneas de configuración equivalentes de SDRAM y/o una orden (para una ráfaga controlada por soporte lógico).

Las escrituras se gestionan de manera similar, con los datos en el bloque designado copiados por el controlador 308A en la memoria intermedia 310, mientras el controlador proporciona una señal de ocupado que es sondeada por el soporte lógico inalterable hasta que la solicitud de escritura sea realmente completada escribiendo en la flash más lenta. Como con una solicitud de lectura, para una solicitud de escritura, el dispositivo 302A de memoria híbrida le parece a la CPU 389 que opera a las velocidades correctas de SDRAM, y la CPU no es consciente de que se esté produciendo ningún sondeo de estado entre el soporte lógico inalterable 330 y el controlador 308A. Mediante el protocolo, la memoria síncrona es operada, por lo tanto, de forma adecuada desde la perspectiva de la CPU, pero realmente es operada de manera asíncrona desde la perspectiva de la entidad solicitante.

Por lo tanto, al añadir un controlador de memoria a un dispositivo de memoria híbrida que comprende SDRAM y flash con una interfaz estándar de SDRAM, la memoria flash es superpuesta en el espacio de direcciones de SDRAM. Un protocolo de órdenes (por ejemplo, en serie) es usado para gestionar la correlación de los bloques /páginas flash en el espacio de direcciones de SDRAM. Esto permite que un solo paquete de múltiples chips compatible en conectores sustituya un dispositivo existente de SDRAM en cualquier dispositivo informático que quiere proporcionar almacenaje flash, haciéndolo, no obstante, únicamente con cambios de soporte lógico inalterable al dispositivo. Por ejemplo, la memoria intermedia de una unidad de disco convencional puede ser sustituida con una mejora de un único chip que proporciona almacenaje flash, por lo que el almacenaje flash puede usarse con soporte lógico inalterable nuevo para ascender las unidades existentes a unidades híbridas. Ejemplos adicionales incluyen añadir almacenaje no volátil a un diseño de decodificador, o un diseño de teléfono móvil que fue diseñado sin almacenaje incorporado en masa en su momento, pero que ahora es deseable, por ejemplo, debido a algún nuevo modelo de aplicación o de negocio.

A modo de ejemplo de una arquitectura específica, las FIGURAS 5 y 6 demuestran el uso de dispositivos flash reales de SDRAM y de NAND, con la interfaz y componentes internos configurados para un protocolo de tensión de SDRAM y un protocolo de acceso de SDRAM ejemplares, por lo que solamente se necesitan realizar cambios en el soporte lógico (por ejemplo, en el soporte lógico inalterable del dispositivo) para hacer uso ahora de la memoria no volátil en el paquete. Sin embargo, se entenderá que esencialmente se puede usar cualquier dispositivo con características definidas de direccionamiento. Se debe hacer notar que la arquitectura en las FIGURAS 5 y 6 muestra el uso de vías de datos de 16 bits, que es una aplicación común, aunque como se puede apreciar fácilmente, otras anchuras de vía de datos funcionan de la misma manera. En este ejemplo, se describe un paquete con múltiples chips que puede sustituir físicamente el chip de SDRAM en un dispositivo informático que, no obstante, incorpora tanto la memoria volátil de SDRAM como la memoria no volátil flash NAND.

El dispositivo 504 de SDRAM representado en la FIG. 5 comprende un dispositivo en modo ráfaga (por ejemplo, un dispositivo Micron® MT48LC4M16A2) que soporta transferencias de 1 byte, 2 byte, 8 byte, o de página y, por ejemplo, puede usarse en un dispositivo 602 de memoria híbrida (FIG. 6) que incluye dos gigabits de flash NAND 606. Según se representa en la arquitectura ejemplar para el dispositivo de SDRAM de la FIG. 5, como con un dispositivo convencional de SDRAM, el dispositivo de memoria híbrida acepta señales de RAS/CAS (la señal estroboscópica de acceso de fila y la señal estroboscópica de acceso de columna, muy conocidas) en las líneas de dirección (por ejemplo, A0-A11, BA0-BA1), y para lecturas o escrituras de más de un único byte, lee o escribe datos secuencialmente desde la dirección de inicio del RAS/CAS. Se debe hacer notar que el dispositivo informático que

usa este tipo de memoria intermedia acumula los datos a los que se accede en serie, lo que normalmente se lleva a cabo por la antememoria integrada en muchos dispositivos informáticos.

Dado que los datos son proporcionados en serie en función de una dirección de inicio, el controlador 308 de memoria (de latencia relativamente baja) entre el anfitrión (por ejemplo, la CPU) y la SDRAM 504 es capaz de detectar las direcciones que son enviadas al chip. Detectando intervalos particulares de direcciones, la CE# (habilitar) para la interfaz de SDRAM puede ser usada para poner el dispositivo 504 en un ciclo de refresco, con datos proporcionados por otra fuente.

En la FIG. 5, la lógica de control del controlador 308 detecta direcciones enviadas a la SDRAM. Según se ha descrito anteriormente, cuando se transfieren las direcciones en el bloque designado, el controlador sabe que la solicitud es para la flash; se debe hacer notar que, en esta arquitectura ejemplar, el dispositivo de SDRAM está inhabilitado al evitar que la CE# pase al dispositivo. La lógica de control del controlador puede, a continuación, bien enviar órdenes al dispositivo flash 606 o bien mediante lógica de transferencia de datos controlar el flujo de datos de lectura y escritura al dispositivo flash. Se debe hacer notar que la corriente de órdenes al dispositivo de SDRAM no es interrumpida, y la inicialización del dispositivo de paquete de múltiples chips solamente requiere que la lógica de control detecte el modo operativo de ráfaga para que la SDRAM entienda las ráfagas de datos que han de usarse cuando se transfieren datos flash al bus de datos de la memoria.

Por lo tanto, en esta arquitectura en la que se envían direcciones a la SDRAM mediante transferencias RAS/CAS en un bus separado de direcciones, detectando ciclos RAS/CAS en la lógica de control, las órdenes y los datos son capaces de ser transferidos hasta la flash 606 y desde la misma, según sea apropiado. Un protocolo en serie de escrituras al bloque de órdenes para la flash 606 permite que el protocolo para el dispositivo flash sea soportado.

El dispositivo flash representado en la FIG. 6 (por ejemplo, un dispositivo Micron® MT29F2G16AABWP) tiene un bus multiplexado por el que una I/O de datos, direcciones y órdenes comparten los mismos conectores. Se debe hacer notar que se usan los conectores de I/O [15:8] únicamente para datos en la configuración x16, con direcciones y órdenes suministradas en I/O [7:0]. Normalmente, la secuencia de órdenes incluye un ciclo de retención de órdenes, un ciclo de retención de direcciones, y un ciclo de datos, ya sea de lectura o de escritura. Las señales de control CE#, WE#, RE#, CLE, ALE y WP# controlan las operaciones de lectura y escritura del dispositivo flash. Se debe hacer notar que, en una flash diferente, por ejemplo, un dispositivo Micron® Gb MT29F8G08FAB, la CE# y la CE2# controlan cada una conjuntos independientes de 4 Gb. La CE2# funciona igual que la CE# para su propio conjunto, y las operaciones descritas para la CE# también se aplican a la CE2#.

La CE# es usada para habilitar el dispositivo. Cuando la CE# está baja y el dispositivo no se encuentra en el estado ocupado, la memoria flash aceptará información de órdenes, datos y direcciones. Cuando el dispositivo no se encuentre realizando una operación, el conector de la CE# recibe normalmente una excitación elevada y el dispositivo entra en el modo de reposo. La memoria entrará en el modo de reposo si la CE# se eleva mientras que se estén transfiriendo datos y el dispositivo no esté ocupado. Esto contribuye a reducir el consumo energético.

La operación de CE# "Indistinto" permite que la flash NAND resida en el mismo bus de memoria asíncrona que otros dispositivos flash o de SRAM. Otros dispositivos en el bus de memoria pueden ser, entonces, objeto de acceso mientras la flash NAND está ocupada con operaciones internas. Esta prestación es para diseños que requieren múltiples dispositivos NAND en el mismo bus; por ejemplo, un dispositivo puede ser programado mientras otro está siendo leído. Una señal de CLE ELEVADA indica que está teniendo lugar un ciclo de órdenes. Una señal ALE ELEVADA significa que se está produciendo un ciclo de entrada de direcciones. Las órdenes son escritas en el registro de órdenes en el flanco ascendente de WE# cuando CE# y ALE están BAJAS, y CLE está elevada y el dispositivo no esté ocupado. Excepciones a esto son el estado de lectura y las órdenes de reinicio.

Con este componente particular, las órdenes son transferidas al registro de órdenes en el flanco ascendente de WE#; las órdenes son introducidas solamente en líneas de I/O [7:0]. Para dispositivos con una interfaz x16, es preciso que las líneas de I/O [15:8] sean escritas con ceros cuando se emita una orden. Las direcciones están escritas en el registro de direcciones en el flanco ascendente de WE# cuando CE# y CLE están bajas, y ALE está elevada y el dispositivo no esté ocupado. Las direcciones son introducidas solamente en I/O [7:0]; para dispositivos con una interfaz x16, es preciso que I/O [15:8] sea escrita con ceros cuando se emita una dirección. En general, los cinco ciclos de direcciones son escritos en el dispositivo. Una excepción a esto es el orden de borrar el bloque, que requiere solamente tres ciclos de direcciones.

El dispositivo flash ejemplificado en la presente memoria es un dispositivo multiplexado, por el cual la dirección, las órdenes y los datos fluyen en serie por una interfaz sencilla de 16-bits. La FIG. 7 ejemplifica la naturaleza en serie de la sincronización del protocolo de transferencia de órdenes de direcciones y de datos con el dispositivo flash ejemplificado. Se debe hacer notar que las direcciones, órdenes y datos son enviados desde la interfaz de SDRAM (que no está multiplexada) escribiendo secuencialmente en los bloques de órdenes y de datos.

Según se ha descrito anteriormente, detectando escrituras en el bloque de órdenes en el espacio de direcciones de la SDRAM, los datos solicitados pueden ser transferidos al dispositivo flash por el controlador 508. La transferencia de direcciones mostrada anteriormente puede expandirse para mostrar la transferencia de información de

direcciones al dispositivo flash. Según se ha descrito anteriormente, la información de direcciones para la memoria flash es transferida realizando múltiples escrituras en la dirección del bloque de órdenes en la SDRAM. Los datos de SDRAM en esta área no están disponibles, dado que el dispositivo sería deseleccionado para estas escrituras. De esta manera en serie, los datos de dirección e información de órdenes pueden escribirse y leerse desde el dispositivo flash. La lógica de control implementa protocolos adicionales de órdenes, según se ha descrito anteriormente, por ejemplo, para permitir que el dispositivo flash sea aislado de las consideraciones de velocidad del dispositivo de SDRAM. Por ejemplo, acumulando el estado del dispositivo flash en la lógica de control, se pueden añadir al protocolo en serie respuestas adicionales de órdenes que indiquen el estado de ocupación y de ejecución. Los datos y el estado devueltos desde el dispositivo flash son acumulados en un pequeño bloque de SRAM en la lógica de transferencia de datos, de forma que las velocidades de lectura y escritura a la flash sean equivalentes a las de la SDRAM.

En la FIG. 8 se representa un ejemplo típico de transferencia en serie al dispositivo flash, que representa lecturas y escrituras ejemplares por parte del soporte lógico inalterable 330 en el espacio 332 de direcciones de SDRAM (FIG. 3) que está reservado para controlar la flash 306. En general, el soporte lógico inalterable envía una orden flash en la etapa 802 al escribir una orden de INACTIVIDAD al espacio 332 de direcciones que detecta el controlador.

En la etapa 804, el soporte lógico inalterable envía una solicitud de dirección al bloque flash, que comprende cinco escrituras de direcciones que indican que bloque y que direcciones usar, junto con una orden de escritura en el espacio de direcciones de órdenes. Entonces, el controlador tiene la información que necesita para realizar la escritura.

En cada una de las etapas 806 y 808, el soporte lógico inalterable 330 sondea el estado emitiendo una orden de escritura y una lectura en ráfaga, haciendo bucle mediante la etapa 810 hasta que se detecte el estado de disponibilidad, y se envíe la ráfaga de lectura flash (etapa 812).

En una implementación alternativa, un protocolo basado en el registro proporciona acceso a la flash cargando una serie de registros, incluyendo la escritura de un registro con una palabra de ocupado establecida para iniciar la ejecución de la orden. Esto permite que la escritura de una sola página inicie la escritura o la búsqueda del bloque o de los bloques flash. En esta alternativa, la palabra ocupado es conmutada por el controlador cuando la orden ha sido completada. Las órdenes soportadas incluyen buscar dirección/bloque (o buscar intervalo de direcciones), escribir dirección/bloque (o escribir intervalo de direcciones), y eliminar dirección/bloque (o eliminar intervalo de direcciones).

Además, dado que el controlador incluye lógica, el controlador puede realizar la gestión de la flash. Por ejemplo, la flash se desgasta tras un cierto número de lecturas y escrituras y, por lo tanto, el controlador puede volver a correlacionar el acceso para equilibrar el uso de los diversos bloques disponibles de flash, denominado desgaste, nivelación. La lógica del controlador también puede realizar la detección y corrección de errores, y realizar la gestión de bloques defectuosos impidiendo que estén disponibles los bloques defectuosos conocidos, eliminándolos de manera lógica.

La FIG. 9 es una representación ejemplar de un módulo dual de memoria en línea (DIMM) 902, ejemplificando cómo se puede añadir flash a la memoria convencional de un sistema informático personal. Los chips flash físicos pueden encontrarse en el mismo lado que los circuitos integrados de SDRAM, en el lado opuesto, o en ambos. El controlador puede encontrarse en el propio DIMM, o alternativamente puede encontrarse externo al mismo, con la capacidad de inhabilitar la SDRAM y sustituir datos flash según se desee.

Cuando se encienda el ordenador personal, la BIOS (soporte lógico inalterable) comprueba la presencia de la memoria híbrida DIMM, y si está presente, carga al menos algo de la memoria de SDRAM (su código) de la flash. La presencia de la memoria flash no volátil permite arrancar o reanudar operaciones de los datos almacenados en la flash. Por ejemplo, los datos son objeto de acceso de la antememoria de la CPU que es correlacionada con bloques de memoria y resuelta ya sea desde la SDRAM o de la flash. Si hay suficiente flash presente, se puede preservar toda la SDRAM con fines de hibernación, o cargar todo el sistema operativo, sin necesidad de acceder a dispositivos periféricos, tales como una unidad de disco duro.

Aunque la invención es susceptible de diversas modificaciones y construcciones alternativas, se muestran ciertas realizaciones ilustradas de la misma en los dibujos y se han descrito anteriormente en detalle. Se debería entender, sin embargo, que no existe la intención de limitar la invención a las formas específicas divulgadas.

REIVINDICACIONES

1. Un procedimiento que comprende:

recibir, en un controlador (208), órdenes, direcciones y datos en un dispositivo (202) de memoria mediante una interfaz definida asociada con el dispositivo (202) de memoria, comprendiendo el dispositivo de memoria un primer tipo de memoria y un segundo tipo de memoria, correspondiéndose la interfaz definida con el primer tipo de memoria (204), de forma que el dispositivo (202) de memoria opere con el protocolo de acceso del primer tipo de memoria (204) tanto para el primer tipo de memoria (204) como para el segundo tipo de memoria (206); y  
 determinar en el controlador (208) si la información recibida en el dispositivo (202) de memoria se corresponde con el segundo tipo de memoria (206) asociado con el dispositivo (202) de memoria, y si es así, producir señales al segundo tipo de memoria (206) para comunicar al menos una orden al segundo tipo de memoria (206) y/o para realizar al menos una operación de entrada/salida (I/O) de datos en el segundo tipo de memoria (206), en el que el primer tipo de memoria comprende una memoria volátil (204), y el segundo tipo de memoria comprende una memoria no volátil (206),

**caracterizado porque** algunas de las direcciones del dispositivo (202) de memoria en un intervalo referenciable de direcciones se corresponden con el primer tipo de memoria (204), y ciertas direcciones del dispositivo (202) de memoria en el intervalo referenciable de direcciones están asociadas con el segundo tipo de memoria (206), en el que la determinación en el controlador (208) de si la información de órdenes y direcciones recibidas en el dispositivo (202) de memoria se corresponde con el segundo tipo de memoria (206) está basada en si las direcciones recibidas están asociadas con el segundo tipo de memoria (206).

2. El procedimiento de la reivindicación 1, que comprende, además, cuando la información recibida se corresponde con el segundo tipo de memoria (206), inhabilitar el primer tipo de memoria (204).

3. El procedimiento de la reivindicación 1, que comprende, además, cuando la información recibida se corresponde con el segundo tipo de memoria (206), generar una indicación de ocupado, realizar una operación de I/O de datos en el segundo tipo de memoria (206), y generar una indicación de disponibilidad cuando se complete la operación de I/O de datos.

4. El procedimiento de la reivindicación 1, que comprende, además, cuando la información recibida se corresponde con el segundo tipo de memoria (206), acceder a la información de la orden y/o la información de direccionamiento de datos en otro conjunto de una o más ubicaciones del dispositivo (202) de memoria, en el que la información recibida se corresponde con la información de direccionamiento de datos; y leer la información de direccionamiento de datos para correlacionar una dirección recibida con una sección entre una pluralidad de posibles secciones del segundo tipo de memoria (206).

5. Un dispositivo (202) de memoria que comprende:

un primer tipo de memoria que comprende una memoria volátil (204);  
 un segundo tipo de memoria que comprende una memoria no volátil (206);  
 una interfaz correspondiente al primer tipo de memoria (204), de modo que el dispositivo (202) de memoria opere con el protocolo de acceso del primer tipo de memoria (204) tanto para el primer tipo de memoria (204) como para el segundo tipo de memoria (206); y  
 un controlador (208) que está acoplado con la interfaz, con el primer tipo de memoria (204) y con el segundo tipo de memoria (206),

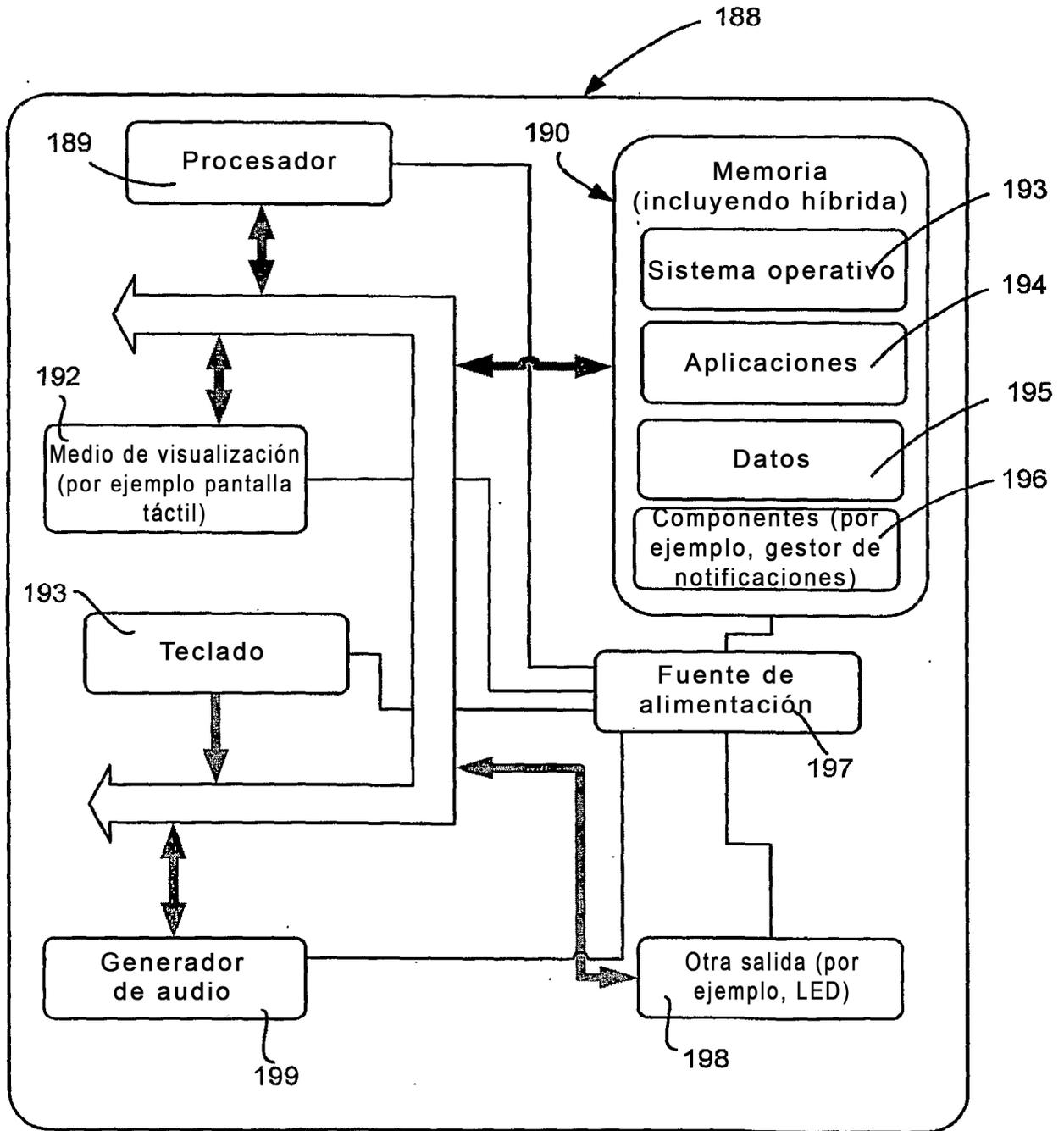
**caracterizado porque** algunas de las direcciones del dispositivo (202) de memoria en un intervalo referenciable de direcciones se corresponden con el primer tipo de memoria (204), y ciertas direcciones del dispositivo (202) de memoria en el intervalo referenciable de direcciones están asociadas con el segundo tipo de memoria,

en el que el controlador (208) está configurado para determinar si la información de órdenes y direcciones recibida mediante la interfaz se aplica al primer tipo de memoria (204) o al segundo tipo de memoria (206) en función de si las direcciones recibidas se corresponden con el primer tipo de memoria (204) o están asociadas con el segundo tipo de memoria (206).

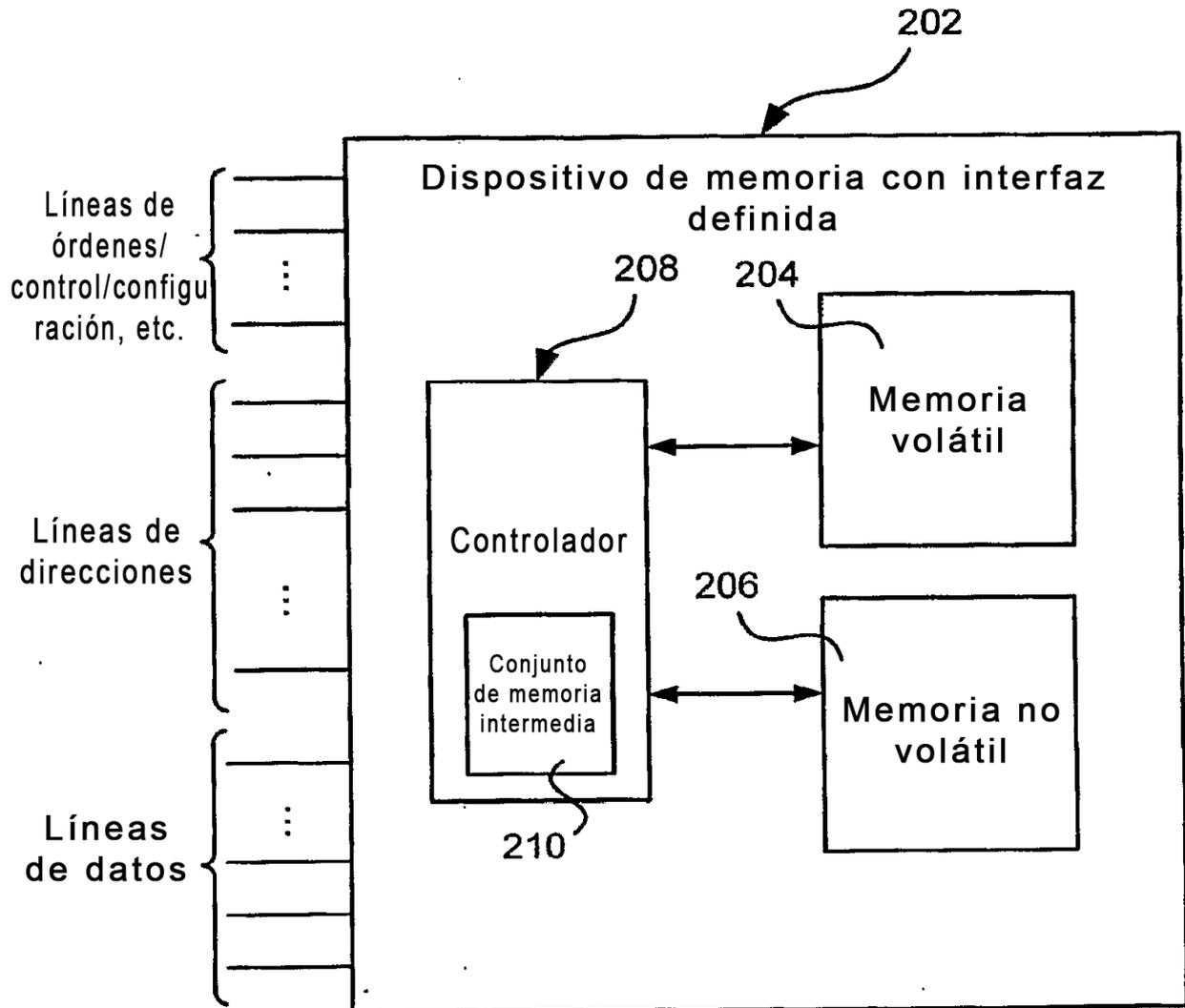
6. El dispositivo de memoria de la reivindicación 5, en el que al menos parte de la información recibida en la interfaz por la que el controlador (208) determina si la información relacionada recibida mediante la interfaz se aplica al primer tipo de memoria (204) o al segundo tipo de memoria (206) es recibida en una dirección de memoria correspondiente al primer tipo de memoria (204).

7. El dispositivo de memoria de la reivindicación 6, en el que la memoria volátil comprende memoria de tipo SDRAM o de tipo DRAM, y en el que la dirección de memoria y la información relacionada recibida mediante la interfaz comprenden información estroboscópica de acceso de fila, información estroboscópica de acceso de columna e información de control.

- 5
8. El dispositivo de memoria de la reivindicación 6, en el que la memoria no volátil comprende memoria flash, y que comprende, además, una memoria intermedia asociada con el controlador (208) para el almacenamiento temporal de las operaciones de I/O de datos realizadas con la memoria flash, y un indicador de estado, en el que el controlador (208) indica mediante el indicador de estado si una operación de I/O de datos está ocupada o completada.
- 10
9. El dispositivo de memoria de la reivindicación 5, en el que el dispositivo (202) de memoria está incorporado en un módulo dual de memoria en línea.
- 10
10. El dispositivo de memoria de la reivindicación 5, en el que el controlador (208) incluye, además, medios para la gestión de la memoria, y en el que el controlador (208) accede a información de órdenes y/o información de direccionamiento de datos en un conjunto de una o más ubicaciones correspondientes al primer tipo de memoria (204).
- 15
11. Un dispositivo informático (188) que comprende:  
un dispositivo (202) de memoria de la reivindicación 5; y  
un componente (389) que inicia órdenes al controlador (308) mediante la interfaz, incluyendo la escritura de datos relacionados con las órdenes en una o más direcciones del primer tipo de memoria (304), incluyendo al menos una orden dirigida hacia una operación de entrada/salida de datos en el segundo tipo de memoria (306).
- 20
12. El dispositivo informático de la reivindicación 11, en el que el controlador (308) envía una señal al componente (389) con información de estado de una operación de entrada/salida de datos del segundo tipo de memoria (306) mediante la escritura de datos relacionados con el estado en una o más direcciones del primer tipo de memoria (304).
- 25
13. El dispositivo informático de la reivindicación 11, en el que el componente (389) comprende código que se ejecuta en el soporte lógico inalterable (330) del dispositivo informático (188).
- 25
14. El dispositivo informático de la reivindicación 11, que comprende, además, una memoria intermedia (310) asociada con el controlador (308) para el almacenamiento temporal de operaciones de I/O de datos realizadas con el segundo tipo de memoria (306).

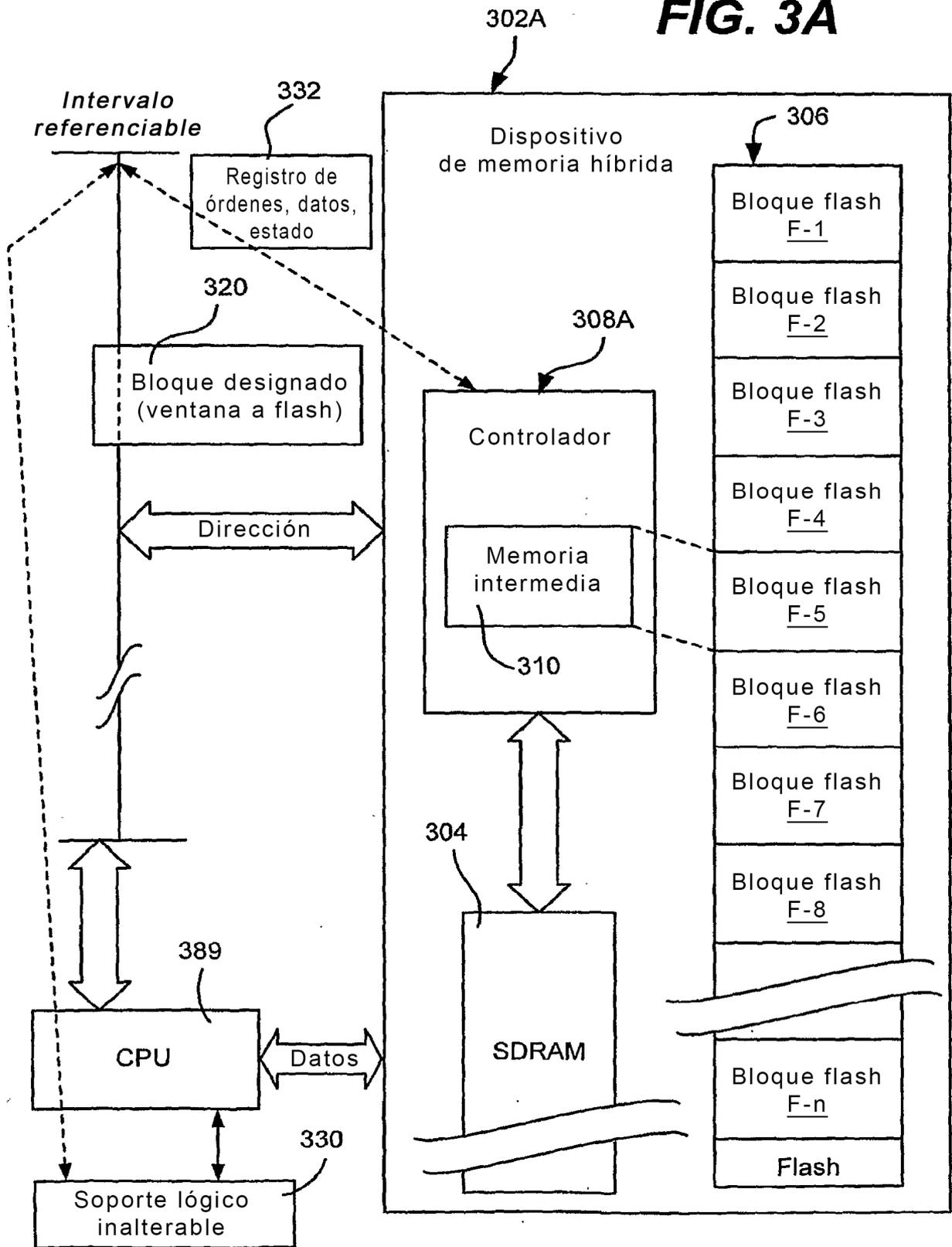


**FIG. 1**

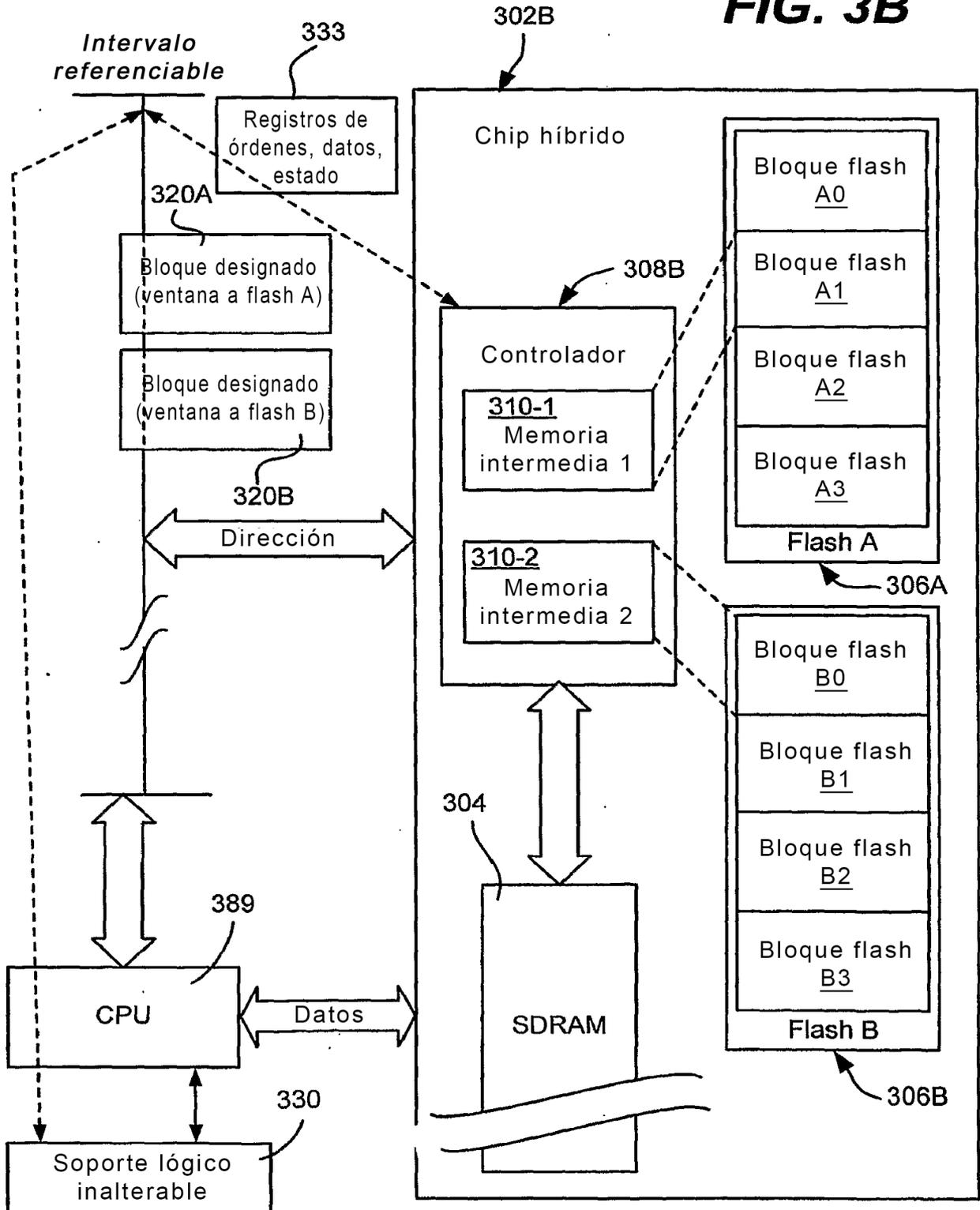


**FIG. 2**

**FIG. 3A**

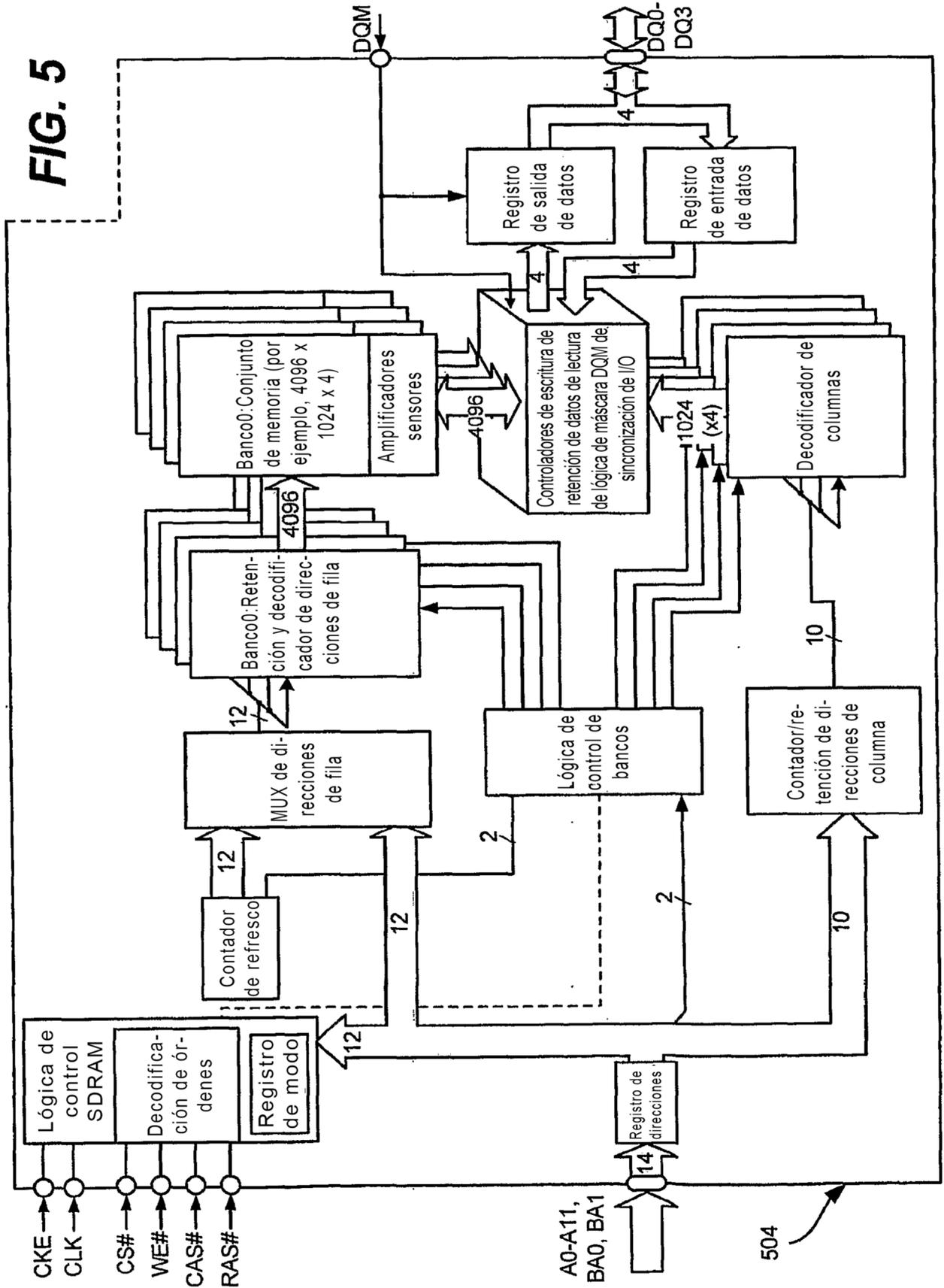


**FIG. 3B**



**FIG. 4**





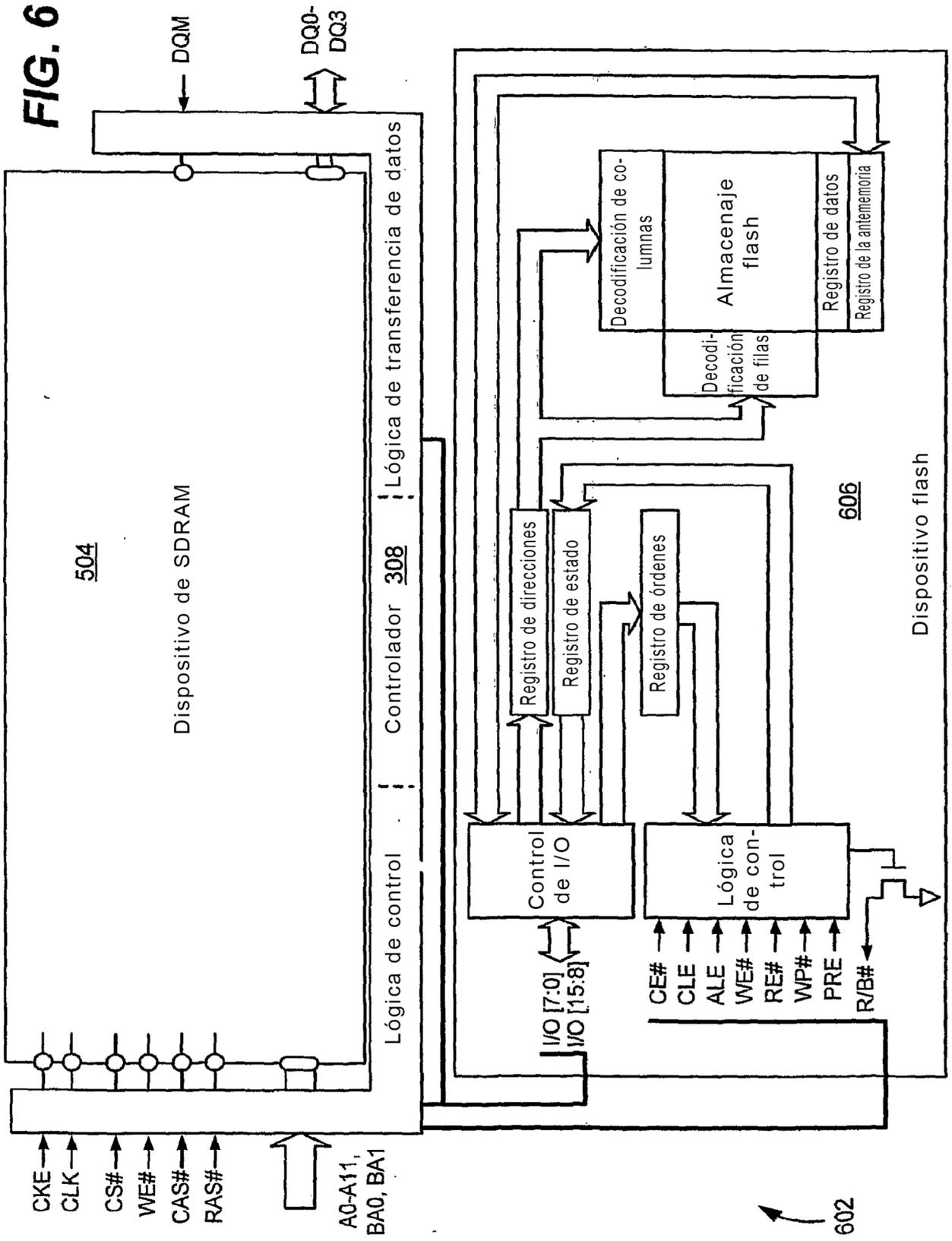
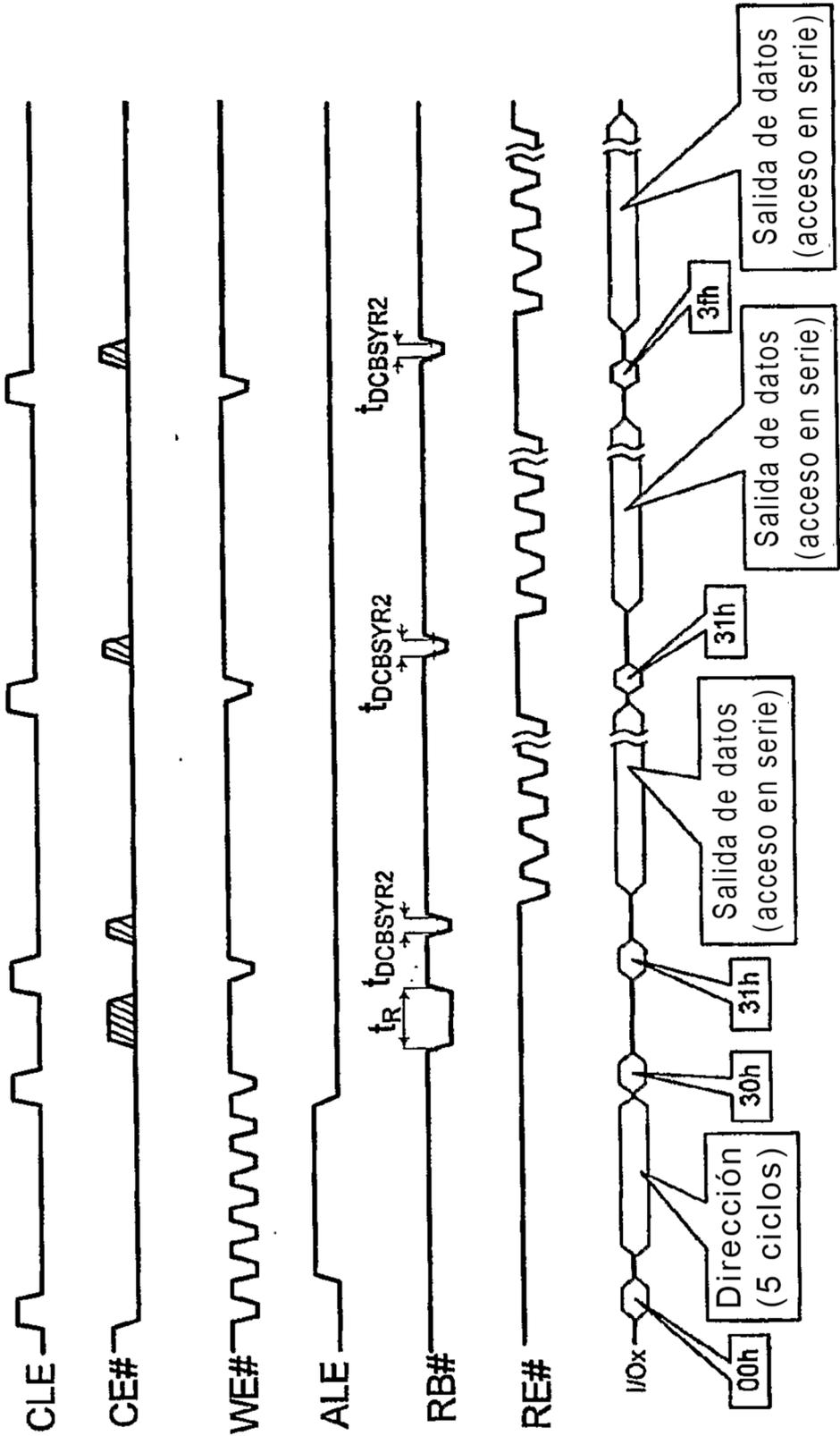
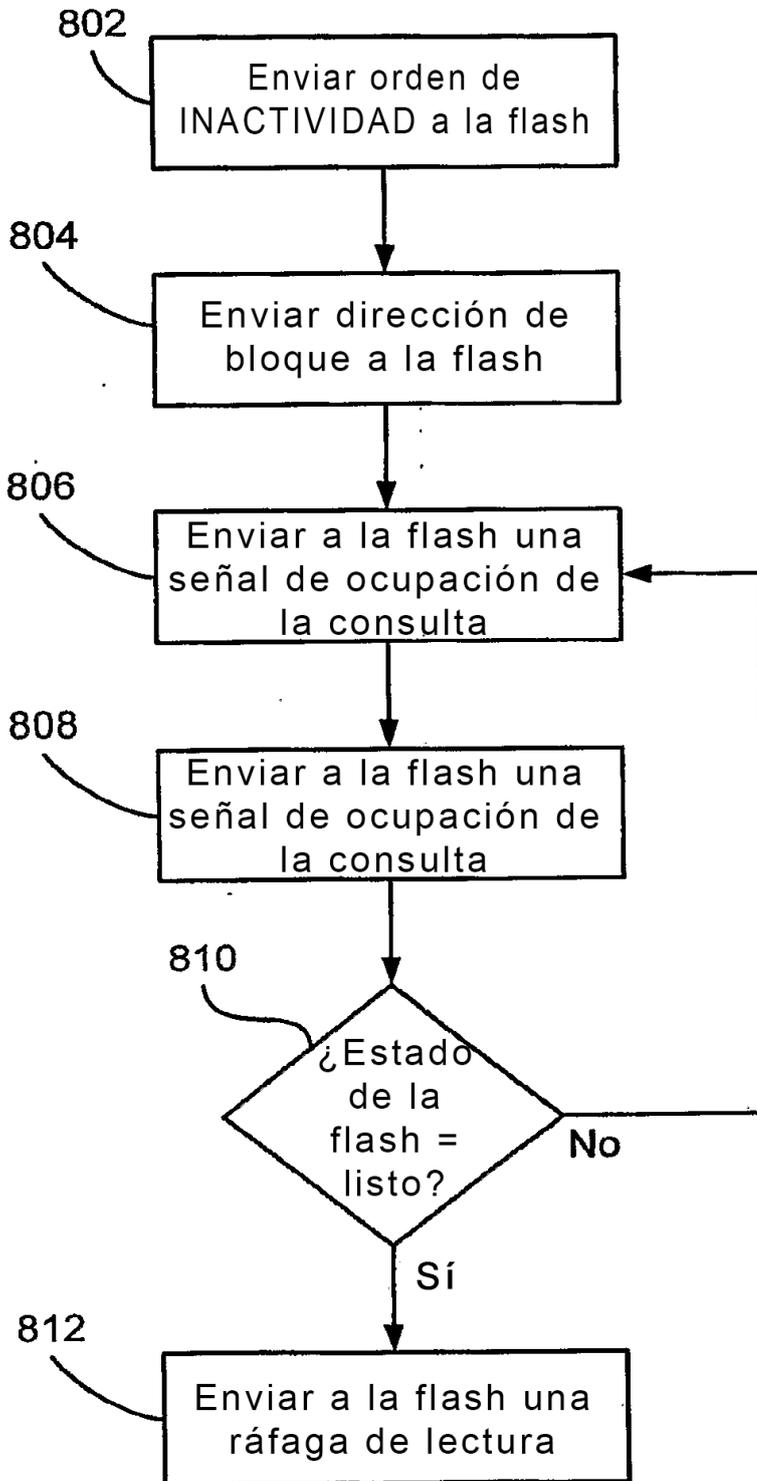


FIG. 7



**FIG. 8**



**FIG. 9**

