

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 718 487**

51 Int. Cl.:

G11C 17/16 (2006.01)

G11C 17/02 (2006.01)

G11C 11/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **03.08.2011 PCT/US2011/046429**

87 Fecha y número de publicación internacional: **09.02.2012 WO12018918**

96 Fecha de presentación y número de la solicitud europea: **03.08.2011 E 11752672 (3)**

97 Fecha y número de publicación de la concesión europea: **02.01.2019 EP 2601655**

54 Título: **Generación de un estado no reversible en una célula de bits que tiene una primera unión de túnel magnética y una segunda unión de túnel magnética**

30 Prioridad:

03.08.2010 US 849043

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

02.07.2019

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**RAO, HARI M.;
KIM, JUNG PILL;
KANG, SEUNG H.;
ZHU, XIAOCHUN;
KIM, TAE HYUN;
LEE, KANGHO;
LI, XIA;
HSU, WAH NAM;
HAO, WUYANG;
SUH, JUNGWON;
YU, NICHOLAS K.;
NOWAK, MATTHEW MICHAEL;
MILLENDORF, STEVEN M. y
ASHKENAZI, ASAF**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 718 487 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Generación de un estado no reversible en una célula de bits que tiene una primera unión de túnel magnética y una segunda unión de túnel magnética

5

I. Campo

[0001] La presente divulgación está relacionada, en general, con una célula de bits programable una sola vez basada en uniones de túnel magnéticas.

10

II. Descripción de la técnica relacionada

[0002] Los avances en la tecnología han dado como resultado dispositivos informáticos más pequeños y más potentes. Dichos dispositivos informáticos portátiles pueden incluir arquitecturas de seguridad basadas en elementos programables una sola vez, tales como un dispositivo de memoria no volátil que tiene células de memoria programables una sola vez (OTP). Una célula de memoria OTP mantiene un estado permanente una vez que la célula está programada. Por ejemplo, los fusibles de polisilicio se han utilizado como elementos OTP. Una célula de memoria de fusible de polisilicio se puede programar aplicando una tensión a través de la célula para que la célula se "funda" durante la programación. Por ejemplo, la programación de una sola vez se realiza típicamente fundiendo el silicio con una corriente alta (por ejemplo, del orden de miliamperios) durante un tiempo relativamente largo (por ejemplo, microsegundos). Un inconveniente de los fusibles de polisilicio es que la integridad del fusible es difícil de probar antes de fundir el fusible. Otro inconveniente de los fusibles de polisilicio es que un estado fundido es visiblemente detectable, lo que puede comprometer la seguridad.

15

20

25

[0003] El documento US 2010/067293 describe circuitos basados en uniones de túnel magnéticas o magnetorresistivas (MTJ). Un circuito de control de MTJ está acoplado a una MTJ para controlar la MTJ para provocar una ruptura en la MTJ. Un circuito de detección está acoplado a la MTJ para detectar una tensión en una condición de ruptura de la MTJ.

30

[0004] El documento US 2005/045931 describe una célula de memoria de MTJ formada como una cadena de segmentos acoplados magnetostáticamente y el documento US 2008/205124 describe un dispositivo de memoria de semiconductor que tiene elementos de memoria resistiva primero a tercero.

35

[0005] El documento US 2009/261437 describe una MTJ utilizando dos máscaras. Se forma depositando sobre una capa dieléctrica de nivel intermedio que contiene una primera metalización de interconexión expuesta, un primer electrodo, una capa de magnetización fija, una capa de barrera de túneles, una capa de magnetización libre y un segundo electrodo.

40

[0006] El documento EP1205937 se refiere a un dispositivo de memoria magnética, y más específicamente a un dispositivo de memoria magnética que incluye un elemento de almacenamiento que muestra un efecto de túnel ferromagnético.

III. Sumario

45

[0007] Los aspectos de la presente invención se definen en las reivindicaciones adjuntas. De acuerdo con un primer aspecto de la presente invención, se proporciona un procedimiento de acuerdo con la reivindicación 1. De acuerdo con un segundo aspecto de la presente invención, se proporciona un aparato de acuerdo con la reivindicación 13.

50

[0008] Una ventaja particular proporcionada por al menos uno de los modos de realización divulgados es que la programación a alta velocidad puede lograrse mediante la programación de un estado no reversible en una célula de bits que tiene una primera unión de túnel magnética (MTJ) y una segunda MTJ.

55

[0009] Otra ventaja particular proporcionada por al menos uno de los modos de realización divulgados es que antes de la programación, se puede probar el funcionamiento de la célula de bits.

60

[0010] Otra ventaja particular proporcionada por al menos uno de los modos de realización divulgados es la seguridad mejorada porque la detección visible de un estado programado de la célula de bits es más difícil que para los fusibles de polisilicio.

65

[0011] Otros aspectos, ventajas y características de la presente divulgación resultarán evidentes después de revisar la solicitud completa, que incluye las siguientes secciones: Breve descripción de los dibujos, Descripción detallada y Reivindicaciones.

IV. Breve descripción de los dibujos

65

[0012]

La figura 1 es un diagrama de bloques de un modo de realización ilustrativo particular de un dispositivo de memoria que incluye circuitos de programación de estado no reversible y una célula de memoria que incluye un primer elemento de memoria resistiva y un segundo elemento de memoria resistiva;

la figura 2 es un diagrama de un modo de realización ilustrativo particular de un dispositivo de memoria que incluye un circuito de programación de estado no reversible y una matriz de memoria con células de memoria programables una sola vez basadas en uniones de túnel magnéticas (MTJ);

la figura 3 es un diagrama de un modo de realización ilustrativo particular de un sistema que incluye una célula de bits que tiene una primera MTJ y una segunda MTJ y un circuito de programación de estado no reversible configurado para proporcionar una tensión de programación a la célula de bits;

la figura 4 es una representación esquemática de modos de realización ilustrativos particulares de formas y atributos de la MTJ de cada forma de MTJ;

la figura 5 es un diagrama de flujo de un modo de realización ilustrativo particular de un procedimiento de programación de un estado no reversible en una célula de bits que tiene una primera MTJ y una segunda MTJ;

la figura 6 es un diagrama de bloques de un modo de realización ilustrativo particular de un dispositivo que incluye un circuito de programación de estado no reversible configurado para proporcionar una tensión de programación a una de una primera MTJ y una segunda MTJ de una célula de bits; y

la figura 7 es un diagrama de un modo de realización ilustrativo particular de un proceso de fabricación que puede usarse para producir un dispositivo inalmbrico que incluye un circuito de programación de estado no reversible configurado para programar un estado no reversible en una célula de bits que tiene una primera MTJ y una segunda MTJ.

V. Descripción detallada

[0013] Haciendo referencia a la figura 1, un modo de realización ilustrativo particular de un dispositivo de memoria que incluye un circuito de programación de estado no reversible y una célula de memoria para almacenar datos como estados no reversibles en células de elementos duales se representa y se designa, en general, como 100. El dispositivo de memoria 100 incluye una célula de memoria representativa 102 y un circuito de programación de estado no reversible 104. La célula de memoria 102 incluye un primer elemento 106 de memoria resistiva y un segundo elemento 108 de memoria resistiva. En un modo de realización particular, el primer elemento 106 de memoria resistiva es un primer elemento de unión de túnel magnética (MTJ) y el segundo elemento 108 de memoria resistiva es un segundo elemento de MTJ. El circuito de programación de estado no reversible 104 está configurado para aplicar una señal de programa a uno del primer elemento 106 de memoria resistiva y el segundo elemento 108 de memoria resistiva de la célula de memoria 102 para programar un estado no reversible en la célula de memoria 102.

[0014] En un modo de realización particular, la capacidad de programación de una sola vez se logra mediante la programación no reversible de uno de los dos elementos 106, 108 de memoria resistiva en la célula de memoria 102. Por ejemplo, se puede aplicar una tensión de programa al primer elemento 106 de memoria resistiva de la célula de memoria 102 a través de los circuitos de programación de estado no reversible 104 sin aplicar la tensión de programa al segundo elemento 108 de memoria resistiva de la célula de memoria 102 para generar un estado no reversible en la célula de memoria 102. De forma alternativa, se puede aplicar una tensión de programa al segundo elemento 108 de memoria resistiva de la célula de memoria 102 a través del circuito de programación de estado no reversible 104 sin aplicar la tensión de programa al primer elemento 106 de memoria resistiva de la célula de memoria 102 para generar un estado no reversible en la célula de memoria 102. Para ilustrar, cuando el primer elemento 106 de memoria resistiva es una MTJ, la tensión de programa puede causar que el óxido del túnel del primer elemento 106 de memoria resistiva se descomponga, dando como resultado un estado de baja resistencia permanente del primer elemento 106 de memoria resistiva. De manera similar, cuando el segundo elemento 108 de memoria resistiva es una MTJ, la tensión de programa puede causar que el óxido del túnel del segundo elemento 108 de memoria resistiva se descomponga, dando como resultado un estado de baja resistencia permanente del segundo elemento 108 de memoria resistiva. En un modo de realización particular, el óxido del túnel puede ser una capa de barrera de óxido de magnesio dentro de una MTJ y la tensión de programa puede ser mayor que aproximadamente 1,3 voltios.

[0015] Cuando el óxido del túnel de uno de los elementos de memoria resistiva se descompone, se crea un estado permanente de baja resistencia. Por ejemplo, una vez fundido (por ejemplo, una vez que se ha descompuesto el óxido del túnel), la resistencia del elemento de memoria resistiva fundido puede ser de aproximadamente 250 ohmios. Un estado nativo no fundido de un elemento de memoria resistiva puede ser una resistencia más alta, por ejemplo, 2500 ohmios. Por ejemplo, como se ilustra en la tabla 110, si el primer elemento 106 de memoria resistiva está fundido y el segundo elemento 108 de memoria resistiva no está fundido, los datos almacenados en la célula de memoria 102 pueden representar un estado lógico "1". De forma alternativa, si el primer elemento 106 de memoria resistiva no está

fundido y el segundo elemento 108 de memoria resistiva está fundido, los datos almacenados en la célula de memoria 102 pueden representar un estado lógico "0".

5 **[0016]** En un modo de realización particular, antes de programar un estado no reversible a la célula de memoria 102, la célula de memoria 102 se puede usar como una célula programable múltiples veces (MTP) aplicando una tensión de escritura (en lugar de una tensión de programa) al primer elemento 106 de memoria resistiva o al segundo elemento 108 de memoria resistiva para almacenar un valor reversible en la célula de memoria 102. Ejemplos de células MTP se describen adicionalmente con respecto a la figura 4. El uso de la célula de memoria 102 como una célula programable una sola vez (OTP) o una célula MTP permite probar una operación de la célula de memoria 102 leyendo un elemento respectivo del primer elemento 106 de memoria resistiva y el segundo elemento 108 de memoria resistiva después de aplicar la tensión de escritura al primer elemento 106 de memoria resistiva o al segundo elemento 108 de memoria resistiva.

15 **[0017]** En un modo de realización particular, cuando la célula de memoria 102 está configurada como una célula de memoria OTP, el estado no reversible puede detectarse comparando un valor leído en el primer elemento 106 de memoria resistiva con un valor leído en el segundo elemento 108 de memoria resistiva sin la necesidad de una célula de referencia separada. Por ejemplo, para detectar un estado de escritura reversible de una MTJ, se puede aplicar una tensión de referencia. Cuando la célula de memoria 102 se configura como una célula de memoria OTP, la detección se autoreferencia en que los valores de célula complementarios se mantienen en el primer y segundo elementos 106, 108 de memoria resistiva, de tal manera que el estado no reversible se puede detectar comparando un valor leído en el primer elemento 106 de memoria resistiva con un valor leído en el segundo elemento 108 de memoria resistiva.

25 **[0018]** Debido a que la célula de memoria 102 se puede configurar como una célula de memoria OTP o una célula de memoria MTP, se pueden mejorar las arquitecturas de seguridad de los dispositivos electrónicos que incorporan la célula de memoria. Por ejemplo, las características de hardware de un dispositivo electrónico móvil tales como el grupo de acción de prueba conjunta (JTAG) pueden deshabilitarse después de la prueba final utilizando la capacidad de programación de una sola vez. Además, las claves de hardware del fabricante del equipo original se pueden utilizar con una capacidad de programación de una sola vez para el aprovisionamiento, la información del usuario, la gestión de derechos digitales, etc. Además, los dispositivos electrónicos que incorporan la célula de memoria 102 pueden ser menos susceptibles a la alteración debido al procesamiento inverso y menos susceptibles a la manipulación de datos que los sistemas de fusibles basados en polisilicio.

35 **[0019]** Haciendo referencia a la figura 2, un modo de realización ilustrativo particular de un dispositivo de memoria que incluye un circuito de programación de estado no reversible y una matriz de memoria con células de memoria programables una sola vez basadas en uniones de túnel magnéticas (MTJ) se representa y se designa, en general, como 200. El dispositivo de memoria 200 incluye circuitos de programación de estado no reversibles 202, circuitos de prueba 204 y una matriz de memoria 206 con células programables una sola vez (OTP). La matriz de memoria 206 puede incluir otras células de memoria, tales como otras células de memoria MTJ, que son células de memoria no OTP. Las células de memoria OTP y las otras células de memoria MTJ pueden fabricarse usando las mismas técnicas. La matriz de memoria 206 incluye una primera célula programable una sola vez 208 representativa y una segunda célula programable una sola vez 210 representativa. En un modo de realización particular, la primera célula programable una sola vez 208 comprende una primera célula de bits de unión de túnel magnética doble (MTJ) y la segunda célula programable una sola vez 210 comprende una segunda célula de bits de MTJ doble. La primera célula programable una sola vez 208 incluye un primer elemento 212 de memoria resistiva, un primer transistor de acceso 213, un segundo elemento 214 de memoria resistiva y un segundo transistor de acceso 215. La segunda célula programable una sola vez 210 incluye un tercer elemento 216 de memoria resistiva, un tercer transistor de acceso 217, un cuarto elemento 218 de memoria resistiva y un cuarto transistor de acceso 219. En un modo de realización particular, cada uno de los elementos 212-218 de memoria resistiva comprende un elemento de unión de túnel magnética. Una línea de palabras 220 está acoplada al primer transistor de acceso 213, al segundo transistor de acceso 215, al tercer transistor de acceso 217 y al cuarto transistor de acceso 219.

50 **[0020]** El circuito de programación de estado no reversible 202 está acoplado a la primera célula programable una sola vez 208 a través de la línea de bits 230 y la línea de bits 232 y a la segunda célula programable una sola vez 210 a través de la línea de bits 240 y la línea de bits 242. El circuito de programación de estado no reversible 202 está configurado para aplicar una tensión de programa a través de la línea de bits 230 al primer elemento 212 de memoria resistiva de la primera célula programable una sola vez 208 sin aplicar la tensión de programa al segundo elemento 214 de memoria resistiva de la primera célula programable una sola vez 208 para generar un primer estado no reversible (por ejemplo, "0" lógico) en la primera célula programable una sola vez 208. De forma alternativa, el circuito 202 de programación de estado no reversible puede aplicar la tensión de programa a través de la línea de bits 232 al segundo elemento 214 de memoria resistiva de la primera célula programable una sola vez 208 sin aplicar la tensión de programa al primer elemento 212 de memoria resistiva de la primera célula programable una sola vez 208 para generar un segundo estado no reversible (por ejemplo, "1" lógico) en la primera célula programable una sola vez 208.

65 **[0021]** De manera similar, el circuito de programación de estado no reversible 202 está configurado para aplicar la tensión de programa a través de la línea de bits 240 al tercer elemento 216 de memoria resistiva de la segunda célula

programable una sola vez 210 sin aplicar la tensión de programa al cuarto elemento 218 de memoria resistiva de la segunda célula programable una sola vez 210 para generar el primer estado no reversible en la segunda célula programable una sola vez 210. De forma alternativa, el circuito de programación de estado no reversible 202 puede aplicar la tensión de programa a través de la línea de bits 242 al cuarto elemento 218 de memoria resistiva de la segunda célula programable una sola vez 210 sin aplicar la tensión de programa al tercer elemento 216 de memoria resistiva de la segunda una célula programable una sola vez 210 para generar el segundo estado no reversible en la segunda célula programable una sola vez 210.

[0022] En un modo de realización particular, el estado no reversible se puede detectar en la primera célula programable una sola vez 208 comparando un valor leído en el primer elemento 212 de memoria resistiva con un valor leído en el segundo elemento 214 de memoria resistiva. En un modo de realización particular, el estado no reversible de la primera célula programable una sola vez se puede detectar sin una célula de referencia separada.

[0023] Por ejemplo, la detección de la primera célula programable una sola vez 208 se autoreferencia en que los valores de la célula complementaria se mantienen en el primer y segundo elementos 212, 214 de memoria resistiva (por ejemplo, el óxido del túnel de uno de los elementos 212, 214 de memoria resistiva se descompone mientras que el óxido del túnel del otro de los elementos 212, 214 de memoria resistiva no se descompone). El estado no reversible puede detectarse comparando un valor leído en el primer elemento 212 de memoria resistiva con un valor leído en el segundo elemento 214 de memoria resistiva (por ejemplo, comparando una señal en la línea de bits 230 con una señal en la línea de bits 232). No es necesario una tensión de referencia separada para detectar los estados reversibles de los elementos 212, 214 de memoria resistiva.

[0024] El circuito de prueba 204 puede configurarse para probar una o más células de la matriz de memoria 206 antes de la programación. Por ejemplo, antes de aplicar la tensión de programa al primer elemento 212 de memoria resistiva de la primera célula programable una sola vez 208, se puede aplicar una tensión de escritura al primer elemento 212 de memoria resistiva para almacenar un valor reversible en la primera célula programable una sola vez 208. Después de aplicar la tensión de escritura al primer elemento 212 de memoria resistiva, se puede leer el primer elemento 212 de memoria resistiva para probar una operación de la primera célula programable una sola vez 208. De forma alternativa, antes de aplicar la tensión de programa al segundo elemento 214 de memoria resistiva de la primera célula programable una sola vez 208, se puede aplicar una tensión de escritura al segundo elemento 214 de memoria resistiva para almacenar un valor reversible en la primera célula programable una sola vez 208. Después de aplicar la tensión de escritura al segundo elemento 214 de memoria resistiva, se puede leer el segundo elemento 214 de memoria resistiva para probar una operación de la primera célula programable una sola vez 208.

[0025] En un modo de realización particular, el tercer elemento 216 de memoria resistiva y el cuarto elemento 218 de memoria resistiva pueden ser sustancialmente similares al primer elemento 212 de memoria resistiva y al segundo elemento 214 de memoria resistiva. En un modo de realización particular, los elementos 216 y 218 de memoria resistiva pueden usarse como elementos de memoria programables múltiples veces al proporcionar una tensión de escritura donde la tensión de escritura es menor que la tensión de programa (por ejemplo, tiene una magnitud menor que la tensión de programa), haciendo que el elemento 216 o 218 de memoria resistiva entre en un estado reversible.

[0026] Al usar elementos MTJ en las células de bits de una matriz de memoria para una programación única, se puede lograr una programación de alta velocidad debido a las corrientes más pequeñas y los tiempos más cortos necesarios para programar los elementos MTJ en comparación con las corrientes más grandes y los tiempos más largos necesarios para programar los elementos fusibles de polisilicio.

[0027] Haciendo referencia a la figura 3, un modo de realización ilustrativo particular de un sistema 300 incluye una célula de bits 302 que tiene un primer elemento 310 de memoria resistiva y un segundo elemento 314 de memoria resistiva y que también incluye un circuito de programación de estado no reversible 304 configurado para proporcionar una tensión de programación a la célula de bits 302.

[0028] Los circuitos de programación 304 incluyen circuitos 320 de selección de columna de lectura, circuitos 322 de amplificador de detección, circuitos 324 de generación de líneas de palabras, circuitos 326 de trayectoria de datos de escritura, circuitos 328 de datos de escritura, circuitos 330 de selección de columnas de escritura y un par de líneas de bits 332. El circuito 320 de selección de columna de lectura está configurado para recibir datos de dirección 340 y datos de lectura 342, y para proporcionar una entrada al circuito 322 de amplificador de detección. El circuito 322 de amplificador de detección está configurado para amplificar una señal diferencial en el par de líneas de bits 332 y para generar una señal de salida de datos (Do). El circuito 328 de datos de escritura está configurado para bloquear la entrada de datos (Di) 362 recibidos y una señal de escritura 360. El circuito 330 de selección de columna de escritura está configurado para bloquear los datos de dirección 340 recibidos. El circuito 326 de trayectoria de datos de escritura responde al circuito 328 de datos de escritura y al circuito 330 de selección de columna de escritura para aplicar señales al par de líneas de bits 332. El circuito 324 de generación de línea de palabras está configurado para desviar selectivamente una línea de palabras 334 en respuesta a los datos de dirección 340, una señal de lectura 350 y la señal de escritura 360.

[0029] La célula de bits 302 incluye el primer elemento 310 de memoria resistiva y el segundo elemento 314 de memoria resistiva. En un modo de realización particular, el primer elemento 310 de memoria resistiva comprende una primera unión de túnel magnética (MTJ) y el segundo elemento de memoria resistiva comprende una segunda MTJ. La célula de bits 302 incluye un primer transistor de acceso 312 acoplado a la primera MTJ 310 y un segundo transistor de acceso 316 acoplado a la segunda MTJ 314. En un modo de realización particular, el primer transistor de acceso 312 puede tener un óxido de túnel con espesor de óxido T1 311 y el segundo transistor de acceso 316 puede tener un óxido de túnel con espesor de óxido T2 315. El espesor de óxido T1 311 puede ser sustancialmente similar al espesor de óxido T2 315. El primer transistor de acceso 312 y el segundo transistor de acceso 316 responden a la línea de palabras 334.

[0030] Durante la operación, el circuito 304 de programación de estado no reversible puede aplicar una tensión de programa a la primera MTJ 310 de la célula de bits 302 sin aplicar la tensión de programa a la segunda MTJ 314 de la célula de bits 302 para generar un estado no reversible en la célula de bits 302. De forma alternativa, el circuito 304 de programación de estado no reversible puede aplicar la tensión de programa a la segunda MTJ 314 de la célula de bits 302 sin aplicar la tensión de programa a la primera MTJ 310 de la célula de bits 302 para generar el estado no reversible en la célula de bits 302.

[0031] Por ejemplo, en un modo de realización particular, la tensión de programa puede causar que el óxido del túnel de la primera MTJ 310 se descomponga dando como resultado un estado de baja resistencia permanente de la primera MTJ 310. En un modo de realización particular, el óxido de túnel puede ser una capa de barrera de óxido de magnesio y la tensión de programa puede ser mayor que aproximadamente 1,3 voltios. Después de que el óxido del túnel de la primera MTJ 310 se descomponga, se crea un estado de resistencia corta o baja permanente de la primera MTJ 310. Por ejemplo, una vez fundida, la resistencia de la primera MTJ 310 fundida puede ser de aproximadamente 250 ohmios. Un estado nativo no fundido de la segunda MTJ 314 puede ser una resistencia más alta, por ejemplo, 2500 ohmios. En un modo de realización particular, un estado de la primera MTJ 310 (por ejemplo, fundido) puede mantenerse como complementario de un estado de la segunda MTJ 314 (por ejemplo, no fundido). La detección de la célula de bits 302 se autoreferencia porque el estado no reversible puede detectarse comparando un valor leído en la primera MTJ 310 con un valor leído en la segunda MTJ 314 (por ejemplo, comparando una señal en el par de líneas de bits 332) sin una tensión de referencia separada.

[0032] Haciendo referencia a la figura 4, se ilustran modos de realización particulares ilustrativos de formas para una célula de bits de unión de túnel magnética (MTJ) programable una sola vez y se designan, en general, como 400. Una primera MTJ tiene una forma sustancialmente elipsoidal 402, una segunda MTJ tiene una forma sustancialmente circular 404 y una tercera MTJ tiene una forma sustancialmente circular 406 más pequeña que la segunda MTJ. Las flechas ilustran ejemplos de los momentos magnéticos de una capa libre de cada una de las MTJ 402-406 como ejemplos ilustrativos, no limitativos.

[0033] La MTJ con la forma elipsoidal 402 tiene un estado biestable cuando la MTJ 402 no está fundida. Cuando se encuentra en estado biestable, la MTJ 402 puede tener una resistencia baja R Baja (por ejemplo, aproximadamente 2500 ohmios) o una resistencia alta R Alta (por ejemplo, mayor que 3000 ohmios). En un estado fundido, la MTJ 402 puede tener una resistencia a una resistencia fundida R fundida (por ejemplo, aproximadamente 250 ohmios). En un modo de realización particular, la MTJ 402 elipsoidal tiene una longitud del primer eje 403 mayor que una longitud del segundo eje 405 para permitir la alineación de los momentos magnéticos en la MTJ 402 en estados paralelos y antiparalelos, que corresponde a un primer estado programable múltiples veces (MTP) reversible y un segundo estado MTP reversible.

[0034] En un modo de realización particular, la segunda MTJ con la forma circular 404 está en un estado monoestable cuando la segunda MTJ 404 no está fundida. Por ejemplo, en el estado no fundido, la segunda MTJ 404 puede tener una resistencia a medio camino entre la alta resistencia R Alta (por ejemplo, mayor que 3000 ohms) de la segunda MTJ 404 y la baja resistencia R Baja (por ejemplo, 2500 ohms) de la segunda MTJ 404. En el estado fundido, la segunda MTJ 404 puede tener una resistencia en la resistencia fundida R Fundida (por ejemplo, aproximadamente 250 ohmios).

[0035] En un modo de realización particular, la tercera MTJ con la forma circular 406 tiene un diámetro más pequeño que el de la MTJ 404 circular, de manera que la tercera MTJ 406 está en un estado metaestable cuando la tercera MTJ 406 no está fundida. Por ejemplo, en el estado no fundido, la tercera MTJ 406 puede tener una resistencia en un punto entre la alta resistencia R Alta (por ejemplo, más de 3000 ohmios) de la tercera MTJ 406 y la baja resistencia R Baja (por ejemplo, 2500 ohmios) de la tercera MTJ 406. En el estado fundido, la tercera MTJ 406 puede tener una resistencia en la resistencia fundida R Fundida (por ejemplo, aproximadamente 250 ohmios).

[0036] Haciendo referencia a la figura 5, un diagrama de flujo de un modo de realización ilustrativo de un procedimiento de programación de un estado no reversible en una célula de bits que tiene una primera unión de túnel magnética (MTJ) y una segunda MTJ se representa y se designa, en general, como 500. Como ejemplo ilustrativo, el procedimiento 500 puede ser realizado por el dispositivo de memoria de la figura 1, el dispositivo de memoria de la figura 2, el sistema de la figura 3, o cualquier combinación de los mismos.

[0037] Antes de aplicar una tensión de programa a la célula de bits, se puede aplicar una tensión de escritura a la primera MTJ para almacenar un valor reversible a la célula de bits, en 502, y se puede leer la primera MTJ para probar una operación de la célula de bits después de aplicar la tensión de escritura a la primera MTJ, en 504. En un modo de realización particular, la célula de bits puede ser la célula de memoria 102 de la figura 1, la primera célula programable una sola vez 208 de la figura 2, o la célula de bits 302 de la figura 3. En un modo de realización particular, la primera MTJ puede ser el primer elemento 106 de memoria resistiva de la figura 1, el primer elemento 212 de memoria resistiva de la figura 2, o el primer elemento 310 de memoria resistiva de la figura 3, y la segunda MTJ puede ser el segundo elemento 108 de memoria resistiva de la figura 1, el segundo elemento 214 de memoria resistiva de la figura 2, o el segundo elemento 314 de memoria resistiva de la figura 3.

[0038] Por ejemplo, el circuito 204 de prueba puede estar configurado para probar una o más células de la matriz de memoria 206 antes de programar cualquiera de las células de la matriz de memoria 206. Por ejemplo, antes de aplicar la tensión de programa, se puede aplicar una tensión de escritura al primer elemento 212 de memoria resistiva para almacenar un valor reversible en la primera célula programable una sola vez 208. Después de aplicar la tensión de escritura al primer elemento 212 de memoria resistiva, se puede leer el primer elemento 212 de memoria resistiva para probar una operación de la primera célula programable una sola vez 208. De forma alternativa, la tensión de escritura se puede aplicar al segundo elemento 214 de memoria resistiva para almacenar un valor reversible en la primera célula programable una sola vez 208. Después de aplicar la tensión de escritura al segundo elemento 214 de memoria resistiva, se puede leer el segundo elemento 214 de memoria resistiva para probar una operación de la primera célula programable una sola vez 208.

[0039] Se puede generar un estado no reversible en la célula de bits aplicando la tensión de programa a la primera MTJ de la célula de bits sin aplicar la tensión de programa a la segunda MTJ de la célula de bits, en 506. En un modo de realización particular, la tensión de programa puede ser generada por el circuito 104 de programación de estado no reversible de la figura 1, el circuito 202 de programación de estado no reversible de la figura 2, o el circuito 304 de programación de estado no reversible de la figura 3.

[0040] La primera MTJ y la segunda MTJ se pueden mantener como valores de célula complementarios, en 508. Por ejemplo, en un modo de realización particular, la tensión de programa puede causar que se rompa el óxido de túnel, tal como descomponer el óxido de túnel que tiene el espesor T1 311 de la primera MTJ 310, dando como resultado un estado de baja resistencia permanente de la primera MTJ 310. Después de que el óxido del túnel de la primera MTJ 310 se descomponga, se crea un estado de resistencia corta o baja permanente de la primera MTJ 310. Por ejemplo, una vez fundida, la resistencia de la primera MTJ 310 fundida puede ser de aproximadamente 250 ohmios. Un estado nativo no fundido de la segunda MTJ 314 puede ser una resistencia más alta, por ejemplo, 2500 ohmios. Como tal, un valor de célula de la primera MTJ 310 (por ejemplo, fundida) puede mantenerse como complementario a un valor de célula de la segunda MTJ 314 (por ejemplo, sin fundir).

[0041] El estado no reversible puede detectarse comparando un valor leído en la primera MTJ con un valor leído en la segunda MTJ de la célula de bits, en 510. Por ejemplo, el circuito 322 del amplificador de detección puede configurarse para generar la salida Do en respuesta a la comparación de una señal (por ejemplo, una corriente o una tensión) leída en la primera MTJ 310 con una señal leída en la segunda MTJ 314.

[0042] La figura 6 es un diagrama de bloques de un modo de realización de un dispositivo de comunicación inalámbrica 600 que tiene un circuito de programación de estado no reversible y una célula de bits que incluye una primera unión de túnel magnética (MTJ) y una segunda MTJ 664. El dispositivo de comunicación inalámbrica 600 puede implementarse como un dispositivo electrónico inalámbrico portátil que incluye un procesador 610, tal como un procesador de señales digitales (DSP), acoplado a una memoria 632.

[0043] El circuito de programación de estado no reversible y la célula de bits que incluye la primera y segunda MTJ 664 pueden incluir uno o más de los componentes, memorias o circuitos de las figuras 1-4, funciona de acuerdo con la figura 5, o cualquier combinación de los mismos. El circuito de programación de estado no reversible y la célula de bits que incluye la primera y segunda MTJ 664 pueden estar en la memoria 632 o pueden ser un dispositivo separado. Aunque el circuito de programación de estado no reversible y la célula de bits que incluye la primera y segunda MTJ 664 se ilustran integrados con la memoria 632, en otros modos de realización, el circuito de programación de estado no reversible y la célula de bits que incluye la primera y segunda MTJ 664 pueden ser externos a la memoria 632, tal como incorporados en el procesador 610.

[0044] En un modo de realización particular, un controlador de visualización 626 está acoplado al procesador 610 y a un dispositivo de visualización 628. También se puede acoplar un codificador/descodificador (CODEC) 634 al procesador 610. Un altavoz 636 y un micrófono 638 pueden estar acoplados al CODEC 634. Un controlador inalámbrico 640 puede estar acoplado al procesador 610 y a una antena inalámbrica 642.

[0045] La memoria 632 puede incluir un medio legible por ordenador que almacena instrucciones (por ejemplo, software 635) que son ejecutables por un procesador, tal como el procesador 610. Por ejemplo, el software 635 puede incluir instrucciones ejecutables por un ordenador para aplicar una tensión de programa a una primera MTJ (por ejemplo, el primer elemento 106 de memoria resistiva de la figura 1) de una célula de bits (por ejemplo, la célula de

memoria 102 de la figura 1) sin aplicar la tensión de programa a una segunda MTJ (por ejemplo, el segundo elemento 108 de memoria resistiva de la figura 1) de la célula de bits para generar un estado no reversible en la célula de bits.

5 **[0046]** En un modo de realización particular, el procesador de señales 610, el controlador de visualización 626, la memoria 632, el CODEC 634 y el controlador inalámbrico 640 están incluidos en un dispositivo de sistema en paquete o sistema en chip 622. En un modo de realización particular, un dispositivo de entrada 630 y una fuente de alimentación 644 están acoplados al dispositivo 622 de sistema en chip. Además, en un modo de realización particular, ilustrado en la figura 6, el dispositivo de visualización 628, el dispositivo de entrada 630, el altavoz 636, el micrófono 638, la antena inalámbrica 642 y la fuente de alimentación 644 son externos al dispositivo 622 de sistema en chip. Sin embargo, cada uno del dispositivo de visualización 628, el dispositivo de entrada 630, el altavoz 636, el micrófono 638, la antena inalámbrica 642 y la fuente de alimentación 644 se pueden acoplar a un componente del dispositivo de sistema en chip 622, tal como una interfaz o un controlador.

15 **[0047]** Los dispositivos y funcionalidades divulgados anteriormente pueden diseñarse y configurarse en archivos de ordenador (por ejemplo, RTL, GDSII, GERBER, etc.) almacenados en medios legibles por ordenador. Algunos o todos estos archivos pueden proporcionarse a los manipuladores de fabricación que fabrican dispositivos basados en dichos archivos. Los productos resultantes son obleas semiconductoras que, a continuación, se cortan como una pastilla semiconductora y se presentan como un chip semiconductor. Los chips se emplean entonces en los dispositivos descritos anteriormente.

20 **[0048]** La figura 7 representa un modo de realización ilustrativo particular de un proceso 700 de fabricación de dispositivos electrónicos. La información 702 del dispositivo físico se recibe en el proceso de fabricación 700, tal como en un ordenador de investigación 706. La información 702 del dispositivo físico puede incluir información de diseño que representa al menos una propiedad física de un dispositivo semiconductor, tal como el dispositivo de memoria 100 de la figura 1, el dispositivo de memoria 200 de la figura 2, el sistema 300 de la figura 3, o cualquier combinación de los mismos. Por ejemplo, la información 702 del dispositivo físico puede incluir parámetros físicos, características del material e información de la estructura que se introduce a través de una interfaz de usuario 704 acoplada al ordenador de investigación 706. El ordenador de investigación 706 incluye un procesador 708, tal como uno o más núcleos de procesamiento, acoplado a un medio legible por ordenador tal como una memoria 710. La memoria 710 puede almacenar instrucciones legibles por ordenador que son ejecutables para hacer que el procesador 708 transforme la información 702 del dispositivo físico para cumplir con un formato de archivo y generar un archivo de biblioteca 712.

35 **[0049]** En un modo de realización particular, el archivo de biblioteca 712 incluye al menos un archivo de datos que incluye la información de diseño transformada. Por ejemplo, el archivo de biblioteca 712 puede incluir una biblioteca de dispositivos semiconductores que incluye un dispositivo que incluye el dispositivo de memoria 100 de la figura 1, un dispositivo que incluye el dispositivo de memoria 200 de la figura 2, un dispositivo que incluye el sistema 300 de la figura 3, o cualquier combinación de los mismos, que se proporciona para usar con una herramienta de automatización de diseño electrónico (EDA) 720.

40 **[0050]** El archivo de biblioteca 712 se puede usar junto con la herramienta EDA 720 en un ordenador de diseño 714 que incluye un procesador 716, como uno o más núcleos de procesamiento, acoplado a una memoria 718. La herramienta EDA 720 puede almacenarse como instrucciones ejecutables del procesador en la memoria 718 para permitir que un usuario del ordenador de diseño 714 diseñe un circuito que incluya un dispositivo que incluye el dispositivo de memoria 100 de la figura 1, un dispositivo que incluye el dispositivo de memoria 200 de la figura 2, un dispositivo que incluye el sistema 300 de la figura 3, o cualquier combinación de los mismos, del archivo de biblioteca 712. Por ejemplo, un usuario del ordenador de diseño 714 puede introducir la información 722 de diseño del circuito a través de una interfaz de usuario 724 acoplada al ordenador de diseño 714. La información 722 de diseño del circuito puede incluir información de diseño que representa al menos una propiedad física de un dispositivo semiconductor, tal como un dispositivo que incluye el dispositivo de memoria 100 de la figura 1, un dispositivo que incluye el dispositivo de memoria 200 de la figura 2, un dispositivo que incluye el sistema 300 de la figura 3, o cualquier combinación de los mismos. Para ilustrar, la propiedad de diseño del circuito puede incluir la identificación de circuitos particulares y las relaciones con otros elementos en un diseño de circuito, información de posicionamiento, información de tamaño de la característica, información de interconexión u otra información que represente una propiedad física de un dispositivo semiconductor.

55 **[0051]** El ordenador de diseño 714 puede configurarse para transformar la información de diseño que incluye la información 722 de diseño del circuito para cumplir con un formato de archivo. Para ilustrar, el formato de archivo puede incluir un formato de archivo binario de base de datos que represente formas geométricas planas, etiquetas de texto y otra información sobre una disposición de circuito en un formato jerárquico, como el formato de archivo del Sistema de datos gráficos (GDSII). El ordenador de diseño 714 puede configurarse para generar un archivo de datos que incluye la información de diseño transformada, tal como un archivo GDSII 726 que incluye información que describe el dispositivo de memoria 100 de la figura 1, el dispositivo de memoria 200 de la figura 2, el sistema 300 de la figura 3 o cualquier combinación de los mismos, además de otros circuitos o información. Para ilustrar, el archivo de datos puede incluir información correspondiente a un sistema en chip (SOC) que incluye el dispositivo de memoria 100 de la figura 1 y que también incluye circuitos electrónicos y componentes adicionales dentro del SOC.

[0052] El archivo GDSII 726 puede recibirse en un proceso de fabricación 728 para fabricar el dispositivo de memoria 100 de la figura 1, el dispositivo de memoria 200 de la figura 2, el sistema 300 de la figura 3 o cualquier combinación de los mismos, de acuerdo con la información transformada en el archivo GDSII 726. Por ejemplo, un proceso de fabricación de dispositivos puede incluir proporcionar el archivo GDSII 726 a un fabricante de máscaras 730 para crear una o más máscaras, tales como máscaras para usar en el procesamiento de fotolitografías, ilustradas como una máscara representativa 732. La máscara 732 se puede usar durante el proceso de fabricación para generar una o más obleas 734, que se pueden probar y separar en pastillas, tal como una pastilla representativa 736. La pastilla 736 incluye un circuito que incluye un dispositivo que incluye el dispositivo de memoria 100 de la figura 1, un dispositivo que incluye el dispositivo de memoria 200 de la figura 2, un dispositivo que incluye el sistema 300 de la figura 3, o cualquier combinación de los mismos.

[0053] La pastilla 736 puede proporcionarse a un proceso de empaquetado 738 en el que la pastilla 736 se incorpora en un paquete 740 representativo. Por ejemplo, el paquete 740 puede incluir una única pastilla 736 o múltiples pastillas, como una disposición de sistema en paquete (SiP). El paquete 740 puede configurarse para cumplir con una o más normas o especificaciones, como las normas del Consejo de Ingeniería de Dispositivos Electrónicos Conjuntos (JEDEC).

[0054] La información sobre el paquete 740 puede distribuirse a varios diseñadores de productos, como a través de una biblioteca de componentes almacenada en un ordenador 746. El ordenador 746 puede incluir un procesador 748, tal como uno o más núcleos de procesamiento, acoplados a una memoria 750. Una herramienta de placa de circuito impreso (PCB) puede almacenarse como instrucciones ejecutables por procesador en la memoria 750 para procesar la información 742 de diseño de la PCB recibida de un usuario del ordenador 746 a través de una interfaz 744 de usuario. La información 742 de diseño de la PCB puede incluir información de posicionamiento físico de un dispositivo semiconductor empaquetado en una placa de circuito, incluyendo el dispositivo semiconductor empaquetado correspondiente al paquete 740 el dispositivo de memoria 100 de la figura 1, el dispositivo de memoria 200 de la figura 2, el sistema 300 de la figura 3 o cualquier combinación de los mismos.

[0055] El ordenador 746 puede configurarse para transformar la información 742 de diseño de la PCB para generar un archivo de datos, como un archivo GERBER 752 con datos que incluyen información de posicionamiento físico de un dispositivo semiconductor empaquetado en una placa de circuito, así como la disposición de las conexiones eléctricas como trazas y vías, donde el dispositivo semiconductor empaquetado corresponde al paquete 740 que incluye el dispositivo de memoria 100 de la figura 1, el dispositivo de memoria 200 de la figura 2, el sistema 300 de la figura 3 o cualquier combinación de los mismos. En otros modos de realización, el archivo de datos generado por la información de diseño de la PCB transformada puede tener un formato distinto del formato GERBER.

[0056] El archivo GERBER 752 puede recibirse en un proceso 754 de ensamblaje de la placa y usarse para crear las PCB, como una PCB 756 representativa, fabricada de acuerdo con la información de diseño almacenada en el archivo GERBER 752. Por ejemplo, el archivo GERBER 752 puede cargarse en una o más máquinas para realizar varias etapas de un proceso de producción de la PCB. La PCB 756 se puede llenar con componentes electrónicos que incluyen el paquete 740 para formar un conjunto de circuito impreso (PCA) 758 representativo.

[0057] El PCA 758 puede recibirse en un proceso 760 de fabricación de producto e integrarse en uno o más dispositivos electrónicos, como un primer dispositivo electrónico 762 representativo y un segundo dispositivo electrónico 764 representativo. Como ejemplo ilustrativo, no limitativo, el primer dispositivo electrónico 762 representativo, el segundo dispositivo electrónico 764 representativo, o ambos, puede seleccionarse del grupo de un decodificador, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, un asistente digital personal (PDA), una unidad de datos de ubicación fija, y un ordenador, en el que está integrado el circuito de programación de estado no reversible y la célula de bits que incluye la primera y segunda MTJ 664 de la figura 6. Como otro ejemplo ilustrativo, no limitativo, uno o más de los dispositivos electrónicos 762 y 764 pueden ser unidades remotas como teléfonos móviles, unidades de sistemas de comunicación personal portátiles (PCS), unidades de datos portátiles como asistentes de datos personales, dispositivos habilitados para el sistema de posicionamiento global (GPS), dispositivos de navegación, unidades de datos de ubicación fija, como equipos de lectura de medidores, o cualquier otro dispositivo que almacene o recupere datos o instrucciones de ordenador, o cualquier combinación de los mismos. Aunque la figura 7 ilustra unidades remotas de acuerdo con las enseñanzas de la divulgación, la divulgación no está limitada a estas unidades ilustradas a modo de ejemplo. Los modos de realización de la divulgación pueden emplearse adecuadamente en cualquier dispositivo que incluya un circuito integrado activo que incluya la memoria y el circuito en chip.

[0058] Un dispositivo que incluye el dispositivo de memoria 100 de la figura 1, un dispositivo que incluye el dispositivo de memoria 200 de la figura 2, un dispositivo que incluye el sistema 300 de la figura 3, o cualquier combinación de los mismos, se puede fabricar, procesar e incorporar a un dispositivo electrónico, como se describe en el proceso 700 ilustrativo. Uno o más aspectos de los modos de realización divulgados con respecto a las figuras 1-4 puede incluirse en varias etapas de procesamiento, como dentro del archivo de biblioteca 712, el archivo GDSII 726 y el archivo GERBER 752, así como almacenarse en la memoria 710 del ordenador de investigación 706, la memoria 718 del ordenador de diseño 714, la memoria 750 del ordenador 746, la memoria de uno o más ordenadores o procesadores

(no mostrados) utilizados en las distintas etapas, como en el proceso 754 de ensamblaje de la placa, y también incorporarse en uno o más modos de realización físicos, como la máscara 732, la pastilla 736, el paquete 740, el PCA 758, otros productos como circuitos o dispositivos prototipo (no mostrados), o cualquier combinación de los mismos. Aunque se representan varias etapas representativas de la producción desde el diseño de un dispositivo físico hasta un producto final, en otros modos de realización se pueden usar menos etapas o se pueden incluir etapas adicionales. De manera similar, el proceso 700 puede ser realizado por una sola entidad o por una o más entidades que realizan varias etapas del proceso 700.

[0059] Los expertos apreciarán, además, que los diversos bloques lógicos, configuraciones, módulos, circuitos y etapas de algoritmo ilustrativos descritos en conexión con los modos de realización divulgados en el presente documento se pueden implementar como hardware electrónico, software informático ejecutado por un ordenador o combinaciones de ambos. Hasta aquí se han descrito diversos componentes, bloques, configuraciones, módulos, circuitos y etapas ilustrativos, en general, en lo que respecta a su funcionalidad. Que dicha funcionalidad se implemente como hardware o instrucciones ejecutables por procesador depende de la aplicación particular y de las restricciones de diseño impuestas al sistema global. Los expertos en la materia pueden implementar la funcionalidad descrita de distintas maneras para cada aplicación particular, pero no se debería interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente divulgación.

[0060] Las etapas de un procedimiento o algoritmo descrito en relación con los modos de realización divulgados en el presente documento se pueden realizar directamente en hardware, en un módulo de software ejecutado mediante un procesador o en una combinación de los dos. Un módulo de software puede residir en una memoria de acceso aleatorio (RAM), memoria flash, memoria de solo lectura (ROM), memoria de solo lectura programable (PROM), memoria de solo lectura programable y borrable (EPROM), memoria de solo lectura programable y borrable eléctricamente (EEPROM), registros, disco duro, disco extraíble, disco compacto con memoria de solo lectura (CD-ROM) o en cualquier otra forma de medio de almacenamiento no transitorio conocido en la técnica. Un medio de almacenamiento a modo de ejemplo está acoplado al procesador de modo que el procesador pueda leer información de, y escribir información en, el medio de almacenamiento. De forma alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un circuito integrado específico de la aplicación (ASIC). El ASIC puede residir en un dispositivo informático o en un terminal de usuario. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un dispositivo informático o en un terminal de usuario.

[0061] La descripción anterior de los modos de realización divulgados se proporciona para permitir a un experto en la materia crear o usar los modos de realización divulgados. Diversas modificaciones de estos modos de realización resultarán inmediatamente evidentes para los expertos en la materia, y los principios definidos en el presente documento se pueden aplicar a otros modos de realización sin apartarse del alcance de la divulgación. Por lo tanto, la presente divulgación no pretende limitarse a los modos de realización mostrados en el presente documento, sino que se le ha de conceder el alcance más amplio posible compatible con los principios y características novedosas, según lo definido en las reivindicaciones siguientes.

REIVINDICACIONES

1. Un procedimiento que comprende:
- 5 aplicar una tensión de programa a una primera unión de túnel magnética MTJ (310) de una célula de bits sin aplicar la tensión de programa a una segunda MTJ (314) de la célula de bits (302) para generar un estado no reversible en la célula de bits (302); **caracterizado por**
- 10 detectar el estado no reversible comparando un primer valor leído en la primera MTJ (310) y recibido en una primera entrada de un amplificador diferencial (322) con un segundo valor leído en la segunda MTJ (314) y recibido en una segunda entrada del amplificador diferencial (322), en el que el primer valor corresponde a una primera tensión de una primera línea de bits (230, 332BL) acoplada a la primera MTJ (310) y el segundo valor corresponde a una segunda tensión de una segunda línea de bits (232, 332BL#) acoplada a la segunda MTJ (314).
- 15
2. El procedimiento según la reivindicación 1, en el que la tensión de programa hace que un óxido del túnel de la primera MTJ 310 se descomponga dando como resultado un estado de baja resistencia permanente en la primera MTJ 310.
- 20
3. El procedimiento según la reivindicación 1, que comprende, además, mantener la primera MTJ (310) y la segunda MTJ (314) como valores de célula complementarios.
4. El procedimiento según la reivindicación 1, en el que el estado no reversible corresponde a un estado fundido de la primera MTJ (310).
- 25
5. El procedimiento según la reivindicación 1, en el que la detección del estado no reversible de la célula de bits (302) se realiza sin una célula de referencia separada.
- 30
6. El procedimiento según la reivindicación 1, que comprende, además, antes de aplicar la tensión de programa, aplicar una tensión de escritura a la primera MTJ (310) para almacenar un valor en la célula de bits (302).
7. El procedimiento según la reivindicación 6, que comprende, además, después de aplicar la tensión de escritura a la primera MTJ (310), leer la primera MTJ (310) para probar una operación de la célula de bits (302).
- 35
8. El procedimiento según la reivindicación 1, en el que la célula de bits (302) está dentro de una memoria con capacidad programable una sola vez, y que comprende, además, probar una o más células de la memoria antes de programar la célula de bits (302).
- 40
9. El procedimiento según la reivindicación 1, en el que la primera MTJ (402) tiene una longitud del primer eje (403) mayor que una longitud del segundo eje (405) para permitir conmutar la primera MTJ (310) de un primer estado no programado a un segundo estado no programado.
10. El procedimiento según la reivindicación 9, en el que la primera MJT (402) es elipsoidal.
- 45
11. El procedimiento según la reivindicación 1, en el que la primera MTJ (404, 406) es sustancialmente circular, y que comprende además probar la célula de bits comparando la célula de bits con una referencia externa.
12. El procedimiento según la reivindicación 1, en el que la primera MTJ (212) y la segunda MTJ (214) están dentro de una matriz de MTJ (206), comprendiendo, además, la matriz de MTJ una tercera MTJ (216) que es sustancialmente similar a la primera MTJ (212) y la segunda MTJ (214), y que además comprende usar la tercera MTJ (216) como un elemento de memoria programable múltiples veces al proporcionar una tensión de escritura a la tercera MTJ (216), en el que la tensión de escritura es menor que la tensión de programa y hace que la tercera MTJ (216) entre en un estado reversible.
- 50
13. Un aparato que comprende:
- 55 medios para almacenar un valor de datos, comprendiendo los medios para almacenar una primera unión de túnel magnética MTJ y una segunda MTJ; y
- 60 medios para generar un estado no reversible en los medios para almacenar aplicando una tensión de programa a la primera MTJ sin aplicar la tensión de programa a la segunda MTJ;
- caracterizado por que** el aparato comprende, además
- 65 medios para detectar el estado no reversible comparando un primer valor leído en la primera MTJ y recibido en una primera entrada de un amplificador diferencial con un segundo valor leído en la segunda MTJ y

recibido en una segunda entrada del amplificador diferencial, en el que el primer valor corresponde a una primera tensión de una primera línea de bits acoplada a la primera MTJ y el segundo valor corresponde a una segunda tensión de una segunda línea de bits acoplada a la segunda MTJ.

- 5 **14.** El aparato según la reivindicación 13, que comprende, además, un primer transistor de acceso (312) acoplado a la primera MTJ (310) y un segundo transistor de acceso (316) acoplado a la segunda MTJ (314).
- 10 **15.** El aparato según la reivindicación 14, en el que el primer transistor de acceso (312) tiene un espesor de óxido que es sustancialmente similar a un espesor de óxido del segundo transistor de acceso (316).

10

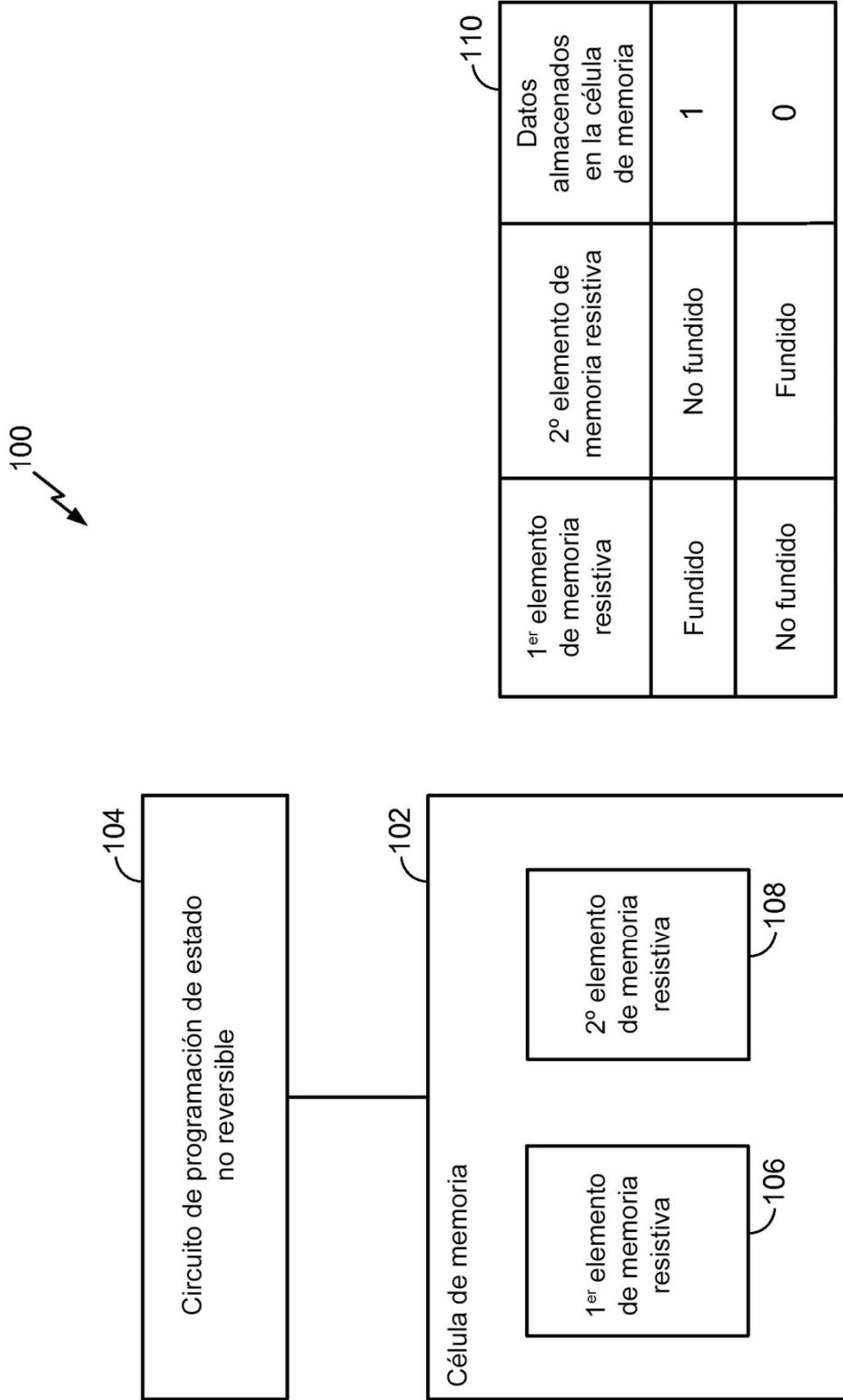


FIG. 1

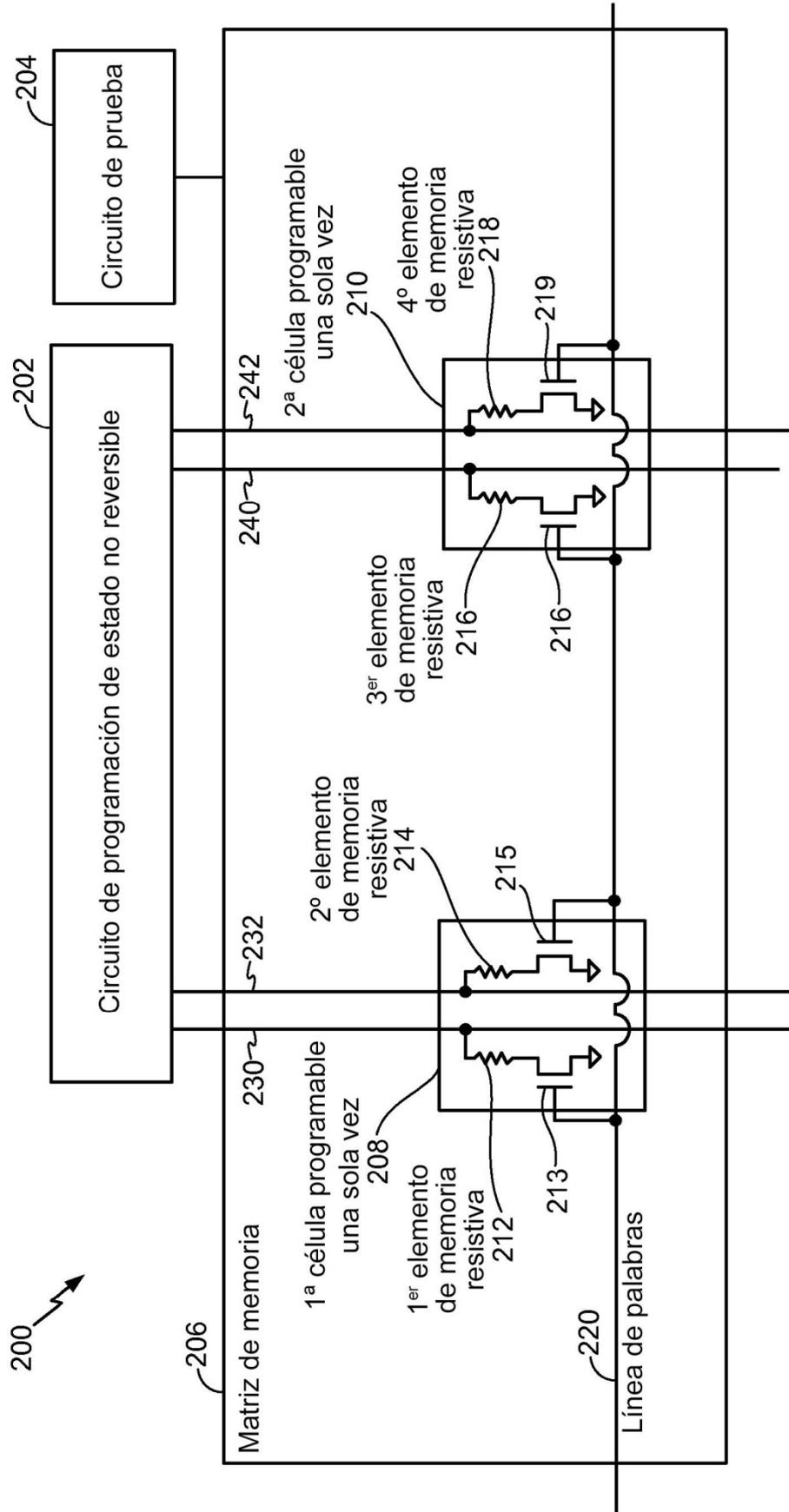


FIG. 2

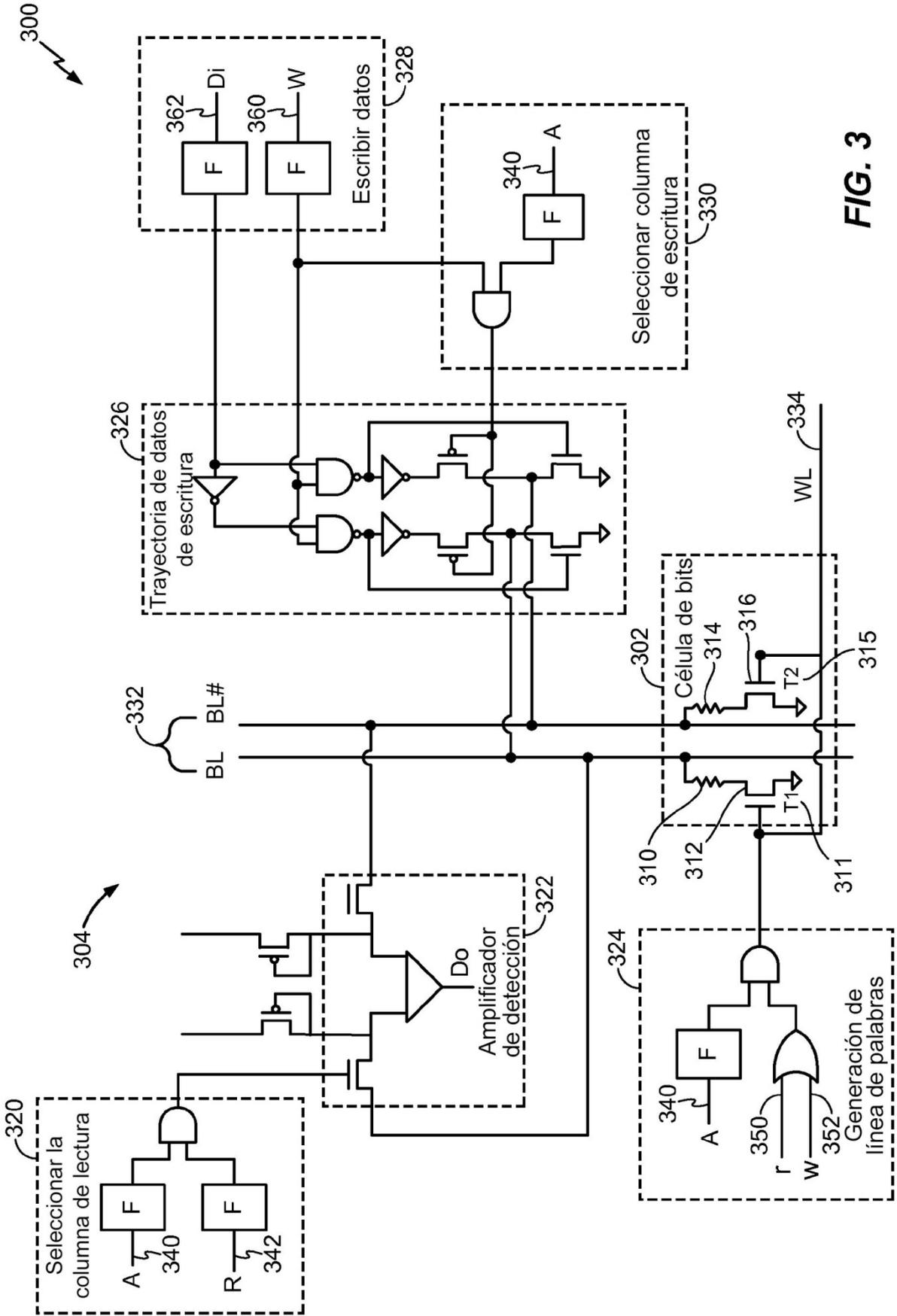


FIG. 3

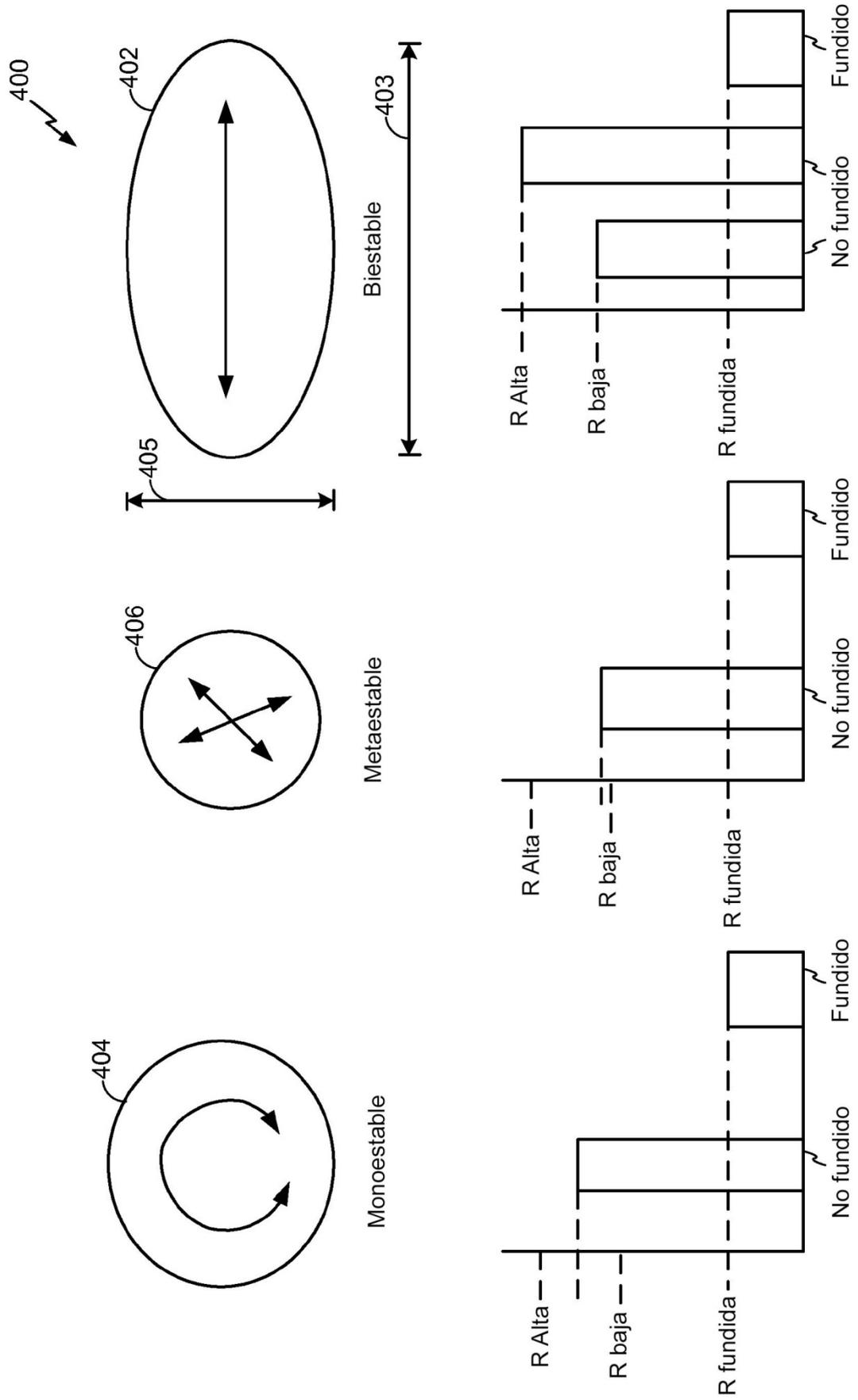


FIG. 4

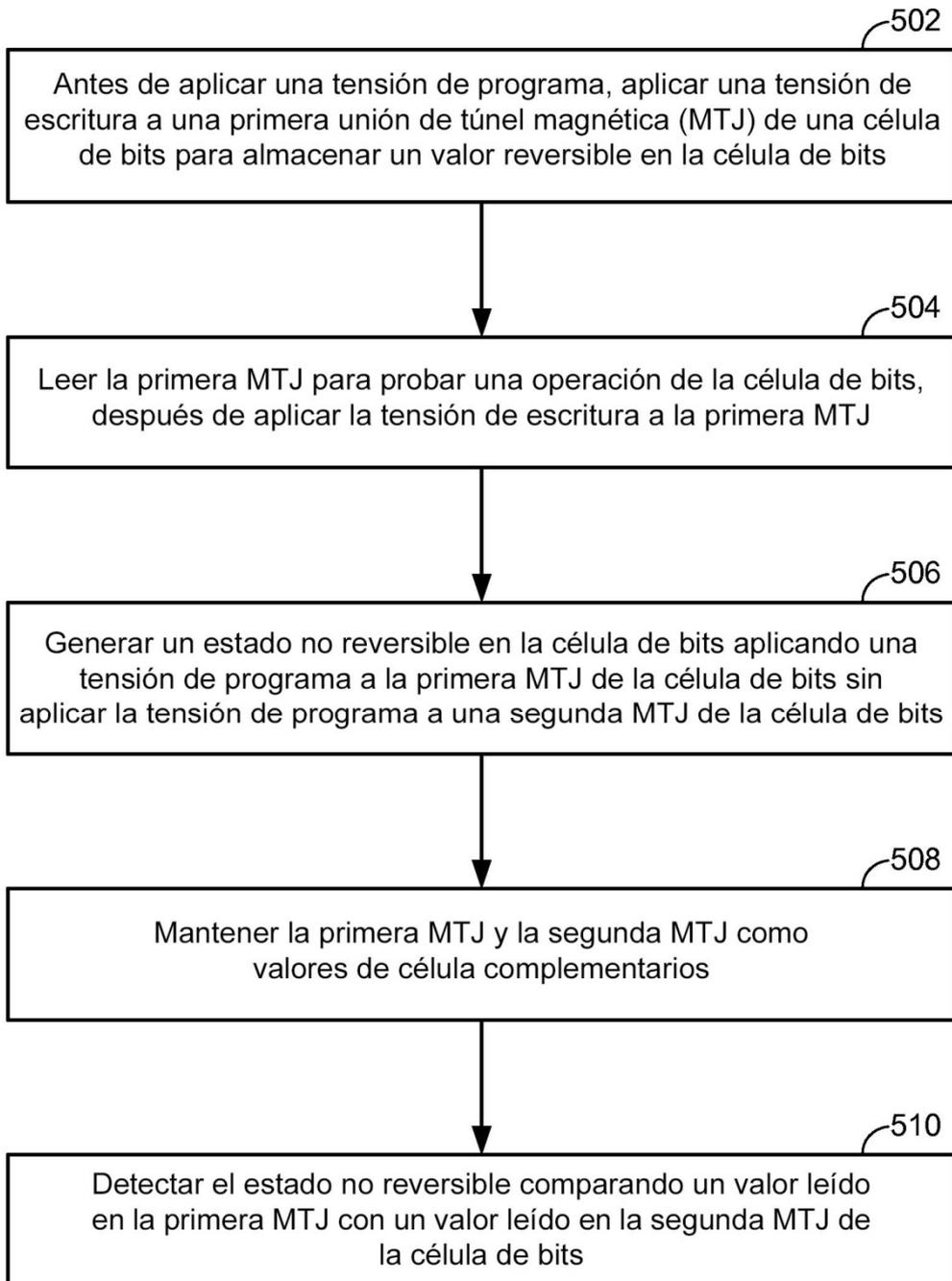


FIG. 5

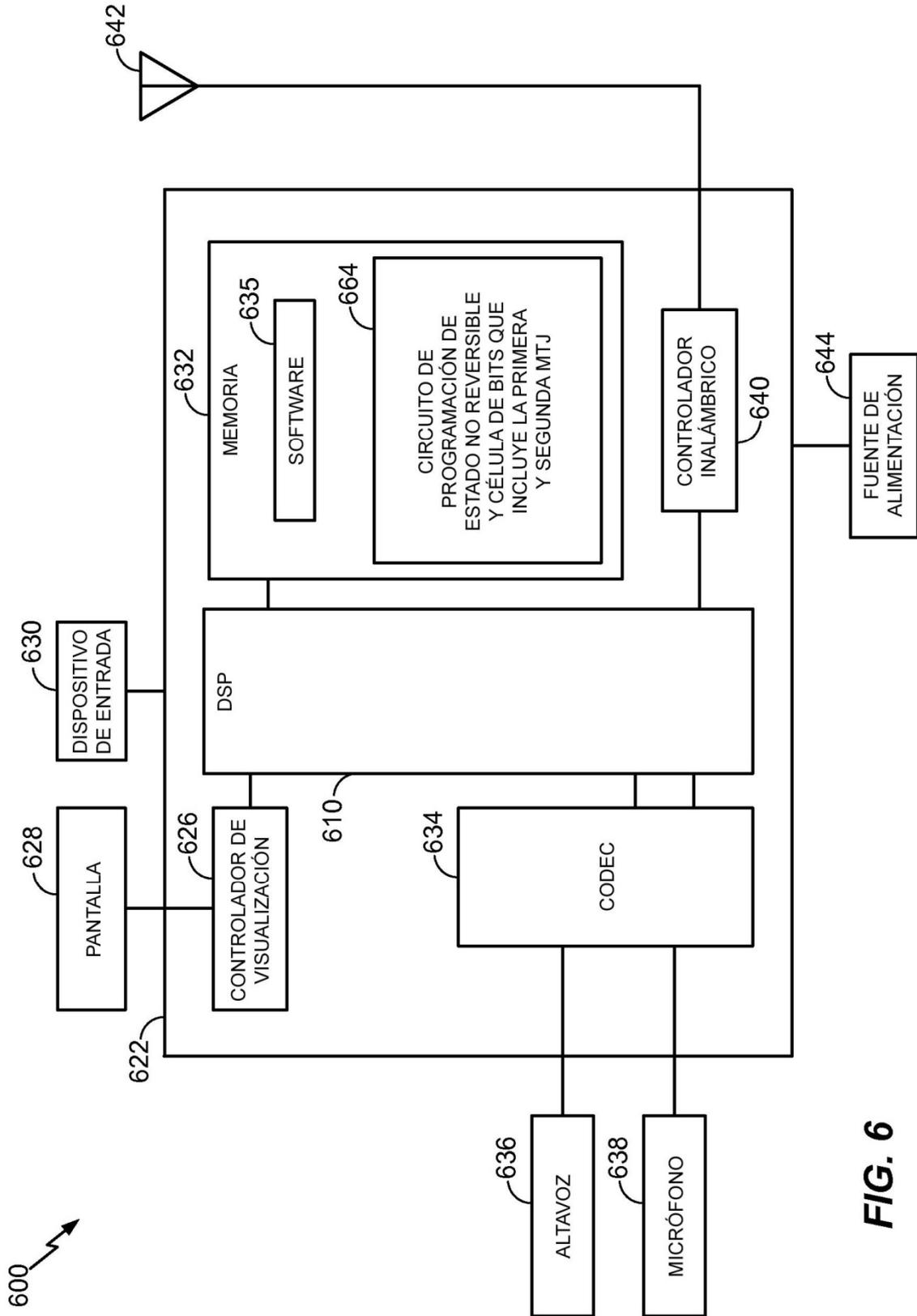


FIG. 6

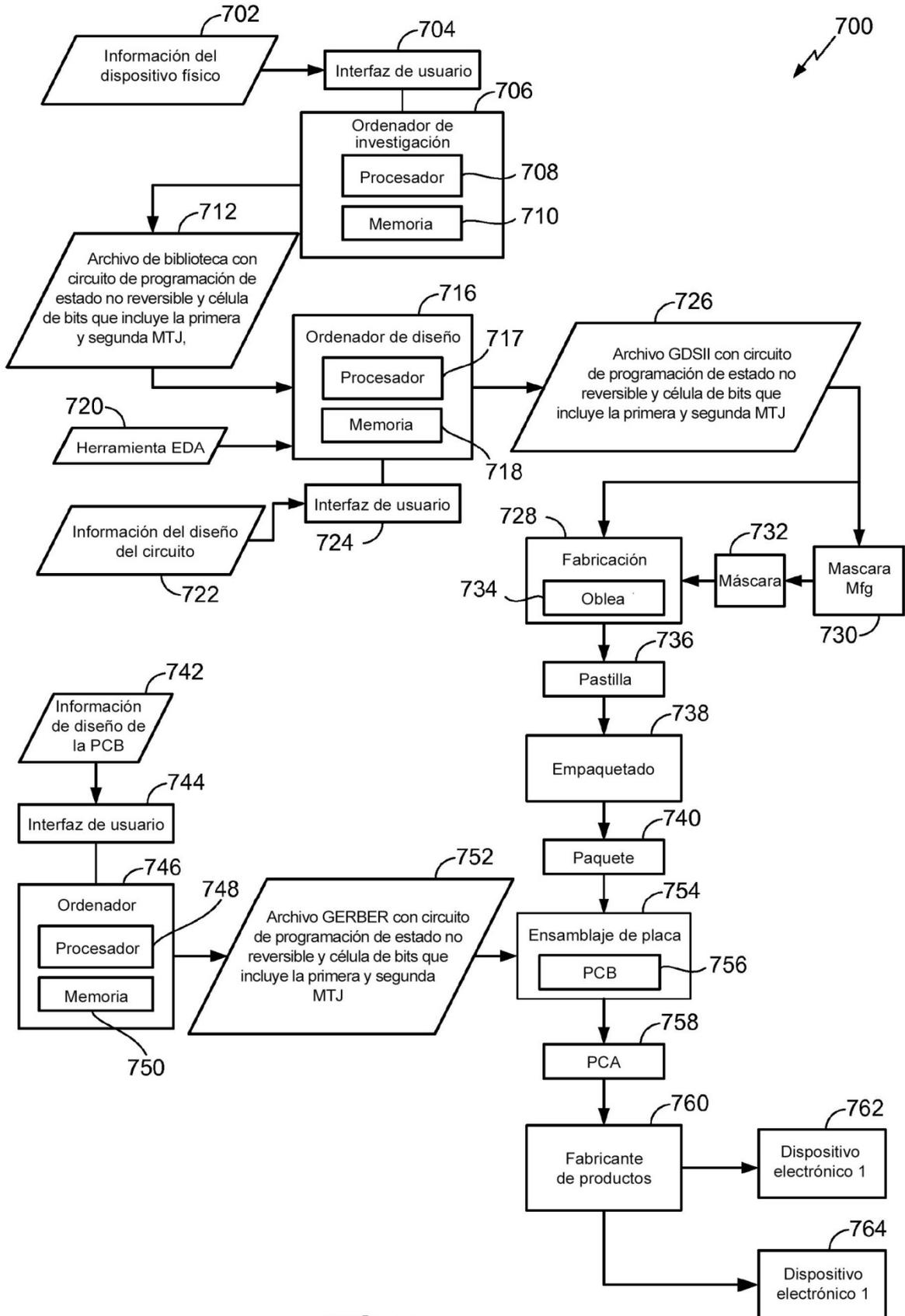


FIG. 7