

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 719 544**

51 Int. Cl.:

**G06F 13/16** (2006.01)

**G06F 12/06** (2006.01)

**G06F 12/08** (2006.01)

**G11C 11/408** (2006.01)

**G06F 12/02** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **19.03.2010 PCT/US2010/027981**

87 Fecha y número de publicación internacional: **23.09.2010 WO10108096**

96 Fecha de presentación y número de la solicitud europea: **19.03.2010 E 10754172 (4)**

97 Fecha y número de publicación de la concesión europea: **09.01.2019 EP 2409235**

54 Título: **Controlador de acceso a memoria, sistemas y procedimientos para optimizar los tiempos de acceso a memoria**

30 Prioridad:  
**20.03.2009 US 407910**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**11.07.2019**

73 Titular/es:  
**QUALCOMM INCORPORATED (100.0%)  
Attn: International IP Administration 5775  
Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:  
**MADDALI, SRINIVAS y  
SRIRAMAGIRI, DEEPTI, VIJAYALAKSHMI**

74 Agente/Representante:  
**FORTEA LAGUNA, Juan José**

**ES 2 719 544 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Controlador de acceso a memoria, sistemas y procedimientos para optimizar los tiempos de acceso a memoria

5 **ANTECEDENTES****I. Campo de la divulgación**

10 **[1]** La tecnología de la presente solicitud se refiere en general a un controlador de acceso a memoria y a sistemas y procedimientos relativos para optimizar los tiempos de acceso a memoria en un sistema basado en el procesador.

**II. Antecedentes**

15 **[2]** Es común que los sistemas basados en los procesadores, incluidos los sistemas basados en las unidades de procesamiento central (CPU), usen la memoria dinámica para la memoria del sistema. La memoria dinámica es menos cara que la memoria estática, porque solo se requiere típicamente un transistor por bit de memoria en la memoria dinámica, a diferencia de los múltiples transistores que se requieren típicamente por bit de memoria estática. Sin embargo, el uso de la memoria dinámica tiene un compromiso. Los tiempos de acceso a memoria dinámica son típicamente más largos que los tiempos de acceso a memoria estática. El acceso a memoria dinámica implica dos tareas discretas, las cuales requieren tiempo de procesamiento. Primero, se abre la página de memoria (es decir, la fila) correspondiente a la ubicación de memoria deseada en un banco de memoria al que se vaya a acceder. Esto también se conoce como "selección de fila", en referencia a una disposición bidimensional de memoria de fila y columna. Segundo, se accede a la ubicación de memoria deseada dentro de la página de memoria. Esto también se conoce como "selección de columna". El aumento en los tiempos de acceso a memoria provocado por el uso de la memoria dinámica puede afectar el rendimiento de la CPU, tanto en términos de ancho de banda reducido como en el número de instrucciones ejecutadas en un tiempo dado (por ejemplo, un millón de instrucciones por segundo (MIPS)).

30 **[3]** Para mitigar los tiempos de acceso a memoria aumentados cuando se emplee la memoria dinámica en sistemas basados en los procesadores, los controladores de memoria pueden configurarse para mantener o dejar abierta una página de memoria dentro de un banco de memoria dado después de un acceso a la página de memoria. Mantener o dejar abierta una página de memoria después de un acceso en un banco de memoria puede mejorar el rendimiento del tiempo de acceso a memoria si los accesos a la memoria contiguos son a la misma página de memoria. No se requiere tiempo de procesamiento para cerrar la página de memoria y reabirla para accesos posteriores. Sin embargo, existe un compromiso al mantener o dejar abierta una página de memoria en un banco de memoria después de un acceso. Si, por ejemplo, una CPU desea acceder a datos de una página de memoria diferente en el mismo banco de memoria, se deben realizar tres tareas, en lugar de dos tareas. Primero, la página de memoria abierta actualmente debe estar cerrada en el banco de memoria. A continuación, se debe abrir la nueva página de memoria que contiene la ubicación de memoria deseada a la que se va a acceder. Luego, se accede a la ubicación de memoria deseada dentro de la página de memoria. El tiempo de procesamiento adicional provocado en el cierre de una página de memoria a la que se accedió anteriormente antes de que se pueda abrir una nueva página de memoria da como resultado la reducción del ancho de banda y reduce los MIPS para la CPU.

45 **[4]** Configurar un controlador de memoria para mantener o dejar abierta una página de memoria después de un acceso puede ser ideal para ciertas aplicaciones de memoria, particularmente aquellas que impliquen el acceso a ubicaciones de memoria contiguas, tales como video, gráficos y aplicaciones de memoria de pantalla y otras aplicaciones, como ejemplos. En estos escenarios, los cierres de página de memoria se producen menos a menudo, porque los accesos a la memoria contiguos son a la misma página de memoria en un banco de memoria dado. Sin embargo, la configuración de un controlador de memoria para mantener o dejar abierta una página de memoria después de un acceso a memoria puede no ser ideal para otras aplicaciones de acceso a memoria, tales como los accesos a la CPU habilitados para la memoria caché, por ejemplo. Esto se debe a que es poco probable que los accesos a la memoria contiguos se realicen a la misma página de memoria en un banco de memoria dado. Por tanto, el tiempo de acceso a memoria aumentará debido al mayor tiempo de procesamiento implicado en el cierre de una página de memoria a la que se accedió anteriormente antes de que se pueda abrir una nueva página de memoria.

55 **[5]** La solicitud de patente de EE. UU US 2003/0126354 divulga un procedimiento para ajustar dinámicamente una política de cierre de página de memoria, que monitorea los accesos a la memoria y determina un punto de disparo del temporizador. El punto de disparo determina cuándo se cierran las páginas y que se ajusta dinámicamente para que se corresponda con el comportamiento reciente del acceso a memoria. Un valor de disparo pequeño hará que el mecanismo se comporte más como la política de cierre de página, mientras que los valores de disparo más grandes se comportarán más como la política de apertura de página. El mecanismo implementa además una operación de recuperación que almacena una identidad de la última página que estaba abierta para cada banco. En otras palabras, el controlador recuerda qué página estaba abierta en un banco en particular, incluso después de que se haya cerrado. Por lo tanto, el controlador no proporciona una configuración estática que se invalide meramente de forma temporal.

65

**SUMARIO DE LA DIVULGACIÓN**

[6] La invención se define por la reivindicación independiente 1 del dispositivo y por la reivindicación independiente 8 del procedimiento.

[7] Los modos de realización divulgados en la descripción detallada incluyen un controlador de acceso a memoria y sistemas y procedimientos relacionados. El controlador de memoria se puede configurar para proporcionar una configuración de acceso a memoria por separado para cada uno de una pluralidad de bancos de memoria en un sistema de memoria dado. La configuración de acceso a memoria proporcionada para cada banco de memoria puede ser mantener o dejar abierta o cerrar al menos una página de memoria en cada banco de memoria después de un acceso a memoria. De esta manera, se puede proporcionar una configuración de acceso a memoria para cada banco de memoria de forma individualizada para optimizar los tiempos de acceso a memoria en base al tipo de datos almacenados en cada banco de memoria. Por ejemplo, si un banco de memoria está configurado para almacenar datos que a menudo impliquen accesos a la memoria contiguos a ubicaciones de memoria en la misma página de memoria, el banco de memoria se puede configurar para dejar abiertas sus páginas de memoria después de cada acceso. Se logrará un ahorro de tiempo en el acceso a memoria ya que una página de memoria no tendrá que reabrirse entre los accesos contiguos a la misma página de memoria. Sin embargo, si un banco de memoria implica a menudo accesos a la memoria contiguos a ubicaciones de memoria en diferentes páginas de memoria, ese banco de memoria puede configurarse para cerrar sus páginas de memoria después de cada acceso. De esta manera, no se provoca una penalización de tiempo de acceso a memoria al tener que cerrar primero una página de memoria a la que se accedió anteriormente para realizar un acceso a memoria a una página de memoria diferente en el mismo banco de memoria.

[8] En modos de realización de la descripción detallada, se puede proporcionar una configuración estática o dinámica para cada banco de memoria. La configuración estática implica proporcionar una configuración de acceso a memoria para que un banco de memoria mantenga o deje abiertas sus páginas de memoria o las cierre después de cada acceso. Se puede proporcionar una configuración estática para los bancos de memoria durante la inicialización o el inicio. La configuración estática puede dejarse en su lugar durante el tiempo de ejecución sin alteración. El controlador de memoria se puede configurar para permitir la configuración dinámica de los bancos de memoria durante el tiempo de ejecución. La configuración dinámica implica cambiar la configuración de acceso a memoria para un banco de memoria particular para optimizar aún más los tiempos de acceso a memoria. La configuración dinámica puede implicar una anulación temporal o un cambio permanente (al menos hasta un próximo cambio de configuración permanente) de una configuración de acceso a memoria. Una anulación temporal de una configuración de acceso a memoria dará como resultado automáticamente que la configuración vuelva a la configuración de acceso a memoria estática anterior.

[9] La configuración de acceso a memoria dinámica se puede realizar en base a la revisión de futuros accesos a la memoria pendientes a una página de memoria dada, o a una predicción de si los accesos a la memoria futuros a un banco de memoria dado serán probablemente a la misma página de memoria o no. En este caso, dependiendo de la revisión o de la predicción, se puede hacer un ahorro de tiempo en el acceso a memoria adicional al cambiar dinámicamente la configuración de acceso a memoria para un banco de memoria dado.

**BREVE DESCRIPCIÓN DE LAS FIGURAS**

[10]

La Figura 1 es un diagrama de un controlador de memoria configurable a modo de ejemplo y de una memoria asociada como parte de un sistema a modo de ejemplo basado en el procesador;

la Figura 2 es un diagrama de tabla que ilustra los accesos a las páginas de memoria a modo de ejemplo en un banco de memoria dado, de este modo el ahorro de tiempo en el acceso a memoria se realiza cuando se proporciona una configuración de dejar abierta la página de memoria para el banco de memoria;

la Figura 3 es un diagrama de tabla que ilustra accesos a las páginas de memoria a modo de ejemplo en un banco de memoria dado, de este modo se realiza una penalización de tiempo de acceso a memoria cuando se proporciona una configuración de dejar abierta la página de memoria para el banco de memoria;

la Figura 4 es un diagrama de los registros internos a modo de ejemplo proporcionados en el controlador de memoria para determinar si una página de memoria en un banco de memoria está abierta;

la Figura 5 es un diagrama de un registro interno a modo de ejemplo proporcionado en el controlador de memoria para almacenar una configuración de acceso a memoria para cada uno de los bancos de memoria;

las Figuras 6 y 7 son diagramas de flujo que ilustran un proceso a modo de ejemplo para acceder a datos en una página de memoria de un banco de memoria en base a la configuración de acceso a memoria proporcionada en el controlador de memoria para el banco de memoria;

5 las Figuras 8-10 son diagramas de flujo que ilustran otro proceso a modo de ejemplo para acceder a datos en una página de memoria de un banco de memoria en donde se puede proporcionar una configuración de acceso a memoria dinámica para el banco de memoria;

10 las Figuras 11 y 12 son diagramas de colas de peticiones de memoria a modo de ejemplo para el controlador de memoria;

15 la Figura 13 es un diagrama de flujo que ilustra otro proceso a modo de ejemplo para acceder a datos en una página de memoria de un banco de memoria en donde se puede proporcionar una configuración de acceso a memoria dinámica basada en la predicción para el banco de memoria;

la Figura 14 es un diagrama de los registros internos a modo de ejemplo proporcionados en el controlador de memoria para habilitar o deshabilitar la configuración de acceso a memoria dinámica;

20 la Figura 15 es un diagrama de los registros internos a modo de ejemplo proporcionados en el controlador de memoria para habilitar o deshabilitar la configuración de acceso a memoria dinámica en un banco de memoria; y

25 la Figura 16 es un diagrama de bloques de un sistema a modo de ejemplo basado en el procesador que incluye el controlador de memoria de la Figura 1 configurado para proporcionar una configuración de acceso a memoria para cada banco de memoria proporcionado en una memoria del sistema.

### **DESCRIPCIÓN DETALLADA**

30 **[11]** Con referencia ahora a las figuras en los dibujos, se describen varios modos de realización a modo de ejemplo de la presente divulgación. El término "a modo de ejemplo" se usa en el presente documento para significar que "sirve de ejemplo, caso o ilustración". No debe interpretarse necesariamente que cualquier modo de realización descrito en el presente documento como "a modo de ejemplo" sea preferente o ventajoso con respecto a otros modos de realización.

35 **[12]** Los modos de realización divulgados en la descripción detallada incluyen un controlador de acceso a memoria y sistemas y procedimientos relativos. El controlador de memoria se puede configurar para proporcionar una configuración de acceso a memoria por separado para cada uno de una pluralidad de bancos de memoria en un sistema de memoria dado. La configuración de acceso a memoria proporcionada para cada banco de memoria puede ser mantener o dejar abierta o cerrar al menos una página de memoria en cada banco de memoria después de un acceso a memoria. De esta manera, se puede proporcionar una configuración de acceso a memoria para cada banco de memoria de forma individualizada para optimizar los tiempos de acceso a memoria en base al tipo de datos almacenados en cada banco de memoria. Por ejemplo, si un banco de memoria está configurado para almacenar datos que a menudo impliquen accesos a la memoria contiguos a ubicaciones de memoria en la misma página de memoria, el banco de memoria se puede configurar para dejar abiertas sus páginas de memoria después de cada acceso. Se logrará un ahorro de tiempo en el acceso a memoria ya que una página de memoria no tendrá que reabrirse entre los accesos contiguos a la misma página de memoria. Sin embargo, si un banco de memoria implica a menudo accesos a la memoria contiguos a ubicaciones de memoria en diferentes páginas de memoria, ese banco de memoria puede configurarse para cerrar sus páginas de memoria después de cada acceso. De esta manera, no se provoca una penalización de tiempo de acceso a memoria al tener que cerrar primero una página de memoria a la que se accedió anteriormente para realizar un acceso a memoria a una página de memoria diferente en el mismo banco de memoria.

55 **[13]** La FIG. 1 ilustra un sistema de memoria 10 a modo de ejemplo. El sistema de memoria 10 emplea un controlador de memoria 12 configurable configurado para proporcionar una configuración de acceso a memoria por separado para cada banco de memoria en el sistema de memoria 10. El controlador de memoria 12 es responsable de que el flujo de datos vaya hacia y desde la memoria 14. En el ejemplo ilustrado, el controlador de memoria 12 es responsable de controlar el flujo de datos hacia y desde dos chips de memoria dinámica 14A, 14B. En este ejemplo, cada chip de memoria 14A, 14B es un chip de memoria de acceso aleatorio dinámico (DRAM) de doble velocidad de transferencia de datos (DDR) de 16 bits, etiquetado DDR0 y DDR1. A este respecto, el controlador de memoria 12 usado para controlar dos chips de memoria DRAM DDR 14A, 14B puede ser un controlador de memoria DDR. Los controladores de memoria DDR pueden ser más complicados que los controladores de memoria de la Velocidad de Transferencia de Datos Única (SDR), pero permiten que se transfieran dos veces los datos sin aumentar la velocidad de reloj o el ancho del bus a la célula de la memoria. Sin embargo, los chips de memoria 14A, 14B pueden ser cualquier tipo de memoria dinámica. Los ejemplos incluyen SDRAM, DDR, DDR2, DDR3, MDDR (DDR móvil), LPDDR y LPDDR2. El controlador de memoria 12 puede ser cualquier tipo de controlador de memoria compatible con sus chips de memoria. Además, el controlador de memoria 12 como se ilustra puede proporcionarse en una placa base o en

otra placa de circuito impreso (PCB) como un dispositivo separado, o integrado en al menos una CPU o una pastilla semiconductora, lo que puede reducir la latencia de la memoria.

**[14]** El controlador de memoria 12 controla el flujo de datos hacia y desde los chips de memoria 14A, 14B a través de un bus de memoria 16. En este ejemplo, el bus de memoria 16 incluye dos selecciones de chip (CS0, CS1) 18, 20; uno para cada chip de memoria 14A, 14B. Las selecciones de chip 18, 20 están habilitadas selectivamente por el controlador de memoria 12 para habilitar el chip de memoria 14A, 14B que contiene la ubicación de memoria deseada a la que se va a acceder. El controlador de memoria 12 solo habilita uno de los chips de memoria 14A, 14B a la vez para que solo un chip de memoria DRAM DDR 14A, 14B reivindique datos en un bus de datos (DATOS) 22 a la vez que evita colisiones de datos. El bus de memoria 16 también incluye un bus de dirección/control (ADDR/CTRL) 24 que permite que el controlador de memoria 12 controle la dirección de memoria a la que se accedió en los chips de memoria 14A, 14B, ya sea para escribir o leer datos hacia o desde la memoria 14. El bus de memoria 16 también incluye una señal de reloj (CLK) 26 para sincronizar la temporización entre el controlador de memoria 12 y los chips de memoria 14A, 14B para los accesos a la memoria. En este ejemplo, los datos se transfieren en el acceso ascendente y descendente de la señal de reloj (CLK) 26 del sistema de memoria 10 para el chip de memoria DRAM DDR 14A, 14B.

**[15]** Cada chip de memoria DRAM DDR 14A, 14B contiene una pluralidad de bancos de memoria, a los que se hace referencia en general como elemento 28. Un banco de memoria es una unidad lógica de memoria, cuyo tamaño está determinado por la CPU de un sistema. En el ejemplo ilustrado de la Figura 1, los chips de memoria DDR 14A, 14B tienen 16 bits, lo que significa que están diseñados para su uso con una CPU de 16 bits, lo que requiere que los bancos de memoria 28 proporcionen 16 bits de información a la vez. En el ejemplo ilustrado, cada chip de memoria DRAM DDR 14A, 14B contiene cuatro bancos de memoria. Solo los cuatro bancos de memoria (B0, B1, B2 y B3) 28A, 28B, 28C, 28D para el chip de memoria DRAM DDR (DDR0) 14A se ilustran en la Figura 1; sin embargo, el chip de memoria DRAM DDR (DDR1) 14B también contiene bancos de memoria y páginas de memoria similares. Por tanto, en el presente documento se hace referencia a un banco de memoria y a una página de memoria para cada chip de memoria DRAM DDR 14A, 14B como elementos 28 y 29, respectivamente.

**[16]** Cada banco de memoria 28 está organizado en forma de cuadrícula, con "filas" y "columnas". Los datos almacenados en los chips de memoria DRAM DDR 14A, 14B vienen en bloques, definidos por las coordenadas de la fila y la columna de la información específica. Cada fila se conoce como una página de memoria 29. Para acceder a la memoria 14 en los chips de memoria DRAM DDR 14A, 14B, el controlador de memoria 12 reivindica una selección de chip (CS0 o CS1) 18, 20, y emite un comando de apertura de página de memoria que activa una cierta página de memoria 29 como se indica por la dirección en el bus ADDR/CTRL 22. Este comando tarda típicamente unos pocos ciclos de reloj. Después de que se abre la página de memoria 29 deseada, el controlador de memoria 12 emite una dirección de columna 30, como "lectura" o "escritura", para acceder a los datos en la ubicación de memoria deseada. Cuando se solicita un acceso a otra página de memoria 29 en el banco de memoria 28, el controlador de memoria 12 tiene que desactivar o cerrar la página de memoria 29 actualmente activada, que típicamente tarda algunos ciclos de reloj. Por lo tanto, el acceso a memoria a los datos en los chips de memoria 14A, 14B normalmente implica abrir la página de memoria 29 que contiene la ubicación de memoria deseada para escribir o leer datos, y luego cerrar la página de memoria 29 después de que se complete el acceso a memoria. De esta manera, se puede acceder posteriormente a una página de memoria 29 diferente mediante el controlador de memoria 12.

**[17]** Si se realizan accesos a la memoria contiguos a la misma página de memoria 29 en un banco de memoria 28 dado, los ciclos de reloj podrían ahorrarse si la página de memoria 29 se mantuvo abierta después del primer acceso a memoria. De esta manera, el acceso a memoria posterior a la misma página de memoria 29 no requerirá reabrir la página de memoria 29. La cantidad de ahorro total del ciclo de reloj depende de la cantidad de accesos a la memoria contiguos a la misma página de memoria 29. Esto se analizará con el ejemplo en más detalle a continuación con respecto a la Figura 5. Sin embargo, si los accesos a la memoria se realizan a menudo en diferentes páginas de memoria 29, mantener o dejar abierta la página de memoria 29 después de un acceso puede dar como resultado penalizaciones en un ciclo de reloj. Esto se debe a que, antes de que pueda abrirse la página de memoria 29 del acceso a memoria posterior, el controlador de memoria 12 primero tendría que cerrar la página de memoria 29 que se dejó abierta previamente. La cantidad de penalización del ciclo de reloj depende de la cantidad de accesos a la memoria contiguos a diferentes páginas de memoria 29. Esto se analizará con el ejemplo en más detalle a continuación con respecto a la Figura 6.

**[18]** De acuerdo con los modos de realización descritos en el presente documento, el controlador de memoria 12 se puede configurar para proporcionar configuraciones de acceso a memoria para cada uno de los bancos de memoria 28 individualmente. Una configuración de acceso a memoria es una configuración almacenada en o accesible al controlador de memoria 12 para indicar si las páginas de memoria 29 a las que se accedió desde un banco de memoria 28 particular deben dejarse abiertas o cerradas después de un acceso. A este respecto, se puede lograr un ahorro general de tiempo de acceso a memoria para el sistema de memoria 10 sobre los sistemas de memoria 10 que no permiten una configuración de acceso a memoria para cada banco de memoria 28. Por ejemplo, el chip de memoria DRAM DDR 14A en el sistema de memoria 10 de la Figura 1 puede diseñarse para almacenar datos del sistema en sus bancos de memoria 28 que típicamente impliquen accesos a la memoria aleatorios donde el acceso a memoria contiguo no implique accesos a ubicaciones de memoria en las mismas páginas de memoria 29. Los ejemplos incluyen

la memoria del sistema de la CPU, incluidos los accesos a la memoria caché. En este escenario, proporcionar una configuración de acceso a memoria para los bancos de memoria 28 del chip de memoria DRAM DDR 14A para cerrar una página de memoria 29 después de cada acceso evitará las penalizaciones de acceso a memoria que se deriven de que el controlador de memoria 12 tenga que cerrar primero la página de memoria 29 a la que se accedió previamente antes de que se pueda acceder a una nueva página de memoria 29 en un banco de memoria 28 dado. Por otro lado, el chip de memoria DRAM DDR 14B puede estar diseñado para almacenar aplicaciones u otros tipos de datos, tales como vídeo, gráficos o datos basados en la pantalla, donde a menudo se accede de forma contigua a las mismas páginas de memoria 29. En este escenario, proporcionar una configuración de acceso a memoria para los bancos de memoria 28 del chip de memoria DRAM DDR 14B para dejar sus páginas de memoria 29 abiertas después de cada acceso dará como resultado un ahorro de tiempo en el acceso a memoria. Esto se debe a que los accesos a la memoria contiguos a la misma página de memoria 29 no requerirán que se abra la página de memoria 29 para cada acceso.

**[19]** Tenga en cuenta que, mientras que el ejemplo anterior proporciona la misma configuración de acceso a memoria para todos los bancos de memoria 28 en un chip de memoria DRAM DDR 14A, 14B, se pueden proporcionar diferentes configuraciones de acceso a memoria para cada banco de memoria 28 dentro del mismo chip de memoria DRAM DDR 14A, 14B. Esto se ilustra con más detalle en los ejemplos de acceso a memoria expuestos en las Figuras 2 y 3.

**[20]** Las Figuras 2 y 3 proporcionan ejemplos adicionales de ahorro de tiempo en el acceso a memoria que puede realizar el controlador de memoria 12 que se puede configurar para proporcionar una configuración de acceso a memoria a cada banco de memoria 28 en la memoria 14. Un primer ejemplo de acceso a memoria 36 se ilustra en la Figura 2. Como se ilustra en el presente documento, una serie de ocho (8) peticiones de acceso a memoria 70 se muestran todas al banco de memoria B0 (28A). Las primeras cuatro peticiones de acceso a memoria son todas a la página de memoria 0. Las últimas cuatro peticiones de acceso a memoria son todas a la página de memoria 1. Si el banco de memoria B0 se configuró por el controlador de memoria 12 para cerrar una página de memoria después de cada acceso, cada acceso a memoria daría como resultado 6 ciclos de reloj en este ejemplo para abrir y cerrar la página de memoria 29 correspondiente a la ubicación de memoria a la que se va a acceder. Sin embargo, si el banco de memoria B0 se configuró para mantener o dejar abiertas sus páginas de memoria 29 después de cada acceso, cada acceso a memoria daría como resultado diferentes tiempos de acceso a memoria dependiendo de si se accedió a la misma página de memoria 29 entre las peticiones de acceso a memoria contiguo o no. Por ejemplo, el primer acceso a memoria implicaría seis (6) ciclos: tres (3) ciclos para abrir la página de memoria 29 correspondiente a la ubicación de memoria a la que se va a acceder, y tres (3) ciclos para acceder a la ubicación de memoria en la página de memoria 29 abierta. Sin embargo, las siguientes tres peticiones de acceso a memoria solo tardarían tres (3) ciclos de reloj, lo que daría como resultado un ahorro de acceso al ciclo de reloj de tres (3), porque la página de memoria 0 permanece abierta en el banco de memoria B0 de acuerdo con la configuración de acceso a memoria.

**[21]** Solo cuando se acceda a una página de memoria 29 diferente se producirá una penalización de acceso a memoria. Como se muestra en la petición de acceso a memoria número cinco de la Figura 2, cuando se accede por primera vez a la página de memoria 1, se requieren nueve (9) ciclos de reloj. Esto se debe a que el controlador de memoria 12 debe cerrar la página de memoria 0 antes de poder abrir la página de memoria 1. Cada apertura de página de memoria requiere tres (3) ciclos de reloj en este ejemplo para un total de seis (6) ciclos de reloj. El acceso a la ubicación de memoria causa otros tres (3) ciclos de reloj para un total de nueve (9) ciclos de reloj. Por tanto, se debe obtener una penalización de tres (3) ciclos de reloj en comparación con los seis (6) ciclos de reloj necesarios si se proporcionara una configuración de acceso a memoria para el banco de memoria B0 para cerrar una página de memoria 29 después de cada acceso. Sin embargo, dado que a la página de memoria 0 se accede posteriormente tres veces en una fila, se obtiene un ahorro de acceso de memoria de tres (3) ciclos para cada acceso, porque la página de memoria 1 se dejó abierta. Por tanto, es más ventajoso en términos de tiempo de acceso a memoria en este ejemplo proporcionar una configuración de acceso a memoria para que el banco de memoria B0 mantenga abiertas sus páginas de memoria 29 después de cada acceso ya que las peticiones de acceso a memoria al banco de memoria B0 a menudo dan como resultado accesos a la memoria contiguos a la misma página de memoria 29. Para resumir el ejemplo de acceso a memoria 36 en la Figura 2, se obtiene un ahorro total de tiempo de acceso a memoria de quince (15) ciclos de reloj mediante una configuración de acceso a memoria que se proporciona al banco de memoria B0 para mantener abiertas sus páginas de memoria 29 después de cada acceso, en lugar de cerrar sus páginas de memoria 29 después de cada acceso.

**[22]** La Figura 3 ilustra otro ejemplo de acceso a memoria 38, que incluye una serie de nueve (9) peticiones de acceso a memoria 72 a un banco de memoria 28 donde se produce una penalización general de acceso a memoria al proporcionar una configuración de acceso a memoria para mantener abierta una página de memoria 29 después de cada acceso. Como se ilustra, se accede nueve veces al banco de memoria B1. Las peticiones de acceso a memoria contiguo a menudo implican acceder a diferentes páginas de memoria 29 dentro del banco de memoria B1, como se ilustra. Por tanto, se requiere que el controlador de memoria 12 cierre una página de memoria 29 abierta previamente con más frecuencia antes de que se pueda realizar un nuevo acceso a memoria, lo que da como resultado nueve (9) ciclos de reloj y una penalización de acceso a memoria de tres (3) ciclos de reloj. Sin embargo, si se proporcionara una configuración de acceso a memoria para el banco de memoria B1 para cerrar una página de memoria después

de cada acceso, se necesitarían menos ciclos de reloj globales para las nueve peticiones de acceso a memoria. Aunque cada petición de acceso a memoria en este caso provocaría seis (6) ciclos de reloj y por tanto no se obtendría un ahorro de acceso a memoria, tampoco se realizarían las penalizaciones de acceso a memoria. Por tanto, en este ejemplo, es más ventajoso en términos de tiempo de acceso a memoria proporcionar una configuración de acceso a memoria para el banco de memoria B1 al cerrar una página de memoria después de cada acceso ya que las peticiones de acceso a memoria al banco B1 a menudo dan como resultado accesos a la memoria contiguos a diferentes páginas de memorias 29. Para resumir el ejemplo de la Figura 3, se obtiene un ahorro total de tiempo de acceso a memoria de doce (12) ciclos de reloj mediante una configuración de acceso a memoria que se proporciona para que el banco de memoria B1 cierre sus páginas de memoria 29 después de cada acceso, en lugar de mantener sus páginas de memoria 29 abiertas después de cada acceso.

**[23]** Una vez que se accede a la ubicación de memoria deseada a través del bus de memoria 16, el controlador de memoria 12 puede proporcionar los datos accedidos a un bus de sistema 31. En el ejemplo ilustrado, el bus de sistema 31 es un bus diferente del bus de memoria 16. Sin embargo, en otros sistemas, el bus de memoria 16 y el bus de sistema 31 podrían ser el mismo bus. Los datos accedidos se proporcionan por el controlador de memoria 12 a través del bus de sistema 31 a otro componente en un sistema basado en el procesador. En el ejemplo ilustrado de la Figura 1, el bus de sistema 31 incluye un bus de dirección/control/escritura de datos (ADDR/CTRL/W\_DATA) 32 que recibe la dirección de la ubicación de memoria a la que se va a acceder, así como cualquier dato que se escriba en la memoria 14. También se proporciona un bus de datos leídos 34 (R\_DATA) para transportar datos leídos desde la memoria 14. El controlador de memoria 12 reivindica los datos de una ubicación de la ubicación de memoria leída en la memoria 14 en el bus R\_DATA 34.

**[24]** Las Figuras 4 y 5 ilustran ejemplos de registros internos que pueden proporcionarse en el controlador de memoria 12 para controlar los accesos a la memoria y configurar una configuración de acceso a memoria. Específicamente, se proporciona la configuración de acceso a memoria para cada banco de memoria 28 al controlador si las páginas de memoria 29 en el mismo están abiertas o no después de cada acceso a memoria. Como se ilustra en la Figura 4, se pueden proporcionar registros internos 40 que incluyan un registro de dirección de página (PAGE\_ADDR) 42 y un registro de apertura de página (PAGE\_OPEN) 44. El registro PAGE\_ADDR 42 contiene la dirección física de las páginas de memoria 29 que se encuentran actualmente en la memoria 14 del sistema de memoria 10. Como es bien sabido, el registro PAGE\_ADDR 42 puede emplearse en el controlador de memoria 12 para evitar el uso excesivo de una tabla de direcciones para ciertos sistemas operativos. El registro PAGE\_OPEN 44 indica si una página de memoria 29 en un banco de memoria 28 dado está abierta.

**[25]** La Figura 5 ilustra un ejemplo de un registro de habilitación de página abierta de banco (BANK\_OPEN\_PAGE\_EN) 46 que es interno al controlador de memoria 12. El registro BANK\_OPEN\_PAGE\_EN 46 se puede configurar para controlar si cada banco de memoria 28 mantiene abiertas sus páginas de memoria 29 o no después de cada acceso de memoria al banco de memoria 28. De esta manera y como se analizó anteriormente, el controlador de memoria 12 puede proporcionar una configuración para cada banco de memoria 28 individualmente en base al diseño y al uso probable y a las características de los accesos a la memoria a los bancos de memoria 28. Como se ilustra, el registro BANK\_OPEN\_PAGE\_EN 46 es un registro de 8 bits en este ejemplo. Esto se debe a que hay ocho bancos de memoria totales 28 proporcionados en los chips de memoria DRAM DDR 14A, 14B del sistema de memoria 10 en la Figura 1. Los bancos B0-B3 están incluidos en cada uno de los chips de memoria DRAM DDR 14A, 14B. Se proporciona una configuración de acceso a memoria para cada uno de los bancos de memoria 29 en el primer chip de memoria 14A en la ubicación de bits siete (7) a (4). Se proporciona una configuración de acceso a memoria para cada uno de los bancos de memoria 29 en el segundo chip de memoria DRAM DDR 14B en las ubicaciones de bits tres (3) a cero (0). Un "1" lógico almacenado en un bit en el registro BANK\_OPEN\_PAGE\_EN 46 para un banco de memoria 28 dado indica que las páginas de memoria 29 para ese banco de memoria 28 se dejan abiertas después de cada acceso. Un "0" lógico almacenado en un bit en el registro BANK\_OPEN\_PAGE\_EN 46 para un banco de memoria 28 dado indica que las páginas de memoria 29 para ese banco de memoria 28 se cierran después de cada acceso.

**[26]** Se puede proporcionar una configuración de acceso a memoria para los chips de memoria DRAM DDR 14A, 14B emitiendo un comando apropiado para establecer los bits del registro BANK\_OPEN\_PAGE\_EN 46 en el controlador de memoria 12. El comando se emite a través del bus de sistema 31 al controlador de memoria 12. Esto permite que una CPU (no mostrada) u otro procesador o electrónica proporcione una configuración de acceso a memoria para los chips de memoria DRAM DDR 14A, 14B. Esto también permite que el diseñador del sistema de memoria 10 proporcione una configuración de acceso a memoria mediante un software de programación que establezca los bits para el registro BANK\_OPEN\_PAGE\_EN 46, según se desee. La configuración de acceso a memoria se puede configurar al inicio o en el momento del encendido, durante el tiempo de ejecución o en cualquier otro momento que se desee. La configuración de acceso a memoria puede tener una configuración predeterminada al inicio o en el momento del encendido. La configuración predeterminada puede ser cerrar las páginas de memoria después de cada acceso (por ejemplo, el registro BANK\_OPEN\_PAGE\_EN 46 igual o establecer en "00000000"), o dejar abiertas las páginas de memoria después de cada acceso (por ejemplo, el registro BANK\_OPEN\_PAGE\_EN 46 igual o establecer en "11111111"). La configuración de acceso a memoria puede configurarse como una configuración estática, lo que significa que la configuración de acceso a memoria permanece almacenada permanentemente en el

registro BANK\_OPEN\_PAGE\_EN 46. Ahora se analizará el control estático de las configuraciones de acceso a memoria y los ejemplos de accesos a la memoria que usen una configuración de acceso a memoria estática.

**[27]** La Figura 6 ilustra un diagrama de flujo de un acceso de memoria a modo de ejemplo por el controlador de memoria 12 a una página de memoria 29 en un banco de memoria 28 usando la configuración de acceso a memoria proporcionada por el registro BANK\_OPEN\_PAGE\_EN 46. En este ejemplo, el registro BANK\_OPEN\_PAGE\_EN 46 ya se ha configurado para que cada uno de los bancos de memoria 28 deje abiertas o cierre las páginas de memoria 29 después de cada acceso. El controlador de memoria 12 consulta el registro BANK\_OPEN\_PAGE\_EN 46 para determinar si se debe dejar abierta o cerrada una página de memoria 29 en un banco de memoria 28 dado después de un acceso a la página de memoria 29. El procesamiento puede implementarse en microcódigo del controlador de memoria 12. Tenga en cuenta que, aunque el proceso de acceso a memoria a modo de ejemplo se proporciona a través de tareas secuenciales en un diagrama de flujo, estas acciones las realiza típicamente el controlador de memoria 12 en una arquitectura de tubería para procesar múltiples peticiones de acceso a memoria cuando sea posible.

**[28]** En este ejemplo, el proceso comienza cuando el controlador de memoria 12 recibe primero una petición de acceso a memoria a una dirección de memoria particular dentro de la memoria 14 (bloque 50). La petición de acceso a memoria puede ser una petición de lectura o escritura. El controlador de memoria 12 recibe la dirección de memoria a la que se va a acceder a través del bus de sistema 31, como se describió anteriormente. Si la petición de acceso a memoria es para escribir datos, el controlador de memoria 12 también recibe los datos que se escribirán en la dirección de memoria recibida de la memoria 14 a través del bus de sistema 31.

**[29]** El controlador de memoria 12 determina qué banco de memoria 28 y página de memoria 29 dentro del banco de memoria 28 corresponden a la dirección de memoria recibida en la petición de acceso a memoria (bloque 52). Esto es para que el controlador de memoria 12 pueda habilitar la selección de chip (CS) correcta para el chip de memoria DRAM DDR 14A, 14B que contiene la ubicación de memoria deseada de la petición de memoria. El controlador de memoria 12 también usa esta información para activar la página de memoria 29 correcta y la columna en el chip de memoria DRAM DDR 14A, 14B correspondiente a la ubicación de memoria a la que se va a acceder. El controlador de memoria 12 luego determina si la configuración de acceso a memoria proporcionada para el banco de memoria 28 que contiene la ubicación de memoria a la que se va a acceder es para que su página de memoria 29 se deje abierta o cerrada después de cada acceso (decisión 54). El controlador de memoria 12 consulta el registro BANK\_OPEN\_PAGE\_EN 46 a este respecto. Si se cierra después de cada acceso, esto significa que la página de memoria 29 correspondiente a la ubicación de memoria se abre primero antes de poder acceder a la ubicación de memoria en la página de memoria 29. A este respecto, como se ilustra en la Figura 7, el controlador de memoria 12 abre la página de memoria 29 correspondiente a la ubicación de memoria a la que se va a acceder (bloque 56). Los registros PAGE\_OPEN y PAGE\_ADDR 44, 42 se actualizan para indicar la página de memoria 29 actualmente abierta en consecuencia (bloque 58). El controlador de memoria 12 luego accede directamente a la ubicación de memoria solicitada desde la página de memoria 29 abierta (bloque 60). El controlador de memoria 12 cierra la página de memoria 29 actualmente abierta para la ubicación de memoria a la que se accedió (bloque 62). Los registros PAGE\_OPEN y PAGE\_ADDR 44, 42 se actualizan nuevamente para indicar que la página de memoria 29 ya no está abierta (bloque 64). El proceso de petición de acceso a memoria luego finaliza para esta petición de acceso a memoria en particular (bloque 66). Una o más peticiones de acceso a memoria pueden continuar ejecutándose en una tubería del controlador de memoria 12.

**[30]** Sin embargo, si el controlador de memoria 12 determinó que se proporciona una configuración de acceso a memoria para el banco de memoria 28 que contiene la ubicación de memoria a la que se va a acceder para dejar abierta después de cada acceso (a través del registro BANK\_OPEN\_PAGE\_EN 46) (decisión 54), el controlador de memoria 12 puede acceder directamente a la ubicación de memoria deseada sin tener que abrir primero la página de memoria 29 que contiene la ubicación de memoria. Esto daría como resultado un ahorro de tiempo en el acceso a memoria. A este respecto, como se ilustra en la Figura 6, el controlador de memoria 12 determina si la página de memoria 29 correspondiente a la ubicación de memoria a la que se va a acceder ya está abierta (decisión 68). Los registros PAGE\_ADDR y PAGE\_OPEN 42, 44 se consultan a este respecto. Si la página de memoria 29 correspondiente a la ubicación de memoria a la que se va a acceder ya está abierta, el controlador de memoria 12 accede directamente a la ubicación de memoria solicitada sin cerrar la página de memoria 29 (bloque 70), y la petición de acceso a memoria finaliza (bloque 72). Los registros PAGE\_OPEN y PAGE\_ADDR 44, 42 no se actualizan ya que la página de memoria 29 a la que se accedió permanece abierta.

**[31]** El acceso a memoria se realiza mediante el controlador de memoria 12 en menos ciclos de reloj que de otra forma se requerirían, ya que el controlador de memoria 12 no tuvo que abrir primero la página de memoria 29 que contiene la ubicación de memoria a la que se va a acceder antes de acceder a la ubicación de memoria en este caso. Por tanto, en este ejemplo, los accesos a la memoria contiguos a la misma página de memoria 29 darán como resultado un ahorro de tiempo en el acceso a memoria, porque el controlador de memoria 12 no tendrá que abrir primero la página de memoria 29 antes de poder acceder a la ubicación de memoria. Como ejemplo, si abrir una página de memoria 29 requiere ciclos de reloj para el controlador de memoria 12, se puede lograr un ahorro de tiempo de acceso de tres ciclos de tiempo entre los accesos a la memoria contiguos a la misma página de memoria 29. Los

ahorros de tiempo de acceso a memoria y las penalizaciones que se pueden realizar para los accesos a la memoria empleados por el sistema de memoria 10 se analizaron e ilustraron previamente mediante ejemplos en las Figuras 2 y 3.

5 **[32]** Si el controlador de memoria 12 determina que la página de memoria 29 correspondiente a la ubicación de memoria a la que se va a acceder aún no está abierta (decisión 68), es posible que esté abierta otra página de memoria 29 no correspondiente a la ubicación de memoria a la que se va a acceder. Los registros PAGE\_ADDR y PAGE\_OPEN 10 42, 44 se consultan a este respecto. Si es así, el controlador de memoria 12 debe cerrar primero la página de memoria 29 actualmente abierta en el banco de memoria 28 (bloque 74), antes de que se pueda abrir la nueva página de memoria 29 correspondiente a la ubicación de memoria a la que se va a acceder (bloque 76). Los registros PAGE 15 ADDR y PAGE\_OPEN 42, 44 se actualizan para almacenar la página de memoria 29 recién abierta (bloque 78). El controlador de memoria 12 puede acceder directamente a la ubicación de memoria a la que se va a acceder (bloque 70). En este ejemplo, se realizaron dos peticiones de acceso de memoria contiguo a diferentes páginas de memoria 29 en el mismo banco de memoria 28. El tiempo de acceso a memoria aumenta, porque el controlador de memoria 12 debe gastar tiempo de procesamiento y los ciclos de reloj cerrando una página de memoria 29 abierta previamente y luego abriendo la página de memoria 29 nueva correspondiente a la ubicación de memoria a la que se va a acceder. Como ejemplo, si cerrar una página de memoria 29 tarda tres ciclos de reloj, y abrir una página de memoria 29 tarda tres ciclos de reloj, se produce una penalización de tiempo de acceso de tres ciclos de reloj entre los accesos a la memoria contiguos a las diferentes páginas de memoria 29.

20 **[33]** En otro modo de realización, el controlador de memoria 12 está configurado para tener la capacidad de cambiar o anular dinámicamente una configuración de acceso a memoria para un banco de memoria 28 dado para optimizar más los tiempos de acceso a memoria. El controlador de memoria 12 se puede configurar para permitir la configuración dinámica de los bancos de memoria 28 durante el tiempo de ejecución. La configuración dinámica 25 implica cambiar la configuración de acceso a memoria para un banco de memoria 28 en particular para optimizar aún más los tiempos de acceso a memoria. Como se analizará con más detalle a continuación, el controlador de memoria 12 puede decidir cambiar o anular una configuración de acceso a memoria para un banco de memoria 28 en particular en base a las próximas peticiones de acceso a memoria pendientes en una cola de peticiones de acceso a memoria del controlador de memoria 12. Por ejemplo, si la siguiente petición de acceso a memoria programada para un banco 30 de memoria 28 dado es a una página de memoria 29 que es diferente de la página de memoria 29 a la que el controlador de memoria 12 accede actualmente en el mismo banco de memoria 28, el controlador de memoria 12 podría reconocer dinámicamente esta condición. Como respuesta, el controlador de memoria 12 podría cerrar dinámicamente la página de memoria 29 a la que se accede actualmente en lugar de dejarla abierta después del acceso. De esta manera, no se requeriría que el controlador de memoria 12 cerrara posteriormente la página de memoria 29 a la que se accede actualmente cuando se procese la petición de acceso de memoria a una página de memoria 35 29 diferente en el mismo banco de memoria 28. Por dinámico, se entiende que el controlador de memoria 12 está configurado para reconocer y anular o cambiar una configuración de acceso a memoria en tiempo de ejecución en base a las peticiones de acceso a memoria actuales o futuras. El controlador de memoria 12 puede cerrar la página de memoria 29 a la que se accede actualmente sin cambiar la configuración de acceso a memoria para el banco de memoria 29, lo que sería una anulación. De manera alternativa, el controlador de memoria 12 puede cerrar la página de memoria 29 a la que se accede actualmente y cambiar la configuración de acceso a memoria para el banco de memoria 29 cambiando el bit asignado al banco de memoria 29 en el registro de configuración de acceso a memoria (por ejemplo, el registro BANK PAGE OPEN EN 46)

45 **[34]** Volviendo a los diagramas de flujo de las Figuras 8-10, se ilustra un proceso de acceso a memoria a modo de ejemplo realizado por el controlador de memoria 12 que incluye capacidades de configuración de acceso a memoria dinámica. El controlador de memoria 12 recibe una petición de acceso a memoria desde el bus de sistema 31 y procesa la petición en base a una configuración de acceso a memoria estática proporcionada para el banco de memoria 28 correspondiente a la ubicación de memoria de la petición, tal como se proporciona en los bloques 50-54 de la Figura 6 (bloques 80-84). Si el banco de memoria 28 que contiene la dirección de memoria solicitada está configurado para que sus páginas de memoria 29 se cierren después del acceso (decisión 84), el proceso a continuación determina si la página de memoria 29 a la que se va a acceder está actualmente cerrada (decisión 86). Los registros PAGE\_ADDR 50 y PAGE\_OPEN 42, 44 se consultan de esta manera. Esto se debe a que, como se analiza más adelante, es posible que la configuración de acceso a memoria para acceder a la página de memoria 29 se haya dejado abierta previamente debido a una anulación de la configuración de acceso a memoria. Si la página de memoria 29 a la que se va a acceder está cerrada, la página de memoria 29 se abre primero antes de acceder a la misma (bloque 88). Los registros PAGE\_OPEN y PAGE\_ADDR 44, 42 se actualizan para indicar que la página de memoria 29 está actualmente abierta (bloque 90). Luego se accede a la ubicación de memoria (bloque 92).

60 **[35]** El controlador de memoria 12 puede realizar una configuración de acceso a memoria dinámica en base a peticiones de acceso de memoria pendientes o futuras. En un modo de realización, antes de cerrar la página de memoria 29, el controlador de memoria 12 primero determina si el siguiente acceso programado al mismo banco de memoria 28 está en la misma página de memoria 29 actualmente abierta (Figura 9, decisión 94). Si es así, se puede obtener un ahorro de tiempo adicional de acceso a memoria anulando la configuración de acceso a memoria dejando abierta la página de memoria 29 en lugar de cerrar la página de memoria 29, finalizando por tanto el proceso (bloque 65

100). Se proporciona un ejemplo en la cola de peticiones de memoria 110 en la Figura 11. Como se ilustra en el presente documento, supongamos que el controlador de memoria 12 está actualmente accediendo a una ubicación de memoria en el banco de memoria 1, en la página de memoria 2 en la petición de memoria "C2" 112. Antes de que el controlador de memoria 12 cierre la página de memoria 2, el controlador de memoria 12 primero revisa la cola de peticiones de memoria 110 para determinar si el siguiente acceso al banco de memoria 1 es igual o diferente a la página de memoria 29 (Figura 9, decisión 94). En el ejemplo de la cola de peticiones de memoria 110 de la Figura 11, el siguiente acceso a la página de memoria 1 es a la misma página de memoria 2 que se proporciona en la petición de acceso a memoria "C5" 114. Por tanto, en este caso, el controlador de memoria 12 anula dinámicamente la página de cierre después de la configuración de acceso a memoria para la página de memoria 29 a la que se accedió, dejando abierta la página de memoria 29, finalizando por tanto el proceso (bloque 100). Como resultado, se provocan seis (6) o nueve (9) ciclos de reloj dependiendo de si la página de memoria 29 se deja abierta o cerrada, respectivamente, después del segundo acceso en la petición de acceso a memoria "C5" 114 en lugar de doce (12) ciclos de reloj si la página de memoria 29 se cerró (por ejemplo, después de la petición de acceso a memoria "C2" 112 en la Figura 11) y luego se reabrió y cerró nuevamente en el acceso posterior (por ejemplo, para la petición de acceso a memoria "C5" 114 en la Figura 11). Si el siguiente acceso al mismo banco de memoria 28 no fuera a la misma página de memoria 29, el controlador de memoria 12 sigue la configuración de acceso a memoria estática cerrando la página de memoria 29 después del acceso (Figura 9, bloque 96) y actualizando los registros PAGE\_OPEN y PAGE\_ADDR 44, 42, en consecuencia (Figura 9, bloque 98)

**[36]** Volviendo a la Figura 8, si el banco de memoria 28 que contiene la página de memoria 29 a la que se va a acceder tiene una configuración de acceso a memoria para que las páginas de memoria queden abiertas después de cada acceso (decisión 84), antes de acceder a la página de memoria 29, como se ilustra en la Figura 10, el controlador de memoria 12 determina si la página de memoria 29 a la que se va a acceder ya está abierta (decisión 120). Si es así, la ubicación de memoria se puede pedir sin tener que abrir primero la página de memoria 29 (bloque 121). A este respecto, el controlador de memoria 12 determina si una página de memoria 29 diferente en el banco de memoria 28 está abierta (decisión 122). De lo contrario, esto significa que el controlador de memoria 12 anuló previamente la configuración de acceso a memoria de dejar abierta la página para dejar que se acceda al banco de memoria 28 durante una petición anterior de acceso a memoria, como se explicará con más detalle a continuación. Si una página de memoria 29 diferente en el banco de memoria 28 está abierta (decisión 122), la página de memoria 29 actualmente abierta se cierra (bloque 124). A partir de entonces, se abre la página de memoria 29 a la que se va a acceder (bloque 126), y los registros PAGE\_OPEN y PAGE\_ADDR 44, 42 se actualizan en consecuencia (bloque 128). La ubicación de memoria se solicita luego después de que se abre la página de memoria 29 (bloque 121).

**[37]** Después de acceder a la ubicación de memoria solicitada (bloque 121), el controlador de memoria 12 determina si se debe anular la configuración de acceso a memoria de la página abierta para el banco de memoria 28 que tiene la página de memoria 29 a la que se accedió. Si la siguiente petición de acceso a memoria al mismo banco de memoria 28 es a una página de memoria 29 diferente, el controlador de memoria 12 puede ahorrar más ciclos de reloj anulando la configuración de dejar abierta la página para cerrar la página de memoria 29 a la que se accedió en lugar de dejarla abierta. De lo contrario, el controlador de memoria 12 tendrá que cerrar primero la página de memoria 29 a la que se accedió antes de abrir una página de memoria 29 diferente posterior en el mismo banco de memoria 28. El controlador de memoria 12 revisa la cola de peticiones de memoria 140 para determinar si hay peticiones de acceso a memoria futuras y pendientes al mismo banco de memoria 28, pero a una página de memoria 29 diferente (decisión 130). Si es así, el controlador de memoria 12 anula dinámicamente la configuración de acceso a memoria de dejar abierta la página para el banco de memoria 28 al que se accede y cierra las páginas de memoria 29 a las que se accede actualmente después del acceso (bloque 132), y los registros PAGE\_OPEN y PAGE\_ADDR 44, 42 se actualizan en consecuencia (bloque 134). De lo contrario, la página de memoria 29 a la que se accede actualmente se deja abierta y el proceso finaliza (bloque 136). Esto se ilustra con más detalle en el ejemplo de la Figura 12, que se analiza a continuación.

**[38]** Como se ilustra en la Figura 12, el controlador de memoria 12 está accediendo actualmente a una página de memoria 0 en el banco de memoria 0, como se ilustra en la ubicación de la cola "C1" 142. La siguiente petición de acceso de memoria conocida al banco de memoria 0 es a la página de memoria 3, como se muestra en la ubicación de la cola "C4" 144. Por tanto, debido a que hay una siguiente petición de acceso a memoria pendiente a una página de memoria 29 diferente en el mismo banco de memoria 28, el controlador de memoria 12 cierra la página de memoria 29 a la que se accede actualmente (es decir, la página de memoria 0 en el banco de memoria 0) después del acceso en lugar de dejarlo abierto (Figura 10, bloque 132). Esto causa seis (6) ciclos de reloj en lugar de tres (3) ciclos de reloj en este ejemplo. Sin embargo, si la página de memoria 0 en el banco de memoria 0 no se cerró por una anulación de configuración de acceso a memoria dinámica, en este ejemplo se causarían nueve (9) ciclos de reloj cuando se acceda a la página de memoria 3 en el banco de memoria 0.

**[39]** El controlador de memoria 12 puede configurarse para proporcionar una configuración de acceso a memoria dinámica en base a un análisis predictivo en lugar de a una revisión de una cola de peticiones de memoria. Mediante el análisis predictivo, el controlador de memoria 12 realiza una revisión de las peticiones de acceso a memoria a los bancos de memoria 28 y sus páginas de memoria 29 para predecir futuros accesos para determinar si una configuración de acceso a memoria debería anularse. Se puede emplear cualquier procedimiento para predecir el

acceso a memoria en el futuro. El diagrama de flujo en la Figura 13 ilustra un ejemplo para los bancos de memoria 28 configurados para que sus páginas de memoria 29 se cierren después del acceso. Como se ilustra en la misma, el proceso comienza (bloque 150) y el controlador de memoria 12 u otro circuito o controlador accesible por el controlador de memoria 12 comienza a recopilar estadísticas de tráfico para peticiones de acceso a memoria (bloque 152). Este proceso puede iniciarse mediante un comando o habilitarse a través de la programación del controlador de memoria 12. Se inicia un temporizador de cuenta regresiva y se recopilan las correspondencias de la página de memoria 29, las faltas de correspondencia de la página de memoria 29 y las aperturas de la página de memoria 29 para algunos o todos los bancos de memoria 28 que están configurados para mantener las páginas de memoria 29 abiertas después del acceso (bloque 154). El temporizador de cuenta regresiva puede configurarse para cualquier cuenta inicial deseada. Después de que el temporizador de cuenta regresiva llega a cero (decisión 156), se detiene la recopilación de estadísticas sobre las correspondencias de la página de memoria 29, las faltas de correspondencia de la página de memoria 29 y las aperturas de la página de memoria 29 para cada banco de memoria 28 (bloque 158). La falta de correspondencia de la página de memoria 29 ocurre cuando una petición de acceso a memoria se realiza en una página de memoria 29 diferente en un banco de memoria 28 dado desde una petición de acceso a memoria inmediatamente anterior al banco de memoria 28 dado. En este caso, el cierre de la página de memoria 29 después de la petición de acceso a memoria inmediatamente anterior dio como resultado un ahorro neto de tiempo de acceso a memoria. Una correspondencia de la página de memoria 29 ocurre cuando una petición de acceso a memoria a un banco de memoria 28 dado es a la misma página de memoria 29 que una petición de acceso de memoria inmediatamente anterior al banco de memoria 28 dado. En este caso, mantener abierta la página de memoria 29 habría dado como resultado un ahorro de tiempo en el acceso a memoria.

**[40]** Si el porcentaje de transacciones de acceso a memoria que dan como resultado una correspondencia de la página de memoria 29 es mayor un cierto umbral que el porcentaje de transacciones de acceso a memoria que da como resultado una página de memoria 29 abierta para un banco de memoria 28 dado (decisión 160), la configuración de acceso a memoria para ese banco de memoria 28 está configurada para mantener abiertas sus páginas de memoria 29 después del acceso (bloque 162). En otras palabras, el historial de peticiones de acceso de memoria al banco de memoria 28 dado se usa para predecir el acceso futuro al banco de memoria 28 dado y si la configuración de mantener abiertas las páginas de memoria 29 para el banco de memoria 28 dado probablemente dará como resultado un ahorro neto de tiempo de acceso a memoria. Si el porcentaje de transacciones de acceso a memoria que dan como resultado una correspondencia de la página de memoria 29 no es mayor un cierto umbral que el porcentaje del porcentaje de transacciones de acceso a memoria que da como resultado una página de memoria 29 abierta para un banco de memoria 28 dado (decisión 160), la página de memoria 29 cerrada después de la configuración de acceso para el banco de memoria 28 dado no se cambia.

**[41]** De manera alternativa, o además, para los bancos de memoria 28 que están configurados para mantener abiertas las páginas de memoria 29 después del acceso, el controlador de memoria 12 puede realizar un análisis similar para determinar si la configuración de acceso a memoria para un banco de memoria 28 debe anularse para cerrar las páginas de memoria 29 después del acceso. En este sentido, el proceso implica los mismos procesos 150-158. Sin embargo, se determina que el porcentaje de tráfico de acceso a memoria que da como resultado una falta de correspondencia de la página de memoria 29 no sea mayor que el porcentaje de las correspondencias de la página de memoria 29 para un banco de memoria 28 dado. Si el porcentaje de tráfico de acceso a memoria que da como resultado una falta de correspondencia de la página de memoria 29 es mayor, el controlador de memoria 12 cambia la configuración de acceso a memoria para que el banco de memoria 28 dado cierre las páginas de memoria 29 después del acceso (como reemplazo del bloque 162). De lo contrario, la página de memoria 29 mantenida abierta después de la configuración de acceso para el banco de memoria 28 dado no se modifica. Nuevamente, se está haciendo una predicción sobre si un ahorro neto de tiempo de acceso a memoria dará como resultado cambiar la configuración de acceso abierto de la página de memoria 29 mantenida a una página de memoria 29 cerrada después de la configuración de acceso.

**[42]** Puede ser deseable proporcionar un controlador de memoria 12 que pueda programarse para permitir (es decir, habilitar) o no permitir (es decir, deshabilitar) la configuración de acceso a memoria dinámica. A este respecto, la Figura 14 ilustra registros de configuración de acceso a memoria dinámica interna a modo de ejemplo etiquetados "DYNAMIC\_CONTROL" que pueden proporcionarse en el controlador de memoria 12 para habilitar o inhabilitar la configuración de acceso a memoria dinámica. En este sentido, se proporcionan dos registros 170, 172. Se proporciona el primer registro 170 y establece si se desea permitir que el controlador de memoria 12 anule una página de memoria 29 de cierre normal después de la configuración de acceso para mantener abierta una página de memoria 29 después de un acceso (véase, por ejemplo, la Figura 9). El segundo registro 172 se proporciona y configura si se desea permitir que el controlador de memoria 12 anule una página de memoria 29 de mantenimiento normal después de la configuración de acceso para cerrar una página de memoria 29 después de un acceso (véase, por ejemplo, la Figura 10). Los registros 170, 172 están configurados para controlar la configuración de acceso a memoria dinámica para todos los bancos de memoria 28 accesibles por el controlador de memoria 12. Al proporcionar los registros 170, 172 separados para la configuración de acceso a memoria dinámica para mantener normalmente las configuraciones de página de memoria de apertura y cierre de página, el controlador de memoria 12 puede programarse para permitir la configuración del acceso a memoria dinámica para ambos casos, uno de estos casos o ninguno. Además, si no se

desea no permitir la programación de la configuración de acceso a memoria dinámica, los bits de los registros DYNAMIC\_CONTROL 170, 172 se pueden codificar de manera rígida según la configuración deseada.

**[43]** La Figura 15 ilustra registros de configuración de acceso a memoria dinámica interna a modo de ejemplo etiquetados "DYNAMIC\_CONTROL" que permiten que se proporcione una configuración de acceso a memoria dinámica para cada banco de memoria 28 individualmente en lugar de para todos los bancos de memoria 28 por igual. A este respecto, se proporcionan dos registros 174, 176, cada uno con un bit para cada banco de memoria 28 accesible por el controlador de memoria 12. En este ejemplo, cada registro 174, 176 tiene ocho bits, ya que hay ocho bancos de memoria 28 accesibles por el controlador de memoria 12. El primer registro 174 se proporciona y establece si se desea permitir que el controlador de memoria 12 anule una página de memoria 29 de cierre normal después de la configuración de acceso para mantener abierta una página de memoria 29 después de un acceso (véase, por ejemplo, la Figura 9). El segundo registro 176 se proporciona y configura si se desea permitir que el controlador de memoria 12 anule una página de memoria 29 de mantenimiento normal después de la configuración de acceso para cerrar una página de memoria 29 después de un acceso (véase, por ejemplo, la Figura 10). Los registros 174, 176 se configuran para que cada banco de memoria 28 controle la configuración de acceso a memoria dinámica accesible por el controlador de memoria 12. Al proporcionar bits para cada banco de memoria 28, el controlador de memoria 12 se puede controlar para permitir o no permitir la configuración de acceso a memoria dinámica para cada banco de memoria 28 de forma individual. Además, si no se desea no permitir la programación de la configuración de acceso a memoria dinámica, los bits de los registros DYNAMIC\_CONTROL 174, 176 se pueden codificar de manera rígida según la configuración deseada.

**[44]** La Figura 16 ilustra un sistema basado en el procesador 180 que puede emplear el controlador de memoria 12 y los aspectos de la configuración de acceso a memoria descritos anteriormente. El sistema basado en el procesador 180 incluye una unidad central de procesamiento (CPU) 182 que incluye un microprocesador 184 y un sistema de memoria caché integrado 186 a la CPU 182. El sistema de memoria caché 186 incluye una unidad de gestión de memoria caché 187 que controla el acceso a una memoria de caché 188 accesible al microprocesador 184 para un acceso rápido al almacenamiento temporal para los datos a los que se acceden frecuentemente. La CPU 182 está acoplada a un bus de sistema 31, que interconecta los otros dispositivos incluidos en el sistema basado en el procesador 180. Como es bien sabido, la o las CPU 182 se comunican con estos otros dispositivos intercambiando información de dirección, control y datos por el bus de sistema 31. Estos dispositivos pueden incluir cualquier tipo de dispositivo. Como se ilustra en la Figura 16, estos dispositivos pueden incluir la memoria de sistema 190, uno o más dispositivos de entrada 192, uno o más dispositivos de salida 194, un dispositivo de interfaz de red 196 y un controlador de pantalla 198, como ejemplos.

**[45]** Los dispositivos de entrada 192 pueden incluir cualquier tipo de dispositivo de entrada, incluyendo, pero sin limitarse a, teclas de entrada, conmutadores, procesadores de voz, etc. Los dispositivos de salida 194 pueden incluir cualquier tipo de dispositivo de salida, incluyendo, pero sin limitarse a, audio, vídeo, otros indicadores visuales, etc. Los dispositivos de interfaz de red 196 pueden ser cualquier dispositivo configurado para permitir el intercambio de datos a y desde una red 200. La red 200 puede ser cualquier tipo de red, incluyendo, pero sin limitarse a, una red alámbrica o inalámbrica, una red privada o pública, una red de área local (LAN), una red de área local amplia (WLAN) e Internet. El dispositivo de interfaz de red 196 puede dar soporte a cualquier tipo de protocolo de comunicación deseado.

**[46]** La CPU 182 también puede acceder a la memoria de sistema 190 a través del bus de sistema 31. La memoria de sistema 190 puede incluir un controlador de memoria 12, como el descrito e ilustrado previamente en la Figura 1, para interconectar y controlar el acceso a memoria de sistema 190. La memoria de sistema 190 puede incluir una memoria dinámica 202. Como se analizó previamente, la memoria dinámica 202 se puede proporcionar para la memoria de sistema 190 en lugar de o además de la memoria estática. La memoria dinámica 202 puede incluir un almacenamiento de programas 204 y un almacenamiento de datos 206 para la CPU 182. La memoria dinámica 202 puede estar comprendida por la memoria DRAM DDR 14 descrita e ilustrada previamente en la Figura 1.

**[47]** La CPU 182 también puede acceder al controlador de pantalla 198 a través del bus de sistema 31 para controlar la información enviada a una pantalla 214. El controlador de pantalla 198 puede incluir un controlador de memoria 208 y una memoria 210 para almacenar datos que se vayan a enviar a la pantalla 214 en respuesta a las comunicaciones con la CPU 182. El controlador de memoria 208 y la memoria 210 pueden incluir un controlador de memoria y una memoria dinámica, como el controlador de memoria 12 y la memoria DRAM DDR 14 descritos e ilustrados previamente en la Figura 1. El controlador de visualización 198 envía información a la pantalla 214 que se vaya a visualizar a través de un procesador de vídeo 212, que procesa la información que vaya a visualizarse a un formato adecuado para la pantalla 214. La pantalla 214 puede incluir cualquier tipo de pantalla, incluyendo, pero sin limitarse a, un tubo de rayos catódicos (CRT), una pantalla de cristal líquido (LCD), una pantalla de plasma, etc.

**[48]** Un controlador de memoria de acuerdo con los modos de realización descritos en el presente documento puede proporcionarse o integrarse en una pastilla semiconductor, un circuito integrado, un dispositivo basado en el procesador para controlar el acceso a memoria o cualquier otro dispositivo, incluido un dispositivo electrónico. Los ejemplos de dispositivos electrónicos, sin limitación, incluyen un decodificador, una unidad de entretenimiento, un

dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de ubicación fija, una unidad de datos de ubicación móvil, un teléfono móvil, un teléfono celular, un ordenador, un ordenador portátil, un ordenador de sobremesa, un asistente digital personal (PDA), un monitor, un monitor de ordenador, un televisor, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de discos de vídeo digital (DVD) y un reproductor de vídeo digital portátil.

**[49]** Cabe destacar que las tareas operativas descritas en cualquiera de los modos de realización a modo de ejemplo en el presente documento se describen para proporcionar ejemplos y análisis. Las operaciones descritas pueden realizarse en numerosas secuencias diferentes distintas de las secuencias ilustradas. Además, las operaciones descritas en una única etapa operativa pueden realizarse realmente en varias tareas diferentes. Adicionalmente, pueden combinarse una o más tareas operativas analizadas en los modos de realización a modo de ejemplo. Se entenderá que las tareas operativas ilustradas en los diagramas de flujo pueden someterse a numerosas modificaciones diferentes, como resultará fácilmente evidente para un experto en la técnica. Los expertos en la técnica también entenderán que la información y las señales pueden representarse usando cualquiera de entre una diversidad de tecnologías y técnicas diferentes. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan haberse mencionado a lo largo de la descripción anterior pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos o partículas ópticos o cualquier combinación de los mismos.

**[50]** Los expertos en la técnica apreciarían además que los diversos bloques lógicos, módulos, circuitos y etapas de algoritmo ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito en general diversos componentes, bloques, módulos, circuitos y tareas ilustrativos en términos de su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de la solicitud en particular y de las restricciones de diseño impuestas en el sistema global. Los expertos en la técnica pueden implementar la funcionalidad descrita de formas distintas para cada solicitud particular, pero no debería interpretarse que dichas decisiones de implementación suponen apartarse del alcance de la presente invención.

**[51]** Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse o realizarse con un procesador de uso general, con un procesador de señales digitales (DSP), con un circuito integrado específico de la aplicación (ASIC), con una matriz de puertas programables por campo (FPGA) o con otro dispositivo de lógica programable, lógica de transistor o de puertas discretas, componentes de hardware discretos, o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de uso general puede ser un microprocesador pero, como alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

**[52]** Las tareas de un procedimiento o algoritmo descrito en relación con los modos de realización divulgados en el presente documento se pueden realizar directamente en hardware, en un módulo de software ejecutado mediante un procesador o en una combinación de los dos. Un módulo de software puede residir en una Memoria de Acceso Aleatorio (RAM), una memoria flash, una Memoria de Solo Lectura (ROM), una memoria ROM Programable Eléctricamente (EPROM), una memoria ROM Programable y Borrable Eléctricamente (EEPROM), unos registros, un disco duro, un disco extraíble, un CD-ROM o cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento a modo de ejemplo está acoplado al procesador de manera que el procesador puede leer información de, y escribir información en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en una estación remota. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en una estación remota, una estación base o un servidor.

**[53]** La descripción anterior de la divulgación se proporciona para permitir que cualquier experto en la materia realice o use la divulgación. Diversas modificaciones dentro del alcance de las reivindicaciones independientes resultarán muy evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otros modos de realización sin apartarse del alcance de la presente invención. Por tanto, la divulgación no pretende limitarse a los ejemplos y diseños descritos en el presente documento, sino que se le concede el alcance más amplio compatible con los principios y características novedosas de la invención como se define en las reivindicaciones independientes.

**REIVINDICACIONES**

1. Un controlador de memoria (12), que comprende:
  - 5 un controlador configurado para acceder al menos a una ubicación de memoria correspondiente a al menos una página de memoria (29) contenida en cada uno de una pluralidad de bancos de memoria (28) de acuerdo con una configuración de acceso a memoria proporcionada para cada uno de la pluralidad de bancos de memoria;
  - 10 en donde la configuración de acceso a memoria permite que cada uno de una pluralidad de bancos de memoria cierre o deje abierta la al menos una página de memoria y en donde la configuración de acceso a memoria para cada uno de la pluralidad de bancos de memoria se configura como una configuración estática almacenada en uno o más registros internos;
  - 15 el controlador está configurado además para determinar si la configuración de acceso a memoria almacenada en uno o más registros internos para un banco de memoria entre la pluralidad de bancos de memoria se anulará temporalmente sin cambiar la configuración de acceso a memoria;
  - 20 en donde el controlador comprende además el primer y el segundo registro de configuración de acceso a memoria dinámica (174, 176), teniendo cada uno un bit para cada uno de la pluralidad de bancos de memoria, en donde los bits en el primer registro de configuración de acceso a memoria dinámica se configuran para permitir que el controlador de memoria anule una página de memoria configurada para cerrarse después del acceso y los bits en el segundo registro de configuración de acceso a memoria dinámica están configurados para permitir que el controlador de memoria anule una página de memoria configurada para dejarla abierta después del acceso; y
  - 25 en donde el controlador está configurado para cerrar o dejar abierta la al menos una página de memoria en base a la configuración de acceso a memoria proporcionada para cada uno de la pluralidad de bancos de memoria y en base a los bits en los primer y segundo registros de configuración de acceso a memoria dinámica.
2. El controlador de memoria según la reivindicación 1, en donde la configuración de acceso a memoria comprende al menos una página de memoria abierta y al menos una página de memoria cerrada.
- 35 3. El controlador de memoria según la reivindicación 1, en el que el controlador está configurado además para determinar si la configuración de acceso a memoria para un banco de memoria entre la pluralidad de bancos de memoria está configurada para dejar abierta la página de memoria y el controlador está configurado además para abrir una página de memoria en el banco de memoria si la configuración de acceso a memoria para el banco de memoria está configurada para cerrar la página de memoria.
- 40 4. El controlador de memoria según la reivindicación 3, en donde el controlador está configurado además para determinar si una página de memoria en un banco de memoria entre la pluralidad de bancos de memoria está abierta; y en donde el controlador está configurado además para acceder a la página de memoria sin abrir primero la página de memoria si el controlador determina que la página de memoria ya está abierta o cerrar una página de memoria abierta previamente si el controlador determina que la página de memoria que contiene la dirección de memoria no está abierta.
- 45 5. El controlador de memoria según la reivindicación 1, en donde el controlador está configurado para determinar si la configuración de acceso a memoria para un banco de memoria entre la pluralidad de bancos de memoria se cambia dinámicamente en función de una o más peticiones de acceso a memoria o en función de una predicción de peticiones de acceso a memoria.
- 50 6. El controlador de memoria según la reivindicación 1 integrado en al menos una pastilla semiconductor.
- 55 7. El controlador de memoria según la reivindicación 1, que comprende además un dispositivo, seleccionado de entre el grupo que consiste en un decodificador, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de ubicación fija, una unidad de datos de ubicación móvil, un teléfono móvil, un teléfono celular, un ordenador, un ordenador portátil, un ordenador de sobremesa, un asistente digital personal (PDA), un monitor, un monitor de ordenador, un televisor, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de disco de vídeo digital (DVD) y un reproductor de vídeo digital portátil, en el cual está integrado el controlador de memoria.
- 60 8. Un procedimiento de acceso a memoria en un sistema de memoria, que comprende:
- 65

recibir una petición de acceso a memoria que comprende una dirección de memoria en un controlador de memoria;

5 determinar si una configuración de acceso a memoria para un banco de memoria (28) que contiene la dirección de memoria está configurada para cerrar o dejar abierta una página de memoria (29);

10 acceder a una configuración de acceso a memoria para un banco de memoria que contiene al menos una página de memoria, en donde la configuración de acceso a memoria permite que cada uno de una pluralidad de bancos de memoria cierre o deje abierta la al menos una página de memoria, y en donde la configuración de acceso a memoria para cada uno de la pluralidad de bancos de memoria está configurado como una configuración estática almacenada en uno o más registros internos;

15 determinar si la configuración de acceso a memoria almacenada en uno o más registros internos para el banco de memoria que contiene la dirección de memoria se debe anular temporalmente sin cambiar la configuración de acceso a memoria; y

20 cerrar o dejar abierta una página de memoria en el banco de memoria que contiene la dirección de memoria en base a la configuración de acceso a memoria y en base a los bits en los primer y segundo registros de configuración de acceso a memoria dinámica (174, 176) en el controlador, en donde los primer y segundo registros de configuración de acceso a memoria dinámica (174, 176) tienen cada uno un bit para cada uno de la pluralidad de bancos de memoria, en donde los bits en el primer registro de configuración de acceso a memoria dinámica se configuran para permitir que el controlador de memoria anule una página de memoria configurada para cerrarse después del acceso y los bits en el segundo registro de configuración de acceso a memoria dinámica están configurados para permitir que el controlador de memoria anule una página de memoria configurada para dejarla abierta después del acceso.

25 **9.** El procedimiento según la reivindicación 8, que comprende además determinar si la configuración de acceso a memoria para el banco de memoria está configurada para cerrar o dejar abiertas sus páginas de memoria después del acceso.

30 **10.** El procedimiento según la reivindicación 8, que comprende además acceder a la página de memoria para acceder a los datos almacenados en la dirección de memoria; y abrir la página de memoria antes de acceder a la página de memoria si la configuración de acceso a memoria para el banco de memoria está configurada para cerrar la página de memoria.

35 **11.** El procedimiento según la reivindicación 8, que comprende además determinar si la página de memoria se abre antes de acceder a la página de memoria; y acceder a la página de memoria sin abrir primero la página de memoria si la página de memoria está abierta; o cerrar una página de memoria abierta previamente si la página de memoria que contiene la dirección de memoria no está abierta.

40 **12.** El procedimiento según la reivindicación 8, que comprende además: revisar una o más peticiones de acceso a memoria pendientes; y cambiar dinámicamente la configuración de acceso a memoria en base a la una o más peticiones de acceso a memoria pendientes; o predecir futuras peticiones de acceso de memoria al banco de memoria en base a la predicción de futuras peticiones de acceso a memoria al banco de memoria.

45 **13.** Un sistema de memoria (10), que comprende:

50 una pluralidad de bancos de memoria (28) que contienen cada uno al menos una página de memoria (28); y

55 el controlador de memoria (12) de acuerdo con la reivindicación 1 configurado para acceder a al menos una ubicación de memoria correspondiente a la al menos una página de memoria contenida en cada uno de la pluralidad de bancos de memoria de acuerdo con una configuración de acceso a memoria proporcionada para cada uno de la pluralidad de bancos de memoria;

60 en donde el controlador de memoria está configurado para cerrar o dejar abiertas las páginas de memoria basándose en la configuración de acceso a memoria proporcionada para cada uno de la pluralidad de bancos de memoria.

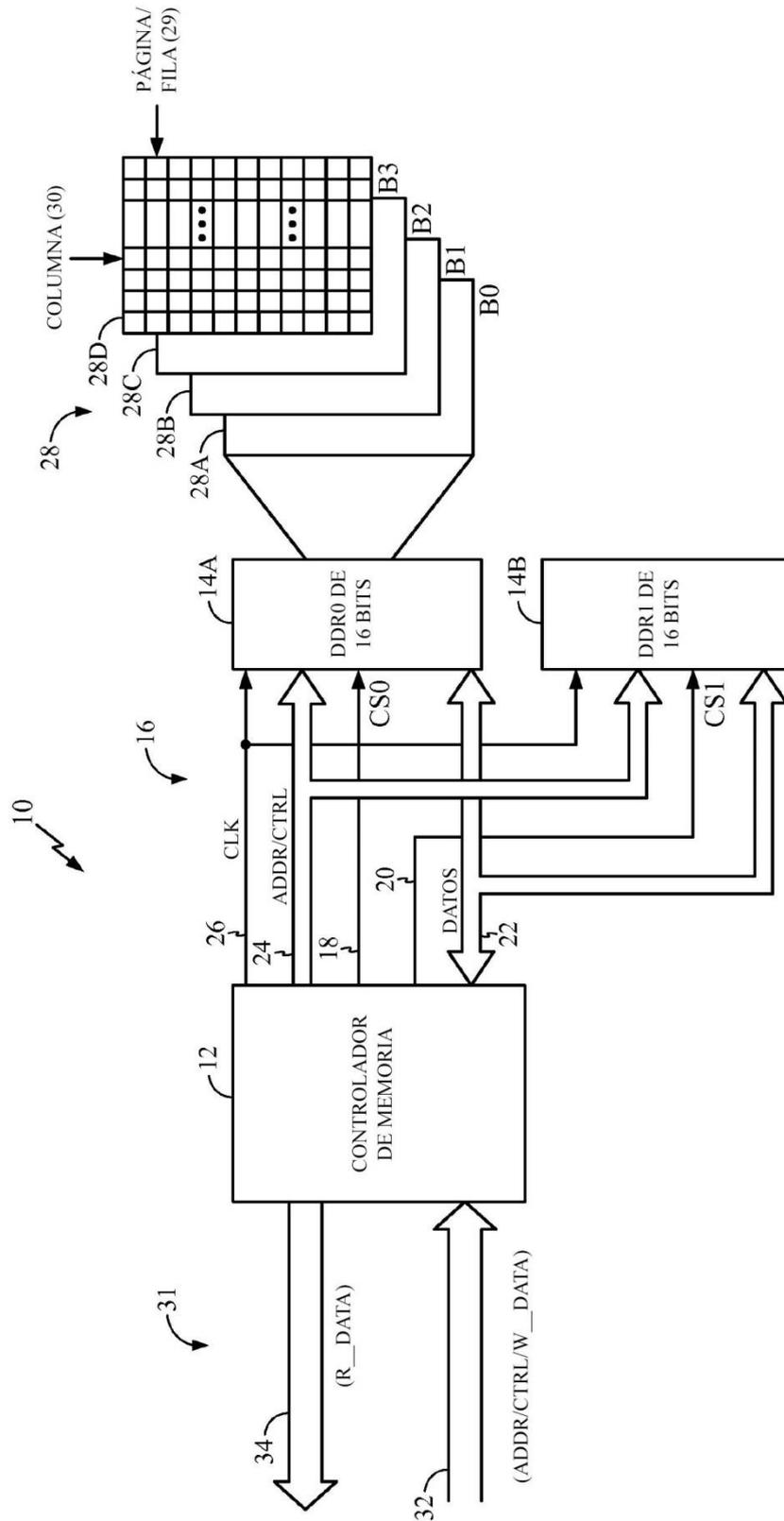


FIG. 1

36 ↘

	BANCO	PÁGINA	CONFIGURACIÓN DE PÁGINA CERRADA	CONFIGURACIÓN DE PÁGINA DEJADA ABIERTA	GANANCIA DE TIEMPO DE ACCESO
1.	B0	0	6 CICLOS	6 CICLOS	0 CICLOS
2.	B0	0	6 CICLOS	3 CICLOS	+3 CICLOS
3.	B0	0	6 CICLOS	3 CICLOS	+3 CICLOS
4.	B0	0	6 CICLOS	3 CICLOS	+3 CICLOS
5.	B0	1	6 CICLOS	9 CICLOS	-3 CICLOS
6.	B0	1	6 CICLOS	3 CICLOS	+3 CICLOS
7.	B0	1	6 CICLOS	3 CICLOS	+3 CICLOS
8.	B0	1	6 CICLOS	3 CICLOS	+3 CICLOS
			48 CICLOS	33 CICLOS	+15 CICLOS

FIG. 2

38 ↘

	BANCO	PÁGINA	CONFIGURACIÓN DE PÁGINA CERRADA	CONFIGURACIÓN DE PÁGINA DEJADA ABIERTA	GANANCIA DE TIEMPO DE ACCESO
1.	B1	0	6 CICLOS	6 CICLOS	0 CICLOS
2.	B1	1	6 CICLOS	9 CICLOS	-3 CICLOS
3.	B1	4	6 CICLOS	9 CICLOS	-3 CICLOS
4.	B1	4	6 CICLOS	3 CICLOS	+3 CICLOS
5.	B1	9	6 CICLOS	9 CICLOS	-3 CICLOS
6.	B1	8	6 CICLOS	9 CICLOS	-3 CICLOS
7.	B1	1	6 CICLOS	9 CICLOS	-3 CICLOS
8.	B1	2	6 CICLOS	9 CICLOS	-3 CICLOS
9.	B1	2	6 CICLOS	3 CICLOS	+3 CICLOS
			54 CICLOS	66 CICLOS	-12 CICLOS

FIG. 3

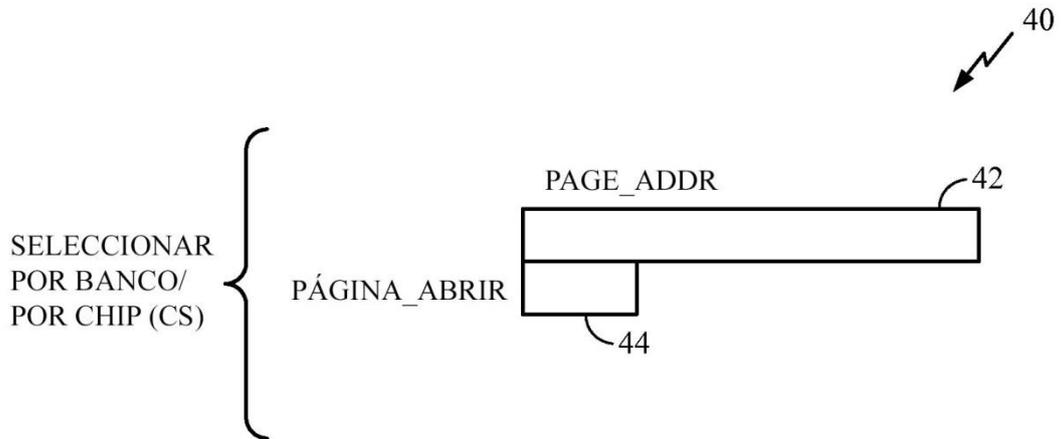


FIG. 4

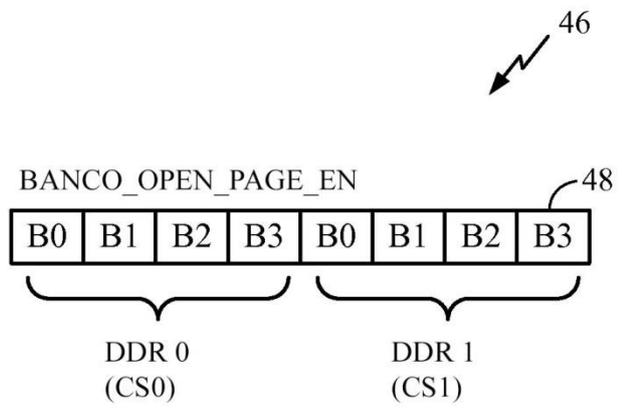


FIG. 5

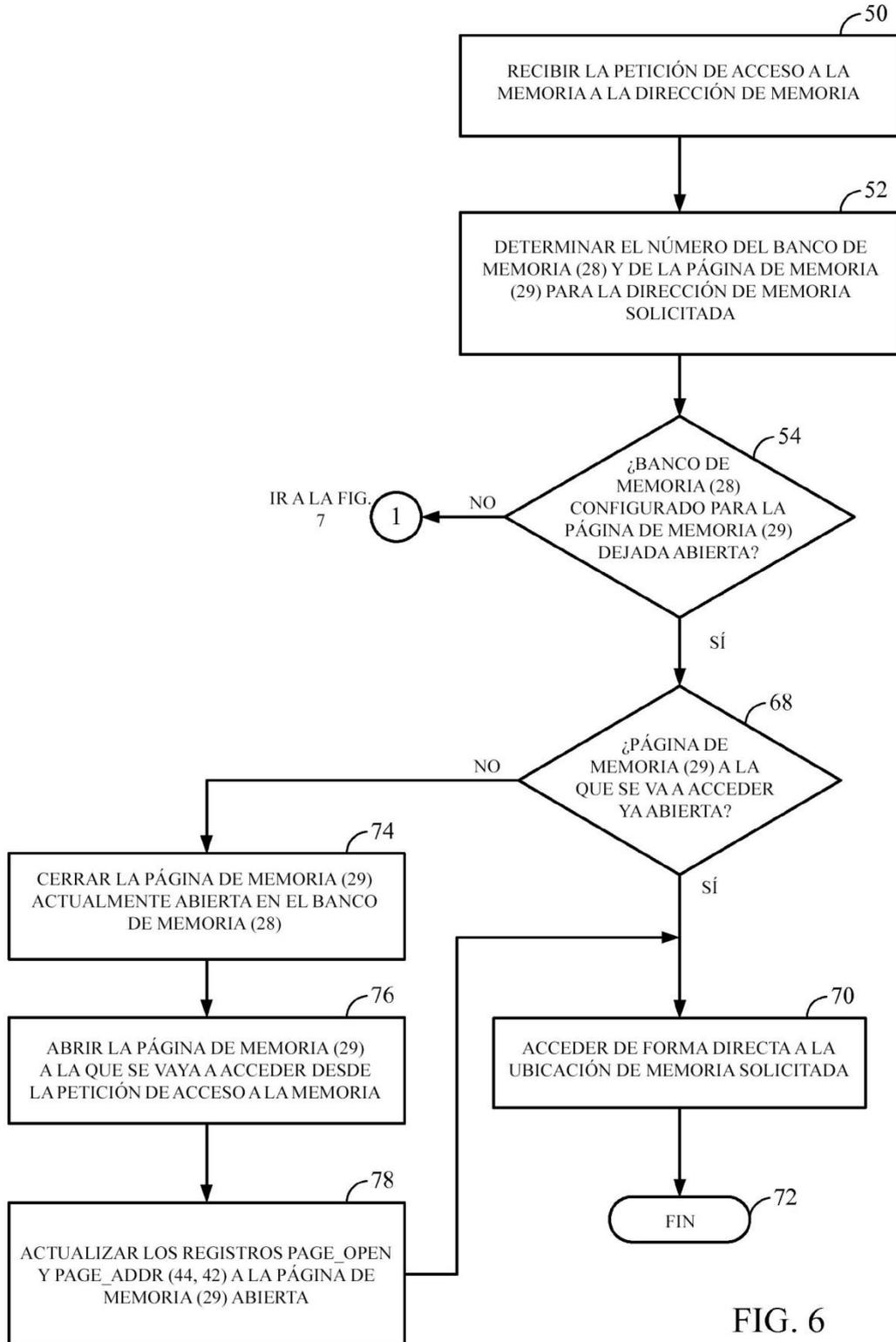


FIG. 6

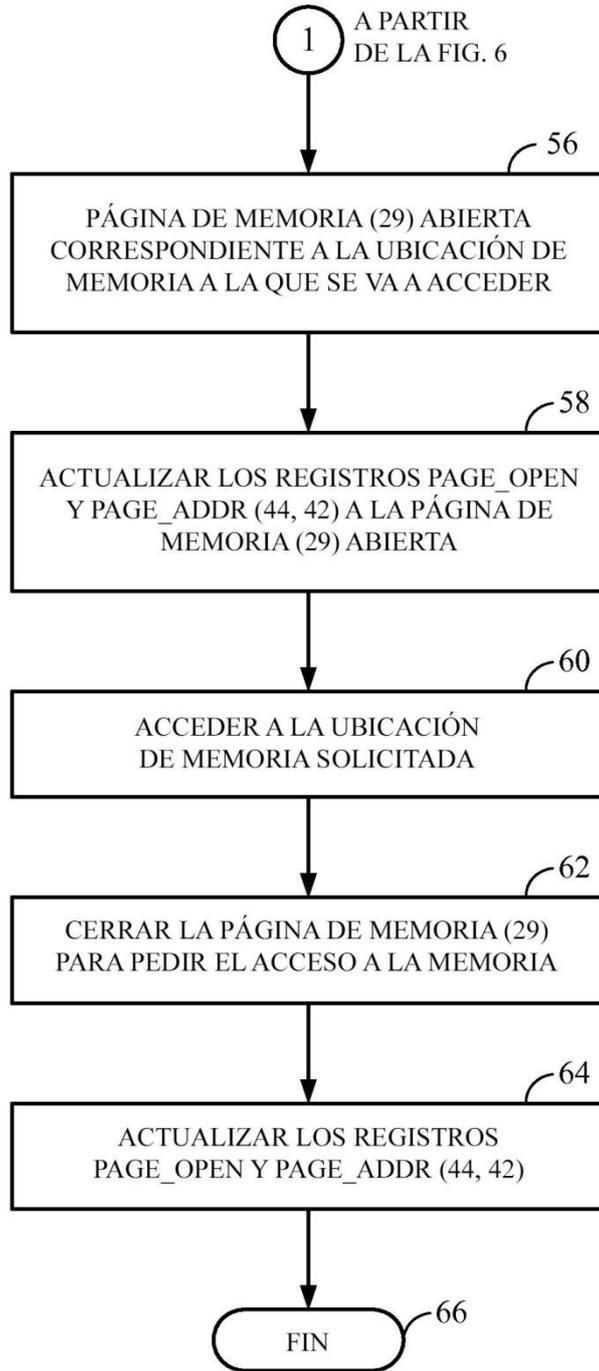


FIG. 7

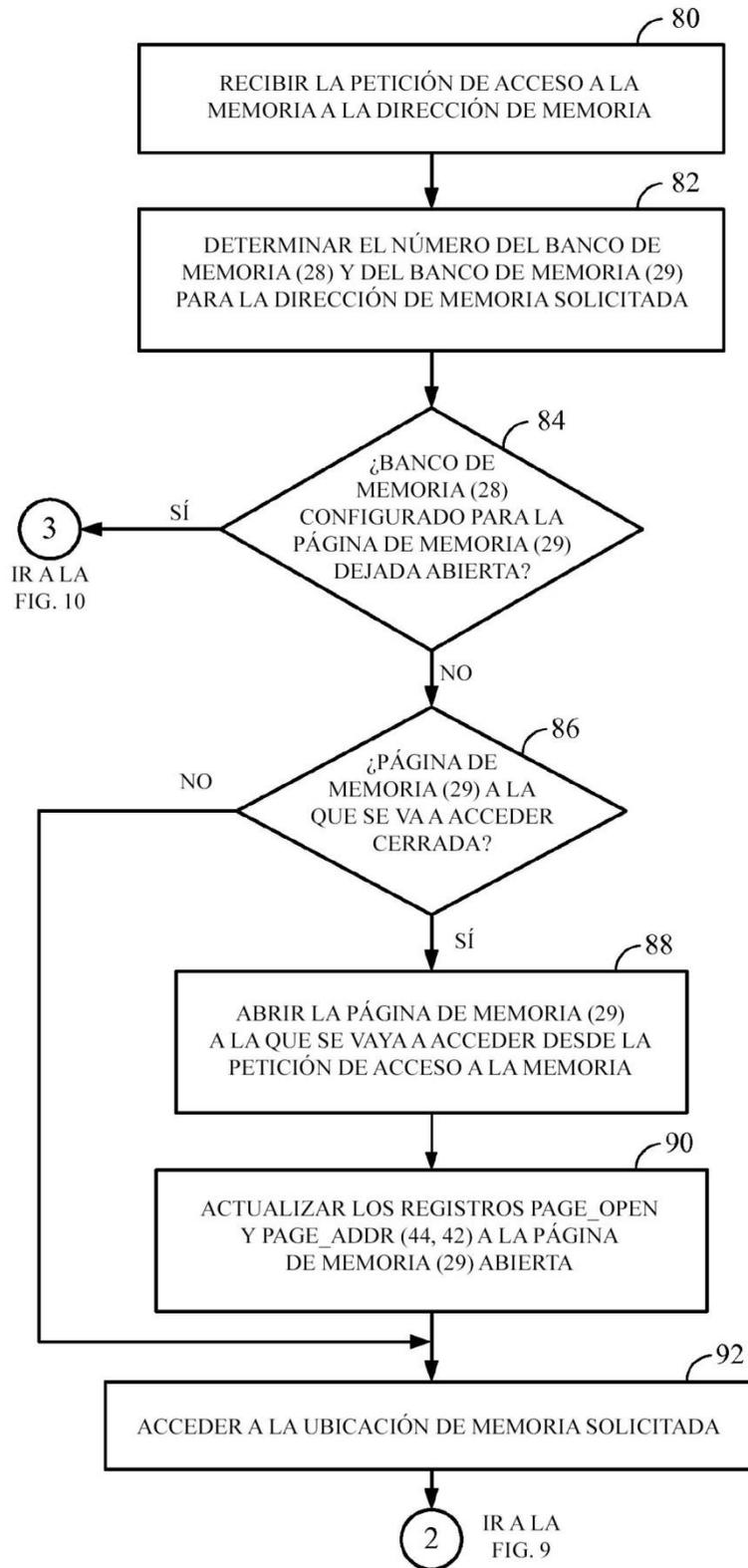


FIG. 8

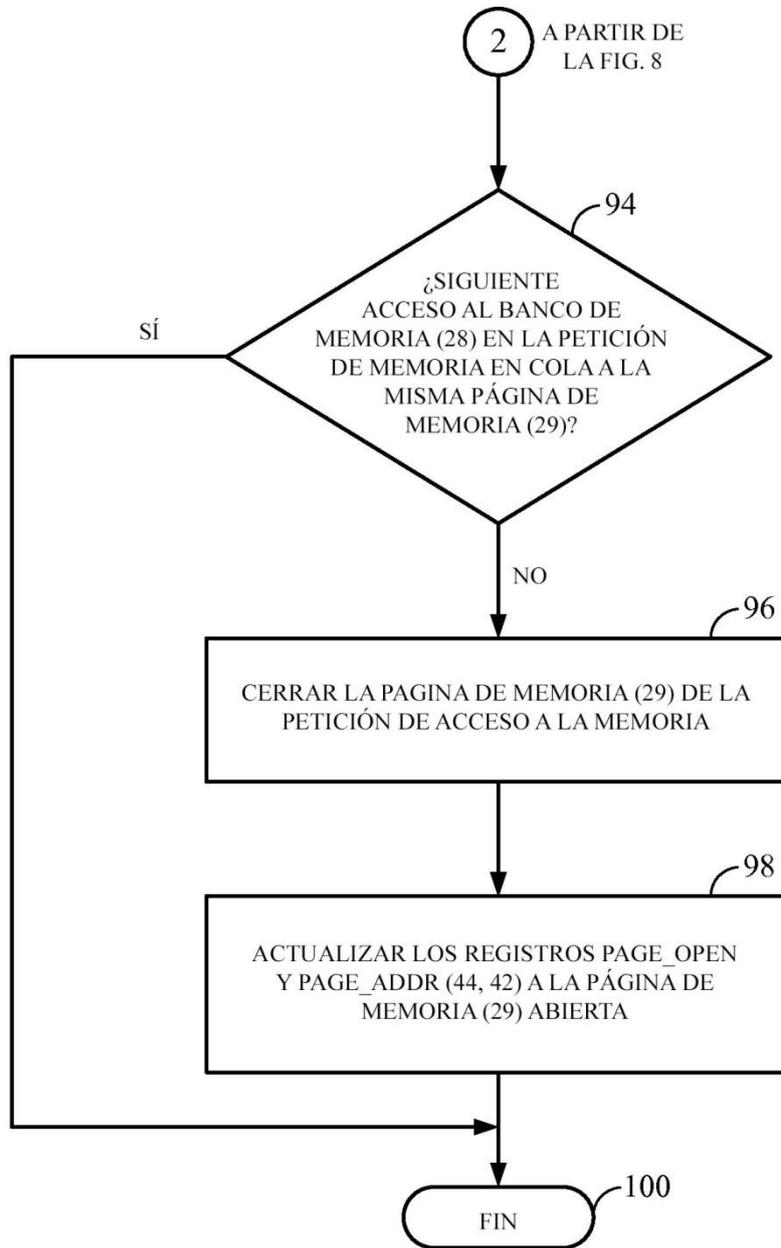


FIG. 9

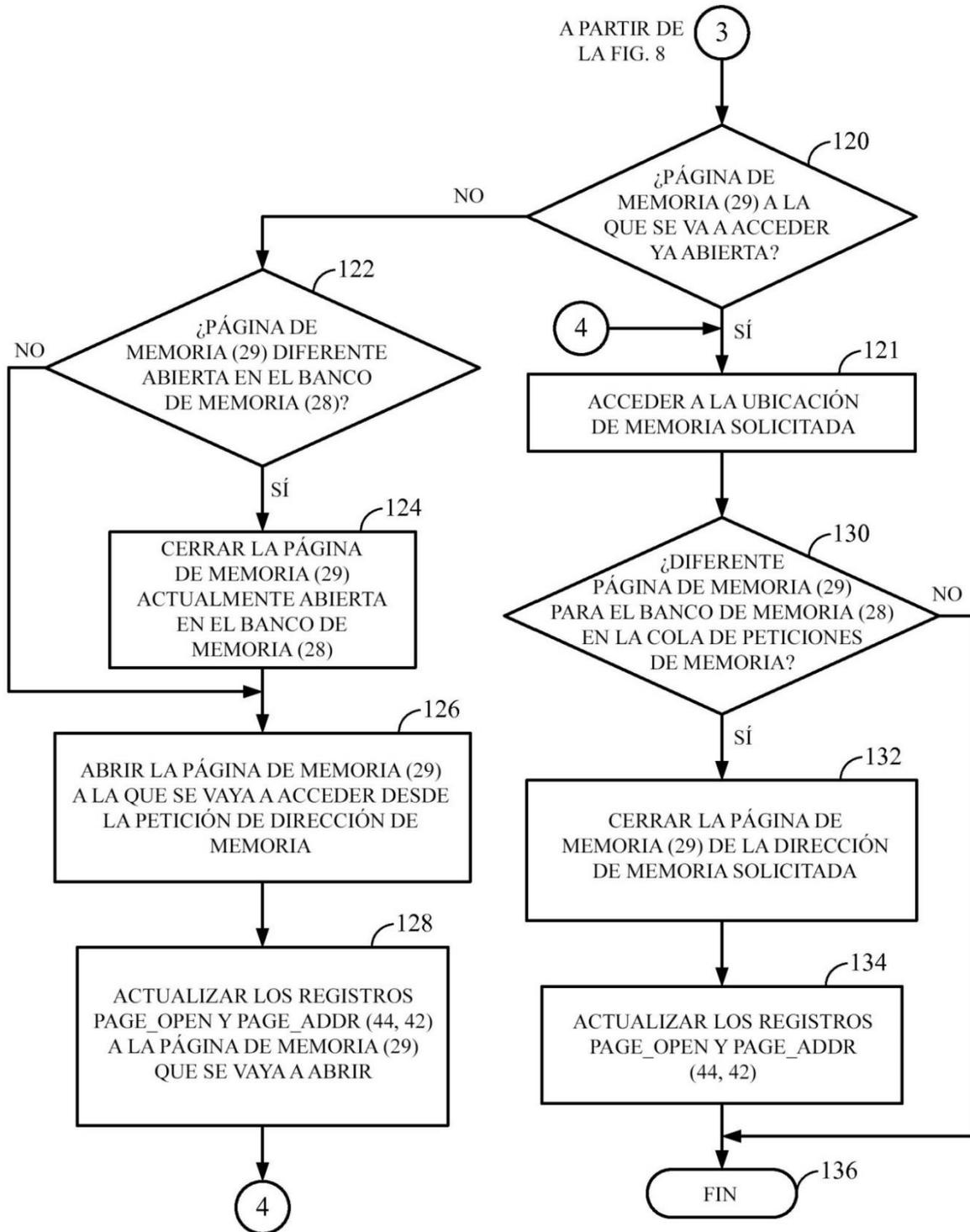


FIG. 10

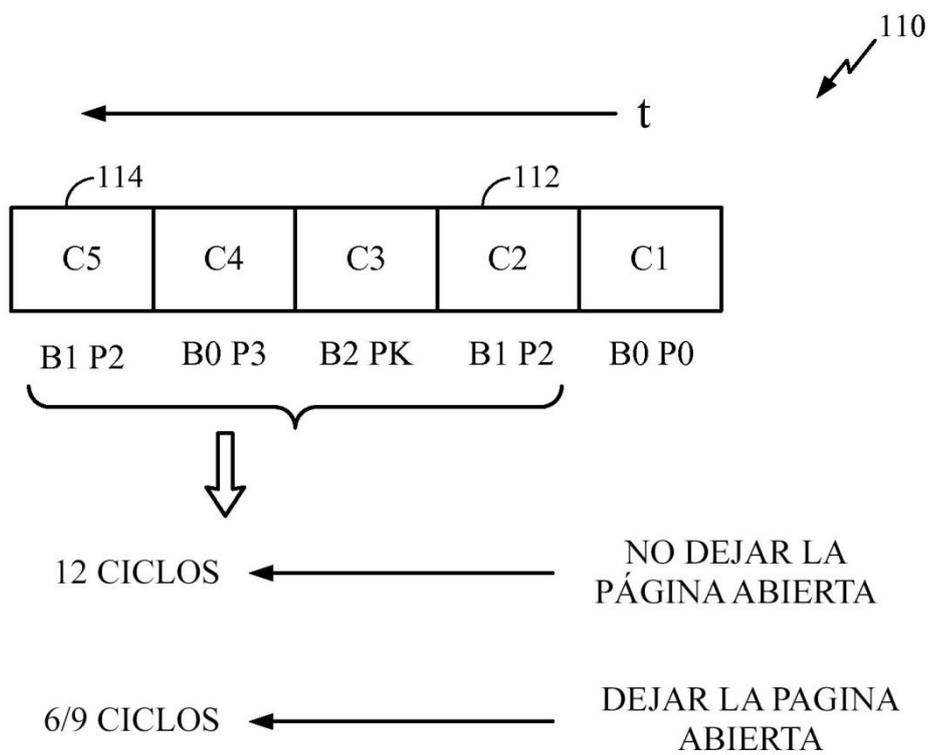


FIG. 11

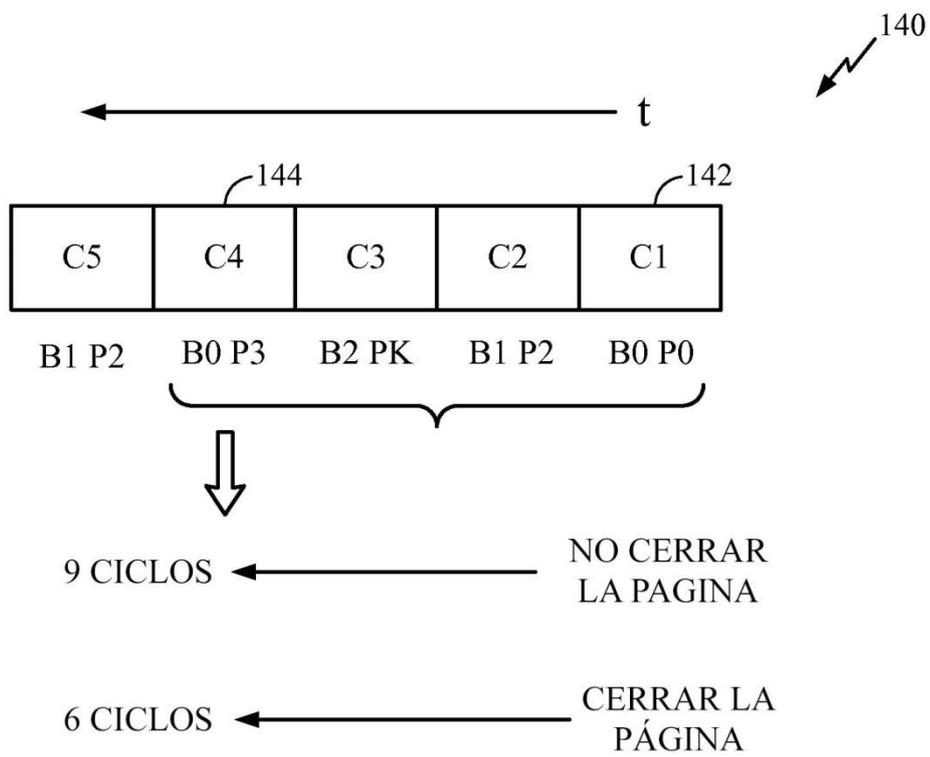


FIG. 12

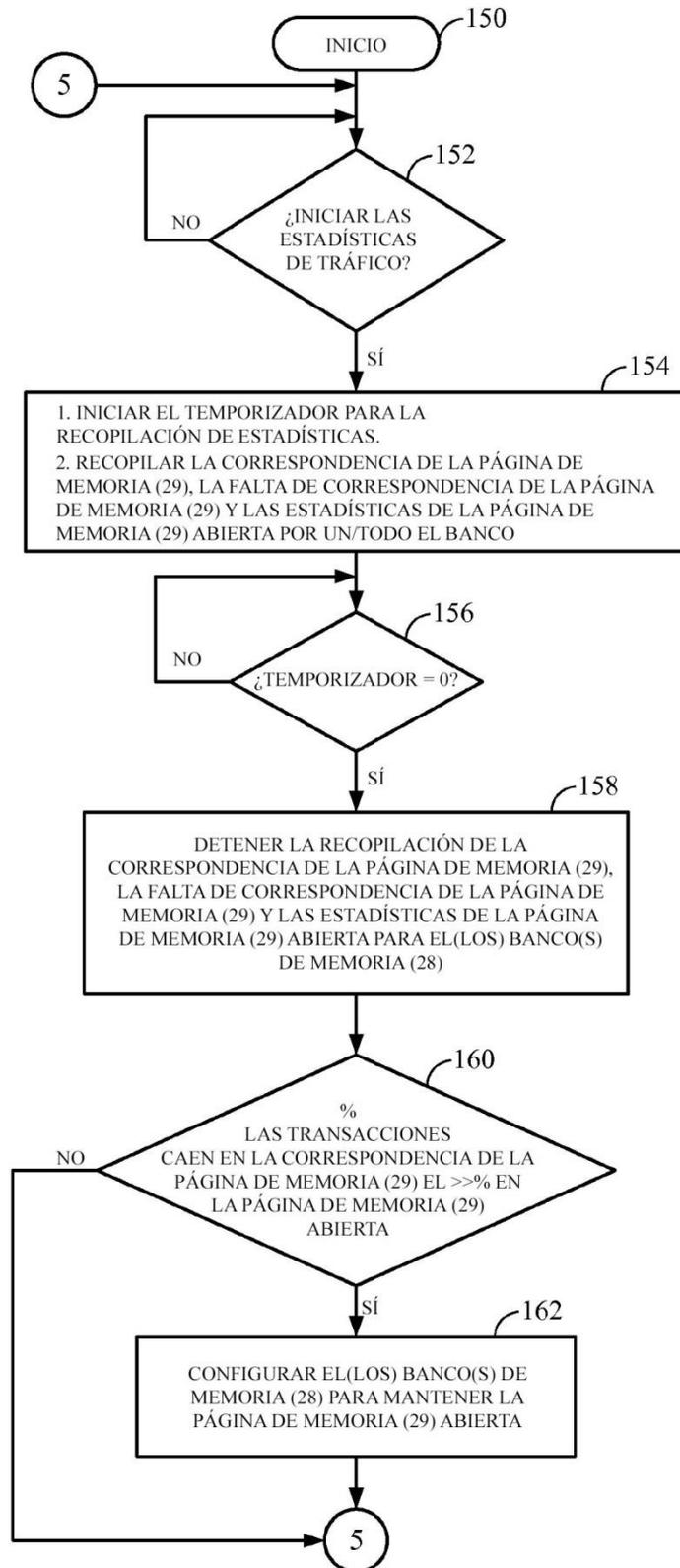


FIG. 13

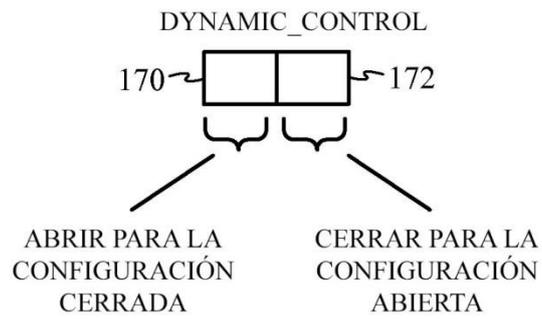


FIG. 14

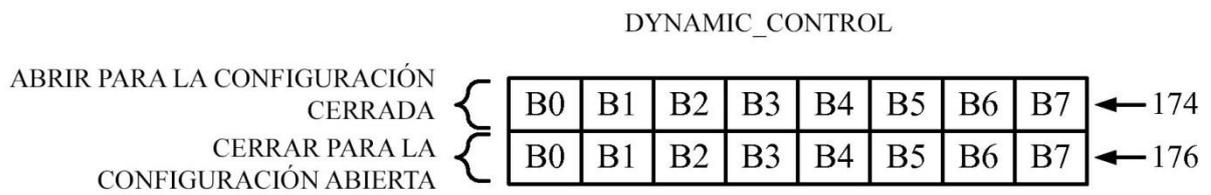


FIG. 15

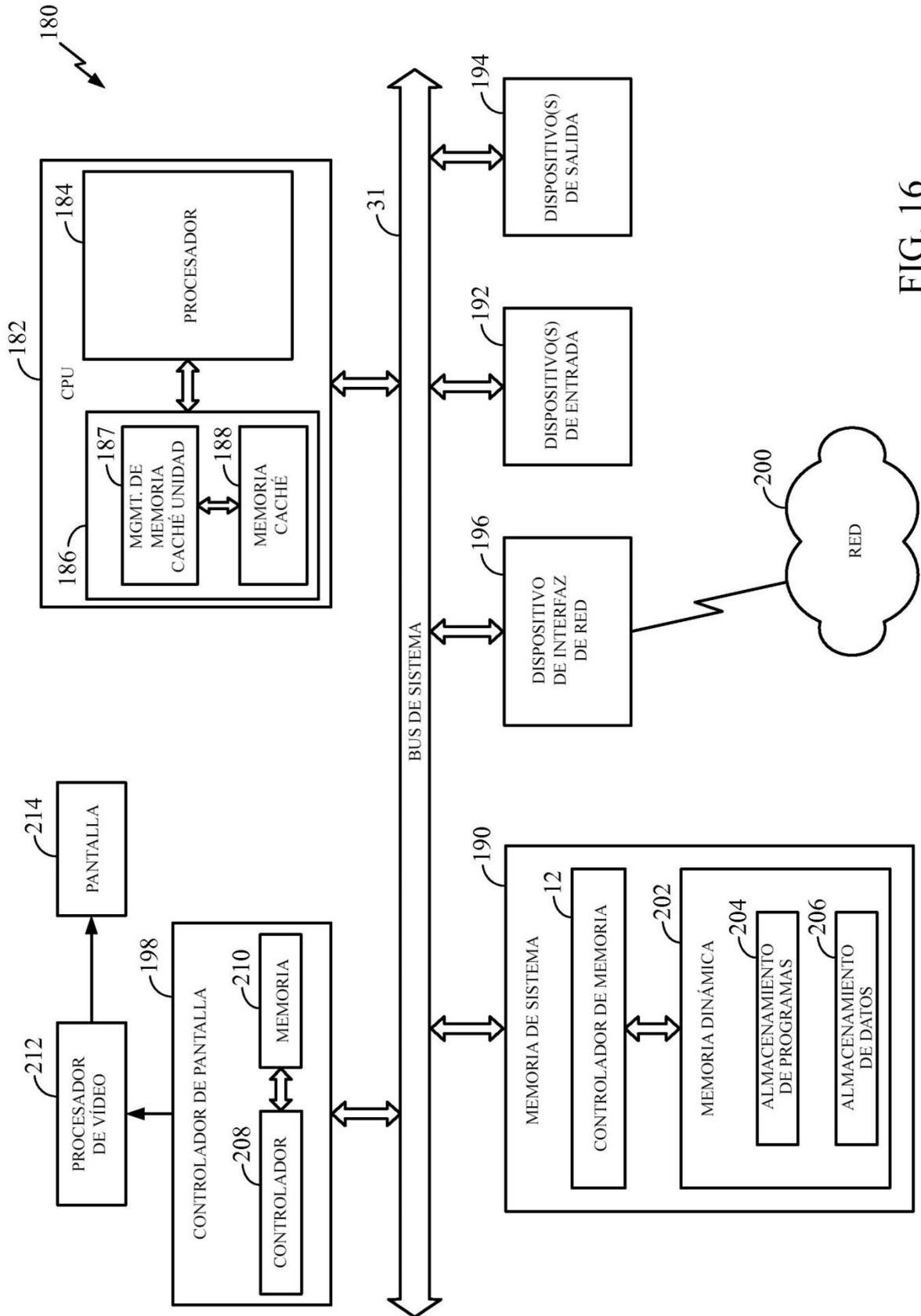


FIG. 16