

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 719 545**

51 Int. Cl.:

**H03L 7/23** (2006.01)

**H03L 7/185** (2006.01)

**H03L 7/197** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **13.04.2016 PCT/JP2016/061902**

87 Fecha y número de publicación internacional: **20.10.2016 WO16167283**

96 Fecha de presentación y número de la solicitud europea: **13.04.2016 E 16780074 (7)**

97 Fecha y número de publicación de la concesión europea: **13.03.2019 EP 3276832**

54 Título: **Sintetizador**

30 Prioridad:  
**15.04.2015 JP 2015083451**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**11.07.2019**

73 Titular/es:  
**MITSUBISHI ELECTRIC CORPORATION (100.0%)**  
**7-3, Marunouchi 2-chome, Chiyoda-ku**  
**Tokyo 100-8310 , JP**

72 Inventor/es:  
**YAMAUCHI, KAZUHISA;**  
**TOKUMORI, NOBUHIRO;**  
**MIYASAKA, KENJI;**  
**FUJIWARA, TAKASHI y**  
**KAWAMURA, MASAKI**

74 Agente/Representante:  
**ELZABURU, S.L.P**

Observaciones:

**Véase nota informativa (Remarks, Remarques o Bemerkungen) en el folleto original publicado por la Oficina Europea de Patentes**

**ES 2 719 545 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Sintetizador

**Campo**

5 La presente invención se refiere a un sintetizador que genera una señal con una frecuencia arbitraria usando un bucle de enganche o sintonización de fase (en adelante, en la presente memoria, denominado "PLL").

**Antecedentes**

10 Con el propósito de hacer frente a la diversificación de aplicaciones de comunicación inalámbrica, se desea que los sintetizadores puedan generar una frecuencia arbitraria a partir de un único oscilador local en una banda ancha. Un procedimiento para generar una frecuencia arbitraria a partir de un único oscilador local en una banda ancha es un PLL de tipo fraccionario (véase, por ejemplo, la literatura no de patentes 1, a continuación).

15 Se conoce que, en el PLL de tipo fraccionario, se produce una componente espuria fraccionaria en las proximidades de una frecuencia de oscilación cuando la resolución en el ajuste de frecuencia se hace más precisa. Debido a que las componentes espurias fraccionarias no pueden ser eliminadas por un filtro de bucle del PLL, la resolución en el ajuste de frecuencia está restringida. Por lo tanto, se han propuesto diversos procedimientos para reducir las componentes espurias fraccionarias (por ejemplo, véase la literatura de patentes 1, a continuación).

20 En el sintetizador descrito en la literatura de patentes 1, se incluyen un primer bucle para generar una señal de alta frecuencia y un segundo bucle para generar una señal de referencia, y estos bucles primero y segundo forman un bucle de retroalimentación doble. El segundo bucle ajusta la frecuencia de referencia del primer bucle a una frecuencia objetivo y el primer bucle usa la frecuencia de referencia ajustada con precisión por el segundo bucle para generar la señal de alta frecuencia. Es decir, en la literatura de patentes 1, controlando la señal de referencia del primer bucle necesaria para que el segundo bucle establezca la señal de alta frecuencia, se suprime una componente espuria que ocurre en las proximidades de una onda deseada.

**Lista de citas****Literatura de patentes**

25 Literatura de patentes 1: Solicitud de patente japonesa abierta a consulta por el público N° 2009-16973

**Literatura de no patentes**

Literatura no de patentes 1: "Producto Specification PE 97632", pág. 12, Ecuación (2), Peregrin Semiconductor Corp.

30 La publicación de solicitud de patente WO 2010/093961 A1 describe un sintetizador que usa un sintetizador de ajuste aproximado basado en un bucle de enganche de fase de tipo entero y un sintetizador de ajuste preciso basado en un bucle de enganche de fase de tipo fraccional.

**Resumen****Problema técnico**

35 El sintetizador descrito en la literatura no de patentes 1 tiene la ventaja de que es capaz de generar una frecuencia arbitraria a partir un único oscilador local en una banda ancha con una configuración simple. Sin embargo, hay un problema en el sentido de que cuando la resolución en el ajuste de frecuencia se hace más precisa, se produce una componente espuria fraccionaria que no puede ser eliminada por un filtro de bucle de un PLL en las proximidades de una frecuencia de oscilación y, por consiguiente, la resolución en el ajuste de frecuencia está restringida.

40 Además, el sintetizador de la literatura de patentes 1 tiene la ventaja de que es capaz de suprimir una componente espuria que se produce en las proximidades de una onda deseada sin disminuir la resolución de frecuencia. Sin embargo, aunque uno de los dos sintetizadores opera en base a una fuente de señal de referencia con buen ruido de fase, otro sintetizador usa una señal generada por el sintetizador como fuente de señal de referencia, y la adición de voltaje es realizada al ruido de fase de los dos sintetizadores en el transcurso del procesamiento y, de esta manera, hay un problema en el sentido de que el ruido de fase se deteriora.

45 La presente invención se ha realizado en vista de lo indicado anteriormente, y un objeto de la presente invención es proporcionar un sintetizador que sea capaz de suprimir la ocurrencia de una componente espuria fraccionaria y capaz de suprimir un deterioro del ruido de fase.

**Solución al problema**

Con el propósito de resolver los problemas indicados anteriormente y conseguir el objetivo, el sintetizador según la presente invención, tal como se establece en la reivindicación 1 adjunta con aspectos adicionales en sus reivindicaciones dependientes, incluye un bucle doble de tipo paralelo en el que un sintetizador de ajuste preciso y un sintetizador de ajuste aproximado están conectados en paralelo. El sintetizador de ajuste preciso usa un PLL de tipo fraccionario para generar una señal con una frecuencia arbitraria. El sintetizador de ajuste aproximado usa un PLL de tipo entero que tiene un bajo grado de libertad de generación de frecuencia, pero que tiene una característica de bajo ruido de fase.

**Efectos ventajosos de la invención**

Según la presente invención, debido a que los dos sintetizadores que constituyen el bucle doble de tipo paralelo operan en base a la fuente de señal de referencia con bajo ruido de fase, el ruido de fase es pequeño. Además, debido a que los dos sintetizadores son sintetizados por un mezclador, la adición de potencia es realizada reduciendo el deterioro del ruido de fase. Con estas dos características, es posible conseguir ambas características, es decir, la característica de bajo ruido de fase y la supresión de componentes espurias fraccionarias, sin reducir la resolución de frecuencia.

**Breve descripción de los dibujos**

La Fig. 1 es un diagrama de bloques que ilustra una configuración de un sintetizador según una realización de la presente invención.

La Fig. 2 es un gráfico que ilustra un resultado de una medición de espectro en una configuración descrita en la literatura no de patentes 1.

La Fig. 3 es un diagrama de bloques que ilustra una configuración de un sintetizador usada en la medición ilustrada en la Fig. 2.

La Fig. 4 es un diagrama que ilustra un resultado de una medición de espectro en el sintetizador según la realización de la presente invención.

La Fig. 5 es un diagrama de bloques que ilustra una configuración de un sintetizador distinta de la de la Fig. 1 según la realización de la presente invención.

**Descripción de las realizaciones**

En adelante, en la presente memoria, se describirá en detalle un sintetizador según una realización de la presente invención, con referencia a los dibujos. Cabe señalar que la presente invención no está limitada por la realización siguiente.

La Fig. 1 es un diagrama de bloques que ilustra una configuración del sintetizador según la realización de la presente invención. Tal como se ilustra en la Fig. 1, el sintetizador según la presente realización constituye un bucle doble de tipo paralelo en el que un sintetizador 1 de ajuste preciso que usa un PLL de tipo fraccionario y un sintetizador 2 de ajuste aproximado que usa un PLL de tipo entero están conectados en paralelo.

El sintetizador 1 de ajuste preciso incluye: un divisor 6 de frecuencia de tipo entero para referencia (en adelante, en la presente memoria, denominado "divisor de frecuencia de tipo entero de referencia"); un comparador 7 de fase; un filtro 8 de bucle; un oscilador 9 controlado por voltaje de frecuencia variable (indicado como "VCO" en la Fig. 1, en adelante, en la presente memoria, denominado "oscilador de frecuencia variable"); un divisor 10 (indicado como "Div" en la Fig. 1); un mezclador 4; un filtro 13 de paso banda (indicado como "BPF" en la Fig. 1); y un divisor 12 de frecuencia de tipo fraccional programable dispuesto en una trayectoria de retroalimentación (en adelante, en la presente memoria, denominado "divisor de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación"). En el sintetizador 1 de ajuste preciso, el divisor 6 de frecuencia de tipo entero de referencia, el comparador 7 de fase, el filtro 8 de bucle, el oscilador 9 de frecuencia variable, el mezclador 4, el filtro 13 de paso banda y el divisor 12 de frecuencia fraccional programable de la trayectoria de retroalimentación constituyen un bucle de enganche de fase de tipo fraccionario.

El sintetizador 2 de ajuste aproximado incluye un divisor 14 de frecuencia de tipo entero de referencia, un comparador 15 de fase, un filtro 16 de bucle, un oscilador 17 de frecuencia variable, un divisor 20, un filtro 19 de paso banda y un divisor 18 de frecuencia de tipo entero programable dispuesto en una trayectoria de retroalimentación (en adelante, en la presente memoria, denominado "divisor de frecuencia de tipo entero programable de la trayectoria de retroalimentación"). En el sintetizador 2 de ajuste aproximado, el divisor 14 de frecuencia de tipo entero de referencia, el comparador 15 de fase, el filtro 16 de bucle, el oscilador 17 de frecuencia variable, el filtro 19 de paso banda y el divisor 18 de frecuencia de tipo enteros programable de la trayectoria de retroalimentación constituyen un bucle de enganche de fase de tipo entero.

Una salida de una fuente 3 de señal de referencia es introducida en paralelo tanto al sintetizador 2 de ajuste aproximado como al sintetizador 1 de ajuste preciso a través del divisor 5. En el sintetizador 1 de ajuste preciso, una salida del oscilador 9 de frecuencia variable a través del divisor 10 y una salida del oscilador 17 de frecuencia variable a través del divisor 20 son guiadas al mezclador 4 que constituye el bucle de enganche de fase de tipo fraccionario, y una señal de salida del sintetizador 1 de ajuste preciso es guiada a un extremo 11 de salida. Se configura de manera que un divisor del divisor 18 de frecuencia de tipo entero programable de la trayectoria de retroalimentación y un divisor del divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación puedan cambiarse en base a una señal de control que proviene del exterior del sintetizador.

A continuación, se describirá una operación del sintetizador según la presente realización, con referencia a la Fig. 1. En primer lugar, una señal de referencia (frecuencia:  $f_r$ ) generada por la fuente 3 de señal de referencia es dividida al sintetizador 1 de ajuste preciso y al sintetizador 2 de ajuste aproximado por el divisor 5.

La señal de referencia dividida y proporcionada al sintetizador 2 de ajuste aproximado es sometida a una división de frecuencia de tipo entero en el divisor 14 de frecuencia de tipo entero de referencia y a continuación es guiada al comparador 15 de fase. En el comparador 15 de fase, una fase de una señal de salida (frecuencia:  $f_{c2}$ ) del divisor 14 de frecuencia de tipo entero de referencia es comparada con una fase de una señal de salida (frecuencia:  $f_{p2}$ ) que proviene del divisor 18 de frecuencia de tipo entero programable de la trayectoria de retroalimentación. Una señal de salida según una diferencia entre las fases descritas anteriormente es limitada en una banda por el filtro 16 de bucle y a continuación es guiada al oscilador 17 de frecuencia variable. Una señal de salida (frecuencia:  $f_{in2}$ ) del oscilador 17 de frecuencia variable es dividida al mezclador 4 y al filtro 19 de paso banda por el divisor 20. La señal guiada al filtro 19 de paso banda es limitada en banda y a continuación es guiada al divisor 18 de frecuencia de tipo entero programable de la trayectoria de retroalimentación. Una señal con una frecuencia de  $f_{p2}$  es emitida desde el divisor 18 de frecuencia de tipo entero programable de la trayectoria de retroalimentación, y la operación descrita anteriormente se repite.

Por otra parte, la señal de referencia dividida y proporcionada al sintetizador 1 de ajuste preciso es sometida a una división de frecuencia de tipo entero en el divisor 6 de frecuencia de tipo entero de referencia y a continuación es guiada al comparador 7 de fase. En el comparador 7 de fase, una fase de una señal de salida (frecuencia:  $f_{c1}$ ) del divisor 6 de frecuencia de tipo entero de referencia es comparada con una fase de una señal de salida (frecuencia:  $f_{p1}$ ) que proviene del divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación. Una señal de salida según una diferencia entre las fases descritas anteriormente es limitada en banda por el filtro 8 de bucle y a continuación es guiada al oscilador 9 de frecuencia variable. Una salida del oscilador 9 de frecuencia variable es dividida al mezclador 4 y al extremo 11 de salida del sintetizador por el divisor 10. Una señal (frecuencia:  $f_{in1}$ ) guiada al mezclador 4 es mezclada con la señal (frecuencia:  $f_{in2}$ ) que proviene del sintetizador 2 de ajuste aproximado, y la señal mixta es limitada en banda por el filtro 13 de paso banda y a continuación es guiada al divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación. Una señal con una frecuencia de  $f_{p1}$  es emitida desde el divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación, y la operación descrita anteriormente se repite.

En la presente realización, un sintetizador está configurado para incluir un bucle doble de tipo paralelo en el que el sintetizador 1 de ajuste preciso y el sintetizador 2 de ajuste aproximado están conectados en paralelo. El sintetizador 1 de ajuste preciso usa un PLL de tipo fraccionario capaz de generar una señal con una frecuencia arbitraria y el sintetizador 2 de ajuste aproximado usa un PLL de tipo entero que tiene un bajo grado de libertad de generación de frecuencia pero que tiene una característica de bajo ruido de fase. Aquí, el sintetizador 1 de ajuste preciso y el sintetizador 2 de ajuste aproximado operan con la fuente 3 de señal de referencia que tiene una característica de bajo ruido de fase. Por lo tanto, según el sintetizador de la presente realización, es posible conseguir ambas características, es decir, la característica de bajo ruido de fase y la supresión de las componentes espurias fraccionarias, sin reducir la resolución de frecuencia.

Con el propósito de confirmar la efectividad de la configuración según la presente realización, se midió un espectro de un sintetizador de banda de 2 GHz, que es capaz de establecer una banda de 40,96 MHz en incrementos de 10 kHz usando una frecuencia de comparación de fase de 40,96 MHz, en cada una de entre la presente realización y una configuración convencional.

La Fig. 2 es un diagrama que ilustra un resultado de la medición de espectro en la configuración descrita en la literatura no de patente 1 descrita anteriormente. La Fig. 3 es un diagrama de bloques que ilustra una configuración de un sintetizador 101 usado en la medición ilustrada en la Fig. 2. La configuración en la Fig. 3 corresponde a una configuración que excluye el mezclador 4 en el sintetizador 1 de ajuste preciso de la Fig. 1. En la configuración de la Fig. 3, una salida de un divisor 110 es introducida a un filtro 113 de paso banda y una señal de referencia (frecuencia:  $f_r$ ) generada por la fuente 103 de señal de referencia es introducida al divisor 106 de frecuencia de tipo entero de referencia. Un comparador 107 de fase, un filtro 108 de bucle, un oscilador 109 de frecuencia variable, el divisor 110, el filtro 113 de paso banda, y un divisor 112 de frecuencia de tipo fraccionario programable en la trayectoria de retroalimentación constituyen un bucle.

Aquí, la literatura no de patente 1 indica que una  $F_{spur}$  de una componente espuria fraccionaria es expresada mediante la

fórmula siguiente.

[Fórmula 1]

$$F_{spur} = \frac{K_1}{D_1} f_{c1}, \text{ siempre que } 1 \leq K_1 \leq \frac{1}{2} D_1$$

$$F_{spur} = \left(1 - \frac{K_1}{D_1}\right) f_{c1}, \text{ siempre que } 1 + \frac{1}{2} D_1 \leq K_1 < D_1$$

... (1)

En la fórmula (1),  $K_1$  denota un valor de diseño fraccionario del divisor 112 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación,  $D_1$  denota un valor de división de frecuencia máximo del divisor de frecuencia, y  $f_{c1}$  denota una frecuencia de comparación de fase. La componente espuria fraccionaria ocurre a una frecuencia cercana a una frecuencia  $f_{in1}$  de oscilación cuando un valor establecido mínimo de  $K_1$  es  $K_{1,min}$ . Por lo tanto, una frecuencia  $F_{spur}$  de desintonización de la componente espuria fraccionaria con respecto a la frecuencia  $f_{in1}$  de oscilación es  $(K_{1,min}/D_1) \cdot f_{c1}$ . Según la literatura no de patentes 1, este valor es de 10 kHz, que es un paso de frecuencia.

Con referencia a la Fig. 2, una componente espuria fraccional de -28 (dBc) ocurre en un punto a 10 kHz de la frecuencia  $f_{c1}$  de comparación de fase (= 40,96 MHz) (0,000244 veces la frecuencia  $f_{c1}$  de comparación de fase, como un "punto de desintonización de 10 kHz"), y de esta manera se entiende que se ilustra un resultado de medición equivalente al valor teórico.

La Fig. 4 es un diagrama que ilustra un resultado de la medición de espectro en el sintetizador según la presente realización. En la Fig. 4, se supone que  $K_1$  está configurado para satisfacer  $0,25 \leq K_1 \leq 0,75$ , y la frecuencia  $f_{c2}$  de comparación de fase en el sintetizador 2 de ajuste aproximado se establece en  $1/2$  de la frecuencia  $f_{c1}$  de comparación de fase en el sintetizador 1 de ajuste preciso ( $f_{c1} = 40,96$  (MHz),  $f_{c2} = 20,48$  [MHz]).

En ese momento, una frecuencia de desintonización mínima de la componente espuria fraccionaria con respecto a la frecuencia  $f_{in1}$  de oscilación es de  $0,25 f_{c1}$ , es decir, 10,24 MHz. Cuando se desea establecer la frecuencia para satisfacer  $K_1 \leq 0,25$  o  $K_1 \geq 0,75$ , es posible configurar el sintetizador 1 de ajuste preciso para satisfacer  $0,25 \leq K_1 \leq 0,75$  cambiando la frecuencia del sintetizador 2 de ajuste aproximado.

Tal como se ha descrito anteriormente, en el sintetizador de la presente realización, la frecuencia  $F_{spur}$  de ocurrencia de la componente espuria fraccionaria puede mantenerse alejada, desde el punto de desintonización de 10 kHz hasta el punto de desintonización de 10,24 MHz, mediante la adopción de la configuración de doble bucle de tipo paralelo, y, por lo tanto, es posible suprimir suficientemente la componente espuria fraccionaria mediante el filtro 8 de bucle. También en el resultado de la medición en la Fig. 4, la componente espuria fraccionaria que ocurre en el punto de desintonización de 10,24 MHz y en el punto de desintonización de 40,96 MHz de la frecuencia  $f_{in1}$  de oscilación (= 40,96 [MHz]) están suficientemente suprimidas, tal como indica una parte de línea discontinua en la figura, lo que hace evidente que el sintetizador según la presente realización es efectivo para suprimir la componente espuria fraccionaria.

En la presente realización, el caso en el que la frecuencia  $f_{c2}$  de comparación de fase del sintetizador 2 de ajuste aproximado se establece a  $1/2$  de la frecuencia  $f_{c1}$  de comparación de fase del sintetizador 1 de ajuste preciso se ha descrito como un ejemplo, pero puede configurarse a una potencia de  $1/2$ . Si se configura a una potencia de  $1/2$ , es posible configurar continuamente una frecuencia capaz de oscilación.

En la configuración de la presente realización, cuando una frecuencia es variada cambiando solo el valor de división de frecuencia fraccionaria ( $K_1/D_1$ ) del divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación (es decir, cuando  $N_1$  es fijo y solo se cambia un valor ( $K_1/D_1$ )); es posible establecer una frecuencia de desintonización mínima, a la que ocurre la componente espuria fraccionaria, de manera que sea mayor o igual a  $1/4$  de la frecuencia  $f_{c1}$  de comparación de fase mediante el establecimiento de un ancho de banda de frecuencia variable que sea menor o igual a  $1/2$  de la frecuencia  $f_{c1}$  de comparación de fase, centrada en una frecuencia con el valor de división de frecuencia fraccionario ( $K_1/D_1$ ) de 0,5. Al realizar el ajuste tal como se ha descrito anteriormente, puede facilitarse una supresión de componentes espurias por el filtro 8 de bucle.

Si la introducción de una señal con una frecuencia de suma ( $f_{in1} + f_{in2}$ ) y una señal con una frecuencia de diferencia  $|f_{in1} - f_{in2}|$  genera cuando la conversión de frecuencia es realizada por el mezclador 4 en el sintetizador 1 de ajuste preciso, la señal con la frecuencia de diferencia  $|f_{in1} - f_{in2}|$  al divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación, un divisor del divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación puede establecerse de manera que sea pequeño, y puede reducirse una cantidad de deterioro del ruido

de fase en el sintetizador 1 de ajuste preciso. Este procedimiento hace posible reducir el ruido de fase en el sintetizador completo.

5 Además, cuando el PLL de tipo fraccionario y el PLL de tipo entero son fabricados aplicando la misma tecnología de proceso de semiconductores, el ruido de fase en el PLL de tipo fraccionario es generalmente peor que el del PLL de tipo entero. Por lo tanto, es preferible como una realización que el divisor del divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación en el sintetizador 1 de ajuste preciso sea más pequeño que el divisor del divisor 18 de frecuencia de tipo entero programable de la trayectoria de retroalimentación en el sintetizador 2 de ajuste aproximado. Con dicha realización, es posible reducir la cantidad de deterioro del ruido de fase mediante el sintetizador 1 de ajuste preciso, y es posible mejorar el ruido de fase en todo el sintetizador.

10 Además, estableciendo la frecuencia  $f_{c2}$  de comparación de fase en el sintetizador 2 de ajuste aproximado a  $1/2$  de la frecuencia  $f_{c1}$  de comparación de fase en el sintetizador 1 de ajuste preciso, y ajustando un divisor del divisor 14 de frecuencia de tipo entero de referencia del sintetizador 2 de ajuste aproximado a 2 ( $R_2 + 1 = 2$ , es decir,  $R_2 = 1$ ), es posible eliminar el divisor 6 de frecuencia de tipo entero de referencia para realizar una división de frecuencia de una señal que proviene de un terminal de entrada del sintetizador 1 de ajuste preciso.

15 Además, constituyendo al menos uno de entre el sintetizador 2 de ajuste aproximado y el sintetizador 1 de ajuste preciso mediante una pluralidad de bucles de enganche de fase que incluyen el mezclador 4, la adición de potencia es realizada para el ruido de fase entre los sintetizadores, de manera que el ruido de fase pueda reducir adicionalmente.

20 Además, usando un oscilador con un detector de fase de muestreo (SPD, Sampling Phase Detector) que no tiene función de cambio de frecuencia, pero con el que puede obtenerse buen ruido de fase, es posible reducir adicionalmente el ruido de fase.

25 En un ejemplo de un sintetizador de frecuencia, el mezclador 4 que constituye el sintetizador 1 de ajuste preciso como en la Fig. 1 puede ser eliminado, el sintetizador 2 de ajuste aproximado y el sintetizador 1 de ajuste preciso pueden cambiarse entre sí, el sintetizador 2 de ajuste aproximado puede estar provisto del mezclador 4, y una señal de salida del sintetizador 2 de ajuste aproximado puede ser guiada al extremo 11 de salida, tal como se ilustra en la Fig. 5. Es decir, puede emplearse la siguiente configuración. El sintetizador 2 de ajuste aproximado incluye un bucle de enganche de fase de tipo entero que tiene el divisor 14 de frecuencia de tipo entero de referencia, el comparador 15 de fase, el filtro 16 de bucle, el oscilador 17 de frecuencia variable, el mezclador 4, el filtro 19 de paso banda y el divisor 18 de frecuencia de tipo entero programable de la trayectoria de retroalimentación. El sintetizador 1 de ajuste preciso incluye un bucle de enganche de fase de tipo fraccionario que tiene el divisor 6 de frecuencia de tipo entero de referencia, el comparador 7 de fase, el filtro 8 de bucle, el oscilador 9 de frecuencia variable, el filtro 13 de paso banda, y el divisor 12 de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación. Una salida de la fuente 3 de señal de referencia es introducida en paralelo tanto al sintetizador 2 de ajuste aproximado como al sintetizador 1 de ajuste preciso a través del divisor 5, una salida del oscilador 17 de frecuencia variable a través del divisor 20 y una salida del oscilador 9 de frecuencia variable a través del divisor 10 son guiadas al mezclador 4 que constituye el bucle de enganche de fase de tipo entero, y la señal de salida del sintetizador 2 de ajuste aproximado es guiada al extremo 11 de salida. Incluso con dicha configuración, pueden conseguirse las mismas características que las del sintetizador ilustrado en la Fig. 1, de manera que pueda mejorarse el grado de libertad de la configuración del sintetizador, incluyendo el sintetizador 2 de ajuste aproximado y el sintetizador 1 de ajuste preciso.

30 La configuración descrita en la realización anterior indica un ejemplo del contenido de la presente invención y puede ser combinada con otra tecnología conocida, y una parte de la misma puede ser omitida o modificada sin apartarse del alcance de la presente invención, tal como se establece en las reivindicaciones adjuntas.

#### Lista de signos de referencia

35 1 sintetizador de ajuste preciso, 2 sintetizador de ajuste aproximado, 3, 103 fuente de señal de referencia, 4 mezclador, 5, 10, 20, 110 divisor (Div), 6, 14, 106 divisor de frecuencia de tipo entero de referencia, 7, 15, 107 comparador de fase, 8, 16, 108 filtro de bucle, 9, 17, 109 oscilador de frecuencia variable (VCO). 11 extremo de salida, 12, 112 divisor de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación, 13, 19, 113 filtro de paso banda (BPF), 18 divisor de frecuencia de tipo entero programable de la trayectoria de retroalimentación.

**REIVINDICACIONES**

1. Sintetizador que comprende un sintetizador (2) de ajuste aproximado y un sintetizador (1) de ajuste preciso, en el que

5 el sintetizador (2) de ajuste aproximado comprende un bucle de enganche de fase de tipo entero que tiene un divisor (14) de frecuencia de tipo entero de referencia, un comparador (15) de fase, un filtro (16) de bucle, un oscilador (17) de frecuencia variable, un filtro (19) de paso banda y un divisor (18) de frecuencia de tipo entero programable de la trayectoria de retroalimentación, una señal de salida del oscilador (17) de frecuencia variable es proporcionada al filtro (19) de paso banda cuya salida es proporcionada al divisor (18) de frecuencia de tipo entero programable de la trayectoria de retroalimentación,

10 el sintetizador (1) de ajuste preciso comprende un bucle de enganche de fase de tipo fraccionario que tiene un divisor (6) de frecuencia de tipo entero de referencia, un comparador (7) de fase, un filtro (8) de bucle, un oscilador (9) de frecuencia variable, un mezclador (4), un filtro (13) de paso banda y un divisor (12) de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación, en el que una salida del oscilador (9) de frecuencia variable es introducida al mezclador (4) y es mezclada con la señal que proviene del sintetizador (2) de ajuste aproximado, en el que la señal mezclada es limitada en banda por el filtro (13) de paso banda y a continuación es proporcionada al divisor (12) de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación,

15 una salida de una fuente (3) de señal de referencia es introducida en paralelo tanto al sintetizador (2) de ajuste aproximado como al sintetizador (1) de ajuste preciso,

20 una señal de salida del oscilador (9) de frecuencia variable en el sintetizador (1) de ajuste preciso y una señal de salida del oscilador (17) de frecuencia variable en el sintetizador (2) de ajuste aproximado son proporcionadas al mezclador (4) en el bucle de enganche de fase de tipo fraccionario,

una señal de salida del sintetizador (1) de ajuste preciso es emitida a un extremo (11) de salida, y

una frecuencia de comparación de fase del sintetizador (2) de ajuste aproximado es una potencia de 1/2 de la frecuencia de comparación de fase del sintetizador (1) de ajuste preciso, haciendo posible de esta manera establecer continuamente una frecuencia con capacidad de oscilación.

25 2. Sintetizador según la reivindicación 1, en el que el divisor (12) de frecuencia de tipo fraccionario programable de la trayectoria de retroalimentación es capaz de establecer un divisor con un valor de división de frecuencia entero y un valor de división de frecuencia fraccionario, y

se establece un ancho de banda de frecuencia variable de manera que sea menor o igual que 1/2 de una frecuencia de comparación de fase, centrada en una frecuencia con el valor de división de frecuencia fraccionario de 0,5.

30 3. Sintetizador según la reivindicación 1, en el que de una señal con una frecuencia de suma y una señal con una frecuencia de diferencia generada cuando la conversión de frecuencia es realizada por el mezclador (4), la señal con la frecuencia de diferencia es introducida a divisor (12) de frecuencia de tipo fraccionario de la trayectoria de retroalimentación programable.

35 4. Sintetizador según la reivindicación 1, en el que un divisor del divisor (12) de frecuencia de tipo fraccionario programable de trayectoria de retroalimentación en el sintetizador (1) de ajuste preciso es más pequeño que un divisor del divisor (18) de frecuencia de tipo entero programable de la trayectoria de retroalimentación en el sintetizador (2) de ajuste aproximado.

40 5. Sintetizador según la reivindicación 1, en el que el divisor (6) de frecuencia de tipo entero de referencia en el sintetizador (1) de ajuste preciso es eliminado estableciendo la frecuencia de comparación de fase del sintetizador (2) de ajuste aproximado a 1/2 de la frecuencia de comparación de fase del sintetizador (1) de ajuste preciso y estableciendo un divisor del divisor (14) de frecuencia de tipo entero de referencia en el sintetizador (2) de ajuste aproximado a 2.

6. Sintetizador según la reivindicación 1, en el que al menos uno de entre el sintetizador (2) de ajuste aproximado y el sintetizador (1) de ajuste preciso comprende una pluralidad de bucles de enganche de fase.

FIG.1

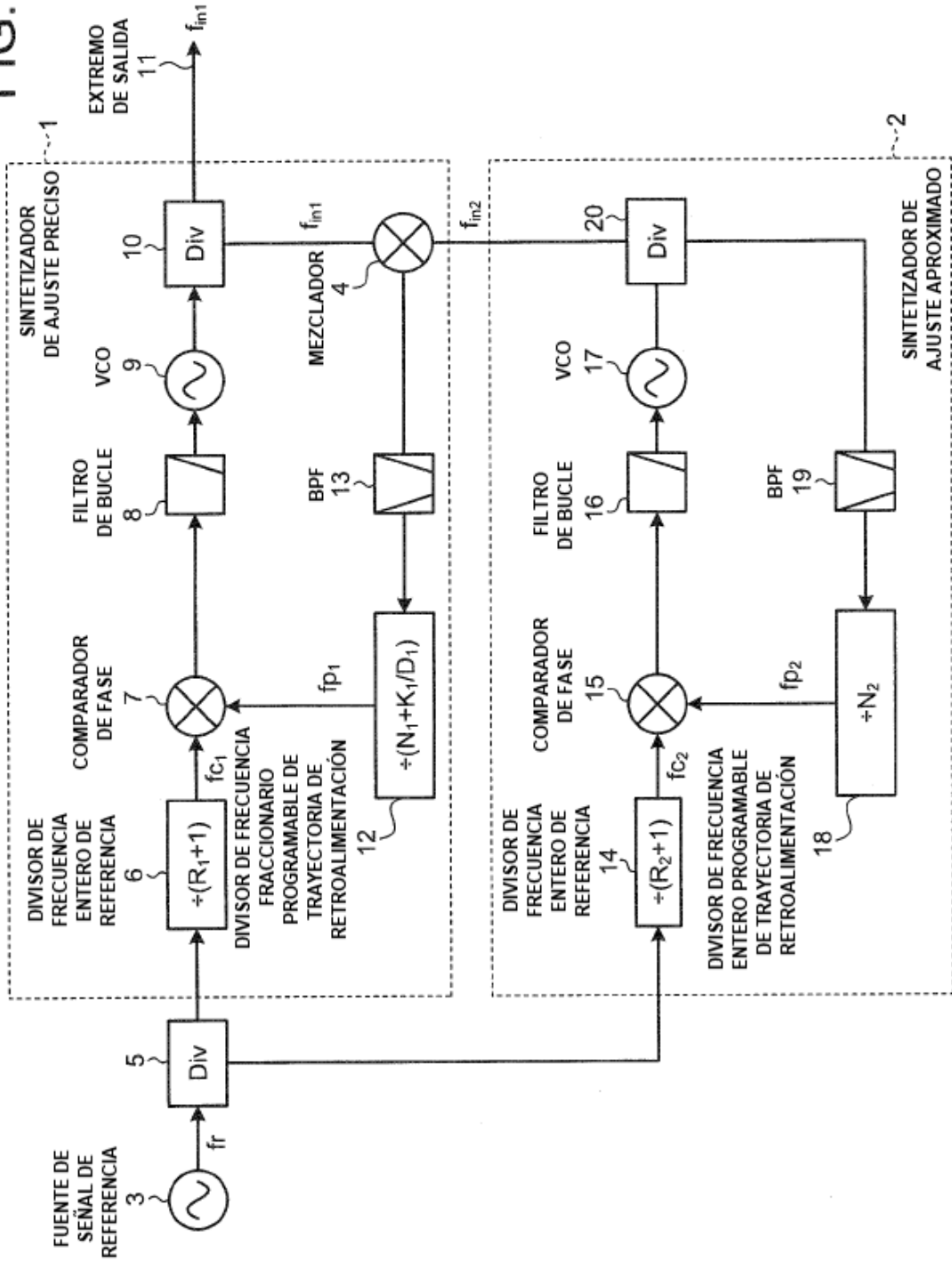




FIG.2

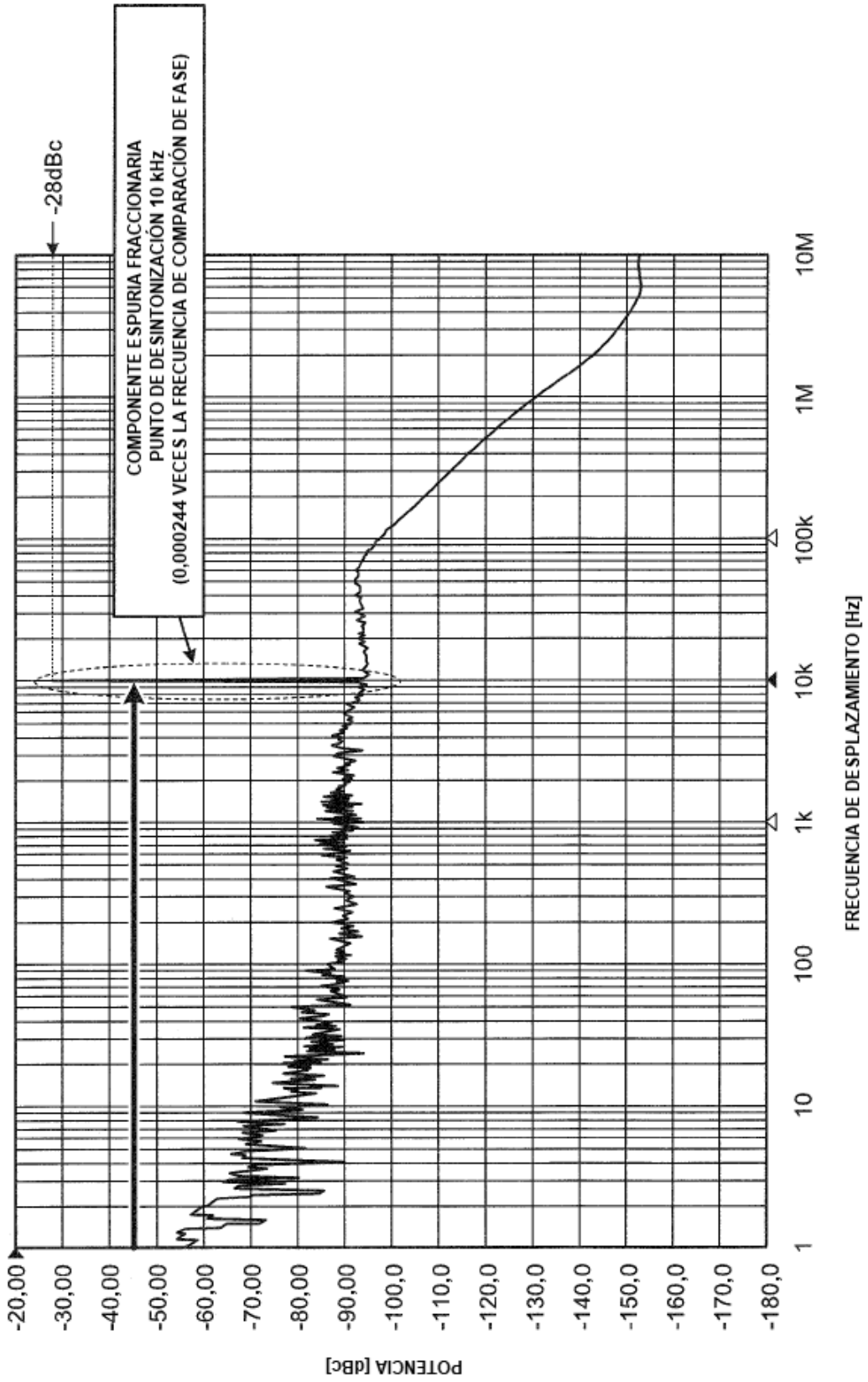


FIG.3

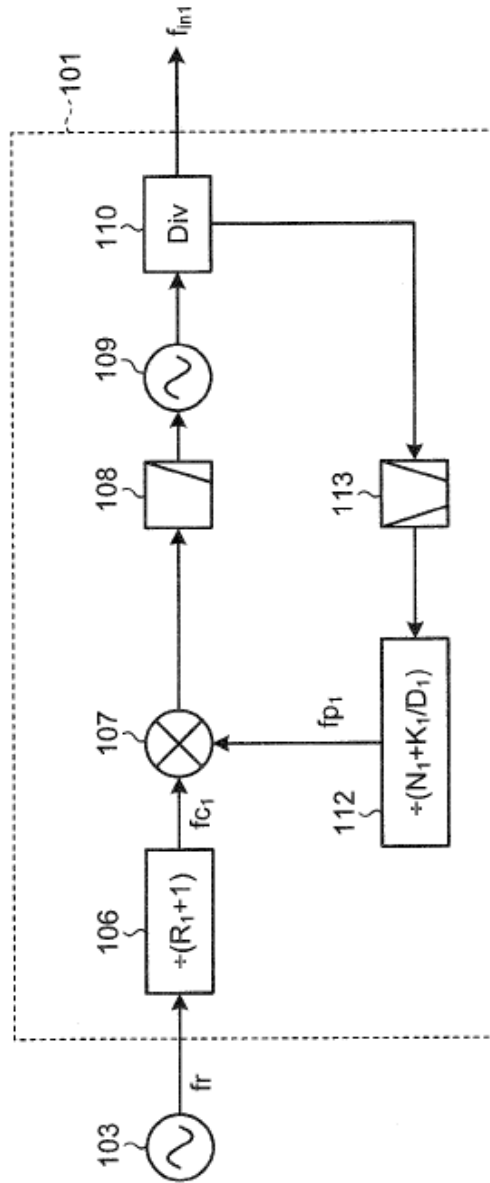


FIG.4

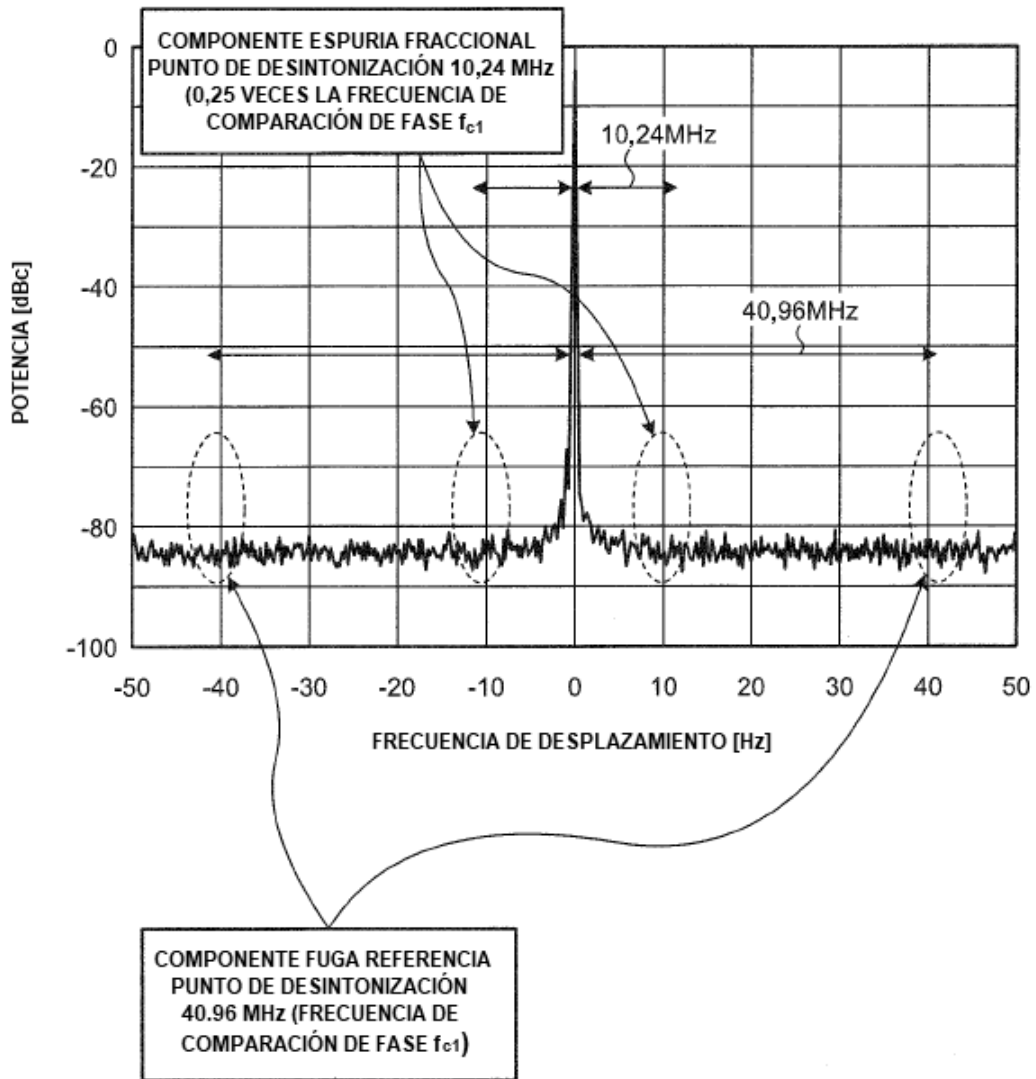


FIG.5

