

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 719 675**

51 Int. Cl.:

G11C 11/00 (2006.01)

G11C 5/14 (2006.01)

G11C 7/04 (2006.01)

G11C 7/20 (2006.01)

G11C 13/00 (2006.01)

G11C 11/16 (2006.01)

G11C 29/52 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **25.01.2016** E 16152561 (3)

97 Fecha y número de publicación de la concesión europea: **09.01.2019** EP 3098814

54 Título: **Métodos y sistemas para gestión de datos de memoria no volátil**

30 Prioridad:

26.05.2015 US 201514721030

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

12.07.2019

73 Titular/es:

**WINBOND ELECTRONICS CORP. (100.0%)
No. 8 Keya 1st Rd., Daya District, Central Taiwan
Science Park
Taichung City, Taiwan, TW**

72 Inventor/es:

**LIEN, CHUEN-DER;
SHIEH, MING-HUEI y
LIN, CHI-SHUN (ELBERT)**

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 719 675 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Métodos y sistemas para gestión de datos de memoria no volátil

Campo técnico

5 La presente divulgación generalmente se refiere a memoria no volátil. Más específicamente, y sin limitación, las realizaciones de ejemplo descritas en este documento se refieren a métodos y sistemas para gestión de datos de memoria no volátil.

Antecedentes

10 Memorias de semiconductor no volátiles generalmente retienen datos almacenados incluso cuando no están encendidas. Memorias no volátiles basadas en transistores son memorias no volátiles que almacenan datos usando uno o más transistores como un elemento de almacenamiento, tal como memoria flash y memoria de sólo lectura eléctricamente programable borrable (EEPROM). Memorias no volátiles basadas en transistores ofrecen tiempos de acceso a lectura rápidos y resistencia a golpes, haciendo a las mismas más deseables en diversas aplicaciones. Algunas aplicaciones de memorias no volátiles incluyen almacenamiento de datos en dispositivos informáticos, teléfonos móviles, reproductores de audio portátiles y otros productos de electrónica de consumo.

15 Se están desarrollando tecnologías de memoria no volátil emergentes para abordar diversas limitaciones asociadas con memorias no volátiles basadas en transistores. Por ejemplo, las memorias flash más comercialmente disponibles sufren de estabilidad de escritura relativamente baja. Una memoria flash típica puede ser capaz de resistir hasta 13105 ciclos de escritura (también denominados como ciclos de programación/borrado); mientras que algunas memorias no volátiles emergentes, tal como memoria de acceso aleatorio magnética (MRAM), pueden ser capaces de resistir hasta 131012 ciclos de escritura. Como otro ejemplo, las matrices de memoria flash pueden sufrir problemas de dimensionamiento tal como perturbación de lectura (ciclos de lectura secuenciales que provocan que las células cercanas cambien con el paso del tiempo) y reducciones en estabilidad de escritura.

20 Las memorias no volátiles emergentes, sin embargo, tienen deficiencias. Por ejemplo, altas temperaturas de operación pueden provocar errores de datos tal como bits invertidos en algunas memorias no volátiles emergentes tal como memorias no volátiles resistivas. Tales errores de datos pueden conducir a fallos de sistema, corrupción de datos y/o vulnerabilidades de seguridad. Además, someter a las memorias no volátiles emergentes a altas temperaturas de fabricación y almacenamiento puede provocar problemas de retención de datos tal como deriva de datos sistemática, pérdida de datos, corrupción de datos significativa y tiempos de retención de datos disminuidos.

25 El documento US 2010/153628 A1 divulga un método de fabricación de sistemas que incluye dispositivos de memoria sensibles al calor. Un código de sistema se almacena en una primera memoria no volátil. La primera memoria no volátil y una segunda memoria no volátil se calientan durante el montaje de un dispositivo electrónico que incluye la primera memoria no volátil y una segunda memoria no volátil. El calentamiento es a una temperatura suficiente para cambiar un estado de al menos algunas células de memoria en el segundo dispositivo de memoria de tiempo no volátil. Después del calentamiento, el código de sistema almacenado en la primera memoria no volátil se copia en la segunda memoria no volátil. La primera memoria no volátil puede ser menos vulnerable a alteración de datos relacionada con la temperatura que la segunda memoria no volátil. Por ejemplo, la primera memoria no volátil puede incluir una memoria flash NAND y la segunda memoria no volátil puede incluir una memoria de resistencia variable.

30 En el documento US 2014/089563 A1 se describe un respaldo de información de configuración en sistemas de memoria. De acuerdo con una configuración, un sistema de memoria incluye un gestor de configuración y múltiples dispositivos de memoria. El gestor de configuración incluye lógica de detección de estado, lógica de recuperación y lógica de gestión de configuración. La lógica de detección de estado recibe notificación de un intento fallido por un primer dispositivo de memoria a inicializarse con ajustes de configuración personalizados almacenados en el primer dispositivo de memoria. En respuesta a la notificación, la lógica de recuperación recupera una copia de respaldo de información de ajustes de configuración de un segundo dispositivo de memoria en el sistema de memoria. La lógica de gestión de configuración utiliza la copia de respaldo de la información de ajustes de configuración recuperada del segundo dispositivo de memoria para inicializar el primer dispositivo de memoria.

35 El documento US 2013/336047 A1 divulga una regeneración de célula en memoria de cambio de fase. Una memoria en la que una comparación de valores lógicos de almacenamiento de elementos de memoria de PCM con una resistencia de desencadenante o entre sí puede usarse para determinar el grado de deriva de resistencia desde que los elementos de memoria de PCM se escribieron por última vez. Si la comparación determina que la deriva de resistencia ha pasado un umbral de margen sensorial o una resistencia de desencadenante, se desencadena una regeneración de memoria y resistencias prederiva que corresponden a los valores lógicos almacenados se escriben en los elementos de memoria de PCM.

Sumario

De acuerdo con una realización de ejemplo, un sistema incluye una primera matriz de memoria no volátil resistiva, una segunda matriz de memoria no volátil basada en transistores y un controlador de memoria. El controlador de memoria se configura para leer bits de datos almacenados en la primera matriz de memoria resistiva no volátil, escribir los bits de datos leídos de la primera matriz de memoria no volátil resistiva y un bit indicador en la segunda matriz de memoria no volátil basada en transistores, indicando el bit indicador si bits de datos almacenados en la segunda matriz de memoria no volátil basada en transistores son válidos, determinar si el bit indicador es válido en respuesta a un encendido del sistema después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, un número predeterminado de encendidos o un encendido u orden recibida después de cada uno de un número predeterminado de eventos de alta temperatura, y escribir los bits de datos almacenados en la segunda matriz de memoria no volátil basada en transistores en la primera matriz de memoria no volátil resistiva cuando el bit indicador es válido, en el que la primera matriz de memoria no volátil resistiva se configura adicionalmente para almacenar bits de anticipación, y los bits de anticipación sirven como indicadores de corrupción de datos o deriva sistemática de la primera matriz de memoria no volátil resistiva y un número total de los bits de anticipación es menor que un número total de los bits de datos; y en el que el controlador de memoria se configura adicionalmente para determinar un número de bits defectuosos entre los bits de anticipación en respuesta a un encendido del sistema después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, un número predeterminado de encendidos o un número predeterminado de órdenes recibidas; comparar el número de bits defectuosos de anticipación con un número umbral de bits defectuosos de anticipación; y escribir los bits de datos almacenados en la segunda matriz de memoria no volátil basada en transistores en la primera matriz de memoria no volátil resistiva cuando el número de bits defectuosos de anticipación iguala o excede el número umbral de bits defectuosos de anticipación.

De acuerdo con otra realización de ejemplo, un método para gestionar datos en un sistema incluye leer bits de datos de una primera matriz de memoria no volátil resistiva, escribir los bits de datos de la primera matriz de memoria no volátil resistiva y un bit indicador en una segunda matriz de memoria no volátil basada en transistores, indicando el bit indicador si bits de datos de la segunda matriz de memoria no volátil basada en transistores son válidos, determinar si el bit indicador es válido en respuesta a un encendido del sistema después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, un número predeterminado de encendidos o un encendido u orden recibida después de cada uno de un número predeterminado de eventos de alta temperatura, escribir los bits de datos de la segunda matriz de memoria no volátil basada en transistores en la primera matriz de memoria no volátil resistiva cuando el bit indicador se determina que es válido, determinar un número de bits defectuosos entre los bits de anticipación almacenados en la primera matriz de memoria no volátil resistiva en respuesta a un encendido del sistema después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, un número predeterminado de encendidos o un número predeterminado de órdenes recibidas, en el que los bits de anticipación sirven como indicadores de corrupción de datos o deriva sistemática de la primera matriz de memoria no volátil resistiva, y un número total de los bits de anticipación es menor que un número total de los bits de datos; comparar el número de bits defectuosos de anticipación con un número umbral de bits defectuosos de anticipación; y escribir los bits de datos de la segunda matriz de memoria no volátil basada en transistores en la primera matriz de memoria no volátil resistiva cuando el número de bits defectuosos de anticipación iguala o excede el número umbral de bits defectuosos de anticipación.

Antes de explicar ciertas realizaciones de la presente divulgación en detalle, debe apreciarse que la divulgación no se limita en su aplicación a los detalles de construcción y a las disposiciones de los componentes expuestos en la siguiente descripción o ilustrados en los dibujos. La divulgación es capaz de realizaciones además de las descritas y de practicarse y efectuarse de diversas formas. También, debe apreciarse que la fraseología y terminología empleadas en este documento, así como en el resumen, son para el propósito de descripción y no deberían considerarse como limitantes.

Como tal, los expertos en la materia apreciarán que la concepción y características sobre las que se basa esta divulgación pueden utilizarse fácilmente como una base para diseñar otras estructuras, métodos y sistemas para efectuar los varios propósitos de la presente divulgación.

Breve descripción de los dibujos

Los dibujos adjuntos, que se incorporan en y constituyen parte de esta memoria descriptiva, y junto con la descripción, ilustran y sirven para explicar los principios de diversas realizaciones ilustrativas.

La **Figura 1** es un diagrama de circuito de una matriz de memoria no volátil basada en transistores de ejemplo;

La **Figura 2** es un diagrama de bloques de una matriz de memoria no volátil basada en transistores de ejemplo para implementar realizaciones consistentes con la presente divulgación;

La **Figura 3** es un diagrama de circuito de una matriz de memoria no volátil resistiva de ejemplo para implementar realizaciones consistentes con la presente divulgación;

5 La **Figura 4** es un diagrama de bloques de una matriz de memoria no volátil resistiva de ejemplo para implementar realizaciones consistentes con la presente divulgación;

La **Figura 5** es un diagrama de bloques de sistema de memoria de ejemplo para implementar realizaciones consistentes con la presente divulgación;

10 La **Figura 6** es un diagrama de flujo que representa etapas de ejemplo de un método para gestionar datos en un sistema de memoria; y

La **Figura 7** es un diagrama de flujo que representa etapas de ejemplo de otro método para gestionar datos en un sistema de memoria.

Descripción detallada de realizaciones de ejemplo

15 Realizaciones de la presente divulgación proporcionan métodos y sistemas mejorados para la gestión de datos en sistemas de memoria que incluyen memorias no volátiles emergentes. Muchas memorias no volátiles emergentes tienen ventajas significativas sobre memorias no volátiles basadas en transistores en términos de velocidad de escritura y estabilidad, consumo de potencia, retención de datos, seguridad de datos y acceso aleatoria a nivel de byte. Sin embargo, algunas memorias no volátiles emergentes, tal como memorias no volátiles resistivas, pueden ser susceptibles a problemas de retención de datos y corrupción debido a altas temperaturas y/o interferencia electromagnética (EMI). Memorias no volátiles resistivas pueden incluir, por ejemplo, cualquier memoria no volátil que usa diferentes estados de resistencia para almacenar datos. Ejemplos de memorias no volátiles resistivas incluyen memoria de acceso aleatorio de cambio de fase (PCRAM), memoria de acceso aleatorio magnética (MRAM), memoria de célula de metalización programable (PMC) tal como memoria de acceso aleatorio de puente conductor (CBRAM) y memoria de acceso aleatorio resistiva (RRAM).

25 PCRAM almacena datos usando diferencias en resistencia entre las fases amorfa y cristalina de material basado en calcogenuro. La fase amorfa corresponde a una fase de alta resistencia y la fase cristalina corresponde a una fase de baja resistencia. MRAM almacena datos usando una capa de barrera de túnel entre dos capas ferromagnéticas para conmutar entre diferentes estados de resistencia. Un estado de baja resistencia se consigue cuando las direcciones de magnetización de las dos capas ferromagnéticas son paralelas. Un estado de alta resistencia se consigue cuando las direcciones de magnetización de las dos capas ferromagnéticas son antiparalelas. Las células de CBRAM incluyen una película fina de electrolito entre dos electrodos de metal sólidos. Una célula de CBRAM almacena datos en diferentes estados de resistencia formando un nano alambre entre los electrodos de metal en la película de electrolito. La ausencia del nano alambre corresponde a un estado de alta resistencia y la presencia del nano alambre corresponde a un estado de baja resistencia. RRAM almacena datos como dos o más estados de resistencia basándose en una conmutación resistiva en óxidos de metal de transición. Similar a las células de CBRAM, una célula de RRAM incluye una estructura de metal-aislante-metal. Diferentes estados de lógica se representan produciendo un rastro de defectos de conducción (denominados como un "filamento") en la capa de aislante. La ausencia del filamento corresponde a un estado de alta resistencia y la presencia del filamento corresponde a un estado de baja resistencia. Respectivos estados de resistencia alta y baja de las diversas memorias resistivas sirven para almacenar datos que representan primeros y segundos valores lógicos, por ejemplo, "0" y "1".

45 Memorias no volátiles pueden calificarse para operar dentro de diversos intervalos de temperatura. Por ejemplo, una memoria no volátil puede calificarse para operar dentro de temperaturas ambientes de 0 a 85 °C (clasificación comercial), -40 a 125 °C (clasificación para industria/automoción), o -55 a 125 °C (clasificación militar). Las clasificaciones de temperatura de almacenamiento habitualmente oscilan hasta 150 °C. Memorias no volátiles también pueden experimentar altas temperaturas durante el montaje de placa de IC. Por ejemplo, un proceso de soldadura por onda típico puede alcanzar temperaturas de hasta 250 °C. Memorias no volátiles resistivas pueden experimentar rendimiento degradado cerca de las porciones superiores de estos intervalos. Por ejemplo, pueden producirse errores de datos tal como inversión de bits en células de memoria no volátil resistiva a temperaturas de operación ambiente altas. Además, datos escritos en una memoria no volátil resistiva antes de la exposición a una temperatura alta, tal como provocada por un proceso de soldadura por onda, pueden experimentar errores de datos significativos tal como deriva de datos sistemática y tiempos de retención de datos disminuidos.

Realizaciones de la presente divulgación proporcionan mejoras en la mitigación de los efectos que las altas temperaturas tienen en memorias no volátiles resistivas, habilitando de este modo mejoras de rendimiento en

sistemas y/o circuitos integrados (IC) que incluyen tales memorias. Realizaciones de la presente divulgación proporcionan un sistema de memoria configurado para transferir datos entre una memoria no volátil resistiva y una memoria no volátil basada en transistores antes y/o después de un evento de alta temperatura. Datos almacenados en la memoria no volátil resistiva se escriben en la memoria no volátil basada en transistores antes del evento de alta temperatura y se escriben de vuelta a la memoria no volátil resistiva después del evento de alta temperatura. Por consiguiente, la memoria no volátil basada en transistores se usa como almacenamiento de respaldo y cualquier dato perdido o corrompido en la memoria no volátil resistiva debido al evento de alta temperatura se recupera de la memoria no volátil basada en transistores.

Se hará ahora referencia a en detalle a las realizaciones ilustrativas implementadas de acuerdo con la divulgación, cuyos ejemplos se ilustran en los dibujos adjuntos. Siempre que sea posible, los mismos números de referencia se usarán a lo largo de los dibujos para referirse a las mismas o similares partes.

La **Figura 1** ilustra un diagrama de circuito de una matriz de memoria no volátil basada en transistores 100 de ejemplo. La matriz de memoria no volátil basada en transistores 100 incluye una pluralidad de células de memoria no volátil basada en transistores 110. Cada célula de memoria no volátil basada en transistores 110 se asocia con una línea de palabras (por ejemplo, WL0 a WLn) y una línea de bits (por ejemplo, BL0 a BLm). La matriz de memoria no volátil basada en transistores 100 puede formarse por memorias no volátiles que almacenan datos usando uno o más transistores como un elemento de almacenamiento. Memorias no volátiles basadas en transistores incluyen memoria de sólo lectura programable (PROM), memoria de sólo lectura eléctricamente programable (EPROM), memoria EEPROM, memoria flash o memoria de eFUSE. Además, la matriz de memoria no volátil basada en transistores 100 puede comprender una matriz de memoria bidimensional o una matriz de memoria tridimensional.

Como se muestra en la **Figura 1**, cuando la matriz de memoria no volátil basada en transistores 100 se implementa usando EPROM, EEPROM, o memoria flash, cada célula de memoria no volátil basada en transistores 110 incluye un transistor de efecto de campo de semiconductor de óxido metálico (MOSFET) de puerta flotante. El MOSFET de puerta flotante (FGMOS) puede almacenar carga en una puerta flotante eléctricamente aislada. El aislamiento eléctrico permite que la puerta flotante retenga una carga durante periodos de tiempo extendidos sin potencia. Una puerta flotante totalmente cargada puede representar un estado lógico de "0" y una puerta flotante sin carga puede representar un estado lógico de "1", o viceversa.

La **Figura 2** ilustra un diagrama de bloques de la matriz de memoria no volátil basada en transistores 100 para implementar realizaciones consistentes con la presente divulgación. Como se muestra en la **Figura 2**, la matriz de memoria no volátil basada en transistores 100 incluye una pluralidad de tipos de célula. Por ejemplo, se configuran células de datos de respaldo 210 para almacenar bits de datos de respaldo. Cada célula de datos de respaldo 210 almacena un bit de datos de respaldo. Los bits de datos de respaldo pueden escribirse y accederse en diversas unidades de almacenamiento, tal como páginas, bloques, sectores, palabras o cualquier otra configuración de almacenamiento conocida en la técnica. Cada unidad de almacenamiento puede comprender cualquier número de bits de datos de respaldo.

En algunas realizaciones, la matriz de memoria no volátil basada en transistores 100 también incluye células indicadoras 220. Las células indicadoras 220 se configuran para almacenar bits indicadores para indicar si datos de respaldo se escriben satisfactoriamente en células de datos de respaldo 210. Cada célula indicadora 220 almacena un bit indicador. Pueden usarse diversas configuraciones de bits indicadores para indicar si datos de respaldo se escriben satisfactoriamente en células de datos de respaldo 210. Por ejemplo, un bit indicador puede usarse para indicar si todos los datos de respaldo se escriben satisfactoriamente en células de datos de respaldo 210. Como otro ejemplo, un bit indicador puede usarse para indicar si cada unidad de almacenamiento de datos de respaldo se escribe satisfactoriamente en células de datos de respaldo 210. De acuerdo con el ejemplo, si tres páginas de datos de respaldo se escriben en las células de datos de respaldo 210, las células indicadoras 220 pueden almacenar tres bits indicadores como un bit indicador por célula indicadora 220.

La **Figura 3** ilustra un diagrama de circuito de una matriz de memoria no volátil resistiva de ejemplo 300 para implementar realizaciones consistentes con la presente divulgación. La matriz de memoria no volátil resistiva 300 puede formarse usando cualquiera de las memorias no volátiles resistivas descritas anteriormente, tal como PCRAM, RRAM, MRAM o CBRAM. Además, la matriz de memoria no volátil resistiva 300 puede comprender una matriz de memoria bidimensional o una matriz de memoria tridimensional.

Como se muestra en la **Figura 3**, la matriz de memoria no volátil resistiva 300 incluye una pluralidad líneas de palabras (WL0 a WLn), líneas de bits (BL0 a BLm) y las células de memoria no volátil resistiva 310. Cada célula de memoria no volátil resistiva 310 se asocia con una línea de palabras y una línea de bits. Cada célula de memoria no volátil resistiva 310 incluye un elemento de selección 312 y un elemento de almacenamiento resistivo 314. Las células de memoria no volátil resistiva 310 pueden implementarse mediante cualquiera de las memorias no volátiles resistivas descritas anteriormente, tal como una célula de PCRAM, célula de RRAM, célula de MRAM o célula de RAM de puente conductor. El elemento de selección 312 se comporta como un conmutador de selección para controlar acceso a la célula de memoria no volátil resistiva 310. El elemento de selección 312 puede implementarse

mediante, por ejemplo, un diodo, un transistor de efecto de campo de semiconductor de óxido metálico (MOSFET) o un transistor de unión bipolar (BJT). En algunas realizaciones, el elemento de selección 312 puede ser opcional, por ejemplo en las que la célula de memoria no volátil resistiva 310 se implementa mediante una célula de RRAM.

La **Figura 4** ilustra un diagrama de bloques de la matriz de memoria no volátil resistiva 300 para implementar realizaciones consistentes con la presente divulgación. Como se muestra en la **Figura 4**, la matriz de memoria no volátil resistiva 300 incluye una pluralidad de tipos de célula. Por ejemplo, las células de datos 410 se configuran para almacenar bits de datos. Cada célula de datos 410 almacena un bit de datos. Los bits de datos pueden escribirse y accederse en diversas unidades de almacenamiento, tal como páginas, bloques, sectores, palabras o cualquier otra configuración de almacenamiento conocida en la técnica. Cada unidad de almacenamiento puede comprender cualquier número de bits de datos.

En algunas realizaciones, la matriz de memoria no volátil resistiva 300 también incluye células de anticipación 420. Las células de anticipación 420 se configuran para almacenar bits de anticipación para detectar corrupción de datos sustancial o deriva de datos sistemática de los bits de datos almacenados en las células de datos 410. Cada célula de anticipación 420 se configura para almacenar un bit de anticipación. Los bits de anticipación almacenados en las células de anticipación 420 sirven como indicadores de corrupción de datos o deriva sistemática debido a, por ejemplo, EMI o eventos de alta temperatura tal como un ciclo térmico de pruebas de estrés ambiental, un proceso de soldadura por onda, un proceso de soldadura por reflujo, una prueba de envejecimiento altamente acelerado, o almacenamiento a alta temperatura de la matriz de memoria no volátil resistiva 300. El número de las células de anticipación 420 incluidas en la matriz de memoria no volátil resistiva 300 depende de un número de factores tal como el número total de células de memoria incluidas en la matriz de memoria no volátil resistiva 300, la importancia de la fiabilidad de sistema de memoria, la cantidad de caudal de sistema de memoria asignable a la detección de deriva sistemática, etc. Ejemplos del número total de bits almacenados en las células de anticipación 420 incluyen 16 bits o 32 bits. El número total de bits de anticipación almacenados en las células de anticipación 420 puede ser pequeño en comparación con el número de bits de datos almacenados en las células de datos 410. Por consiguiente, usando un número pequeño de bits de anticipación como un intermediario para la calidad de un gran número de bits de datos mejora la eficiencia de sistema de memoria y reduce la cantidad de recursos de sistema de memoria necesarios para la detección de errores.

En algunas realizaciones, las células de datos 410 y/o las células de anticipación 420 se configuran para almacenar múltiples bits por célula. Por ejemplo, pueden usarse células multinivel en la matriz de memoria resistiva 300. Células multinivel usan tres o más estados de resistencia diferentes para almacenar dos o más bits de datos. Por ejemplo, una célula multinivel con cuatro estados de resistencia diferentes puede almacenar dos bits, usando cada bit dos estados de resistencia para representar un "0" y "1" lógico. Sin embargo, aumentar el número de bits almacenados por célula puede resultar en una mayor tasa de errores de bits y por lo tanto requiere el uso de códigos de corrección de errores para detectar y corregir esos errores.

La **Figura 5** ilustra un diagrama de bloques de sistema de memoria de ejemplo 500 para implementar realizaciones consistentes con la presente divulgación. Como se muestra en la **Figura 5**, sistema de memoria 500 incluye la matriz de memoria no volátil basada en transistores 100, la matriz de memoria no volátil resistiva 300 un controlador de memoria 510, un circuito analógico 520 y un circuito lógico 530. Se apreciará a partir de la presente divulgación que el número y disposición de estos componentes es ilustrativo únicamente y se proporciona para propósitos de ilustración. Pueden utilizarse otras disposiciones y números de componentes sin alejarse de los contenidos y realizaciones de la presente divulgación. Como un ejemplo, la matriz de memoria no volátil basada en transistores 100, la matriz de memoria no volátil resistiva 300, controlador de memoria 510, el circuito analógico 520 y el circuito lógico 530 puede formarse en el mismo troquel semiconductor, en troqueles semiconductores separados que se incluyen el mismo paquete de IC, en troqueles semiconductores separados incluidos en paquetes de IC separados o cualquier configuración conocida en la técnica. Como otro ejemplo, el controlador de memoria 510 puede controlar múltiples matrices de memoria no volátil resistiva 300 y/o múltiples matrices de memoria no volátil basada en transistores 100. Como un ejemplo adicional, controladores de memoria 510 separados pueden controlar la matriz de memoria no volátil basada en transistores 100 y la matriz de memoria no volátil resistiva 300.

En algunas realizaciones, el controlador de memoria 510 incluye una interfaz de entrada/salida (I/O) 511, un decodificador de fila (también denominado como un decodificador de línea de palabras) 512, un decodificador de columna 513, un controlador de escritura y amplificador de detección 514, un controlador de regeneración 515 y un controlador de anticipación 516. Los componentes 511-516 incluidos en controlador de memoria 510 pueden implementarse mediante combinaciones de hardware y software. Por ejemplo, los componentes 511-516 pueden implementarse mediante un microprocesador, un circuito integrado de aplicación específica (ASIC), una matriz de puertas programables (PGA) o campo de matriz de puertas programables (FPGA), circuitos eléctricos, un dispositivo lógico programable complejo (CPLD) o un circuito lógico personalizable o cualquier combinación de los mismos. Además, algunas o todas las funciones de los componentes 511-516 pueden realizarse mediante la misma combinación de hardware/software. Por ejemplo, las funciones del controlador de regeneración 515 y el controlador de anticipación 516 pueden realizarse mediante el mismo microprocesador, ASIC, PGA, FPGA, CPLD o circuito lógico personalizable, y todos los controladores pueden o no compartir el mismo algoritmo de escritura.

La I/O 511 recibe señales de entrada desde fuentes externas y convierte las señales de entrada de forma que pueden entenderse y aceptarse por los componentes incluidos en controlador de memoria 510. Por ejemplo, la I/O 511 puede recibir direcciones de célula de memoria, datos, órdenes tal como órdenes de lectura y órdenes de escritura, etc.

5 En una operación de lectura, la I/O 511 transmite coordenadas de fila y columna al decodificador de fila 512 y el decodificador de columna 513, respectivamente. El decodificador de fila 512 decodifica las coordenadas de fila y proporciona una tensión de detección a una correspondiente línea de palabras en la matriz de memoria no volátil basada en transistores 100 o la matriz de memoria no volátil resistiva 300. Cuando se lee desde la matriz de memoria no volátil basada en transistores 100, la tensión de detección activa la puerta de control de FGMOS de cada célula de memoria no volátil basada en transistores 110 conectada a la línea de palabras. Cuando se lee desde la matriz de memoria no volátil resistiva 300, la tensión de detección activa el elemento de selección 312 de cada célula de memoria no volátil resistiva 310 conectada a la línea de palabras.

15 El decodificador de columna 513 decodifica las coordenadas de columna y conecta una correspondiente línea de bits al controlador de escritura y amplificador de detección 514. El controlador de escritura y amplificador de detección 514 incluye un circuito de lectura y un circuito de escritura. Cuando se lee desde la matriz de memoria no volátil basada en transistores 100, el circuito de lectura mide la corriente a través de la trayectoria de fuente de drenaje de FGMOS de la célula de memoria no volátil basada en transistores 110 en la intersección de línea de palabras/línea de bits apropiada. Cuando se lee desde la matriz de memoria no volátil resistiva 300, el circuito de lectura mide la corriente a través del elemento de almacenamiento resistivo 314 de la célula de memoria no volátil resistiva 310 en la intersección de línea de palabras/línea de bits apropiada.

El controlador de escritura y amplificador de detección 514 amplifica la corriente medida y proporciona la salida a la I/O 511. La I/O 511 transmite la salida a un destino externo o mantiene la salida hasta que se solicita por una fuente externa.

25 En algunas realizaciones, una pluralidad de células de memoria no volátil basada en transistores 110 o las células de memoria no volátil resistiva 310 asociadas con la misma línea de palabras activada pueden leerse en una única operación de lectura. Cuando el decodificador de fila 512 proporciona la tensión de detección a la correspondiente línea de palabras, se activa cada célula de memoria no volátil basada en transistores 110 o célula de memoria no volátil resistiva 310 en la línea de palabras. A continuación, el circuito de lectura mide la corriente a través de cada célula de memoria no volátil basada en transistores 110 activada o célula de memoria no volátil resistiva 310 en las líneas de bits asociadas con esas células.

35 En una realización de una operación de escritura, la I/O 511 recibe datos desde una fuente externa y una dirección de célula de memoria no volátil basada en transistores 110 o dirección de célula de memoria no volátil resistiva 310 en la que los datos tienen que almacenarse. La I/O 511 convierte la dirección en coordenadas de fila y columna y envía las coordenadas al decodificador de fila 512 y el decodificador de columna 513, respectivamente. El decodificador de fila 512 decodifica las coordenadas de fila y proporciona una tensión de escritura a una correspondiente línea de palabras. El decodificador de columna 513 decodifica las coordenadas de columna y conecta una correspondiente línea de bits al controlador de escritura y amplificador de detección 514. La I/O 511 transmite instrucciones al controlador de escritura y amplificador de detección 514 para escribir o bien un "0" o bien un "1" en la célula de memoria no volátil basada en transistores 110 o célula de memoria no volátil resistiva 310 ubicada en la intersección de la línea de palabras y línea de bits activadas. Cuando se escribe en una de las células de memoria no volátil basada en transistores 110, el circuito de escritura del controlador de escritura y amplificador de detección 514 drena o acumula carga en la puerta flotante de FGMOS dependiendo de si tiene que almacenarse un "1" o "0". Cuando se escribe en una de las células de memoria no volátil resistiva 310, el circuito de escritura del controlador de escritura y amplificador de detección 514 cambia la resistencia del elemento resistivo 312 a un estado de alta resistencia o baja resistencia dependiendo de si tiene que almacenarse un "1" o "0". En otra realización de una operación de escritura, la I/O 511 recibe datos desde una fuente externa y célula de memoria no volátil basada en transistores 110 y direcciones de célula de memoria no volátil resistiva 310 en las que los datos tienen que almacenarse. Por consiguiente, el controlador de escritura y amplificador de detección 514 escribe los datos recibidos simultáneamente a la matriz de memoria no volátil basada en transistores 100 y la matriz de memoria no volátil resistiva 300.

55 En aún otra realización de una operación de escritura, el controlador de escritura y amplificador de detección 514 escribe datos almacenados en la matriz de memoria no volátil basada en transistores 100 en la matriz de memoria no volátil resistiva 300, y/o viceversa. En la realización, el controlador de memoria 510 incluye un controlador de regeneración 515. El controlador de regeneración 515 respalda datos almacenados en la matriz de memoria no volátil resistiva 300 leyendo los datos y escribiendo los mismos a la matriz de memoria no volátil basada en transistores 100. Para respaldar los datos almacenados en la matriz de memoria no volátil resistiva 300, el controlador de regeneración 515 envía coordenadas de fila y columna al decodificador de fila 512 y al decodificador de columna 513, respectivamente. El decodificador de fila 512 y el decodificador de columna 513 decodifican las coordenadas y el circuito de lectura del controlador de escritura y amplificador de detección 514 lee los datos

almacenados en las correspondientes células de datos 410 de la matriz de memoria no volátil resistiva 300. El controlador de regeneración 515 envía direcciones de célula de datos de respaldo 210 al controlador de escritura y al amplificador de detección 514. El circuito de escritura del controlador de escritura y amplificador de detección 514 escribe los datos leídos de la matriz de memoria no volátil resistiva 300 en las correspondientes células de datos de respaldo 210 de la matriz de memoria no volátil basada en transistores 100.

El controlador de regeneración 515 adicionalmente envía direcciones de célula indicadora 220 y bits indicadores al controlador de escritura y amplificador de detección 514. El circuito de escritura del controlador de escritura y amplificador de detección 514 escribe los bits indicadores a las correspondientes células indicadoras 220 de la matriz de memoria no volátil basada en transistores 100. Los bits indicadores indican si los datos de respaldo se escriben satisfactoriamente en la matriz de memoria no volátil basada en transistores 100. Un bit indicador que tiene un valor lógico de "0" puede indicar que datos de respaldo se escriben satisfactoriamente en la matriz de memoria no volátil basada en transistores 100 y un bit indicador que tiene un valor lógico de "1" puede indicar que datos de respaldo no se escriben satisfactoriamente en la matriz de memoria no volátil basada en transistores 100, o viceversa. Pueden usarse diversas configuraciones de bits indicadores para indicar si datos de respaldo se escriben satisfactoriamente en la matriz de memoria no volátil basada en transistores 100. Por ejemplo, un bit indicador puede usarse para indicar si todos los datos de respaldo se escriben satisfactoriamente en la matriz de memoria no volátil basada en transistores 100. Como otro ejemplo, puede usarse un bit indicador para cada unidad de almacenamiento para indicar si esa unidad de almacenamiento de datos de respaldo se escribe satisfactoriamente en la matriz de memoria no volátil basada en transistores 100.

Una operación de escritura no satisfactoria puede producirse cuando datos de respaldo no pueden escribirse a la matriz de memoria no volátil basada en transistores 100 porque una o más células de datos de respaldo 210 no pueden alterarse. Ejemplos de células de datos de respaldo 210 que no pueden alterarse incluyen células de datos de respaldo 210 que están protegidas contra escritura o desgastadas. El desgaste de célula de memoria se provoca por la ruptura de capas de óxido que aíslan la puerta flotante de FGMOS en las células de memoria no volátil basada en transistores 110 debido a operaciones de ciclo de lectura repetidas. A medida que las capas de óxido se deterioran, la capacidad de la puerta flotante para mantener una carga durante un periodo de tiempo amplio disminuye hasta que el FGMOS ya no puede representar estados lógicos usando diferentes niveles de carga eléctrica. También puede producirse una operación de escritura no satisfactoria en la que no pueden escribirse datos de respaldo en la matriz de memoria no volátil basada en transistores 100 porque una o más direcciones de célula de datos de respaldo 210 proporcionadas por el controlador de regeneración 515 son direcciones no válidas.

En algunas realizaciones, el controlador de escritura y amplificador de detección 514 proporciona una notificación al controlador de regeneración 515 de si los datos de respaldo se escribieron satisfactoriamente en la matriz de memoria no volátil basada en transistores 100. Si los datos de respaldo se escribieron satisfactoriamente en la matriz de memoria no volátil basada en transistores 100, el controlador de regeneración 515 proporciona uno o más bits indicadores al controlador de escritura y amplificador de detección 514 que indican que los datos de respaldo se escribieron satisfactoriamente y por lo tanto pueden usarse para regenerar datos almacenados en la matriz de memoria no volátil resistiva 300. Si los datos de respaldo no se escribieron satisfactoriamente en la matriz de memoria no volátil basada en transistores 100, el controlador de regeneración 515 proporciona uno o más bits indicadores al controlador de escritura y amplificador de detección 514 que indican que los datos de respaldo no se escribieron satisfactoriamente y por lo tanto no pueden usarse para regenerar datos almacenados en la matriz de memoria no volátil resistiva 300.

Como alternativa, o además, el controlador de regeneración 515 reescribe los datos de respaldo no escritos satisfactoriamente en la matriz de memoria no volátil basada en transistores 100. Como un ejemplo, si se usa un bit indicador para indicar si todos los datos de respaldo se escriben satisfactoriamente en la matriz de memoria no volátil basada en transistores 100, y el bit indicador indica los datos de respaldo no se escribieron satisfactoriamente en la matriz de memoria no volátil basada en transistores 100, el controlador de regeneración 515 reescribe todos los datos almacenados en la matriz de memoria no volátil resistiva 300 en la matriz de memoria no volátil basada en transistores 100. Como otro ejemplo, si se usa un bit indicador para indicar si cada unidad de almacenamiento de datos de respaldo se escribe satisfactoriamente en la matriz de memoria no volátil basada en transistores 100, el controlador de regeneración 515 reescribe únicamente los datos en unidades de almacenamiento que tienen un bit indicador que indica una escritura no satisfactoria de esa unidad de almacenamiento de datos.

El controlador de regeneración 515 regenera los datos almacenados en la matriz de memoria no volátil resistiva 300 leyendo datos de respaldo almacenados en la matriz de memoria no volátil basada en transistores 100 y escribiendo los mismos en la matriz de memoria no volátil resistiva 300. Para regenerar los datos almacenados en la matriz de memoria no volátil resistiva 300, el controlador de regeneración 515 envía coordenadas de fila y columna al decodificador de fila 512 y el decodificador de columna 513, respectivamente. El decodificador de fila 512 y el decodificador de columna 513 decodifican las coordenadas y circuito de lectura del controlador de escritura y amplificador de detección 514 lee los datos almacenados en las correspondientes células de datos de respaldo 210 de la matriz de memoria no volátil basada en transistores 100. El controlador de regeneración 515 envía las direcciones de célula de datos 410 al controlador de escritura y amplificador de detección 514. El circuito de

escritura del controlador de escritura y amplificador de detección 514 escribe los datos leídos de la matriz de memoria no volátil basada en transistores 100 en las correspondientes células de datos 410 de las células de memoria no volátil resistiva 310.

5 En algunas realizaciones, el controlador de regeneración 515 lee el bit o bits indicadores almacenados en las células
 10 indicadoras 220 de la matriz de memoria no volátil basada en transistores 100 antes de regenerar los datos
 almacenados en la matriz de memoria no volátil resistiva 300. El controlador de regeneración 515 lee el bit o bits
 indicadores y determina si el bit o bits indicadores son aún válidos. El bit o bits indicadores se vuelven no válidos
 cuando invierten estados lógicos (por ejemplo, desde un "0" lógico a un "1" lógico o viceversa) o se corrompen. se
 Producen estados de lógica invertida o corrupción debido a, por ejemplo, la exposición de las células indicadoras
 220 a altas temperaturas o EMI. El controlador de regeneración 515 determina si el bit o bits indicadores invierten
 estados de lógica o se corrompen usando técnicas de detección de errores tal como comprobaciones de
 redundancia cíclica (CRC), códigos de repetición, bits de paridad, sumas de comprobación o códigos de corrección
 de errores.

15 La validez del bit o bits indicadores almacenados en células indicadoras 220 sirve como un intermediario para la
 calidad de datos de respaldo almacenados en la matriz de memoria no volátil basada en transistores 100. El bit o
 bits indicadores válidos indican que la calidad de los datos de respaldo almacenados en la matriz de memoria no
 volátil basada en transistores 100 probablemente no se ha degradado. A la inversa, en el bit o bits indicadores
 válidos indican que la calidad de los datos de respaldo almacenados en la matriz de memoria no volátil basada en
 20 transistores 100 probablemente se ha degradado y no debería usarse para regenerar los datos almacenados en la
 matriz de memoria no volátil resistiva 300. Por consiguiente, si el controlador de regeneración 515 lee el bit o bits
 indicadores y determina que uno o más bits indicadores se han vuelto no válidos (es decir, invertido estados o se
 corrompen), el controlador de regeneración 515 no usa los datos de respaldo almacenados en la matriz de memoria
 no volátil basada en transistores 100 para regenerar los datos almacenados en la matriz de memoria no volátil
 resistiva 300. El número total de bits indicadores almacenados en células indicadoras 220 puede ser pequeño en
 25 comparación con el número de bits de datos de respaldo almacenados en células de datos de respaldo 210. Por
 consiguiente, usando un número pequeño de bits indicadores como un intermediario para la calidad de un gran
 número de bits de datos de respaldo mejora la eficiencia de sistema de memoria y reduce la cantidad de recursos de
 sistema de memoria necesarios para la detección de errores.

30 En algunas realizaciones, el controlador de memoria 510 incluye un controlador de anticipación 516. El controlador
 de anticipación 516 detecta corrupción de datos significativa y/o deriva de datos sistemática de datos almacenados
 en las células de datos 410. Por ejemplo, el controlador de anticipación 516 lee bits de anticipación almacenados en
 las células de anticipación 420 y determina el número de bits defectuosos de anticipación almacenados en las
 células de anticipación 420. El controlador de anticipación 516 determina qué bits de anticipación están defectuosos
 35 usando códigos de corrección de errores tal como, por ejemplo, códigos de Hamming, códigos de Bose, Chaudhuri y
 Hocquenghem (BCH), bits de paridad, códigos de Reed-Solomon, códigos Turbo, códigos de comprobación de
 paridad de baja densidad (LDPC), códigos convolucionales o cualquier otro código de corrección de errores
 conocido en la técnica. Si el número de bits defectuosos de anticipación iguala o excede un número umbral de bits
 defectuosos de anticipación, el controlador de anticipación 516 inicia una regeneración de los datos almacenados en
 40 las células de datos 410. Un número de umbral de ejemplo de bits defectuosos de anticipación puede ser el 50 % de
 los bits de anticipación almacenados en las células de anticipación 420. Por lo tanto, en el presente ejemplo, cuando
 existen 32 bits de anticipación almacenados en las células de anticipación 420, el controlador de anticipación 516
 inicia una regeneración cuando el controlador de anticipación 516 determina que el número de bits defectuosos de
 anticipación es igual a o mayor de 16 bits.

45 El controlador de anticipación 516 inicia regeneración de datos transmitiendo una orden de regeneración al
 controlador de regeneración 515. El controlador de regeneración 515 realiza una regeneración de los datos
 almacenados en las células de datos 410 de acuerdo con las diversas operaciones de regeneración descritas
 anteriormente.

50 El circuito analógico 520 comunica con componentes del controlador de memoria 510 tal como, por ejemplo, el
 decodificador de fila 512, el decodificador de columna 513 y controlador de escritura y amplificador de detección
 514. El circuito analógico 520 puede incluir diversos tipos de elementos de circuito analógicos tal como divisores,
 comparadores, espejos de corriente, filtros, amplificadores, fuentes o referencias de corriente/tensión, limitadores de
 corriente, reguladores de tensión, bombas de carga y otros circuitos analógicos conocido en la técnica. El circuito
 analógico 520 realiza diversas funciones tal como, por ejemplo, generar impulsos de tensión alta para programar y
 borrar células de memoria 110 y 310, generar corrientes de lectura de célula de memoria, realizar auto pruebas
 55 incorporadas del sistema de memoria 500, generar corrientes de referencia, comparar corrientes de referencia con
 corrientes de lectura de célula de memoria para determinar estados de lógica de células de memoria 110 y 310, etc.

El circuito lógico 530 comunica con componentes del controlador de memoria 510 tal como, por ejemplo, la I/O 511,
 el decodificador de columna 513 y el controlador de escritura y amplificador de detección 514. El circuito lógico 530
 puede incluir diversos tipos de elementos de circuito digitales tal como sumadores, restadores, multiplexores,

demultiplexores, codificadores, decodificadores y otros circuitos lógicos digitales conocidos en la técnica. El circuito lógico 530 realiza diversas funciones tal como, por ejemplo, controlar lógica de lectura y escritura de memoria, realizar auto pruebas incorporadas del sistema de memoria 500, órdenes de decodificación y instrucciones recibidas desde técnicos/ingenieros de pruebas u otros sistemas en comunicación con el sistema de memoria 500, multiplexación y demultiplexación de direcciones de célula de memoria 110 y 310, etc.

La **Figura 6** representa un diagrama de flujo de un método de ejemplo 600, consistente con algunas realizaciones y aspectos de la presente divulgación. El método 600 puede implementarse, por ejemplo, para gestionar datos en un sistema de memoria. En algunas realizaciones, el método 600 pueden implementarse mediante un sistema de memoria tal como, por ejemplo, el sistema de memoria 500 ilustrado en la **Figura 5**.

En algunas realizaciones, el método de ejemplo 600 incluye leer datos almacenados en una primera matriz de memoria no volátil (610). La primera matriz de memoria no volátil puede ser una matriz de memoria no volátil resistiva (por ejemplo, la matriz de memoria resistiva 300 de las **Figuras 3-5**) formada mediante cualquiera de las memorias no volátiles resistivas descritas anteriormente. Un controlador de memoria (por ejemplo, controlador de memoria 510 de la **Figura 5**) incluido en el sistema de memoria lee datos almacenados en células de datos (por ejemplo, las células de datos 410 de la **Figura 4**) de la primera matriz de memoria no volátil. El controlador de memoria lee datos en diversas unidades de almacenamiento tal como páginas, bloques, sectores, palabras o cualquier otra unidad de almacenamiento conocida en la técnica. Cada unidad de almacenamiento puede comprender cualquier número de bits de datos.

En algunas realizaciones, el controlador de memoria incluye un controlador de regeneración (por ejemplo, el controlador de regeneración 515 de la **Figura 5**) que lee los datos almacenados en la primera matriz de memoria no volátil. Por ejemplo, el controlador de regeneración lee los datos almacenados en la primera matriz de memoria no volátil en respuesta a una orden recibida, en respuesta a un encendido del sistema de memoria, en respuesta a un número predeterminado de encendidos o en respuesta a un número predeterminado de órdenes recibidas. Además, el controlador de regeneración puede leer los datos almacenados en la primera matriz de memoria no volátil resistiva antes de un evento de alta temperatura.

En algunas realizaciones, el método de ejemplo 600 incluye escribir los datos leídos de la primera matriz de memoria no volátil (610) y un bit indicador en una segunda matriz de memoria no volátil (620). La segunda matriz de memoria no volátil puede ser una matriz de memoria no volátil basada en transistores (por ejemplo, la matriz de memoria no volátil basada en transistores 100 de las **Figuras 1, 2 y 5**) formada por cualquiera de las memorias no volátiles basadas en transistores descritas anteriormente. El controlador de memoria o el controlador de regeneración escribe los datos en la segunda matriz de memoria no volátil enviando direcciones de célula de datos de respaldo (por ejemplo, célula de datos de respaldo 210 de la **Figura 2**) a un controlador de escritura y amplificador de detección (por ejemplo, el controlador de escritura y amplificador de detección 514 de la **Figura 5**) incluido en el controlador de memoria. Un circuito de escritura del controlador de escritura y amplificador de detección escribe los datos leídos de las células de datos de la primera matriz de memoria no volátil en las correspondientes células de datos de respaldo de la segunda matriz de memoria no volátil. Por consiguiente, los datos escritos en la segunda matriz de memoria no volátil se vuelven datos de respaldo para los datos almacenados en la primera matriz de memoria no volátil.

El controlador de memoria o el controlador de regeneración puede escribir el bit indicador en una célula indicadora (por ejemplo, la célula indicadora 220 de la **Figura 2**) incluida en la segunda matriz de memoria no volátil. El bit indicador indica si los datos de respaldo se escriben satisfactoriamente en las células de datos de respaldo de la segunda matriz de memoria no volátil. En algunas realizaciones, el controlador de memoria o el controlador de regeneración escribe una pluralidad de bits indicadores en las células indicadoras incluidas en la segunda matriz de memoria no volátil. Cada bit indicador indica si cada unidad de almacenamiento de datos de respaldo se escribe satisfactoriamente en la segunda matriz de memoria no volátil.

El controlador de memoria o el controlador de regeneración determina si el bit indicador escrito en la segunda matriz de memoria no volátil es válido (630) y lo hace durante diversas etapas de operación de sistema de memoria. Por ejemplo, el controlador de memoria o el controlador de regeneración determina si el bit indicador es válido en respuesta un encendido del sistema de memoria después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, después de un número predeterminado de encendidos, en respuesta a una orden recibida después de un número predeterminado de eventos de temperatura o en respuesta a un encendido después de un número predeterminado de eventos de temperatura. En algunas realizaciones, el controlador de memoria o el controlador de regeneración determina si el bit indicador es válido en respuesta a un encendido u orden recibida después de cada uno de un número predeterminado de eventos de alta temperatura. Por lo tanto, el controlador de memoria o el controlador de regeneración determina si el bit indicador es válido en respuesta a cada encendido del sistema de memoria después de cada de tres eventos de alta temperatura, por ejemplo, y a continuación deja de determinar si el bit indicador es válido en respuesta a encendidos posteriores. Por consiguiente, cuando el número de eventos de alta temperatura a los que se someterá el sistema de memoria es conocido, tal como en una configuración de pruebas de producción o fabricación, el controlador de memoria o el

controlador de regeneración puede configurarse para determinar si el bit indicador es válido hasta que el sistema de memoria se envía desde la instalación de producción/fabricación limitando la determinación a encendidos después del número conocido de eventos de alta temperatura. El evento de alta temperatura incluye al menos uno de un ciclo térmico de pruebas de estrés ambiental, un proceso de soldadura por onda, un proceso de soldadura por reflujo, una prueba de envejecimiento altamente acelerado, almacenamiento de alta temperatura del sistema de memoria o cualquier otro evento de alta temperatura conocido en la técnica. En algunas realizaciones, cuando el controlador de memoria o el controlador de regeneración escribe una pluralidad de bits indicadores en las células indicadoras, el controlador de memoria o el controlador de regeneración determina si el bit indicador asociado con cada unidad de almacenamiento de datos es válido.

Cuando se determina que el bit indicador es válido (630-sí), el método de ejemplo 600 incluye regenerar los datos almacenados en la matriz de memoria resistiva (640). Regenerar los datos almacenados en la matriz de memoria no volátil resistiva incluye sustituir los datos almacenados con los datos de respaldo escritos en la segunda matriz de memoria no volátil (620). El controlador de memoria lee los datos de respaldo almacenados en la segunda matriz de memoria no volátil como parte del proceso de regeneración usando una de las operaciones de escritura de ejemplo descritas anteriormente. El controlador de memoria escribe los datos de respaldo en la primera matriz de memoria no volátil usando una de las operaciones de escritura de ejemplo descritas anteriormente. El controlador de memoria o el controlador de regeneración regenera los datos en diversas etapas de operación de sistema de memoria. Por ejemplo, el controlador de memoria o el controlador de regeneración puede regenerar los datos inmediatamente después de determinar que el bit indicador es válido (630-sí). Como otro ejemplo, el controlador de memoria puede regenerar los datos en respuesta a un encendido posterior del sistema de memoria (por ejemplo, el siguiente encendido) o durante un modo de reposo posterior del sistema de memoria (por ejemplo, el siguiente modo de reposo).

En algunas realizaciones, en las que el controlador de memoria o el controlador de regeneración escribe un bit indicador para todos los datos de respaldo escritos en la segunda matriz de memoria no volátil, el controlador de memoria o el controlador de regeneración regenera los datos almacenados en la primera matriz de memoria no volátil escribiendo todos los datos de respaldo en la primera memoria no volátil. En otras realizaciones, en las que el controlador de memoria o el controlador de regeneración escribe una pluralidad de bits indicadores en las células indicadoras incluidas en la segunda matriz de memoria no volátil, el controlador de memoria o el controlador de regeneración regenera los datos almacenados en la primera matriz de memoria no volátil escribiendo únicamente las unidades de almacenamiento de datos de respaldo que tienen un bit indicador válido.

Cuando se determina que el bit indicador no es válido (630-no), el controlador de memoria o el controlador de regeneración no regenera los datos almacenados en la primera matriz de memoria no volátil. El bit indicador se vuelve no válido cuando invierte estado de lógica o se corrompe debido a, por ejemplo, el evento de alta temperatura. Un bit indicador no válido puede indicar que la calidad de datos de respaldo almacenados en la segunda matriz de memoria no volátil se ha degradado y no debería usarse para regenerar los datos almacenados en la primera matriz de memoria no volátil. Por consiguiente, cuando el controlador de memoria o el controlador de regeneración escribe un bit indicador para todos los datos de respaldo escritos en la segunda matriz de memoria no volátil y determina que el bit indicador se ha vuelto no válido (630-no), el controlador de memoria o el controlador de regeneración no escribe ninguno de los datos de respaldo almacenados en la segunda matriz de memoria no volátil en las células de datos de la primera matriz de memoria no volátil. Cuando el controlador de memoria o el controlador de regeneración escribe una pluralidad de bits indicadores en las células indicadoras incluidas en la segunda matriz de memoria no volátil, el controlador de memoria o el controlador de regeneración no escribe las unidades de almacenamiento de datos de respaldo que tienen un bit indicador no válido.

La **Figura 7** representa un diagrama de flujo de un método de ejemplo 700, consistente con algunas realizaciones y aspectos de la presente divulgación. El método 700 puede implementarse, por ejemplo, para gestionar datos en un sistema de memoria. En algunas realizaciones, el método 700 pueden implementarse mediante un sistema de memoria tal como, por ejemplo, el sistema de memoria 500 ilustrado en la **Figura 5**. Además, en algunas realizaciones, porciones del método 600 y 700 pueden realizarse de forma separada, junta o alguna combinación de las mismas.

En algunas realizaciones, el método de ejemplo 700 incluye determinar un número de bits defectuosos entre bits de anticipación almacenados en la primera matriz de memoria no volátil (710). Un controlador de memoria (por ejemplo, el controlador de memoria 510 de la **Figura 5**) incluido en el sistema de memoria lee bits de anticipación almacenados en células de anticipación (por ejemplo, las células de anticipación 420 de la **Figura 4**) de una primera matriz de memoria no volátil (por ejemplo, la matriz de memoria no volátil resistiva 300 de las **Figuras 3-5**). El controlador de memoria lee los bits de anticipación en diversas unidades de almacenamiento tal como páginas, bloques, sectores, palabras o cualquier otra unidad de almacenamiento conocida en la técnica. Cada unidad de almacenamiento puede incluir cualquier número de bits de anticipación. El controlador de memoria adicionalmente lee bits de código de corrección de errores (ECC) almacenados en la primera matriz de memoria y usa los bits de ECC almacenados para detectar errores en los bits de anticipación. El controlador de memoria detecta errores determinando qué bits de anticipación tienen estados lógicos invertidos (por ejemplo, desde un "1" lógico a un "0"

lógico y viceversa) debido a altas temperaturas o EMI. Los bits de ECC almacenados pueden incluir códigos de Hamming, códigos de Bose, Chaudhuri y Hocquenghem (BCH), bits de paridad, códigos de Reed-Solomon, códigos Turbo, códigos de comprobación de paridad de baja densidad (LDPC), códigos convolucionales o cualquier otro código de corrección de errores conocido en la técnica. En algunas realizaciones, el controlador de memoria determina el número de bits de datos defectuosos por unidad de almacenamiento.

El controlador de memoria determina el número de bits defectuosos de anticipación durante diversas etapas de operación de sistema de memoria. Por ejemplo, el controlador de memoria puede determinar el número de bits defectuosos de anticipación durante un ciclo de lectura, en respuesta un encendido del sistema de memoria después de un evento de alta temperatura, durante un modo de reposo del sistema de memoria después de un evento de alta temperatura o en respuesta a una orden recibida después de un evento de alta temperatura. En el caso de un modo de reposo, el controlador de memoria puede determinar el número de bits defectuosos de anticipación durante un único modo de reposo o durante un número predeterminado de modos de reposo. Por consiguiente, el controlador de memoria realiza la detección de errores cuando el impacto en el rendimiento de sistema es mínimo. En el caso de un encendido, el controlador de memoria puede determinar el número de bits defectuosos de anticipación en respuesta a un único encendido o un número predeterminado de encendidos. El número predeterminado de encendidos puede determinarse usando diversos criterios. Por ejemplo, el número de encendidos puede determinarse basándose en el número esperado de ciclos de encendido después de eventos de alta temperatura que el sistema de memoria experimentará durante pruebas de producción o fabricación o una combinación de las mismas. Por consiguiente, cualquier defecto sistemático en datos que se precargan en el sistema de memoria durante producción/fabricación puede corregirse automáticamente antes de enviarse desde una instalación de producción. En el caso de una orden recibida, el sistema de memoria puede recibir la orden desde un sistema de procesamiento acoplado comunicativamente al sistema de memoria, desde un usuario tal como un operador de sistema o técnico/ingenieros de pruebas y/o desde un sistema de pruebas tal como un sistema de pruebas de desarrollo o producción. La orden puede ser una orden para realizar detección y corrección de errores, una orden de lectura, una orden de reinicio de sistema, una orden de reinicio de encendido (POR) o una orden de activarse.

En algunas realizaciones, el controlador de memoria incluye un controlador de anticipación (por ejemplo, el controlador de anticipación 516 de la **Figura 5**) que determina un número de bits defectuosos entre los bits de anticipación almacenados en la primera matriz de memoria no volátil. Por ejemplo, el controlador de anticipación lee los bits de anticipación de la primera matriz de memoria y determina qué bits de anticipación están defectuosos.

En algunas realizaciones, el método de ejemplo 700 incluye comparar el número de bits defectuosos de anticipación con un número umbral de bits defectuosos de anticipación (720). El umbral puede determinarse basándose en un número de factores que incluyen, por ejemplo, requisitos de fiabilidad del sistema de memoria, requisitos de seguridad, requisitos de cliente, disponibilidad de recursos de sistema de memoria, el tamaño de la primera matriz de memoria, etc. Un número de umbral de ejemplo de bits defectuosos de anticipación es el 50 % de los bits de anticipación almacenados en células de anticipación de la primera matriz de memoria no volátil.

El controlador de memoria o el controlador de anticipación determina si el número de bits defectuosos de anticipación es igual a o mayor que el número umbral de bits defectuosos de anticipación (730). Cuando se determina que el número de bits defectuosos de anticipación iguala o excede el número umbral de bits defectuosos de anticipación (730-sí), el método de ejemplo 700 incluye regenerar los datos almacenados en la matriz de memoria no volátil resistiva (740). Por lo tanto, por ejemplo, cuando existen 32 bits de anticipación almacenados en las células de anticipación de la matriz de memoria resistiva y el número umbral es el 50 % de los bits de anticipación almacenados, el controlador de memoria o el controlador de anticipación inicia una regeneración cuando determina que el número de bits defectuosos de anticipación es igual a o mayor de 16 bits.

El controlador de memoria o el controlador de anticipación puede regenerar los datos de acuerdo con los aspectos de regeneración de datos analizados anteriormente en referencia con 640 del método de ejemplo 600. El controlador de memoria o el controlador de anticipación puede regenerar los datos en diversas etapas de operación de sistema de memoria. Por ejemplo, el controlador de memoria o el controlador de anticipación puede regenerar los datos inmediatamente después de determinar que el número de bits defectuosos de anticipación iguala o excede el umbral (730). Como otro ejemplo, el controlador de memoria o el controlador de anticipación puede regenerar los datos en respuesta a un encendido posterior del sistema de memoria (por ejemplo, el siguiente encendido) o durante un modo de reposo posterior del sistema de memoria (por ejemplo, el siguiente modo de reposo).

Cuando se determina que el número de bits defectuosos de anticipación es menor que el número umbral de bits defectuosos de anticipación (730-no), el controlador de memoria o el controlador de anticipación no realiza la regeneración de datos y no escribe los datos almacenados en la segunda matriz de memoria no volátil en la primera matriz de memoria no volátil (750).

En la memoria descriptiva anterior, se han descrito diversas realizaciones ilustrativas y aspectos con referencia a los dibujos adjuntos. Será evidente, sin embargo, que pueden hacerse diversas modificaciones y cambios a la misma y pueden implementarse realizaciones y aspectos adicionales, sin alejarse del alcance más amplio de la invención

como se expone en las reivindicaciones que siguen a continuación. La memoria descriptiva y dibujos se considerarán por consiguiente en un sentido ilustrativo en lugar de restrictivo.

REIVINDICACIONES

1. Un sistema, que comprende:

una primera matriz de memoria no volátil resistiva (300);
 una segunda matriz de memoria no volátil basada en transistores (100); y
 un controlador de memoria (510) configurado para:

leer bits de datos almacenados en la primera matriz de memoria no volátil resistiva (300);
 escribir los bits de datos leídos de la primera matriz de memoria no volátil resistiva (300) y un bit indicador en la segunda matriz de memoria no volátil basada en transistores (100), indicando el bit indicador si bits de datos almacenados en la segunda matriz de memoria no volátil basada en transistores (100) son válidos;
 determinar si el bit indicador es válido en respuesta a un encendido del sistema después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, un número predeterminado de encendidos o un encendido u orden recibida después de cada uno de un número predeterminado de eventos de alta temperatura; y
 escribir los bits de datos almacenados en la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300) cuando el bit indicador es válido;

en el que la primera matriz de memoria no volátil resistiva (300) se configura adicionalmente para almacenar bits de anticipación, y los bits de anticipación sirven como indicadores de corrupción de datos o deriva sistemática de la primera matriz de memoria no volátil resistiva (300) y un número total de los bits de anticipación es menor que un número total de los bits de datos; y en el que el controlador de memoria (510) se configura adicionalmente para:

determinar un número de bits defectuosos entre los bits de anticipación en respuesta a un encendido del sistema después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, un número predeterminado de encendidos o un número predeterminado de órdenes recibidas;
 comparar el número de bits defectuosos de anticipación con un número umbral de bits defectuosos de anticipación; y
 escribir los bits de datos almacenados en la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300) cuando el número de bits defectuosos de anticipación iguala o excede el número umbral de bits defectuosos de anticipación.

2. El sistema de la reivindicación 1, en el que la primera matriz de memoria no volátil resistiva (300) se forma mediante al menos una de una memoria de acceso aleatorio de cambio de fase (PCRAM), una memoria de acceso aleatorio resistiva (RRAM), memoria de acceso aleatorio de puente conductor (CBRAM) o una memoria de acceso aleatorio magnética (MRAM), y en el que la segunda matriz de memoria no volátil basada en transistores se forma mediante al menos una de una memoria de sólo lectura programable (PROM), una memoria de sólo lectura eléctricamente programable (EPROM), una memoria flash, una memoria de sólo lectura eléctricamente programable borrrable (EEPROM) o una memoria de eFUSE.

3. Un método para gestionar datos en un sistema, que comprende:

leer bits de datos de una primera matriz de memoria no volátil resistiva (300);
 escribir los bits de datos de la primera matriz de memoria no volátil resistiva (300) y un bit indicador en una segunda matriz de memoria no volátil basada en transistores (100), indicando el bit indicador si bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) son válidos;
 determinar si el bit indicador es válido en respuesta a un encendido del sistema después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, un número predeterminado de encendidos o un encendido u orden recibida después de cada uno de un número predeterminado de eventos de alta temperatura;
 escribir los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300) cuando el bit indicador se determina que es válido;
 determinar un número de bits defectuosos entre los bits de anticipación almacenados en la primera matriz de memoria no volátil resistiva (300) en respuesta a un encendido del sistema después de un evento de alta temperatura, una orden recibida después de un evento de alta temperatura, un número predeterminado de encendidos o un número predeterminado de órdenes recibidas, en el que los bits de anticipación sirven como indicadores de corrupción de datos o deriva sistemática de la primera matriz de memoria no volátil resistiva (300), y un número total de los bits de anticipación es menor que un número total de los bits de datos;
 comparar el número de bits defectuosos de anticipación con un número umbral de bits defectuosos de anticipación; y
 escribir los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300) cuando el número de bits defectuosos de anticipación iguala o excede el número umbral de bits defectuosos de anticipación.

4. El método de la reivindicación 3, en el que la primera matriz de memoria no volátil resistiva (300) se forma mediante al menos una de una memoria de acceso aleatorio de cambio de fase (PCRAM), una memoria de acceso aleatorio resistiva (RRAM), memoria de acceso aleatorio de puente conductor (CBRAM) o una memoria de acceso aleatorio magnética (MRAM).
5. El método de la reivindicación 3, en el que la segunda matriz de memoria no volátil basada en transistores (100) se forma por al menos una de una memoria de sólo lectura programable (PROM), una memoria de sólo lectura eléctricamente programable (EPROM), una memoria flash, una memoria de sólo lectura eléctricamente programable borrrable (EEPROM) o una memoria de eFUSE.
6. El método de la reivindicación 3, en el que escribir los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300) incluye escribir los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300) en respuesta a un encendido del dispositivo de memoria o durante un modo de reposo del dispositivo de memoria.
7. El método de la reivindicación 3, en el que determinar si el bit indicador es válido después de un evento de alta temperatura incluye determinar si el bit indicador es válido después de al menos uno de un ciclo térmico de pruebas de estrés ambiental, un proceso de soldadura por onda, un proceso de soldadura por reflujo o una prueba de envejecimiento altamente acelerado.
8. El método de la reivindicación 3, en el que determinar un número de bits defectuosos entre los bits de anticipación incluye determinar un número de bits defectuosos usando códigos de corrección de errores, incluyendo los códigos de corrección de errores uno de códigos de Hamming, Bose Chaudhuri y Hocquenghem (BCH), bits de paridad, códigos de Reed-Solomon, códigos Turbo, códigos de comprobación de paridad de baja densidad (LDPC) o códigos convolucionales.
9. El método de la reivindicación 3, que comprende adicionalmente:
no escribir los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300) cuando el bit indicador se determina que no es válido.
10. El método de la reivindicación 3, en el que:
escribir los bits de datos de la primera matriz de memoria no volátil resistiva (300) y el indicador a la segunda matriz de memoria no volátil basada en transistores (100) incluye escribir una pluralidad de bits indicadores en la segunda matriz de memoria no volátil basada en transistores (100), cada uno de la pluralidad de bits indicadores asociados con una porción de los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100), y comprendiendo cada porción de los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) al menos uno de una página, sector, palabra o bloque; y
determinar si el bit indicador es válido incluye determinar si la pluralidad de bits indicadores son válidos.
11. El método de la reivindicación 10, en el que escribir los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300) incluye:
determinar que los bits indicadores asociados con primeras porciones y segundas porciones de bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) son válidos y no válidos, respectivamente;
escribir las primeras porciones de los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300); y
no escribir las segundas porciones de los bits de datos de la segunda matriz de memoria no volátil basada en transistores (100) en la primera matriz de memoria no volátil resistiva (300).

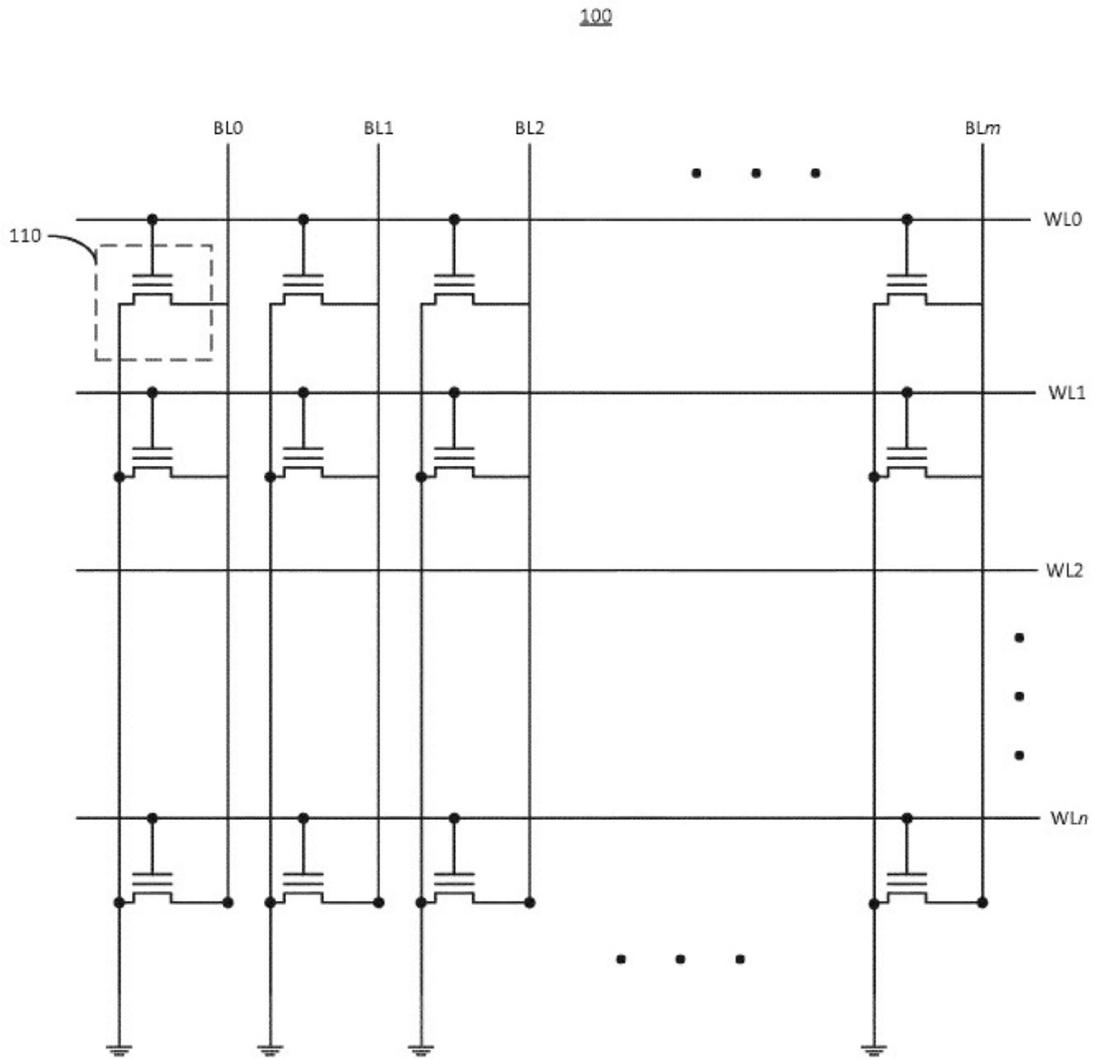


FIG. 1

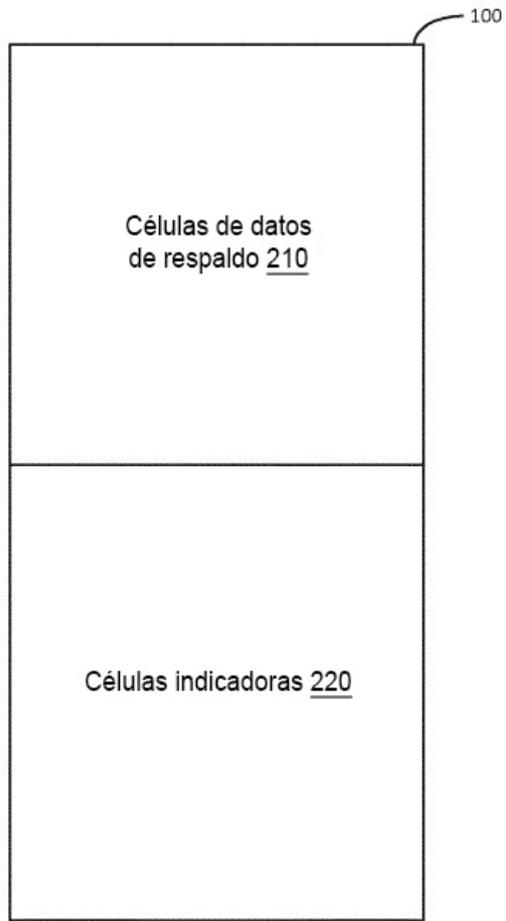


FIG. 2

300

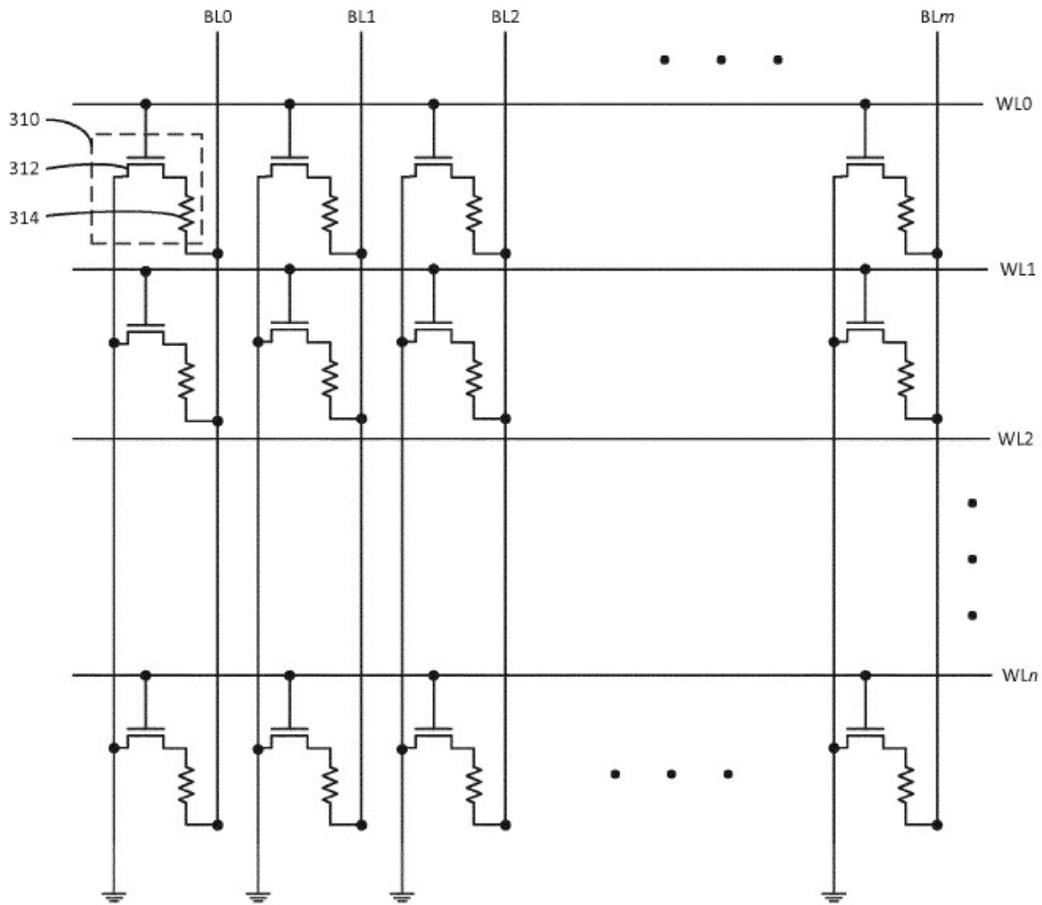


FIG. 3

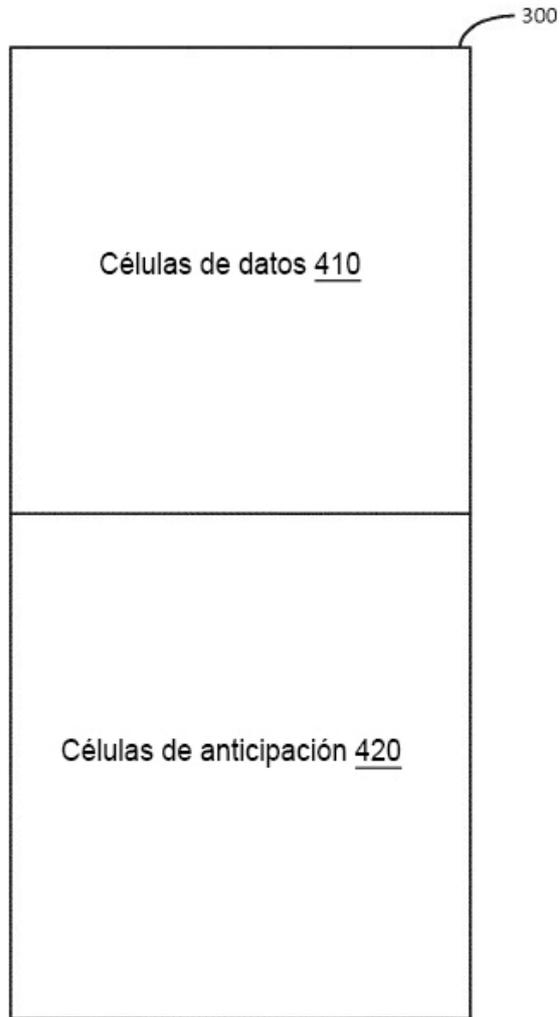


FIG. 4

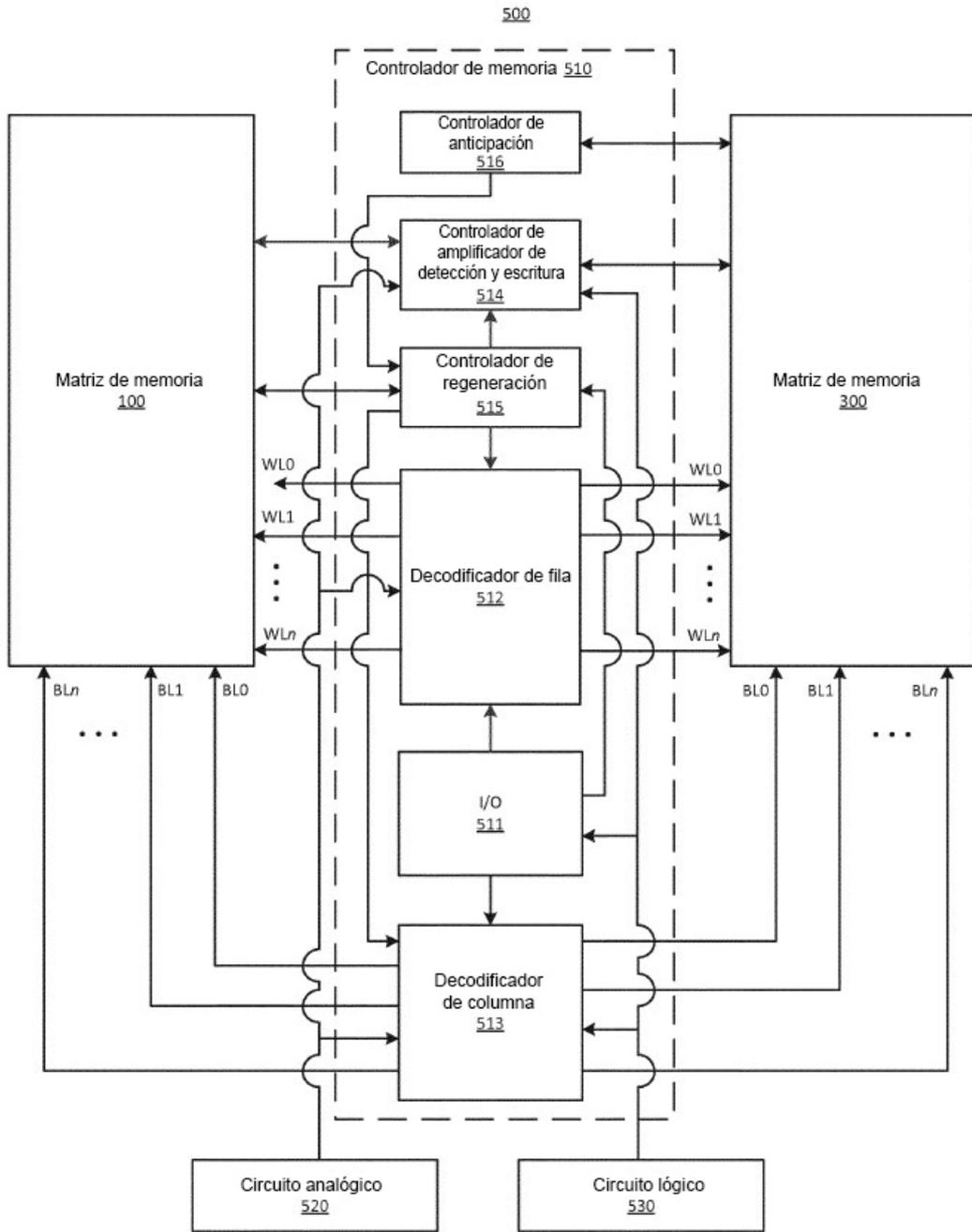


FIG. 5

600

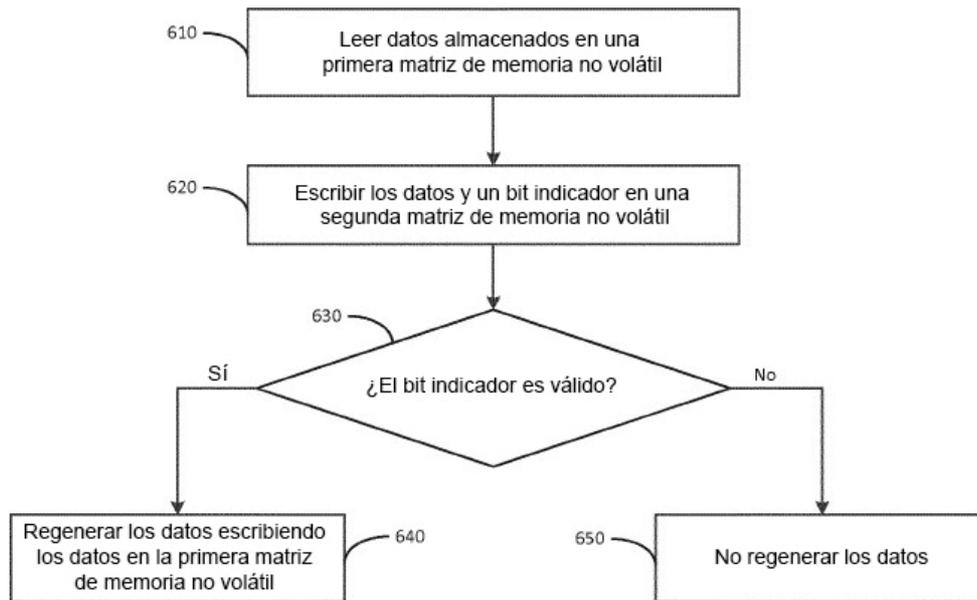


FIG. 6

700

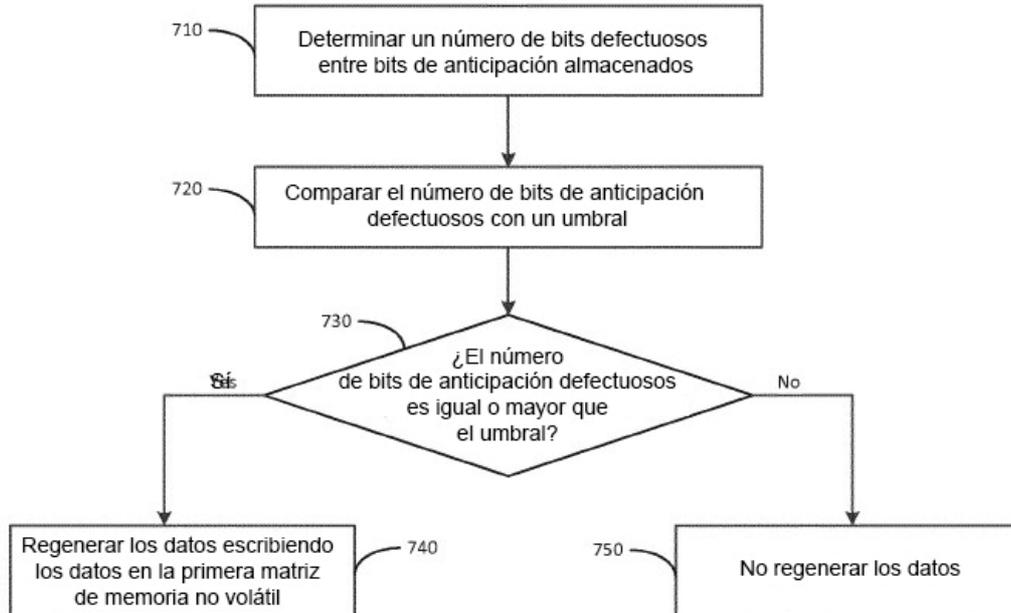


FIG. 7