(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 719 681**

(51) Int. CI.:

H04L 1/00 (2006.01)
H03M 13/23 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **06.06.2008 E 16198860 (5)**

(97) Fecha y número de publicación de la concesión europea: **09.01.2019 EP 3179655**

(54) Título: **Codificación convolucional computacionalmente eficiente con adaptación de tasa**

(30) Prioridad:

08.06.2007 US 942770 P

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
12.07.2019

(73) Titular/es:

TELEFONAKTIEBOLAGET LM ERICSSON (PUBL) (100.0%)
164 83 Stockholm, SE

(72) Inventor/es:

CHENG, JUNG-FU

(74) Agente/Representante:

ELZABURU, S.L.P

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Codificación convolucional computacionalmente eficiente con adaptación de tasa

Referencia cruzada a solicitudes relacionadas

Esta solicitud reivindica el beneficio de la Solicitud Provisional de EE.UU. Nº 60/942.770, presentada el 8 de junio de 2007.

Campo técnico

La presente invención se refiere de manera general a codificación de error para redes de comunicaciones móviles y, más particularmente, a un método y aparato para codificación convolucional computacionalmente eficiente con adaptación de tasa.

Antecedentes

La adaptación de tasa es una técnica usada en sistemas de comunicación móvil para adaptar una tasa de código de un codificador tal como un codificador convolucional o turbo codificador a la tasa de transmisión de datos de un canal de comunicación. La adaptación de tasa típicamente implica perforación o repetición de bits codificados sacados por el codificador para adaptar a la tasa de transmisión de datos del canal de comunicación. La adaptación de tasa permite que un único codificador sea usado para una pluralidad de canales de datos con diferentes tasas de transmisión de datos.

En un circuito de adaptación de tasa convencional, un codificador recibe un flujo de bits de entrada y genera dos o más flujos de bits codificados. Un intercalador intercala cada flujo de bits codificado. Un circuito de adaptación de tasa multiplexa en bits los bits codificados en cada flujo de bits intercalados y saca un único flujo de bits al transmisor que tiene un número de bits deseado para adaptar a la tasa de transmisión de datos del canal de comunicación. La multiplexación de bits realizada por el circuito de adaptación de tasa entremezcla los bits intercalados de todos los flujos de bits intercalados. Si el número de bits sacados por el codificador es mayor que el número requerido, algunos de los bits intercalados se perforan. Por el contrario, si el número de bits sacados por el codificador es menor que el requerido, algunos de los bits se pueden repetir. El circuito de adaptación de tasa se puede implementar usando un almacenador temporal circular o un circuito de multiplexación en tiempo real.

Aunque los circuitos de adaptación de tasa usados en el pasado proporcionan buen rendimiento, se mantiene una necesidad de nuevos circuitos de adaptación de tasa para códigos convolucionales con menor complejidad que proporcionen buen rendimiento.

Compendio

La presente invención se define por las reivindicaciones independientes 1 y 6 y se refiere a un método y aparato para adaptación de tasa para uso con un codificador convolucional. Una secuencia de información se introduce a un codificador convolucional no sistemático. El codificador convolucional codifica la secuencia de información y saca dos o más flujos de bits de paridad. Un circuito de intercalado intercala los bits de paridad en cada flujo de bits de paridad sin mezclar los bits de paridad en diferentes flujos de bits de paridad. Los bits de paridad intercalados se introducen a un circuito de adaptación de tasa. El circuito de adaptación de tasa saca un número seleccionado de bits de paridad para adaptarse al canal de datos. Los bits de paridad se sacan en orden de grupo. Es decir, todos los bits de paridad de un primer grupo de bits de paridad se sacan antes que se saque cualquier bit de paridad del siguiente grupo.

El método y aparato para adaptación de tasa según la presente invención permite que intercaladores idénticos sean usados para intercalar diferentes flujos de bits de paridad sacados por el codificador, reduce la complejidad del codificador de canal para terminales móviles y proporciona el rendimiento de codificación de canal.

Breve descripción de los dibujos

La Fig. 1 ilustra un transceptor ejemplar que incluye un circuito de codificación.

La Fig. 2 ilustra un circuito de codificación según una realización ejemplar de la invención.

La Fig. 3 ilustra un primer circuito de adaptación de tasa ejemplar según una realización ejemplar.

La Fig. 4 ilustra un segundo circuito de adaptación de tasa ejemplar según otra realización ejemplar.

La Fig. 5 ilustra el orden de los bits de paridad sacados por un circuito de adaptación de tasa ejemplar.

La Fig. 6 ilustra un método ejemplar para codificar un flujo de bits de entrada para su transmisión.

Descripción detallada

La Fig. 1 ilustra los componentes principales de un terminal de comunicación 10 para un sistema de comunicación móvil. El terminal de comunicación 10 comprende un controlador de sistema 12 para controlar la operación global del terminal de comunicación 10, una memoria 14 para almacenar programas y datos necesarios para su operación, un transmisor 20 para transmitir señales a un dispositivo remoto y un receptor 30 para recibir señales desde un dispositivo remoto. El transmisor 20 y receptor 30 están acoplados a una o más antenas 18 mediante un duplexor o conmutador 16 que permite una operación dúplex completa.

El transmisor 20 recibe un flujo de información desde una fuente de información, procesa el flujo de información para generar una señal de transmisión adecuada para transmisión sobre un canal radio y modula la señal de transmisión sobre una portadora de RF. El transmisor 20 incluye un codificador de fuente 22, un codificador de canal 24 y un modulador 26. El codificador de fuente 22 elimina redundancia o aleatoriza el flujo de bits de información para producir una secuencia de información que se optimiza para contenido de información máximo. La secuencia de información del codificador de fuente 22 se pasa al codificador de canal 24. El codificador de canal 24 introduce un elemento de redundancia en la secuencia de información suministrada por el codificador de fuente 22 para generar una secuencia codificada. La redundancia añadida por el codificador de canal 24 sirve para mejorar la capacidad de corrección de error del sistema de comunicación. La salida del codificador de canal 24 es la secuencia de transmisión. El modulador 26 recibe la secuencia de transmisión del codificador de canal 24 y genera formas de onda que tanto se acomodan a la naturaleza de física del canal de comunicación como que se pueden transmitir eficientemente sobre el canal de comunicación.

El receptor 30 recibe señales transmitidas desde un dispositivo de extremo lejano que se han dañado por el paso a través del canal de comunicación. La función del receptor es reconstruir el flujo de información original a partir de la señal recibida. El receptor 30 incluye un demodulador 32, un decodificador de canal 34 y un decodificador de fuente 36. El demodulador 32 procesa la señal recibida y genera una secuencia de bits recibida, que puede comprender valores firmes o flexibles para cada bit o símbolo recibido. Si la señal recibida se transmite sin error a través del canal de comunicación, la secuencia de bits recibida sería idéntica a la secuencia de bits de transmisión en el transmisor. En la práctica real, el paso de la señal recibida a través del canal de comunicación introduce errores de transmisión en la señal recibida. El decodificador de canal 34 usa la redundancia añadida por el codificador de canal 24 en el transmisor 20 para detectar y corregir los errores de bit. Una medida de lo bien que funcionan la demodulación 32 y un decodificador de canal 34 es la frecuencia con la cual ocurren errores de bit en la secuencia de información decodificada. Como paso final, un decodificador de fuente 36 reconstruye el flujo de bits de la información original a partir de la fuente de información.

La Fig. 2 ilustra un codificador de canal ejemplar 24 según una realización de la invención. El codificador de canal 24 incluye un codificador 40, un circuito de intercalado 42 y un circuito de adaptación de tasa 44. El codificador de canal 24, en algunas realizaciones, puede incluir además un intercalador de canal 46 siguiendo al circuito de adaptación de tasa 44.

El codificador 40 puede comprender, por ejemplo, un codificador convolucional no sistemático. El codificador 40 recibe una secuencia de entrada *I* y genera dos o más flujos de bits de paridad P_1, P_2, … P_N. Como ejemplo, el codificador 40 puede implementar un código convolucional de mordedura de cola de 1/3 de tasa con una longitud de restricción *k=7* y el polinomio generador $[133, 171, 165]_O$. Este código convolucional pertenece a la clase de códigos de distancia libre máxima (MFD) con espectro de distancia óptimo (ODS). Esta clase de códigos maximiza las distancias libres entre palabras de código y tiene las ponderaciones más bajas en todas las distancias. Otra ventaja de este código convolucional es que un código de 1/2 de tasa se puede obtener perforando los bits codificados producidos por el polinomio $[165]_O$. El código convolucional de 1/2 de tasa resultante se da por el polinomio generador $[133, 171]_O$. Los expertos en la técnica apreciarán que la estructura de anidamiento de códigos convolucionales de 1/3 de tasa y de 1/2 de tasa se pueden utilizar para reducir la complejidad del codificador de canal 24.

El circuito de intercalado 42 comprende tres intercaladores 42a, 42b, 42c para procesar por separado los tres flujos de bits de paridad del codificador convolucional 40. Los expertos en la técnica apreciarán que cada flujo de bits de paridad corresponde a uno de los polinomios generadores. Los flujos de bits de paridad se indican en la Fig. 2 por P_1, P_2 y P_3. El flujo de bits de paridad P_1 corresponde al polinomio generador $[133]_O$, el flujo de bits de paridad P_2 corresponde al polinomio generador $[171]_O$ y el flujo de bits de paridad P_3 corresponde al polinomio generador $[165]_O$. Como se describirá en mayor detalle más adelante, la multiplexación de grupo de los bits de paridad permite que intercaladores idénticos 42a, 42b, 42c sean usados para cada uno de los flujos de bits de paridad P_1, P_2, P_3, respectivamente. La capacidad de usar la misma estructura de intercalador para cada flujo de bits codificado P_1, P_2, P_3 reduce la complejidad del codificador de canal 24. Por el contrario, los circuitos de adaptación de tasa que implementan multiplexación de nivel de bit requieren que diferentes intercaladores sean usados para los diferentes flujos de bits de paridad P_1, P_2, P_3. Mientras que la capacidad de usar un intercalador idéntico para cada flujo de bits de paridad es una ventaja de la invención, los expertos en la técnica apreciarán que el circuito de intercalado 42 podría comprender diferentes intercaladores 42a, 42b, 42c para cada uno de los flujos de bits de paridad.

Los flujos de bits de paridad intercalados *P_1', P_2', P_3'* sacados por los intercaladores 42a, 42b, 42c se introducen al circuito de adaptación de tasa 44. El circuito de adaptación de tasa 44 realiza multiplexación de grupo del flujo de bits de paridad *P_1', P_2', P_3'* como se describe en lo sucesivo y saca una secuencia de salida *C*. Adicionalmente, el circuito de adaptación de tasa 44 puede perforar o repetir algunos de los bits de paridad para adaptar el número de bits de salida al canal de transmisión de datos.

Como se describió anteriormente, el codificador convolucional 40 en la realización ejemplar comprende un código convolucional de 1/3 de tasa. Por lo tanto, cuando se requiere un código convolucional de 1/3 de tasa, el circuito de adaptación de tasa 44 saca todos los bits de paridad en todos de los tres flujos de bits de paridad. El circuito de adaptación de tasa 44 saca los bits de paridad en formato multiplexado en grupo. Es decir, el circuito de adaptación de tasa 44 saca los bits de paridad que corresponden al flujo de bits de paridad P_1 primero, siguiendo por los bits de paridad en el flujo de bits de paridad P_2, que luego es seguido por los bits de paridad en el flujo de bits de paridad P_3. Los bits de paridad en los tres flujos de bits de paridad P_1, P_2, P_3 no se entremezclan como en un circuito de adaptación de tasa convencional, sino que en su lugar se sacan en grupos.

Cuando se requiere una tasa de código mayor que 1/3 para adaptar al canal de comunicación de datos, el circuito de adaptación de tasa 44 saca menos que todos los bits de paridad perforando los seleccionados de los bits de paridad. Cuando se perforan los bits de paridad, el circuito de adaptación de tasa 44 perfora los bits de paridad que corresponden al flujo de bits de paridad P_3 primero, seguido por los bits de paridad que corresponden al flujo de bits de paridad P_2. Es decir, no se perforan bits de paridad del flujo de bits de paridad P_2 hasta que se perforan todos los bits de paridad del flujo de bits de paridad P_3. Los bits de paridad restantes que no se han perforado se sacan en orden de grupo como se describió previamente. De esta manera, para un código convolucional de 1/2 de tasa, el circuito de adaptación de tasa 44 perfora todos los bits que corresponden al flujo de bits de paridad P_3. Para obtener una tasa de código entre 1/2 y 1/3, el circuito de adaptación de tasa 44 perfora algunos, pero no todos, los bits de paridad que corresponden al flujo de bits de paridad P_3. Para obtener tasas de código mayores que 1/2, el circuito de adaptación de tasa 44 perfora todos los bits de paridad que corresponden al flujo de bits de paridad P_3 y algunos de los flujos de bits de paridad que corresponden al flujo de bits de paridad P_2.

Cuando se requieren tasas de código menores que 1/3 para adaptar el canal de comunicación de datos, el circuito de adaptación de tasa 44 saca los bits de paridad en cada flujo de bits de paridad en orden multiplexado de grupo P_1, P_2, P_3 como se describió previamente y luego repite la misma secuencia de salida en orden hasta que se haya sacado el número deseado de bits. Es decir, después de que se hayan sacado todos los bits de paridad en todos de los tres flujos de bits de paridad P_1, P_2, P_3, el circuito de adaptación de tasa 44 sacará los bits de paridad repetidos que corresponden al flujo de bits de paridad P_1 primero, seguido por bits de paridad repetidos del flujo de bits de paridad P_2, seguido luego por los bits de paridad del flujo de bits de paridad P_3 hasta que se alcance el número requerido de bits de paridad.

Las Fig. 3 y 4 ilustran dos implementaciones ejemplares del circuito de adaptación de tasa 44. El circuito de adaptación de tasa 44 mostrado en la Fig. 3 incluye un almacenador temporal circular 50. Los flujos de bits de paridad intercalados *P_1', P_2', P_3'*, se leen en las secciones correspondientes del almacenador temporal circular 50. De esta manera, los bits de paridad dentro del almacenador temporal circular 50 se ordenan por grupo. Los bits de salida del circuito de adaptación de tasa 44 se leen entonces secuencialmente del almacenador temporal circular 50. Si el número requerido de bits es mayor que el tamaño del almacenador temporal circular 50, la lectura se envuelve desde el final del almacenador temporal circular 50 hasta el principio.

En la realización mostrada en la Fig. 4, un circuito de multiplexación de grupo 52 se usa en lugar del almacenador temporal circular 50. El circuito de multiplexación de grupo 52 genera direcciones de intercalado “sobre la marcha” para leer los bits de paridad de los tres flujos de bits de paridad. Este direccionamiento sobre la marcha genera la misma secuencia de salida *C* que el almacenador temporal circular 50 pero sin la necesidad de almacenar temporalmente los bits de salida.

Como se señaló previamente, la multiplexación de grupo implementada por el circuito de adaptación de tasa 44 permite que el mismo intercalador sea usado para cada uno de los flujos de bits de paridad P_1, P_2, P_3. Se ha encontrado que los intercaladores de orden inverso de bits (BRO) proporcionan buen rendimiento para adaptación de tasa en turbo codificadores. Un intercalador BRO de longitud 32 se da por:

BRO32 = [0 16 8 24 4 20 12 28 2 18 10 26 6 22 14 30 Ec. 1

1 17 9 25 5 21 13 29 3 19 11 27 7 23 15 31]

Para acomodar una longitud de flujo de bits de paridad arbitraria, el intercalador BRO se usa comúnmente como el patrón de permutación de columnas para un intercalador rectangular que es lo bastante grande para contener el flujo de bits de paridad, Es decir, para un flujo de bits de paridad de longitud N_P, los intercaladores 42a, 42b, 42c se definen como intercaladores rectangulares de 32 columnas y techo(N_P/32) filas. Si el tamaño del intercalador rectangular (dado por N_I=32*techo(N_P/32)) es mayor que la longitud del flujo de bits de paridad, N_D=N_I-N_P bits ficticios se rellenan en la parte delantera del flujo de bits de paridad. El flujo de entrada (incluyendo los bits de paridad y potencialmente los bits ficticios) se escribe en el intercalador fila por fila comenzando desde la primera fila

y la primera columna. Las 32 columnas se permutan luego en base al patrón de permutación de columnas elegido. Después de la permutación de columnas, los contenidos del intercalador se pueden leer columna por columna comenzando desde la primera columna y la primera fila. Los bits ficticios, si están presentes, se descartan cuando se leen los contenidos del intercalador rectangular.

Para códigos convolucionales, los intercaladores BRO de permutación de columnas se deberían modificar preferiblemente de modo que los bits indexados impares en cada grupo de bits de paridad se saquen delante de los bits indexados pares en el mismo grupo de bits de paridad. La ordenación de los bits de paridad se ilustra en la Fig. 5.

En una realización ejemplar, los intercaladores 42a, 42b, 42c para el circuito de intercalado 42 pueden comprender intercaladores BRO inversos para permutación de columnas. El intercalador BRO inverso se da por:

R-BRO32 = [31 15 23 7 27 11 19 3 29 13 21 5 25 9 17 1 Ec. 2

30 14 22 6 26 10 18 2 28 12 20 4 24 8 16 0]

El intercalador BRO inverso se implementa modificando un intercalador BRO convencional de modo que los bits se saquen en un orden inverso comparado con un intercalador BRO convencional.

En una segunda realización, los intercaladores 42a, 42b, 42c para el circuito de intercalado 42 pueden comprender intercaladores BRO desplazados cíclicamente para permutación de columnas. Un ejemplo de un intercalador BRO desplazado cíclicamente se da por:

CS-BRO32 = [1 17 9 25 5 21 13 29 3 19 11 27 7 23 15 31 Ec. 3

0 16 8 24 4 20 12 28 2 18 10 26 6 22 14 30]

El intercalador BRO desplazado cíclicamente se implementa desplazando los bits de salida de un intercalador BRO convencional en dieciséis lugares.

En una tercera realización, los intercaladores 42a, 42b, 42c para el circuito de intercalado 42 pueden comprender un intercalador BRO de modulo desplazado para permutación de columnas. Un intercalador de módulo desplazado ejemplar se da por:

MO-BRO32 = [3 19 11 27 7 23 15 31 5 21 13 29 9 25 17 1 Ec. 4

4 20 12 28 8 24 16 0 6 22 14 30 10 26 18 2]

El intercalador de módulo desplazado representado por la Ec. 4 se puede implementar añadiendo un desplazamiento predeterminado al índice de salida del intercalador BRO convencional módulo la longitud del intercalador 42. El desplazamiento añadido a las direcciones del intercalador debería ser un número impar.

Debido al intercalado realizado en los flujos de bits de paridad sacados del codificador 40, la secuencia de salida del circuito de adaptación de tasa 44 tiene un orden bastante aleatorizado. No obstante, debido a la multiplexación de grupo del circuito de adaptación de tasa 44, no hay intercalado entre los grupos de los bits de paridad. Por lo tanto, en algunas circunstancias, puede ser deseable incluir un intercalador de canal 46 siguiendo al circuito de adaptación de tasa 44 para mejorar la profundidad del intercalado de canal. Por ejemplo, si el formato de modulación correlaciona un número par de bits de paridad a cada símbolo de modulación, es posible dividir uniformemente los bits de salida del circuito de adaptación de tasa 44 en dos subbloques ($c_0, c_1, c_{N/2-1}$) y ($c_{N/2}, c_{N/n+1}, c_{N-1}$). Los dos subbloques entonces pueden ser multiplexados en bits y enviados al modulador. Usando modulación QPSK como ejemplo, el primer símbolo modulado se determina por c_0 y $c_{N/2}$, el segundo símbolo de modulación se determina por c_1 y $c_{N/2+1}$ y así sucesivamente.

La Fig. 6 ilustra un método ejemplar 100 implementado por el codificador de canal 24 según una realización de la invención. El procesamiento comienza cuando una secuencia de información *I* se introduce al codificador de canal 24. El codificador de canal 24 codifica la secuencia de información *I* para generar dos o más flujos de bits de paridad (bloque 102). Como se señaló previamente, la codificación se realiza por un codificador convolucional no sistemático. Los flujos de bits de paridad $P_1, P_2, \ldots P_N$ se introducen al circuito de intercalado 42. El circuito de intercalado 42 intercala cada flujo de bits de paridad para generar flujos de bits de paridad intercalados $P_1', P_2', \ldots P_N'$ (bloque 104). Los flujos de bits de paridad intercalados entonces se suministran al circuito de adaptación de tasa 44. El circuito de adaptación de tasa 44 saca un número seleccionado de los bits de paridad a adaptar al canal de datos (bloque 106). Los bits de paridad se sacan en orden de grupo como se describió previamente. Es decir, todos los bits de paridad que corresponden al flujo de bits de paridad P_1 se sacan antes de que cualquier bit de paridad se saque del grupo que corresponde al flujo de bits de paridad P_2 y así sucesivamente. Si se requieren menos que todos los bits de paridad para adaptarse al canal de datos, los bits de paridad se perforan primero del grupo que corresponde al flujo de bits de paridad P_N, antes de que se perfore cualquier bit de paridad del grupo que corresponde al flujo de bits de paridad P_{N-1} y así sucesivamente. Si el número de bits de paridad necesario para adaptarse al canal de datos excede el número de bits de paridad sacado por el codificador de canal 24, todos los

bits de paridad se sacan ordenados por grupo como se describió previamente y luego se repite la secuencia de salida hasta que se haya alcanzado el número requerido de bits de paridad. En algunas realizaciones de la invención, la secuencia de salida *C* del circuito de adaptación de tasa 44 se puede intercalar por el intercalador de canal 42 para mejorar la profundidad de intercalado (bloque 108). Este paso de intercalado final, no obstante, es opcional.

Aunque la presente invención se ha descrito en el contexto de una implementación específica, los expertos en la técnica apreciarán que las técnicas de adaptación de tasa descritas se pueden aplicar a codificadores con diferentes tasas e intercaladores de diferentes longitudes. Además, aunque la realización preferida usa un intercalador idéntico para todos de los tres flujos de bits de paridad, es posible aplicar diferentes intercaladores a diferentes flujos de bits de paridad.

La presente invención, por supuesto, puede ser llevada a cabo de otras formas específicas distintas de las expuestas en la presente memoria sin apartarse del alcance y las características esenciales de la invención. Las presentes realizaciones, por lo tanto, tienen que ser consideradas en todos los aspectos como ilustrativas y no restrictivas y todos los cambios que quedan dentro del significado e intervalo de equivalencia de las reivindicaciones adjuntas se pretende que estén abarcados dentro de las mismas.

En una realización de ejemplo se proporciona un circuito de codificación de error. El circuito de codificación de error puede comprender un codificador convolucional no sistemático para codificar un flujo de bits de entrada para producir dos o más grupos de bits de paridad, un circuito intercalador para intercalar bits de paridad dentro de cada grupo de bits de paridad, y un circuito de adaptación de tasa para sacar un número seleccionado de dichos bits de paridad intercalados ordenados por grupo para obtener una tasa de código deseada.

Variaciones de la realización de ejemplo del circuito de codificación de error pueden comprender una o más de:

- en el que dicho circuito de adaptación de tasa puede incluir un almacenador temporal circular que almacena dichos bits de paridad intercalados ordenados por grupo;

- en el que dicho circuito de adaptación de tasa puede comprender un circuito de multiplexación de grupo;

- en el que dicho circuito intercalador puede configurarse para aplicar intercalado idéntico para cada grupo de bits de paridad;

- en el que dicho circuito intercalador puede configurarse para aplicar un intercalado diferente para cada grupo de bits de paridad;

- en el que dicho circuito adaptación de tasa puede sacar bits de paridad impares dentro de cada grupo anterior a los bits de paridad pares;

- en el que dicho circuito intercalador puede configurarse para ordenar los bits de paridad de manera que los bits de paridad impares preceden a los bits de paridad pares dentro de cada grupo de bits de paridad

- en el que dicho circuito intercalador puede implementar un intercalador de orden inverso de bits inverso para permutación de columnas;

- en el que dicho circuito intercalador puede implementar un intercalador de orden inverso de bits desplazados cíclicamente para permutación de columnas; y

- en el que dicho circuito intercalador puede implementar un intercalador de orden inverso de bits de módulo desplazado para permutación de columnas.

En otra realización de ejemplo se proporciona un método para codificación de error de un flujo de bits de entrada. El método puede comprender codificar dicho flujo de bits de entrada en un codificador convolucional no sistemático para producir dos o más grupos de bits de paridad, intercalar los bits de paridad dentro de cada grupo de bits de paridad, y sacar un número seleccionado de dichos bits de paridad intercalados ordenados por grupo para obtener una tasa de código deseada.

Variaciones de la realización de ejemplo del método para codificación de error de un flujo de bits de entrada puede comprender uno o más de:

- almacenar dichos bits de paridad intercalados ordenados por grupo en un almacenador temporal circular, y en el que dichos bits de paridad intercalados se sacan de dicho almacenador temporal circular;

- multiplexar en grupo dichos bits de paridad en un circuito de multiplexación de grupo mientras que dichos bits están siendo sacados;

- en el que se puede aplicar intercalado idéntico para cada grupo de bits de paridad;

- en el que se puede aplicar un intercalado diferente para cada grupo de bits de paridad;

- en el que la salida de un número seleccionado de dichos bits de paridad intercalados se puede ordenar por grupo para obtener una tasa de código deseada además comprende sacar los bits de paridad impares dentro de cada grupo antes de sacar los bits de paridad pares;

- en el que dicho intercalado puede ordenar los bits de paridad de manera que los bits de paridad impares precedan a los bits de paridad pares dentro de cada grupo de bits de paridad;

- en el que dicho intercalado puede comprender un intercalado de orden inverso de bits invertidos para permutación de columnas;

- en el que dicho intercalado puede comprender un intercalado de orden inverso de bits desplazados cíclicamente para permutación de columnas; y

- en el que dicho intercalado puede comprender un intercalado de orden inverso de bits de módulo desplazado para permutación de columnas.

REIVINDICACIONES

1. Un circuito de codificación de error (24) que comprende:

un codificador convolucional no sistemático (40) para codificar un flujo de bits de entrada (*I*) para producir dos o más grupos de bits de paridad (P_1, P_2, P_3);

un circuito intercalador (42) para intercalar bits de paridad dentro de cada grupo de bits de paridad; en el que el circuito intercalador se configura para ordenar los bits de paridad de manera que los bits de paridad impares preceden a los bits de paridad pares dentro de cada grupo de bits de paridad; y

un circuito de adaptación de tasa (44) para sacar (C) un número seleccionado de dichos bits de paridad intercalados (P_1', P_2', P_3') ordenados por grupo para obtener una tasa de código deseada.

2. El circuito de codificación de error (24) de la reivindicación 1, en el que dicho circuito intercalador (42) implementa un intercalador de orden de inversión de bits inverso para la permutación de columnas.

3. El circuito de codificación de error (24) de la reivindicación 1, en el que dicho circuito intercalador (42) implementa un intercalador de orden de inversión de bits desplazados cíclicamente para permutación de columnas.

4. El circuito de codificación de error (24) de la reivindicación 1, en el que dicho circuito intercalador (42) implementa un intercalador de orden de inversión de bits de módulo desplazado para permutación de columnas.

5. el circuito de codificación de error (24) de la reivindicación 1, que comprende además yb intercalador de canal (46) siguiendo al circuito de adaptación de tasa.

6. Un método (100) para codificación de error de un flujo de bits de entrada (*I*), dicho método que comprende:

codificar (102) dicho flujo de bits de entrada en un codificador convolucional no sistemático (40) para producir dos o más grupos de bits de paridad (P_1, P_2, P_3);

intercalar (104) los bits de paridad dentro de cada grupo de bits de paridad, de manera que los bits de paridad impares precedan a los bits de paridad pares dentro de cada grupo de bits de paridad; y

sacar (106) (C) un número seleccionado de dichos bits de paridad intercalados (P_1', P_2', P_3') ordenados por grupo para obtener una tasa de código deseada.

7. El método de la reivindicación 6, en el que dicho intercalado comprende un intercalado de orden de inversión de bits inverso para permutación de columnas.

8. El método de la reivindicación 6, en el que dicho intercalado comprende un intercalado de orden de inversión de bits desplazados cíclicamente para permutación de columnas.

9. El método de la reivindicación 6, en el que dicho intercalado comprende un intercalado de orden de inversión de bits de módulo desplazado para permutación de columnas.

10. El método de la reivindicación 6, que comprende además:

intercalar por un canal (108) el número seleccionado de salida de dichos bits de paridad intercalados ordenados por grupo.

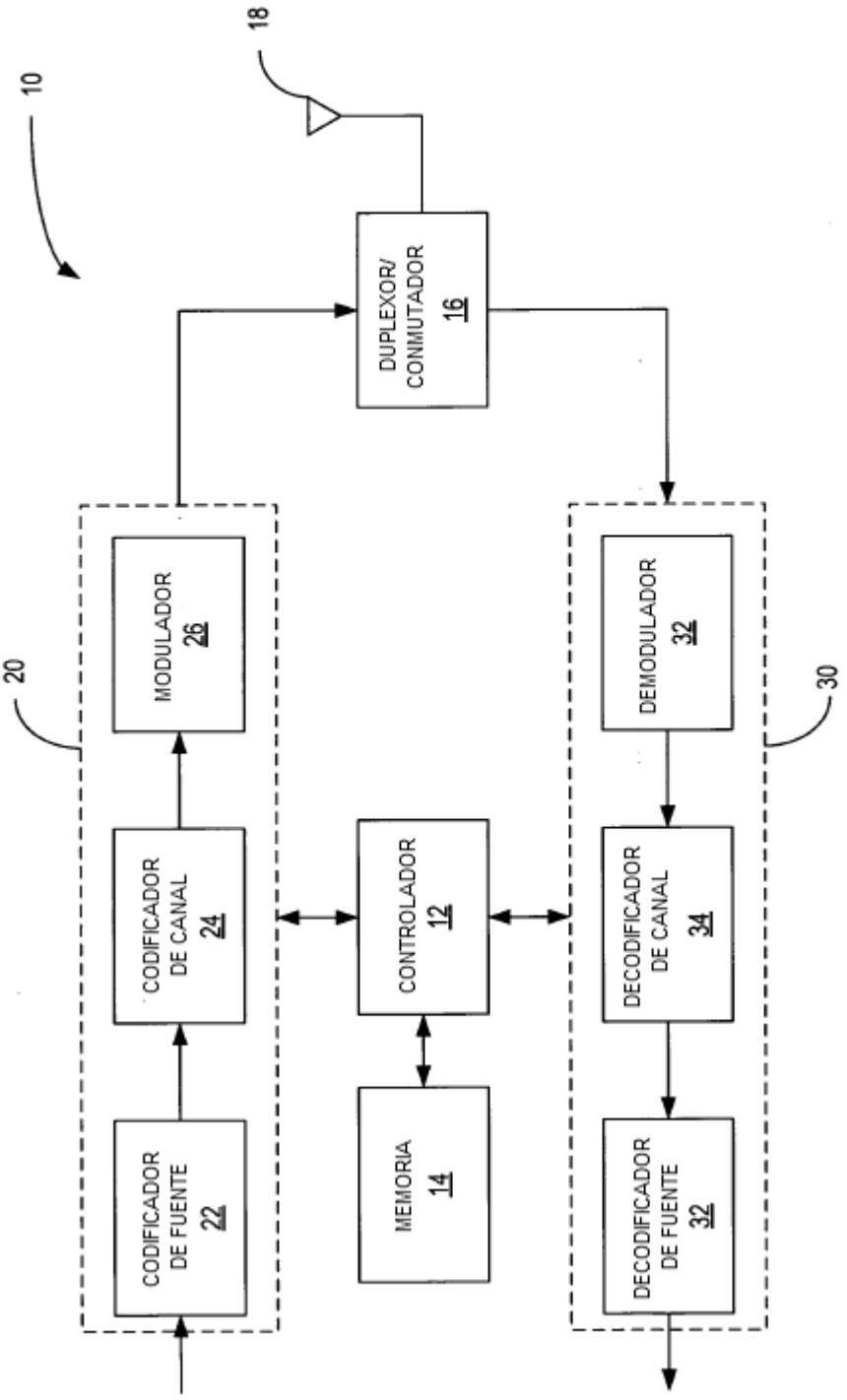
10
18
DUPLEXOR/ CONMUTADOR 16
20
MODULADOR 26
CODIFICADOR DE CANAL 24
CODIFICADOR DE FUENTE 22
CONTROLADOR 12
MEMORIA 14
30
DEMODULADOR 32
DECODIFICADOR DE CANAL 34
DECODIFICADOR DE FUENTE 32

FIG. 1

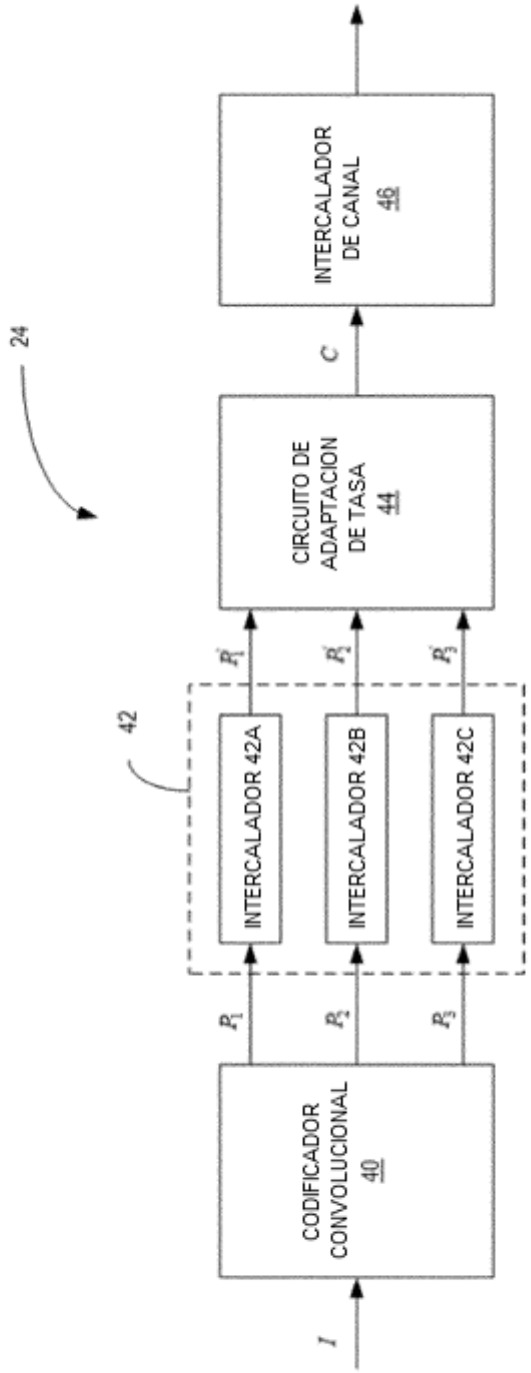
24
I
CODIFICADOR CONVOLUCIONAL 40
P1
P2
P3
42
INTERCALADOR 42A
INTERCALADOR 42B
INTERCALADOR 42C
P1'
P2'
P3'
CIRCUITO DE ADAPTACION DE TASA 44
C
INTERCALADOR DE CANAL 46

FIG. 2

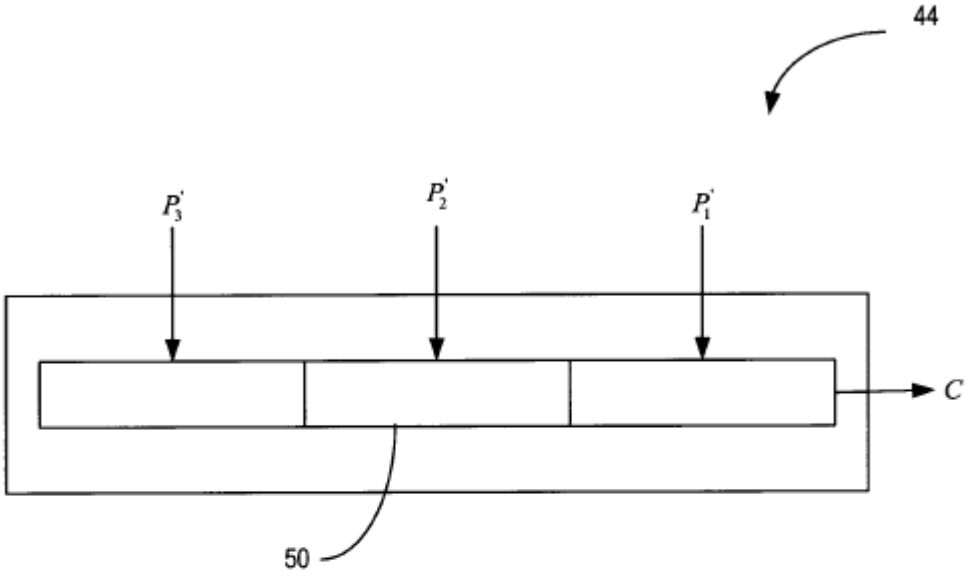
44
P_3'
P_2'
P_1'
C
50

FIG. 3

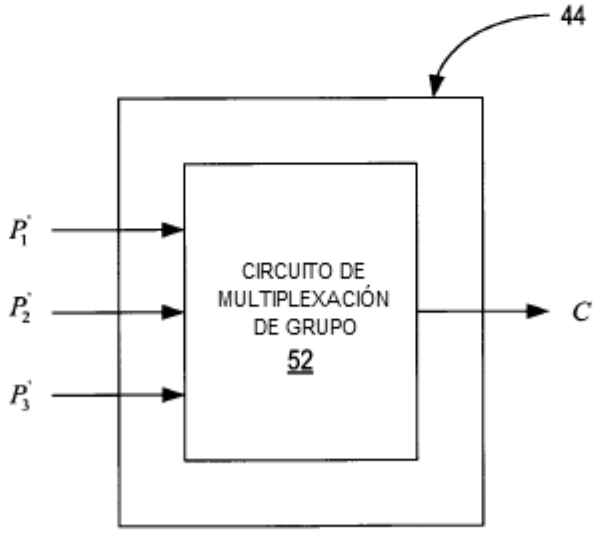
44
P_1'
P_2'
P_3'
CIRCUITO DE MULTIPLEXACIÓN DE GRUPO
52
C

FIG. 4

PRIMERA SALIDA
INDEXADOS IMPARES P_1'
INDEXADOS PARES P_1'
INDEXADOS IMPARES P_2'
INDEXADOS PARES P_2'
INDEXADOS IMPARES P_3'
INDEXADOS PARES P_3'
ÚLTIMA SALIDA

FIG. 5

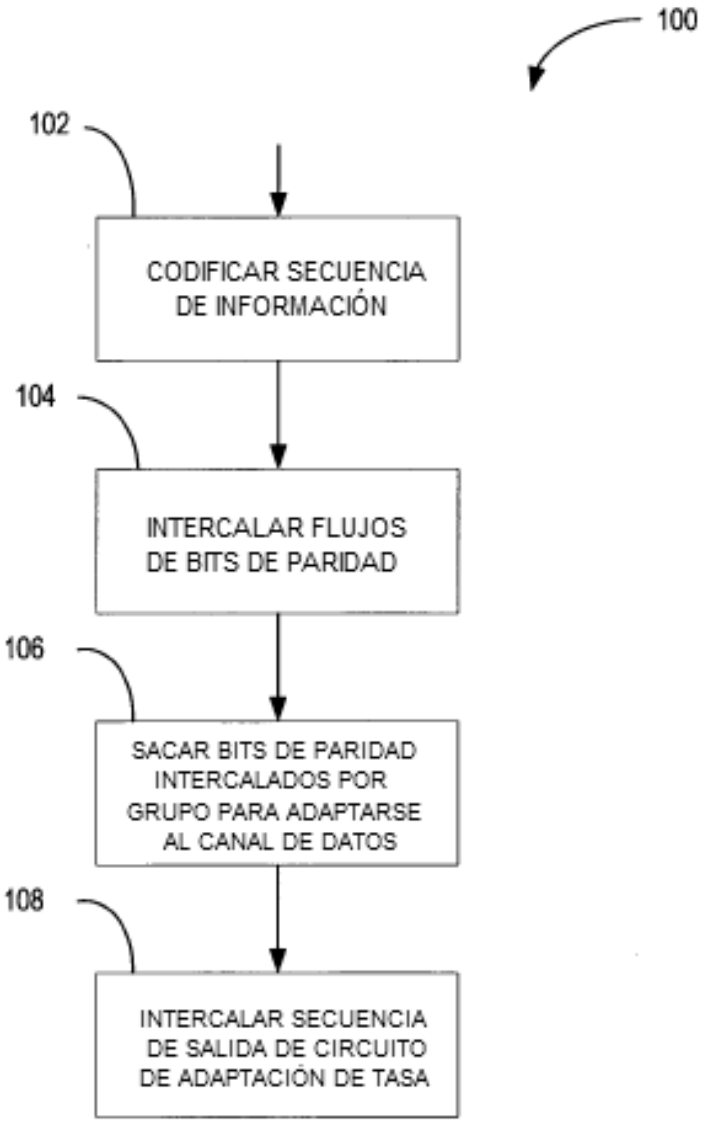
100
102
CODIFICAR SECUENCIA DE INFORMACIÓN
104
INTERCALAR FLUJOS DE BITS DE PARIDAD
106
SACAR BITS DE PARIDAD INTERCALADOS POR GRUPO PARA ADAPTARSE AL CANAL DE DATOS
108
INTERCALAR SECUENCIA DE SALIDA DE CIRCUITO DE ADAPTACIÓN DE TASA

FIG. 6