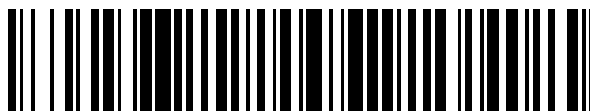


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 719 838**

51 Int. Cl.:

**H01P 1/18** (2006.01)

**H01L 27/02** (2006.01)

**H01P 1/185** (2006.01)

**H05K 1/02** (2006.01)

12

## TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **23.03.2015 PCT/EP2015/056147**

87 Fecha y número de publicación internacional: **29.09.2016 WO16150483**

96 Fecha de presentación y número de la solicitud europea: **23.03.2015 E 15712594 (9)**

97 Fecha y número de publicación de la concesión europea: **30.01.2019 EP 3275041**

54 Título: **Desfasador**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**16.07.2019**

73 Titular/es:

**FRAUNHOFER GESELLSCHAFT ZUR  
FÖRDERUNG DER ANGEWANDTEN  
FORSCHUNG E.V. (100.0%)  
Hansastraße 27C  
80686 München , DE**

72 Inventor/es:

**MAYER, FRANK;  
SCHÜHLER, MARIO;  
SCHLICHT, MICHAEL y  
WANSCH, RAINER**

74 Agente/Representante:

**SALVÀ FERRER, Joan**

**ES 2 719 838 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Desfasador

- 5 **[0001]** La presente invención se refiere a un desfasador y, en particular, a un desfasador configurado para proporcionar un desfase ajustable a una señal que utiliza las capacidades de conmutación de un circuito de protección contra ESD (ESD = descarga electrostática). Algunas realizaciones se refieren a una implementación de desfasador para líneas de transmisión conmutadas.
- 10 **[0002]** En los escenarios móviles, los sistemas de comunicaciones inalámbricas aprovechan las antenas de arreglo en fase que permiten una dirección óptima de las características de radiación. Los arreglos en fase pueden adaptar sus características de radiación según la situación instantánea. Es decir, el haz principal de radiación puede alinearse electrónicamente hacia la estación remota, independientemente de la orientación relativa entre ambos. Esto conlleva una señal de alta calidad y una transmisión fiable sin ninguna reorientación mecánica de la antena.
- 15 **[0003]** La conformación del haz en un arreglo en fase se basa en la progresión de fase a lo largo de la abertura radiante. Esta progresión de fase es generada por una red de excitación, que permite la variación electrónica de la fase de la señal a transmitir o la señal recibida. Un componente clave de los arreglos en fase es, por lo tanto, un desfasador. El desfasador es un dispositivo de dos puertos que introduce un retardo de fase sintonizable a la señal de
- 20 paso entre el puerto de entrada y el puerto de salida.
- [0004]** En los desfasadores controlados electrónicamente, el retardo de fase se puede sintonizar a través de una señal eléctrica. En función de la arquitectura, la sintonización se puede hacer de forma continua o en etapas discretas. En los desfasadores sintonizables continuos, se aplica una señal analógica al desfasador. Si bien un
- 25 desfasador sintonizable continuo proporciona un desfase arbitrario, es más sensible a las variaciones de temperatura, a las tolerancias de fabricación y similares. Por lo tanto, la aplicación de los desfasadores sintonizables continuos necesita medios de calibración para compensar los errores de fase. Con un desfasador sintonizable discreto, el desfase solo se puede variar dentro de un conjunto limitado de etapas, restringiendo las capacidades de conformación del haz en un arreglo en fase. Sin embargo, los desfasadores sintonizables discretos suelen ser menos sensibles a
- 30 las variaciones ambientales o las tolerancias de fabricación y, por lo tanto, podrían ser más fáciles de implementar con un menor esfuerzo de calibración.
- [0005]** Las implementaciones de los desfasadores electrónicos han sido bien conocidas durante diversas décadas. Las primeras implementaciones se basaron en diodos PIN, que sirvieron como dispositivos de conmutación.
- 35 Las figs. 4a a 4c muestran secciones individuales de los denominados desfasadores de línea conmutada que utilizan conmutadores en serie y conmutadores de derivación, respectivamente. La fig. 4a muestra los conmutadores en serie, la fig. 4b muestra los conmutadores de derivación y la fig. 4c muestra una implementación de ejemplo que utiliza diodos de derivación para la conmutación D1 a D4. Los ejemplos de dichos desfasadores se describen en R. V. Garver, "BroadBand Diode Phase Shifters", IEEE Transactions on Microwave Theory and Techniques, vol. 20, n.º 5, págs.
- 40 314-323, mayo de 1972; y S. K. Koul y B. Bhat, "Microwave and Millimeter Wave Phase Shifters", Artech House, Boston, 1991, por ejemplo. Con una cascada de múltiples secciones, cada una representando otro desfase, el desfase total se puede alterar en etapas discretas. El desfase de la sección  $n$  viene dado por  $\psi_n = k(l_n - l)$ , siendo  $k$  el número de ondas  $l$  y  $l_n$  la longitud mecánica de la línea respectiva. Por lo tanto, el desfasador de línea conmutada se basa en la variación de la longitud de la trayectoria, que es atravesada por la señal. Un desfasador de línea conmutada de
- 45  $N$  secciones con un desfase total de 360 grados tiene una resolución de  $360^\circ/2^N$ . Supongamos un desfasador de 3 bits, es decir,  $N = 3$ , la resolución asciende a  $45^\circ$ .
- [0006]** Dentro de la conmutación entre líneas de diferentes longitudes mecánicas, también se puede conseguir un desfase mediante el sintonización de las características del material, es decir, la longitud eléctrica de la
- 50 línea se altera en lugar de la longitud mecánica de la misma. Una sección de línea de longitud mecánica/muestra un
- $$k(\mu_r, \epsilon_r) = 2 \pi f \frac{n}{c} = 2 \pi f \frac{\sqrt{\mu_r \epsilon_r}}{c}$$
- desfase de  $\psi = k(\mu_r, \epsilon_r)l$ . El número de ondas  $k$  se deduce de  $c$  la velocidad de la luz en el espacio libre,  $f$  la frecuencia,  $n$  el índice de refracción,  $\mu_r$  la permeabilidad relativa y  $\epsilon_r$  permitividad relativa del sustrato que da soporte a la línea de transmisión. Una variación de  $\mu_r$  o  $\epsilon_r$  causa una variación de  $k$  y, por lo tanto, una fase variable.
- 55 **[0007]** Esta estrategia se llevó a cabo en los desfasadores de tipo ferrita, donde la permeabilidad de un material de ferrita varía según el campo magnético externo que se le aplica, tal como se describe en S. K. Koul y B. Bhat, "Microwave and Millimeter Wave Phase Shifters", Artech House. Boston, 1991. El inconveniente de las ferritas es su pérdida, especialmente en frecuencias superiores a 1 GHz.
- 60 **[0008]** En los últimos años, los materiales dieléctricos no lineales se han hecho disponibles y se han utilizado para la implementación de dispositivos de desfase. A diferencia de los desfasadores de tipo ferrita, la permitividad varía mientras  $\mu_r = 1$ . Los dieléctricos no lineales incluyen los llamados ferroeléctricos, una mezcla sólida (p. ej.,

mezclas de bario, estroncio y titanato) y los llamados cristales líquidos (LC). La aplicación de un campo eléctrico de intensidad adecuada a un dieléctrico no lineal provoca una variación de la permitividad y, por lo tanto, de la fase.

**[0009]** Las implementaciones de los desfases con mezclas de LC se basan en una variación continua de la permitividad, tal como las que se describen en C. Weil, G. Luessem, R. Jacoby, "Tunable Inverted Tunable Inverted-Microstrip Phase Shifter Device Using Nematic Liquid Crystals," Microwave Symposium Digest, 2002 IEEE MTT-S International (Vol. 1), 2-7 de junio de 2002, Seattle, WA, EE. UU., págs. 367-371; y S. Muller y col., "Tunable Passive Phase Shifter for Microwave Application using Highly Anisotropic Liquid Crystals," Microwave Symposium Digest, 2004 IEEE MTT-S International (Vol. 2), 6-11 de junio de 2004. Las variaciones provocadas por variaciones de temperatura, por ejemplo, deben ser supervisadas y consideradas para la polarización de la mezcla de LC. Esto es válido también para soluciones ferroeléctricas y basadas en ferrita. Los arreglos en fase que comprenden decenas o cientos de desfases necesitan mucho esfuerzo para su calibración.

**[0010]** El documento US 2006/109066 A1 muestra un desfase de dos bits para dirigir el haz de una antena, tal como una antena aeronáutica. El desfase incluye una línea de entrada, una línea de salida, una pluralidad de líneas conmutadas, tales como líneas de microcinta de cuarto de longitud de onda conectadas directa o indirectamente entre la línea de entrada y la línea de salida, y una pluralidad de conmutadores para conectar de forma selectiva y controlable una o más de las líneas conmutadas entre la línea de entrada y la línea de salida. El desfase conecta de manera controlable una o más de las líneas conmutadas en serie entre la línea de entrada y la línea de salida, proporcionando así los desfases de una señal de radiofrecuencia de entrada (RF) entre una de las cuatro cantidades de desfase discretas.

**[0011]** El documento EP 1 450 488 A1 muestra una matriz de conmutación que incluye una pluralidad de pares de microcinta dispuestos para formar una cuadrícula y conmutadores para acoplar los pares de microcinta donde se cruzan. Cada par de microcinta incluye una primera microcinta y una segunda microcinta para pasar señales. Las señales en la primera y segunda microcintas son de manera que las fuerzas electromagnéticas producidas por cada una son canceladas por la otra. Al anular las fuerzas electromagnéticas, se minimiza el acoplamiento indeseable entre las microcintas que se cruzan y entre las microcintas y el sustrato, lo que permite el uso de sustratos de bajo coste como el silicio.

**[0012]** En el artículo "Cancellation Technique to Provide ESD Protection for multi-GHz RF Inputs" de S. Hyvonen, S. Joshi y E. Rosenbaum, se describe una técnica para proporcionar protección contra ESD para entradas de RF de múltiples GHz. La técnica proporciona protección tanto contra eventos del tipo de modelo de cuerpo humano y modelo de dispositivo acelga con un efecto mínimo en el rendimiento de RF.

**[0013]** En la ficha de datos del producto "PESD5V0X1UAB Ultra Low Capacitance Unidirectional ESD Protection Diode", 15 de febrero de 2011, XP055352768, se describen los datos técnicos de un diodo de protección contra ESD unidireccional con capacitancia ultrabaja.

**[0014]** En la ficha de datos del producto "SMP1302-085LF: Surface Mount PIN Diode for High Power Switch Applications", 17 de julio de 2013, XP055352767, se describen los datos técnicos de un diodo PIN de montaje en superficie para aplicaciones de conmutación de alta potencia.

**[0015]** Es el objetivo subyacente de la presente invención proporcionar un concepto que permita la implementación de un desfase que tenga características mejoradas, en particular un desfase que pueda tener, al menos, una de características estables, integridad de la señal mejorada, pérdidas de conmutación reducidas y complejidad de fabricación reducida.

**[0016]** Este objetivo se consigue mediante un desfase según la reivindicación independiente 1 o la reivindicación independiente 15.

**[0017]** Las realizaciones proporcionan un desfase que comprende una señal de entrada, una señal de salida, un circuito de protección contra ESD (ESD = descarga electrostática), una primera trayectoria de la señal entre la señal de entrada y la señal de salida y una segunda trayectoria de la señal entre la señal de entrada y la señal de salida. El circuito de protección contra ESD comprende un primer dispositivo de dos puertos y un segundo dispositivo de dos puertos, cada uno de los cuales que es conmutable entre un estado de alta impedancia y un estado de baja impedancia. La primera trayectoria de la señal comprende el primer dispositivo de dos puertos del circuito de protección contra ESD y una primera línea de retardo configurada para proporcionar un primer desfase a una señal transmitida desde la señal de entrada a la señal de salida a través de la primera trayectoria de la señal. La segunda trayectoria de la señal comprende el segundo dispositivo de dos puertos del circuito de protección contra ESD y una segunda línea de retardo configurada para proporcionar un segundo desfase, diferente del primer desfase, a la señal transmitida desde la señal de entrada a la señal de salida a través de la segunda trayectoria de la señal.

**[0018]** Según el concepto de la presente invención, el primer y el segundo dispositivo de dos puertos del circuito de protección contra ESD se utilizan para seleccionar a través de cuál de las líneas de retardo primera y segunda se

transmite una señal presente en la señal de entrada del desfaseador a la salida del desfaseador, aplicando así un desfase a la señal transmitida en función de una longitud, por ejemplo, una longitud mecánica o longitud eléctrica, de la línea de retardo respectiva.

5 **[0019]** El circuito de protección contra ESD es un circuito que se utiliza convencionalmente para proteger circuitos electrónicos sensibles a la ESD de una descarga electrostática, tal como de altas corrientes (p. ej., corrientes de pico) o altas tensiones (p. ej., crestas de tensión) que, de lo contrario, dañarían los circuitos electrónicos o dispositivos. Dichas altas corrientes (corrientes de ESD) o altas tensiones (tensiones de ESD) son corrientes o tensiones que (temporalmente) exceden un nivel de tensión o corriente máxima que los respectivos circuitos o dispositivos electrónicos pueden resistir sin sufrir daños. Por ejemplo, algunos dispositivos electrónicos pueden sufrir una ruptura dieléctrica en un evento de ESD.

15 **[0020]** Para ese propósito, el primer dispositivo de dos puertos y el segundo dispositivo de dos puertos pueden descargar de forma no destructiva altas tensiones (tensiones de ESD) o corrientes (corrientes de ESD) en un evento de ESD. En otras palabras, el primer dispositivo de dos puertos y el segundo dispositivo de dos puertos se pueden optimizar para descargar crestas de tensión o corrientes de pico de forma rápida, de manera que el circuito de protección contra ESD pueda proteger los dispositivos electrónicos conectados en una fase posterior al circuito de protección contra ESD de las crestas de tensión (tensiones de ESD) o corrientes de pico (corrientes de ESD). En otras palabras, el primer dispositivo de dos puertos y el segundo dispositivo de dos puertos pueden configurarse para proporcionar una baja impedancia a altas frecuencias de manera que el circuito de protección contra ESD pueda conducir tensiones o corrientes transitorias rápidas.

25 **[0021]** A diferencia de los diodos PIN (u otros dispositivos electrónicos utilizados convencionalmente en un desfaseador) que podrían sufrir daños en un evento de ESD, los dos dispositivos de puerto del circuito de protección contra ESD, que se utilizan para implementar el desfaseador, no pueden descargar de forma no destructiva tensiones de ESD o corrientes de ESD en un evento de ESD. Por ejemplo, el primer dispositivo de dos puertos y el segundo dispositivo de dos puertos pueden adaptarse para que funcionen en un modo de funcionamiento de ruptura inversa en el estado de baja impedancia.

30 **[0022]** Los dos dispositivos de puerto del circuito de protección contra ESD se pueden implementar, por ejemplo, mediante dos diodos conectados a la inversa, o un diodo de alta velocidad unidireccional.

35 **[0023]** Otras realizaciones proporcionan un desfaseador que comprende una señal de entrada, una señal de salida, un circuito de protección contra ESD y  $n$  trayectorias de la señal entre la señal de entrada y la señal de salida. El circuito de protección contra ESD comprende  $n$  dispositivos de dos puertos, cada uno de los  $n$  dispositivos de dos puertos que es conmutable entre un estado de alta impedancia y un estado de baja impedancia. Además, cada una de las  $n$  trayectorias de la señal comprende una línea de retardo de  $n$  líneas de retardo, cada una de las  $n$  líneas de retardo está configurada para proporcionar un desfase a la señal transmitida desde la señal de entrada a la señal de salida, en el que  $n$  es un número natural igual a o mayor que dos. Por lo tanto, los desfases de  $n$  las líneas de retardo difieren entre sí. Por ejemplo, los desfases de las  $n$  líneas de retardo pueden diferir en  $360^\circ/n$ .

45 **[0024]** Otras realizaciones proporcionan un desfaseador que comprende una señal de entrada, una señal de salida, un circuito de protección contra ESD, una primera trayectoria de la señal entre la señal de entrada y la señal de salida y una segunda trayectoria de la señal entre la señal de entrada y la señal de salida. El circuito de protección contra ESD comprende un dispositivo de dos puertos, el dispositivo de dos puertos que es conmutable entre un estado de alta impedancia y un estado de baja impedancia. La segunda trayectoria de la señal comprende una línea de retardo configurada para proporcionar un desfase a la señal transmitida desde la señal de entrada a la señal de salida a través de la segunda trayectoria de la señal. El desfaseador está configurado para aplicar un desfase ajustable a la señal transmitida desde la señal de entrada a la señal de salida al conmutar el dispositivo de dos puertos desde el estado de baja impedancia al estado de alta impedancia.

**[0025]** Las realizaciones de la invención se describen a continuación en referencia a los dibujos, en los que:

la fig. 1 muestra un diagrama de bloques esquemático de un desfaseador según una realización;

55 la fig. 2 muestra un diagrama de bloques esquemático de un desfaseador según una realización;

la fig. 3 muestra un diagrama de bloques esquemático de un desfaseador según una realización alternativa; y

60 las figs. 4a a 4c muestran diagramas de bloques esquemáticos de desfaseadores comunes que utilizan líneas de transmisión conmutadas.

**[0026]** Los elementos iguales o equivalentes o elementos con funcionalidad igual o equivalente se indican en la siguiente descripción por números de referencia iguales o equivalentes.

65

- [0027]** En la siguiente descripción, una pluralidad de detalles se establecen para proporcionar una explicación más exhaustiva de las realizaciones de la presente invención. No obstante, será evidente para un experto en la técnica que las realizaciones de la presente invención se pueden poner en práctica sin los detalles específicos. En otros ejemplos, los dispositivos y estructuras bien conocidos se muestran en forma de diagrama de bloques en vez de en detalle con el fin de evitar ocultar las realizaciones de la presente invención. Además, las características de las diferentes realizaciones descritas en lo sucesivo se pueden combinar entre sí, a menos que se indique específicamente de otro modo.
- [0028]** La fig. 1 muestra un diagrama de bloques esquemático de un desfasador 100 según una realización. El desfasador 100 comprende una señal de entrada (p. ej., una entrada de RF (RF = radiofrecuencia)) 102, una señal de salida (p. ej., una salida de RF) 104, un circuito de protección contra ESD 106, una primera trayectoria de la señal 108\_1 entre la señal de entrada 102 y la señal de salida 104 y una segunda trayectoria de la señal 108\_2 entre la señal de entrada 102 y la señal de salida 104.
- [0029]** El circuito de protección contra ESD 106 comprende un primer dispositivo de dos puertos 110\_1 y un segundo dispositivo de dos puertos 110\_2, cada uno de los dispositivos de dos puertos 110\_1 y 110\_2 que es conmutable entre un estado de alta impedancia (p. ej., un estado de no conducción) y un estado de baja impedancia (p. ej., un estado de conducción).
- [0030]** La primera trayectoria de la señal 108\_1 comprende el primer dispositivo de dos puertos 110\_1 del circuito de protección contra ESD 106 y una primera línea de retardo 112\_1 configurada para proporcionar un primer desfase a una señal transmitida desde la señal de entrada 102 a la señal de salida 104 a través de la primera trayectoria de la señal 108\_1. La segunda trayectoria de la señal 108\_2 comprende el segundo dispositivo de dos puertos 110\_2 del circuito de protección contra ESD 106 y una segunda línea de retardo 112\_2 configurada para proporcionar un segundo desfase, diferente del primer desfase, a la señal transmitida desde la señal de entrada 102 a la señal de salida 104 a través de la segunda trayectoria de la señal 108\_2.
- [0031]** Obsérvese que, el circuito de protección contra ESD 106 puede comprender hasta n dispositivos de dos puertos 110\_1 a 110\_n, cada uno de los n dispositivos de dos puertos que es conmutable entre un estado de alta impedancia y un estado de baja impedancia, en el que el desfasador 100 puede comprender n trayectorias de la señal 108\_1 a 108\_n entre la señal de entrada 102 y la señal de salida 104, cada trayectoria de la señal que comprende uno de los n dispositivos de dos puertos del circuito de protección contra ESD 106 y una de las n líneas de retardo 112\_1 a 112\_n, cada línea de retardo que se configura para proporcionar un desfase a la señal transmitida desde la señal de entrada 102 a la señal de salida 104, en el que n es un número natural igual o mayor que dos.
- [0032]** El desfasador 100 puede configurarse para aplicar un desfase ajustable a la señal transmitida desde la señal de entrada 102 a la señal de salida 104 al conmutar uno de los primer dispositivo de dos puertos 110\_1 y el segundo dispositivo de dos puertos 110\_2 desde el estado de baja impedancia al estado de alta impedancia. De este modo, el primer dispositivo de dos puertos 110\_1 y el segundo dispositivo de dos puertos 110\_2 son conmutables de forma individual entre el estado de baja impedancia y el estado de alta impedancia.
- [0033]** Por ejemplo, el desfasador 100 se puede configurar para conmutar el primer dispositivo de dos puertos 110\_1 al estado de baja impedancia y el segundo dispositivo de dos puertos 110\_2 al estado de alta impedancia, de manera que la señal se transmita a través de la primera trayectoria de la señal 108\_1 desde la señal de entrada 102 a la señal de salida 104 aplicando así el primer desfase mediante la primera línea de retardo 112\_1 a la señal transmitida.
- [0034]** Naturalmente, el desfasador 100 se puede configurar para conmutar el primer dispositivo de dos puertos 110\_1 al estado de alta impedancia y el segundo dispositivo de dos puertos 110\_2 al estado de baja impedancia, de manera que la señal se transmita a través de la segunda trayectoria de la señal 108\_2 desde la señal de entrada 102 a la señal de salida 104 aplicando así el segundo desfase mediante la segunda línea de retardo 112\_2 a la señal transmitida.
- [0035]** Como ya se ha mencionado, cada uno del primer dispositivo de dos puertos 110\_1 y el segundo dispositivo de dos puertos 110\_2 se puede conmutar de forma individual entre el estado de baja impedancia y el estado de alta impedancia. De este modo, el estado de baja impedancia puede ser un estado de conducción en el que la señal se transmite a través del dispositivo de dos puertos respectivo sin ser atenuada sustancialmente por el dispositivo de dos puertos (p. ej., un estado en el que la señal de entrada 102 y la línea de retardo respectiva están conectadas mediante el dispositivo de dos puertos respectivo). El estado de alta impedancia puede ser un estado de no conducción en el que la señal no se transmite sustancialmente a través del dispositivo de dos puertos respectivo (p. ej., un estado en el que la señal de entrada 102 y la línea de retardo respectiva se desconectan mediante el dispositivo de dos puertos respectivo). Sin embargo, incluso si un dispositivo de dos puertos conmuta al estado de alta impedancia, una pequeña porción de la señal a transmitir desde la señal de entrada 102 a la señal de salida 104 puede filtrarse a través del dispositivo de dos puertos respectivo, p.ej., debido a una capacitancia parásita del dispositivo de dos puertos respectivo.

**[0036]** Por lo tanto, en algunas realizaciones, el primer desfase provisto por la primera línea de retardo 112\_1 y el segundo desfase provisto por la segunda línea de retardo 112\_2 pueden diferir de manera que una señal transmitida desde la señal de entrada 102 a la señal de salida 104 a través de uno del primer dispositivo de dos puertos 110\_1 y el segundo dispositivo de dos puertos 110\_2 y una señal filtrada a través del otro de los primer dispositivo de dos puertos 110\_1 y segundo dispositivo de dos puertos 110\_2 desde la señal de entrada 102 hasta la señal de salida 104 se superponen de manera que la señal transmitida es atenuada por la señal filtrada sin afectar a la fase de la señal transmitida.

**[0037]** Por ejemplo, el desfasador 100 puede configurarse para conmutar el primer dispositivo de dos puertos 110\_1 al estado de baja impedancia y el segundo dispositivo de dos puertos 110\_2 al estado de alta impedancia. En ese caso, la señal se transmite desde la señal de entrada 102 a la señal de salida 104 a través del primer dispositivo de dos puertos 110\_1, en el que una pequeña porción de la señal se filtra a través del segundo dispositivo de dos puertos 110\_2 desde la señal de entrada 102 a la señal de salida 104. El primer desfase provisto por la primera línea de retardo 112\_1 y el segundo desfase provisto por la segunda línea de retardo 112\_2 pueden diferir de manera que la señal transmitida y la señal filtrada se superponen de manera que la señal transmitida es atenuada por la señal filtrada sin afectar a la fase de la señal transmitida.

**[0038]** Naturalmente, el desfasador 100 también puede configurarse para conmutar el primer dispositivo de dos puertos 110\_1 al estado de alta impedancia y el segundo dispositivo de dos puertos 110\_2 al estado de baja impedancia. En ese caso, la señal se transmite desde la señal de entrada 102 a la señal de salida 104 a través del segundo dispositivo de dos puertos 110\_2, en el que una pequeña porción de la señal se filtra a través del primer dispositivo de dos puertos 110\_1 desde la señal de entrada 102 a la señal de salida 104. El primer desfase provisto por la primera línea de retardo 112\_1 y el segundo desfase provisto por la segunda línea de retardo 112\_2 pueden diferir de manera que la señal transmitida y la señal filtrada se superponen de manera que la señal transmitida es atenuada por la señal filtrada sin afectar a la fase de la señal transmitida.

**[0039]** Tal como se ha indicado en la fig. 1, opcionalmente, el circuito de protección contra ESD 106 puede comprender un tercer dispositivo de dos puertos 110\_3, el dispositivo de dos puertos que es conmutable entre un estado de alta impedancia y un estado de baja impedancia, en el que el desfasador 100 comprende una tercera trayectoria de la señal 108\_3 entre la señal de entrada 102 y la señal de salida 104, en el que la tercera trayectoria de la señal comprende 108\_3 el tercer dispositivo de dos puertos 110\_3 del circuito de protección contra ESD 106 y una tercera línea de retardo 112\_3 configurada para proporcionar un tercer desfasador, diferente del primer desfase y el segundo desfase, a la señal transmitida desde la señal de entrada 102 a la señal de salida 104 a través de la tercera trayectoria de la señal 108\_3. Por lo tanto, el primer desfase, el segundo desfase y el tercer desfase pueden diferir de manera que una señal transmitida desde la señal de entrada 102 a la señal de salida 104 a través de uno del primer dispositivo de dos puertos 110\_1, el segundo dispositivo de dos puertos 110\_2 y el tercer dispositivo de dos puertos 110\_3 y las señales que se filtran a través de los otros (dos) de los primer dispositivo de dos puertos 110\_1, el segundo dispositivo de dos puertos 110\_2 y el tercer dispositivo de dos puertos 110\_3 desde la señal de entrada 102 a la señal de salida 104 se superponen de manera que, las señales que se filtran, se cancelan total o parcialmente.

**[0040]** En realizaciones, los desfases de las líneas de retardo del desfasador 100 pueden diferir en  $360^\circ/n$ , en el que  $n$  es un número natural igual o mayor que dos. Por ejemplo, si el desfasador comprende dos ( $n = 2$ ) trayectorias de la señal 108\_1 y 108\_2 entre la señal de entrada 102 y la señal de salida 104, entonces los desfases de las dos líneas de retardo 112\_1 y 112\_2 de las dos trayectorias de la señal 108\_1 y 108\_2 pueden diferir en  $180^\circ$ . Por ejemplo, si el desfasador comprende tres ( $n = 3$ ) trayectorias de la señal 108\_1 a 108\_3 entre la señal de entrada 102 y la señal de salida 104, entonces los desfases de las tres líneas de retardo 112\_1 a 112\_3 de las tres trayectorias de la señal 108\_1 a 108\_3 pueden diferir en  $120^\circ$ . Naturalmente, también se puede usar cualquier otra combinación de diferentes desfases para implementar el desfasador 100 que se describe en el presente documento.

**[0041]** La fig. 2 muestra un diagrama de bloques esquemático de un desfasador 100 según una realización. En comparación con la fig. 1, en la fig. 2 se muestra una cuarta trayectoria de la señal 108\_4 entre la señal de entrada (entrada de RF) 102 y la señal de salida (salida de RF) 104. La cuarta trayectoria de la señal 108\_4 comprende un cuarto dispositivo de dos puertos 110\_4 del circuito de protección contra ESD 106 y una cuarta línea de retardo 112\_4.

**[0042]** Tal como se ha indicado en la fig. 2, cada uno de los dispositivos de dos puertos 110\_1 a 110\_4 del circuito de protección contra ESD 106 se puede implementar mediante dos diodos conectados a la inversa. Naturalmente, también son posibles otras implementaciones de los dispositivos de dos puertos 110\_1 a 110\_4 del circuito de protección contra ESD 106. Por ejemplo, cada uno de los dispositivos de dos puertos 110\_1 a 110\_4 del circuito de protección contra ESD 106 se puede implementar mediante un diodo de alta velocidad unidireccional.

**[0043]** Aunque los dispositivos de dos puertos 110\_1 a 110\_4 están conectados en una configuración en serie en la realización del desfasador 100 que se muestra en la fig. 2, obsérvese que también son posibles otros tipos de conexión. Por ejemplo, los dispositivos de dos puertos 110\_1 a 110\_4 se pueden conectar en una configuración paralela o resonante.

**[0044]** Además, el desfasador 100 puede configurarse para aplicar una tensión de CC que sea igual o superior a una tensión de ruptura del dispositivo de dos puertos respectivo 110\_1 a 110\_4 a través del dispositivo de dos puertos respectivo 110\_1 a 110\_4 para conmutar el dispositivo de dos puertos respectivo desde el estado de baja impedancia al estado de alta impedancia. La tensión de CC se puede aplicar a través de un filtro de paso bajo al dispositivo de dos puertos respectivo 110\_1 a 110\_4. Además, el desfasador 100 puede comprender una T de polarización, un filtro paso banda o un filtro paso alto 114 conectado en serie entre la señal de entrada 102 y las trayectorias de la señal 108\_1 a 108\_4. Por ejemplo, tal como se ha indicado en la fig. 2, el desfasador 100 puede comprender una T de polarización 114 (p. ej., implementada mediante un condensador en serie). La T de polarización 114 puede desacoplar la señal de RF del ramal (CC) para la polarización.

**[0045]** Según se muestra en la fig. 2, las realizaciones utilizan circuitos de protección contra ESD 106 en lugar de diodos PIN, p. ej., como "conmutador" binario en un diseño de desfasador en cualquier caso conocido o modificado.

**[0046]** Al igual que los diodos PIN, muchos circuitos de protección contra ESD 106 son dispositivos de 2 puertos y pueden alternar entre un estado de "aislamiento" (alta impedancia) y un estado "de conducción" (baja impedancia) aplicando ninguna o una tensión de corriente continua suficientemente alta (CC) en los 2 puertos. Al usar una combinación de acoplamiento de paso bajo para la tensión de CC y un acoplamiento de paso alto o paso banda para desfasar la señal de RF, la tensión de control de CC se puede aplicar y alternar para conmutar la trayectoria de transmisión de la señal de RF, pero sin afectar en cualquier caso a la señal de CA.

**[0047]** Se conocen diversas variantes de los dispositivos de protección contra ESD y se pueden usar para la implementación de los desfasadores 100. Esto incluye dispositivos con 2 diodos conectados a la inversa en serie (según se muestra simbólicamente en la fig. 2), o diodos de alta velocidad unidireccionales.

**[0048]** La fig. 2 muestra un ejemplo de un desfasador que utiliza un circuito de protección contra ESD de 4 canales 106. Cada conmutador 110\_1 a 110\_4 está conectado en serie a una línea de retardo (configurada para proporcionar diferentes desfases, p. ej., 0°, 90°, 180° y 270°). Típicamente, exactamente uno de los 4 conmutadores está "en conducción" a la vez, y todos los demás conmutadores están en el estado de "aislamiento". El estado "de conducción" del conmutador se activa mediante la aplicación de una tensión suficientemente alta a una de las 4 señales de "selección de fase", dejando todas las demás señales de "selección de fase" a baja tensión. La activación del estado "de conducción" es igual a la activación de la función ESD del circuito de protección 106, lo que da como resultado una trayectoria de baja impedancia a través del circuito.

**[0049]** En una construcción práctica del esquema que se muestra en la figura 2, los 3 conmutadores en el estado de "aislamiento" todavía representarían una capacitancia parásita. Dada una señal de RF de frecuencia suficientemente alta, al menos parte de la energía se filtraría a través del circuito de protección contra ESD "aislado", se propagaría a través de la línea de retardo conectada y se añadiría a la señal RF\_OUTPUT. Sin embargo, debido a la construcción simétrica en la fig. 2 y al dimensionamiento de los desfases en las líneas de retardo 112\_1 a 112\_4, los pares (p. ej., 0° y 180°, 90° y 270°) de las señales tienen un desplazamiento de fase de 180° y, por lo tanto, se cancelan. Solo la señal deseada (la trayectoria con el circuito de protección contra ESD conductor) y la señal desplazadas 180° y atenuada "filtrada" sigue siendo un contribuyente eficaz en la señal RF\_OUTPUT; La señal resultante se atenúa (debido a una combinación destructiva parcial), pero no está afectada de un error de fase adicional.

**[0050]** Las realizaciones del desfasador 100 proporcionan las siguientes ventajas:

1) En comparación con los diodos PIN, los circuitos de protección contra ESD son productos de "mercado masivo", desarrollados activamente y optimizados para diferentes ámbitos de aplicaciones.

a) Respecto a la protección de líneas de señal de alta velocidad, los dispositivos de protección contra ESD están optimizados, por ejemplo, para baja capacitancia parásita, alta integridad de la señal y baja atenuación a altas frecuencias considerables. Dichas optimizaciones incluyen las características del circuito central, así como la capacidad parásita del paquete, el tamaño y el montaje del paquete.

b) La baja capacitancia parásita (por lo general hasta 0,1 pF) permite el funcionamiento a alta frecuencia, incluidas las bandas Ku- y Ka utilizadas en las comunicaciones por satélite.

c) La distribución del espacio del dispositivo (< 1 mm<sup>2</sup>) y el paquete está optimizado para su montaje en superficie; esto permite el ensamblaje de los dispositivos en la parte posterior de la placa de circuito impreso utilizada para el arreglo de antenas. Muchos dispositivos caben dentro de la "unidad cuadrada" de un elemento de antena.

2) Los dispositivos de protección contra ESD se empaquetan como unidades individuales, así como en configuraciones multicanal.

a) Las configuraciones multicanal con puerto común simplifican el diseño y mejoran la integridad de la señal; El puerto común es especialmente ventajoso como puerto común en una configuración de divisor o combinador,

p. ej., para dividir y, posteriormente, encaminar la señal a través de líneas de retardo de diferente longitud.

b) Los dispositivos en una configuración multicanal comparten la misma herencia de fabricación y, por lo tanto, están mejor adaptados en cuanto a sus parámetros funcionales y parásitos. Esto es ventajoso para equilibrar las diferentes trayectorias en la configuración multicanal y para aprovechar la cancelación por emparejamiento de las 5 señales "filtradas" con desplazamiento de 180°.

c) Las configuraciones multicanal admiten la acumulación simplificada de bloques de diseño modular que se replican de forma idéntica y simétrica en el arreglo de antenas.

d) La complejidad para controlar ("conmutar") el circuito de protección contra ESD es limitada; El acoplamiento de CC de la señal de control y el aislamiento de alta impedancia de la señal de RF se pueden conseguir 10 mediante el uso de inductores en serie, p. ej., implementados como estructuras de cable en el material de PCB.

e) La complejidad de un solo desfasador es baja; los dispositivos con múltiples canales están disponibles en un solo paquete, lo que reduce la complejidad de fabricación.

3) Los dispositivos de protección contra ESD son pasivos y consumen solo pequeñas cantidades de 15 energía para la conmutación y en el estado "de conducción", con solo uno de los n dispositivos en estado de conducción y los otros (n-1) dispositivos "aislados". El estado "de conducción" es de muy baja impedancia y, por lo tanto, de baja pérdida. Este es un beneficio importante sobre el uso de componentes activos que, en función de la frecuencia de funcionamiento, pueden requerir altas corrientes de polarización, lo que resulta en un alto consumo de 20 energía y disipación de calor.

4) Si bien algunos dispositivos de protección contra ESD se basan en material semiconductor (p. ej., diodo de silicio de alta velocidad convencional), otros dispositivos de protección contra ESD usan materiales alternativos, como p. ej., cerámica. Dichos materiales alternativos pueden permitir la impresión directa del dispositivo ESD en la 25 placa de circuito.

**[0051]** La fig. 3 muestra un diagrama de bloques esquemático de un desfasador 120 según una realización 30 adicional. El desfasador 120 comprende una señal de entrada 102, una señal de salida 104, un circuito de protección contra ESD 106, una primera trayectoria de la señal 108\_1 entre la señal de entrada 102 y la señal de salida 104 y una segunda trayectoria de la señal 108\_2 entre la señal de entrada 102 y la señal de salida 104. El circuito de protección contra ESD 106 comprende un dispositivo de dos puertos 110, el dispositivo de dos puertos 110 que es conmutable entre un estado de alta impedancia y un estado de baja impedancia. La segunda trayectoria de la señal 108\_2 comprende una línea de retardo 112 configurada para proporcionar un desfase a la señal transmitida desde la señal de entrada 102 a la señal de salida 104 a través de la segunda trayectoria de la señal 108\_2. El desfasador 120 está configurado para aplicar un desfase ajustable a la señal transmitida desde la señal de entrada 102 a la señal de 35 salida 104 al conmutar el dispositivo de dos puertos 110 desde el estado de baja impedancia al estado de alta impedancia.

**[0052]** Obsérvese que el desfasador 100 que se muestra en las figs. 1 y 2 y el desfasador 120 que se muestra en la fig. 3 pueden combinarse entre sí, por ejemplo, lo que conlleva a un desfasador similar al desfasador 100 que se 40 muestra en las figs. 1 y 2 que además comprende una trayectoria de la señal n+1 108\_n+1 que comprende una línea de retardo n+1 112\_n+1.

**[0053]** Las realizaciones de los desfasadores de la invención se pueden aplicar en dispositivos y sistemas de 45 comunicación inalámbrica, por ejemplo, en comunicaciones por satélite, especialmente en la conformación de haces y el seguimiento de receptores o transmisores móviles, u otros sistemas o dispositivos de comunicación que incluyen teléfonos móviles, redes inalámbricas de área local, etc., que se benefician de una mejor ganancia y/o direccionalidad de la antena. Sin embargo, está claro para los expertos en la técnica que la invención puede encontrar aplicación en cualquier campo donde se necesiten desfasadores ajustables.

**[0054]** Las antenas dirigibles completamente electrónicas pueden implementarse como "arreglo en fase", 50 donde la antena consiste en un número de elementos de antena y donde la señal recibida o transmitida por cada elemento se desplaza individualmente en fase. La dirección del punto es una función de estos desfases, que resulta de la combinación constructiva y destructiva de las señales transmitidas o recibidas. Esta implementación del desfasador utiliza un conjunto de líneas de retardo de diferente longitud, con una de las líneas de retardo que se utiliza 55 a la vez. Los circuitos de protección contra ESD se utilizan para implementar el "conmutador electrónico". El uso de circuitos de protección contra ESD en esta aplicación es favorable sobre el estado de la técnica conocido (p. ej., el uso de diodos PIN, transistores, MEMS o conmutadores discretos), debido a las propiedades ventajosas de alta frecuencia (trayectoria de conducción optimizada para transitorios de alta velocidad, baja capacitancia parásita, tamaño y distribución del espacio optimizados) de dichos dispositivos, complejidad del control y coste del dispositivo 60 comparativamente bajos.

**[0055]** Las realizaciones descritas anteriormente son simplemente ilustrativas de los principios de la presente invención. Se entiende que serán evidentes modificaciones y variaciones de las disposiciones y los detalles descritos en el presente documento para otros expertos en la técnica. Es la intención, por lo tanto, de estar limitado solo por el 65 alcance de las reivindicaciones de patente inminentes y no por los detalles específicos presentados a modo de



descripción y las explicaciones de las realizaciones en el presente documento.

## REIVINDICACIONES

1. Un desfasador (100) que comprende:
- 5 una señal de entrada (102);  
una señal de salida (104);  
un circuito de protección contra descarga electrostática (106) que comprende un primer dispositivo de dos puertos (110\_1) y un segundo dispositivo de dos puertos (110\_2), cada uno de los cuales es conmutable entre un estado de alta impedancia y un estado de baja impedancia;
- 10 una primera trayectoria de la señal (108\_1) entre la señal de entrada (102) y la señal de salida (104), en el que la primera trayectoria de la señal (108\_1) comprende el primer dispositivo de dos puertos (110\_1) del circuito de protección contra descarga electrostática (106) y una primera línea de retardo (112\_1) configurada para proporcionar un primer desfase a una señal transmitida desde la señal de entrada (102) a la señal de salida (104) a través de la primera trayectoria de la señal (108\_1); y
- 15 una segunda trayectoria de la señal (108\_2) entre la señal de entrada (102) y la señal de salida (104), en el que la segunda trayectoria de la señal (108\_2) comprende el segundo dispositivo de dos puertos (110\_2) del circuito de protección contra descarga electrostática (106) y una segunda línea de retardo (112\_2) configurada para proporcionar un segundo desfase, diferente del primer desfase, a la señal transmitida desde la señal de entrada (102) a la señal de salida (104) a través de la segunda trayectoria de la señal (108\_2);
- 20 en el que el circuito de protección contra descarga electrostática es un circuito que se utiliza convencionalmente para proteger circuitos electrónicos sensibles a descargas electrostáticas de una descarga electrostática; y  
en el que el primer dispositivo de dos puertos (110\_1) y el segundo dispositivo de dos puertos (110\_2) pueden descargar tensiones de descarga electrostática o corrientes de descarga electrostática de forma no destructiva en un evento de descarga electrostática; en el que se implementan cada uno de los dispositivos de dos puertos
- 25 (110\_1, 110\_2) del circuito de protección contra descarga electrostática (106)
- mediante dos diodos conectados a la inversa;
  - o mediante un diodo de alta velocidad unidireccional adaptado para que funcione en un modo de funcionamiento de ruptura inversa en el estado de baja impedancia.
- 30
2. El desfasador (100) según la reivindicación 1, en el que el desfasador (100) está configurado para aplicar un desfase ajustable a la señal transmitida desde la señal de entrada (102) a la señal de salida (104) al conmutar uno de los primer dispositivo de dos puertos (110\_1) y segundo dispositivo de dos puertos (110\_2) desde el estado de baja impedancia al estado de alta impedancia.
- 35
3. El desfasador (100) según una de las reivindicaciones 1 a 2, en el que el primer dispositivo de dos puertos (110\_1) y el segundo dispositivo de dos puertos (110\_2) están configurados para proporcionar una baja impedancia a altas frecuencias de manera que el circuito de protección contra descarga electrostática (106) puede conducir tensiones o corrientes transitorias rápidas.
- 40
4. El desfasador (100) según una de las reivindicaciones 1 a 3, en el que el primer dispositivo de dos puertos (110\_1) y el segundo dispositivo de dos puertos (110\_2) comprenden capacitancias parásitas de menos de 0,5 pF.
- 45
5. El desfasador (100) según una de las reivindicaciones 1 a 4, en el que el primer dispositivo de dos puertos (110\_1) y el segundo dispositivo de dos puertos (110\_2) son conmutables de forma individual entre el estado de baja impedancia y el estado de alta impedancia.
6. El desfasador (100) según una de las reivindicaciones 1 a 5, en el que el desfasador (100) está
- 50 configurado para aplicar una tensión de CC que es igual o superior a una tensión de ruptura del primer dispositivo de dos puertos (110\_1) y el segundo dispositivo de dos puertos (110\_2) a través del primer dispositivo de dos puertos (110\_1) o el segundo dispositivo de dos puertos (110\_2) para conmutar el dispositivo de dos puertos respectivo desde el estado de baja impedancia al estado de alta impedancia.
- 55
7. El desfasador (100) según la reivindicación 6, en el que el desfasador (100) está configurado para aplicar la tensión de CC a través de un filtro de paso bajo al dispositivo de dos puertos respectivo.
8. El desfasador (100) según una de las reivindicaciones 1 a 6, en el que el desfasador (100) comprende un filtro paso alto o paso banda conectado en serie entre la señal de entrada (102) y las trayectorias de la señal primera
- 60 y segunda (108\_1, 108\_2).
9. El desplazador de fase (100) según una de las reivindicaciones 1 a 8, en el que el primer dispositivo de dos puertos (110\_1) y el segundo dispositivo de dos puertos (110\_2) están conectados en una configuración en serie, paralela o resonante.
- 65

10. El desfasador (100) según una de las reivindicaciones 1 a 9, en el que el primer desfase y el segundo desfase difieren de manera que una señal transmitida desde la señal de entrada (102) a la señal de salida (104) a través de uno de los primer dispositivo de dos puertos (110\_1) y segundo dispositivo de dos puertos (110\_2) y una señal filtrada a través del otro de los primer dispositivo de dos puertos (110\_1) y segundo dispositivo de dos puertos (110\_2) desde la señal de entrada (102) a la señal de salida (104) se superponen de manera que la señal transmitida es atenuada por la señal filtrada sin afectar a la fase de la señal transmitida.
11. El desfasador (100) según la reivindicación 10, en el que el primer desfase y el segundo desfase difieren en 180°.
12. El desfasador (100) según una de las reivindicaciones 10 y 11, en el que el circuito de protección contra descarga electrostática (106) comprende un tercer dispositivo de dos puertos (110\_3), el dispositivo de dos puertos que es conmutable entre un estado de alta impedancia y un estado de baja impedancia; en el que el desfasador (100) comprende una tercera trayectoria de la señal (108\_3) entre la señal de entrada (102) y la señal de salida (104), en el que la tercera trayectoria de la señal (108\_3) comprende el tercer dispositivo de dos puertos (110\_3) del circuito de protección contra descarga electrostática (106) y una tercera línea de retardo (112\_3) configurada para proporcionar un tercer desfase, diferente del primer desfase y el segundo desfase, a la señal transmitida desde la señal de entrada (102) a la señal de salida (104) a través de la tercera trayectoria de la señal (108\_3);
- en el que el primer desfase, el segundo desfase y el tercer desfase pueden diferir de manera que una señal transmitida desde la señal de entrada (102) a la señal de salida (104) a través de uno del primer dispositivo de dos puertos (110\_1), el segundo dispositivo de dos puertos (110\_2) y el tercer dispositivo de dos puertos (110\_3) y las señales que se filtran a través de los otros de los primer dispositivo de dos puertos (110\_1), el segundo dispositivo de dos puertos (110\_2) y el tercer dispositivo de dos puertos (110\_3) desde la señal de entrada (102) a la señal de salida (104) se superponen de manera que, las señales que se filtran, se cancelan total o parcialmente.
13. El desfasador (100) según la reivindicación 12, en el que el primer desfase, el segundo desfase y el tercer desfase difieren entre sí en 120°.
14. El desfasador (100) según una de las reivindicaciones 1 a 13, en el que el circuito de protección contra descarga electrostática (106) comprende n dispositivos de dos puertos (110\_1: 110\_n), cada uno de los n dispositivos de dos puertos (110\_1: 110\_n) que es conmutable entre un estado de alta impedancia y un estado de baja impedancia, en el que el desfasador (100) comprende n líneas de retardo (112\_1: 112\_n); en el que el desfasador (100) comprende n trayectorias de la señal (108\_1: 108\_n) entre la señal de entrada (102) y la señal de salida (104), cada trayectoria de la señal comprende uno de los n dispositivos de dos puertos del circuito de protección contra descarga electrostática (106) y una de las n líneas de retardo, cada línea de retardo que está configurada para proporcionar un desfase a la señal transmitida desde la señal de entrada a la señal de salida, en el que los desfases de las n líneas de retardo difieren en  $360^\circ/n$ , en el que n es un número natural igual o mayor que dos.
15. Un desfasador (120) que comprende:
- una señal de entrada (102);  
una señal de salida (104);
- un circuito de protección contra descarga electrostática (106) que comprende un dispositivo de dos puertos (110), el dispositivo de dos puertos (110) que es conmutable entre un estado de alta impedancia y un estado de baja impedancia;  
una primera trayectoria de la señal (108\_1) entre la señal de entrada (102) y la señal de salida (104), en el que la primera trayectoria de la señal (108\_1) comprende el dispositivo de dos puertos (110) del circuito de protección contra descarga electrostática (106); y  
una segunda trayectoria de la señal (108\_2) entre la señal de entrada (102) y la señal de salida (104), en el que la segunda trayectoria de la señal (108\_2) comprende una línea de retardo (112) configurada para proporcionar un desfase a la señal transmitida desde la señal de entrada (102) a la señal de salida (104) a través de la segunda trayectoria de la señal (108\_2);
- en el que el desfasador está configurado para aplicar un desfase ajustable a la señal transmitida desde la señal de entrada (102) a la señal de salida (104) al conmutar el dispositivo de dos puertos (110) desde el estado de baja impedancia al estado de alta impedancia;  
en el que el circuito de protección contra descarga electrostática es un circuito que se utiliza convencionalmente para proteger circuitos electrónicos sensibles a descargas electrostáticas de una descarga electrostática; y
- en el que el dispositivo de dos puertos (110) puede descargar de forma no destructiva tensiones de descarga electrostática o corrientes de descarga electrostática en un evento de descarga electrostática;  
en el que se implementa el dispositivo de dos puertos (110) del circuito de protección contra descarga electrostática (106)
- mediante dos diodos conectados a la inversa;

- o mediante un diodo de alta velocidad unidireccional adaptado para que funcione en un modo de funcionamiento de ruptura inversa en el estado de baja impedancia.

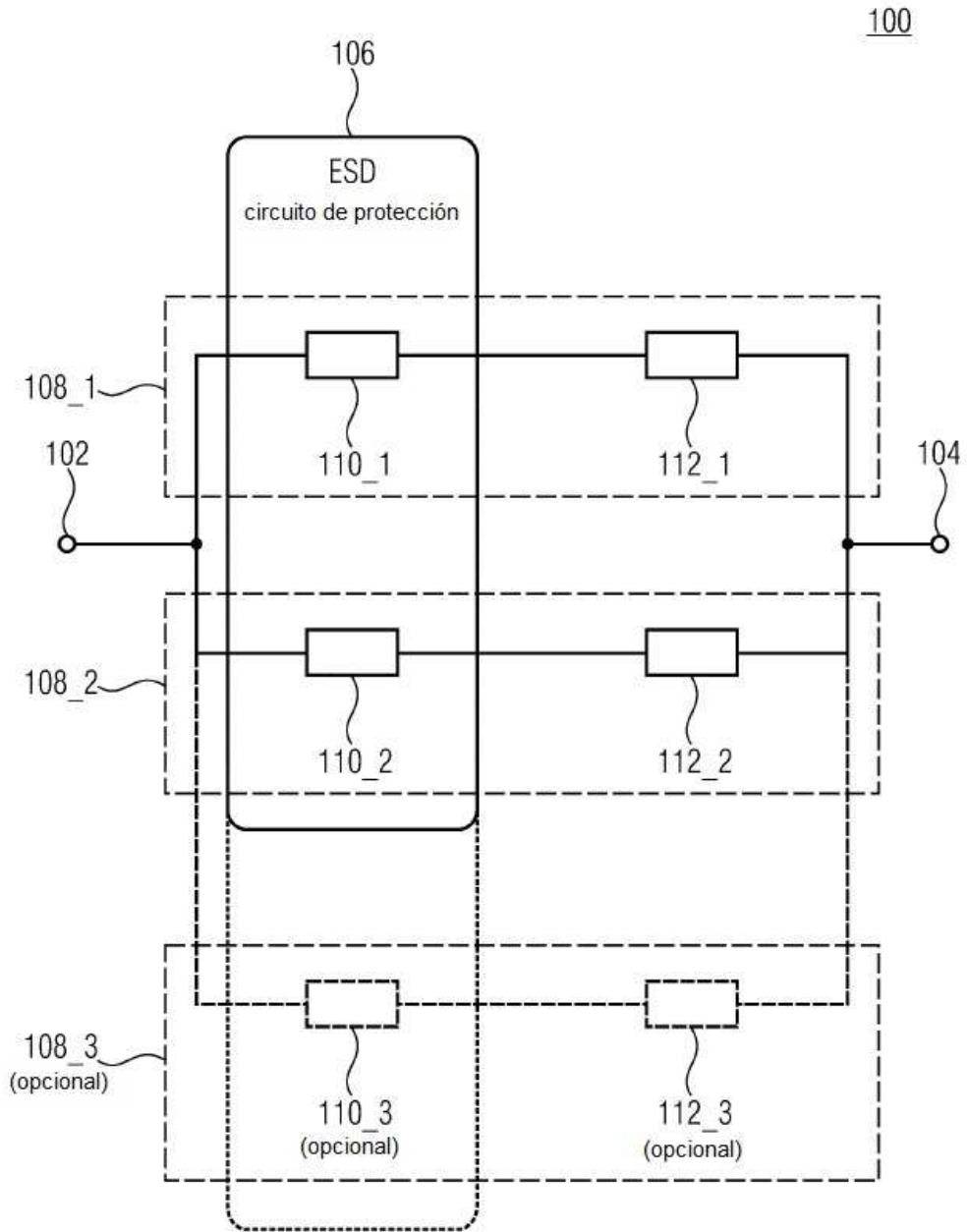


FIG 1

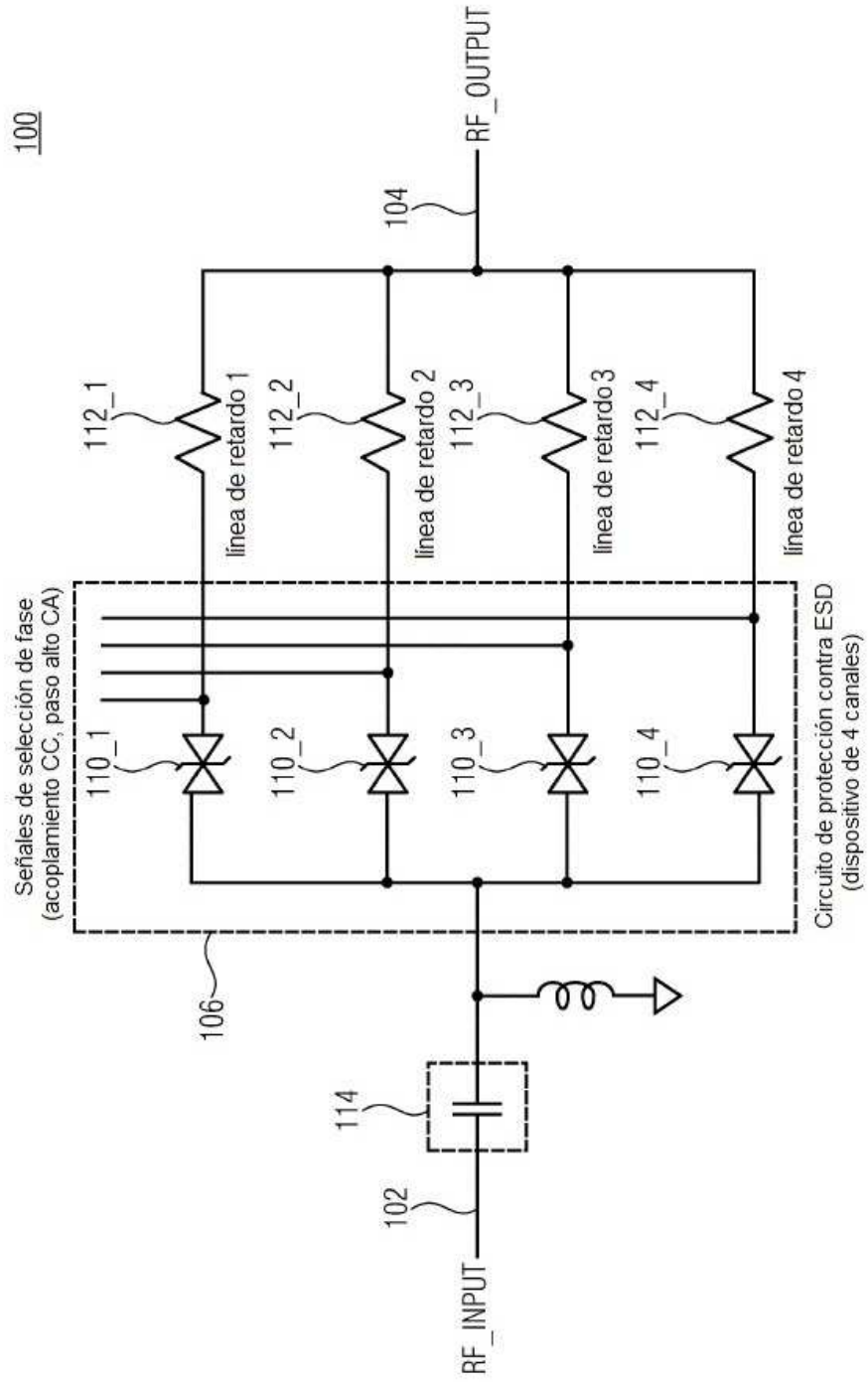


FIG 2

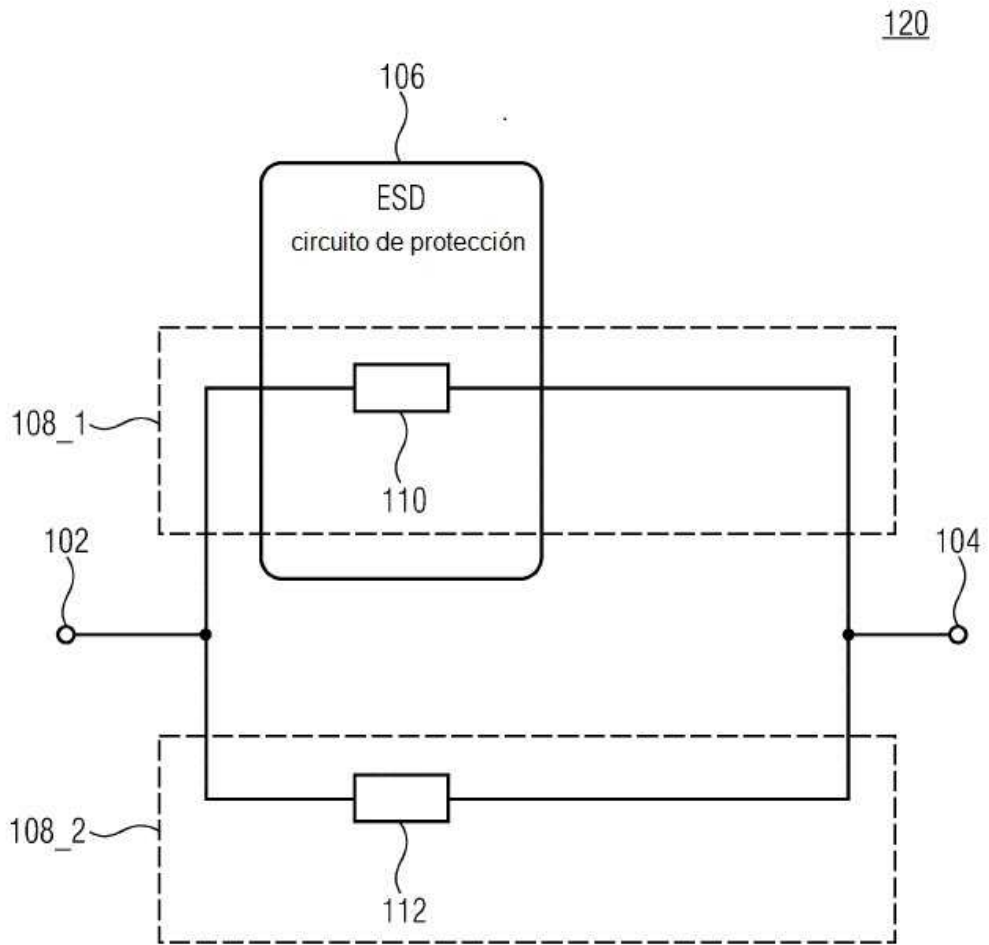


FIG 3

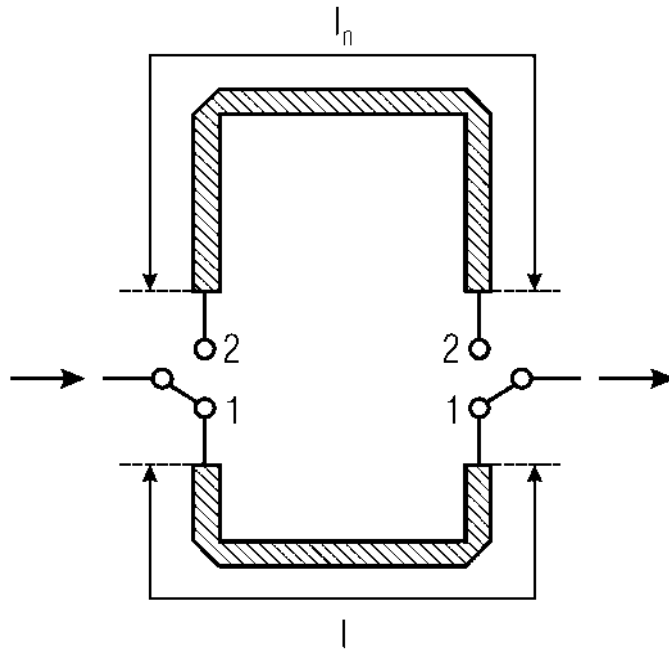


FIG 4A

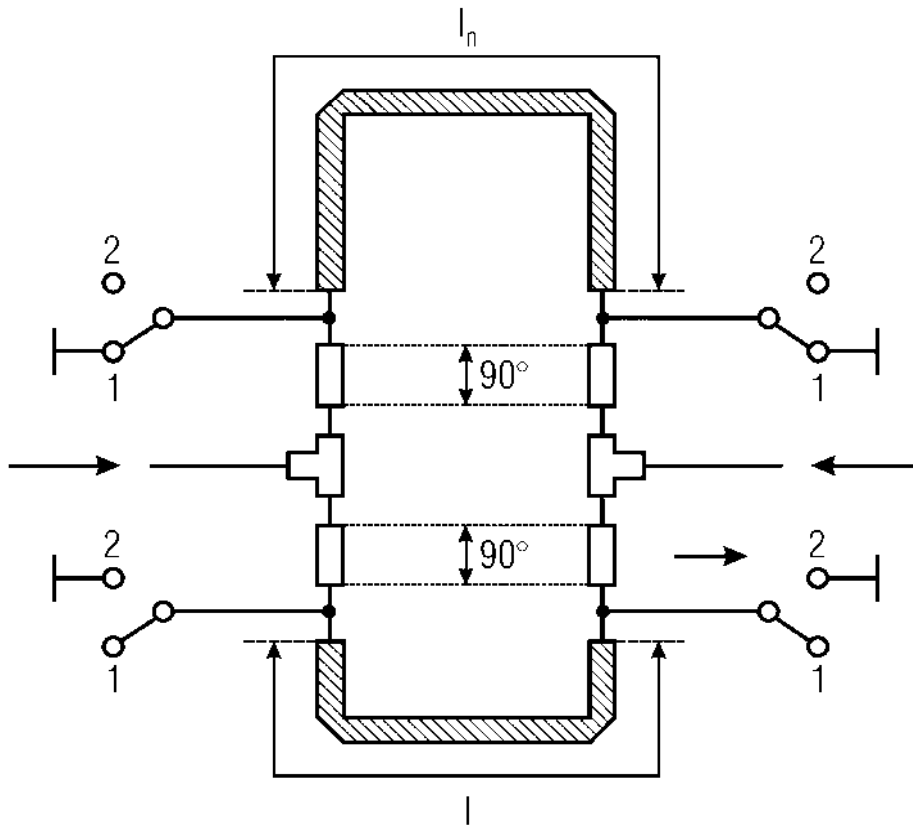


FIG 4B



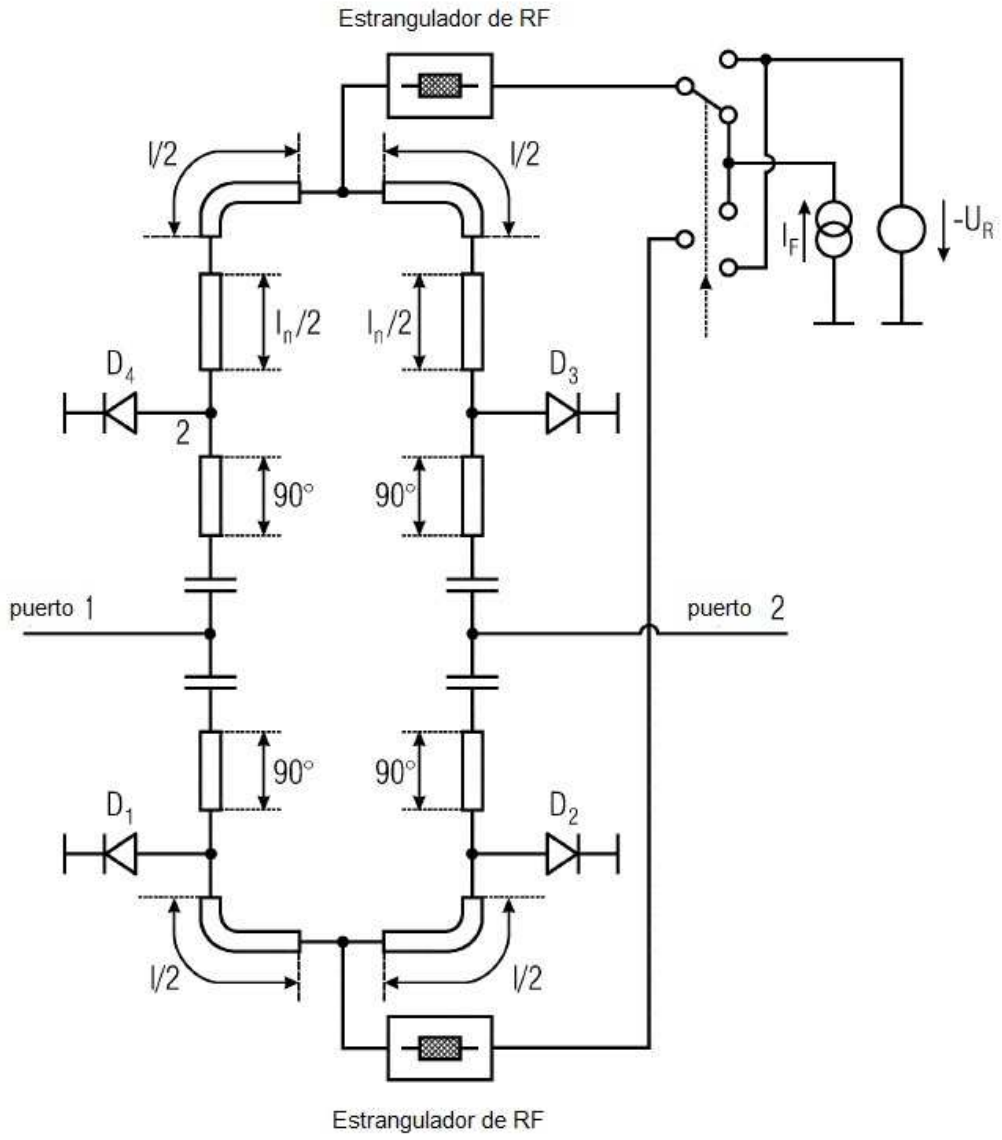


FIG 4C