

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 720 050**

51 Int. Cl.:

**G01R 31/317** (2006.01)

**G01R 29/26** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **08.08.2013 PCT/EP2013/066668**

87 Fecha y número de publicación internacional: **13.02.2014 WO14023811**

96 Fecha de presentación y número de la solicitud europea: **08.08.2013 E 13756337 (5)**

97 Fecha y número de publicación de la concesión europea: **16.01.2019 EP 2883067**

54 Título: **Medición eficiente del ruido de la fuente de alimentación basada en la incertidumbre de temporización**

30 Prioridad:

**08.08.2012 EP 12305986**  
**15.10.2012 US 201261714162 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**17.07.2019**

73 Titular/es:

**TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)**  
**(100.0%)**  
**164 83 Stockholm, SE**

72 Inventor/es:

**VALKA, MIROSLAV;**  
**BOSIO, ALBERTO;**  
**BROUTIN, MICKAEL;**  
**DEBAUD, PHILIPPE;**  
**GIRARD, PATRICK y**  
**GUILHOT, STÉPHANE**

74 Agente/Representante:

**ELZABURU, S.L.P**

ES 2 720 050 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCION

Medición eficiente del ruido de la fuente de alimentación basada en la incertidumbre de temporización

## 5 ANTECEDENTES

## Campo técnico

La presente solicitud se refiere en general a sensores de ruido de fuente de alimentación y métodos para medir el ruido de fuente de alimentación. Más particularmente, la solicitud se refiere a sensores que detectan el ruido de la fuente de alimentación en función de la medición de una incertidumbre de temporización en una señal dentro de un circuito. Los sensores encuentran un uso particular en circuitos integrados, por ejemplo, en una arquitectura de sistema en chip (SoC) para aplicaciones móviles.

Dichos circuitos integrados encuentran aplicaciones en, por ejemplo, dispositivos móviles como teléfonos móviles (móvil), teléfonos inteligentes, tabletas, ordenadores portátiles, etc.

## Técnica relacionada

Los enfoques descritos en esta sección podrían ser aplicados, pero no son necesariamente enfoques que se hayan concebido o aplicado previamente. Por lo tanto, a menos que se indique lo contrario en la presente memoria, los enfoques descritos en esta sección no son estado de la técnica respecto a las reivindicaciones en esta solicitud y no se admiten como estado de la técnica por inclusión en esta sección.

Para un dispositivo móvil de alto rendimiento, como un teléfono inteligente, los circuitos integrados para uso en dichos dispositivos deben combinar una alta velocidad de procesamiento con un bajo consumo de energía. Esto es para permitir que el dispositivo móvil logre la funcionalidad requerida al tiempo que conserva una vida útil aceptable de la batería.

El rendimiento de los circuitos integrados para estas aplicaciones se comprueba normalmente durante su fabricación para garantizar su idoneidad para su uso en el dispositivo. Los fallos de temporización o de retardo se pueden detectar utilizando, por ejemplo, pruebas de escaneo a velocidad para circuitos lógicos. La prueba de escaneo a velocidad consiste en usar un período de reloj del sistema particular entre el comienzo y la captura para cada patrón de prueba de retardo, que generalmente se elige como la velocidad de reloj nominal del circuito a prueba. Por el contrario, normalmente se utiliza un período de reloj más largo para los cambios de escaneo (ciclos de carga y descarga).

Aunque la prueba de escaneo a velocidad puede usarse para pruebas de fallo de retardo de alta calidad, el uso de dichas pruebas puede dar como resultado una pérdida de rendimiento apreciable inducida por la prueba. Una pérdida de rendimiento inducida por la prueba se produce cuando un chip "válido" se declara defectuoso durante la prueba de escaneo a velocidad. Los documentos T Saxena, K. et al, "A Case Study of IR-Drop in Structured At-Speed Testing", Conferencia de Pruebas Internacionales de IEEE., Págs. 1098-1104, 2003 y K. Arabi, et al, "Power Supply Noise in SoCs: Metrics, Management, and Measurement", Diseño y Prueba de Ordenadores IEEE, vol. 24, núm. 3, mayo-junio 2007 están ambos relacionados con este problema.

Una causa principal de la pérdida de rendimiento inducida por la prueba es el Ruido de la Fuente de Alimentación (PSN). Este ruido a menudo es causado por la caída de IR y la caída de Ldi/dt dentro del circuito integrado a prueba. La caída de IR es causada por la resistencia de las interconexiones dentro del circuito integrado, mientras que la caída de Ldi/dt es causada por una alta actividad de conmutación en el circuito. Esta alta actividad de conmutación conduce a su vez a un alto consumo de energía dentro del circuito y, por lo tanto, una caída en la tensión de alimentación efectiva durante la actividad de conmutación.

Para resolver este problema, se describen técnicas para reducir el riesgo de pérdida artificial de rendimiento inducida por un PSN excesivo durante las pruebas de escaneo a velocidad en los documentos Chakravarty S., et al, "Optimal Manufacturing Flow to Determine Minimum Operating Voltage", ITC 2011, págs. 1-10 y Franch R., et al, "On-chip Timing Uncertainty Measurements on IBM Microprocessors", ITC 2007, págs. 1-7. Estas técnicas se basan principalmente en la modificación de patrones de prueba o en el Diseño para la Testabilidad (DfT) que tiene en cuenta la energía.

Como alternativa a estas técnicas, se puede usar un sistema de supervisión de la fuente de alimentación. En el proceso de Franch R., et al, "On-chip Timing Uncertainty Measurements on IBM Microprocessors", ITC 2007, págs. 1-7, se utiliza una caja de supervisión de procesos (PMB) para determinar el consumo de energía real. La PMB toma la forma de un oscilador anular, cuya salida se utiliza como el reloj de un contador. El contador funciona durante una ventana de tiempo fija y se lee el valor de conteo de salida, C. El valor de C depende de la frecuencia del oscilador anular y esto a su vez depende de las propiedades físicas del circuito integrado y de la tensión real de la fuente de alimentación. Por tanto, C es una medida de la frecuencia real. El valor de C se compara después con el valor esperado para verificar el rendimiento del sistema. Por ejemplo, en presencia de PSN, el valor de C será más bajo

que el valor esperado. La PMB es fácil de implementar, sin embargo, el valor de C no es generalmente una medida precisa de la frecuencia real, ya que no depende directamente de los estímulos aplicados.

Un método adicional se describe en Huang JJ., et al, "A Low-Cost Jitter Measurements Technique for BIST Applications", ATS 2003, págs. 336-339. En este documento, se utiliza un sensor incorporado para medir la incertidumbre de temporización (variación rápida). El sensor descrito está compuesto por elementos de retardo (inversores) y elementos de captura (cierres). El sensor está conectado a un árbol de reloj para detectar variaciones de temporización de reloj. El sensor también se puede reutilizar como supervisor de ruido de la fuente de alimentación. Al igual que con la técnica anterior, esta solución sufre de un bajo grado de precisión con respecto a la medición del ruido de la fuente de alimentación.

Las realizaciones descritas en el presente documento tienen como objetivo proporcionar un sistema y un método para medir el PSN que supere o mitigue al menos algunos de los problemas observados con respecto a los métodos descritos anteriormente.

S. Sunter et al: "On-chip digital jitter measurement, from megahertz to gighertz", Diseño y Prueba de Ordenadores IEEE, vol. 21, núm. 4, 1 de julio de 2004, págs. 314-321, ISSN: 0740-7475 describe un método para proporcionar una medición de ruido de la fuente de alimentación en el chip.

## SUMARIO

La invención es definida por el contenido de las reivindicaciones independientes. En un primer aspecto, se proporciona un dispositivo de medición de ruido de la fuente de alimentación para su inclusión con un circuito integrado, teniendo el circuito integrado un bloque funcional, comprendiendo el dispositivo de medición de ruido: un generador de señales configurado para proporcionar una señal de reloj al bloque funcional, comprendiendo una antena un transistor y que se encuentra cerca del bloque funcional, estando la antena configurada para recibir la señal de reloj del generador de señal y un estimador de variación rápida configurado para proporcionar una medida del variación rápida relativa entre una señal de salida de la antena y una señal de reloj de referencia, en donde el transistor de la antena recibe energía eléctrica de la misma fuente de energía que suministra energía al bloque funcional.

Por tanto, se puede realizar una estimación precisa del ruido de la fuente de alimentación en un bloque funcional utilizando una medida directa del ruido en la tensión de la fuente de alimentación.

En algunas realizaciones, la antena comprende un búfer, comprendiendo el búfer una pluralidad de transistores configurados para transmitir la señal de reloj desde una entrada del búfer a una salida del búfer. Por tanto, la antena puede estar formada fácilmente a partir de componentes bien conocidos.

En algunas realizaciones, la antena comprende una pluralidad de búferes conectados eléctricamente en forma de conexión en serie, por lo que la salida de los búferes en la conexión en serie se conecta a la entrada del búfer en la conexión en serie subsiguiente. Por tanto, se puede crear una antena de una longitud arbitraria conectando una pluralidad de búferes.

En algunas realizaciones, la energía al, o cada, transistor en la antena se toma de una malla de contactos eléctricos que también proporciona energía eléctrica a los componentes dentro del bloque funcional. Al recibir energía eléctrica de esta manera, puede asegurarse que los elementos de la antena midan directamente el ruido de la fuente de alimentación que experimentan los componentes dentro del circuito integrado, lo que proporciona un resultado preciso.

En algunas realizaciones, el bloque funcional, la antena y el estimador de variación rápida están ubicados dentro de un dominio de tensión, y en donde una fuente de energía común suministra energía al dominio de tensión. Por tanto, al emplear un sistema de dominios de tensión, muchos de los componentes del dispositivo de medición de ruido pueden ser alimentados por la misma fuente de energía. Como resultado, estos componentes pueden apagarse cuando el bloque funcional a prueba también se apague.

En algunas realizaciones, la antena está formada como parte del bloque funcional. Por tanto, la antena puede ubicarse dentro del circuito a prueba para permitir la medición más precisa del ruido de la fuente de alimentación.

En algunas realizaciones se incluye un multiplexor, en donde el multiplexor está configurado para transferir de manera seleccionable bien la señal de reloj desde el generador de señal, o bien la salida de señal desde la antena, al estimador de variación rápida. Por tanto, el dispositivo puede permitir la calibración de la señal de la antena en comparación con la señal del generador de señal.

En algunas realizaciones, se proporciona una pluralidad de antenas en o cerca del bloque funcional, estando configuradas cada una de las antenas para recibir la señal de reloj desde el generador de señales, y estando cada una configurada para proporcionar una entrada al estimador de variación rápida. Por tanto, el dispositivo puede proporcionar información relativa al perfil espacial del ruido de la fuente de alimentación dentro del bloque funcional.

En algunas realizaciones, la señal de reloj de referencia es proporcionada por el generador de señales. Por el contrario, en algunas realizaciones, la señal de reloj de referencia es proporcionada por un generador de señales externo al circuito integrado. Al utilizar un generador de señales externo, se puede garantizar que la señal sea una señal de reloj altamente precisa y estable para ayudar a generar una medición precisa del ruido de la fuente de alimentación.

En algunas realizaciones, la medida de la variación rápida relativa proporcionada por el estimador de variación rápida comprende una información relativa a la variación temporal de la variación rápida. Por tanto, los patrones en el ruido de la fuente de alimentación pueden ser identificados y analizados.

En un segundo aspecto, se proporciona un método para proporcionar una medición de ruido de la fuente de alimentación para un circuito integrado, teniendo el circuito integrado un bloque funcional, comprendiendo el método: proporcionar un generador de señales para proporcionar una señal de reloj al bloque funcional, proporcionar una antena que comprende un transistor, y ubicada cerca del bloque funcional, estando configurada la antena para recibir la señal de reloj del generador de señales y determinar una medida del ruido de la fuente de alimentación analizando la variación rápida relativa entre una salida de señal de la antena y una señal de reloj de referencia, en donde el transistor de la antena recibe energía eléctrica de la misma fuente de energía que suministra energía al bloque funcional.

Un tercer aspecto proporciona un circuito integrado que comprende un dispositivo de medición de ruido de la fuente de alimentación.

#### BREVE DESCRIPCIÓN DE LOS DIBUJOS

La presente invención se ilustra a modo de ejemplo, y no a modo de limitación, en las figuras de los dibujos adjuntos, en las que números de referencia similares se refieren a elementos similares y en las que:

- La figura 1 es una vista esquemática de un ejemplo de un sistema en chip (SoC) compuesto por tres bloques funcionales;
- La figura 2 es una vista esquemática de un PSN de acuerdo con una primera realización;
- La figura 3 ilustra detalles de una antena de la realización de la figura 2;
- La figura 4 ilustra los detalles de un búfer que forma parte de la antena de la figura 3;
- La figura 5 ilustra un escenario típico de una implementación de una realización;
- La figura 6 ilustra un diagrama de temporización para señales en la primera realización;
- La figura 7 ilustra una segunda realización; y
- La figura 8 ilustra un método para determinar el PSN usando una técnica diferencial.

#### DESCRIPCIÓN DE LAS REALIZACIONES PREFERIDAS

Las realizaciones se describirán a continuación a modo de ejemplo en el contexto de una arquitectura de sistema en chip (SoC) para aplicaciones móviles. Sin embargo, el lector experto apreciará que las realizaciones pueden aplicarse igualmente en otras situaciones, incluidas las aplicaciones que emplean un dispositivo de circuito integrado y cualquier aplicación en la que el ruido de la fuente de alimentación en el circuito sea un problema.

Un SoC típico está compuesto por una pluralidad de bloques funcionales (IPs), cada uno de los cuales se puede situar en diferentes dominios de energía/tensión. La figura 1 ilustra una vista esquemática de un ejemplo de un SoC, mostrado de manera general como 100, formado en un circuito 116 integrado y compuesto por tres bloques funcionales. El experto en la técnica reconocerá que las realizaciones pueden aplicarse igualmente a SoCs que tengan un número mayor o menor de bloques funcionales.

En el ejemplo que se muestra en la figura 1, estos bloques funcionales son una unidad 102 central de procesamiento (CPU), una unidad 105 de procesamiento gráfico (GPU) y un MODEM 103. Cada bloque funcional 102, 103, 105 puede tener sus propias condiciones de funcionamiento, como la tensión de fuente de alimentación particular (Vdd) y la frecuencia de funcionamiento (Frec). Esto es ilustrado en la figura 1 por los diferentes dominios de tensión en los que se encuentran ubicados los componentes. Por tanto, la CPU 102 se ubica en un primer dominio 111 de tensión, mientras que la GPU 105 y el MODEM 103 se ubican de manera similar en dominios 115 y 113 de tensión separados, respectivamente. Cada uno de los diferentes dominios 111, 113, 115 de tensión puede suministrarse con diferentes tensiones y/o frecuencias de reloj que dependen de las necesidades actuales del bloque o bloques funcionales dentro del dominio. Además, si no se requiere un bloque funcional particular en un momento dado, entonces la tensión suministrada al dominio respectivo se puede conmutar a cero para ahorrar energía. En la figura 1, también se muestran las interconexiones 107 entre la CPU 102, la GPU 105 y el MODEM 103, estas son para la transmisión de señales de datos entre los bloques funcionales.

El experto en la técnica reconocerá que la energía consumida por un bloque funcional puede variar con el tiempo, dependiendo de la tarea de procesamiento o la aplicación particular que esté llevando a cabo el bloque funcional. La energía consumida es generalmente una función de la actividad de conmutación del bloque funcional. Por tanto, en general, si la actividad de conmutación de un bloque funcional es alta, el consumo de energía tenderá a ser alto. De

manera similar, la baja actividad de conmutación tiende a resultar en un bajo consumo de energía para el bloque funcional.

El experto en la técnica también reconocerá que el consumo de energía por un bloque funcional dará como resultado una caída en la tensión de la fuente de alimentación. Para ilustrar esto, la figura 1 muestra como ejemplo que el MODEM 103 se encuentra actualmente en una situación de baja actividad de conmutación y, por lo tanto, baja caída de tensión, como se indica por el sombreado del MODEM 103 con referencia a la escala a la derecha de la figura. En contraste, la CPU 102 se encuentra en un estado de actividad media (caída de tensión media), mientras que la GPU 105 está en un estado de alta actividad (caída de tensión alta). Además, y como se muestra por el gradiente en el sombreado ilustrado en la CPU 102 y el MODEM 103, el nivel de actividad varía espacialmente dentro de estos bloques funcionales. Esto puede ser, por ejemplo, porque la actividad actual del bloque funcional es mayor para un área particular de los circuitos. Por tanto, la caída de tensión puede variar tanto entre bloques funcionales como también espacialmente dentro de un bloque funcional.

Una reducción en la tensión de alimentación efectiva a un bloque funcional puede llevar a una reducción en el rendimiento del circuito en el bloque funcional. Esta reducción en el rendimiento puede, por ejemplo, manifestarse en sí misma en forma de errores de temporización en señales dentro o en la salida del bloque funcional. Por tanto, existe una relación directa entre el ruido en la fuente de alimentación, por ejemplo, causado por la actividad variable en un bloque funcional que varía la tensión de alimentación efectiva, y los errores de temporización observados en las señales de reloj dentro del bloque funcional.

Por consiguiente, en una realización, se proporciona un sensor para detectar el PSN dentro de un bloque funcional detectando la presencia de dichos errores de temporización.

La figura 2 ilustra una realización en el que un sensor está configurado para detectar el PSN experimentado en un bloque funcional, que se ilustra a modo de ejemplo como una primera CPU 101. La primera CPU 101 está ubicada en un circuito integrado que se muestra de manera general como 117. La figura 2 ilustra la presencia de un bloque funcional adicional, en forma de una segunda CPU 119, en el circuito 117 integrado, aunque como se mencionó anteriormente, la realización es aplicable a un circuito integrado con cualquier número de bloques funcionales. Este hecho se ilustra por la presencia del 'aglutinante' 121, que indica la presencia de un número arbitrario de bloques funcionales adicionales y/o circuitos de control.

El circuito 117 integrado también tiene un primer bucle 123 de fase fija (PLL). Esto genera una señal de reloj para la primera CPU 101 usando un oscilador de cristal. La generación de dichas señales de reloj es bien conocida en la técnica, por lo que aquí no se incluirá una explicación adicional. La salida del primer PLL 123 se conecta eléctricamente a la primera CPU 101, de modo que los pulsos de reloj del primer PLL 123 se pueden usar como una señal de temporización para la primera CPU 101 de una manera usual y conocida.

De manera similar, el circuito 117 integrado también tiene un segundo PLL 125, que está conectado eléctricamente a la segunda CPU 119 para suministrar pulsos de reloj a la segunda CPU 119. El experto en la técnica reconocerá que al proporcionar diferentes PLL 123, 125 para las diferentes CPU 101, 119, cada CPU en el circuito 117 integrado puede hacerse funcionar de manera independiente. Por tanto, por ejemplo, las CPU 101, 119 pueden hacerse funcionar a diferentes velocidades de reloj, o una CPU puede desactivarse cuando no está en uso para de ese modo ahorrar energía. En el circuito 117 integrado ilustrado, el aglutinante 121 también está conectado eléctricamente al segundo PLL 125. Esto se muestra a modo de ejemplo para indicar que no todas las funciones de procesamiento en el circuito 117 integrado necesitan señales de reloj a través de un PLL dedicado.

Alrededor de la primera CPU 101 hay una antena 127. La antena 127 comprende una serie de búferes 129 (para mayor claridad, no todos los búferes están etiquetados) conectados en serie. La antena 127 se encuentra físicamente lo más cerca posible de la primera CPU 101 para permitir la detección más precisa de los parámetros de ruido. En la realización descrita en este momento, los búferes 129 que comprenden la antena están ubicados fuera de la primera CPU 101. Sin embargo, en realizaciones alternativas, los búferes 129 están incluidos dentro de los circuitos de la primera CPU 101. Evidentemente, dicha realización implica la implementación de la realización descrita durante la fase de diseño de la primera CPU 101. Por el contrario, la implementación de la realización descrita en este momento se puede lograr en la fase de diseño del circuito 117 integrado, por lo que el diseño de la primera CPU 101 no necesita ser alterado a partir de un diseño conocido.

La estructura de la antena 127 y los búferes 129 se describirá con más detalle a continuación haciendo referencia a las figuras 3 y 4. Un extremo de la antena 127 está conectado eléctricamente a la señal de reloj del primer PLL 123, mientras que el otro extremo de la antena 127 está conectado a una entrada de un primer multiplexor 131. Por tanto, la señal de reloj del primer PLL 123 forma una entrada a la antena 127 y, una vez que ha pasado a través de cada búfer 129 que forma la antena 127, la señal de reloj (potencialmente modificada) se envía al primer multiplexor 131. Además, la señal de reloj del primer PLL 123 está conectada a una segunda entrada del primer multiplexor 131.

El primer multiplexor 131 está configurado para enviar selectivamente la señal de reloj del primer PLL 123 o la señal de reloj que ha pasado a través de la antena 127. La salida del primer multiplexor 131 está conectada eléctricamente

a una primera entrada de un estimador 135 de variación rápida (EJ). El EJ se describirá con mayor detalle haciendo referencia a la figura 4.

Un segundo multiplexor 133 también está presente en el circuito 117 integrado, este tiene dos entradas, una primera entrada recibe una señal de reloj del segundo PLL 125, mientras que la segunda entrada está conectada eléctricamente a una almohadilla 137 de contacto externa ubicada en el borde del circuito 117 integrado. La almohadilla 137 de contacto permite la entrada de una señal de reloj externa, por ejemplo, desde un equipo de prueba automatizado (ATE) al segundo multiplexor 133. El segundo multiplexor 133 está configurado para enviar selectivamente su primera o segunda entradas a una segunda entrada del EJ 135.

El EJ tiene una salida que está conectada eléctricamente a una almohadilla 139 de contacto externa, de modo que la salida del EJ 125 puede ser recibida por un equipo externo. Además, el EJ 125 tiene una primera salida 141 de control que proporciona una señal de control al primer multiplexor 131 para permitir la selección de la señal deseada para ser enviada al EJ 135. Del mismo modo, una segunda salida 143 de control del EJ 135 permite la selección de la señal deseada del segundo multiplexor 133 para ser enviada al EJ 135.

El circuito 117 integrado se divide en dominios de tensión, en donde todos los componentes dentro de un dominio dado son alimentados con energía eléctrica de la misma fuente y, por lo tanto, funcionan a la misma tensión. Como resultado, los componentes con un dominio de tensión también tenderán, por lo tanto, a experimentar las mismas fluctuaciones de tensión que resultan del ruido de la fuente de alimentación. El experto en la técnica será conocedor del concepto de dominios de tensión, por lo que no se proporcionará una explicación detallada aquí. En el circuito 117 integrado, la primera CPU 101, la antena 127, el primer y el segundo multiplexores 131, 133 y el EJ 135 están todos ubicados en un primer dominio 145 de tensión. La segunda CPU 119 está ubicada en un dominio 147 de tensión separado, mientras que el aglutinante 121, y el primer 123 y el segundo 125 PLLs están todos en un dominio 149 de tensión adicional.

La figura 3 ilustra detalles adicionales de la antena 127. Como se indicó anteriormente, la antena 127 está compuesta por una serie de búferes 129 esencialmente idénticos conectados en una conexión en serie. Por tanto, la salida del primer búfer 129a en la serie forma la entrada al segundo búfer 129b, cuya salida a su vez forma la entrada al tercer búfer 129c. La entrada al primer búfer 129a es proporcionada por la señal de reloj del primer PLL 123, mientras que la salida al último búfer 129n en la serie es usada como una entrada al primer multiplexor 131. La energía para cada búfer 129a-n en la serie es suministrada por conexiones entre la tierra 151 y la alimentación 153 de tensión (Vdd) en el dominio 145 de tensión que es local a la primera CPU 101. Por lo tanto, cada búfer 129a-n en la serie recibe energía de una tensión que es directamente representativa del suministro de tensión que es local a la parte de la primera CPU 101 a la que está adyacente. Por consiguiente, cada búfer 129a-n proporciona un medio para detectar la tensión de alimentación para la CPU 101 en su área local. También se muestran en la figura 4 la capacitancia y resistencia parasitaria efectiva que surge de cada búfer 129, estas se describirán con mayor detalle haciendo referencia a la figura 4.

El experto en la técnica reconocerá que no hay un límite particular en el número de búferes 129 que se pueden conectar en serie de esta manera para formar una antena 127. Por lo tanto, se pueden generar antenas de longitud arbitraria utilizando dichos búferes 129.

La figura 4 ilustra detalles adicionales de cada búfer 129a-n, cada uno de los cuales es sustancialmente idéntico. Cada búfer comprende dos transistores 159, 161 pMOS y dos transistores 163, 165 nMOS. Los terminales de puerta de un primer nMOS 165 y un primer pMOS 159 están conectados eléctricamente a una entrada 155 al búfer 129. Los terminales de drenaje de cada uno del primer nMOS 165 y el primer pMOS 159 están conectados eléctricamente a los terminales de puerta del segundo nMOS 163 y el segundo pMOS 161, que están conectados eléctricamente entre sí.

Los terminales de fuente del primer 159 y el segundo 161 pMOS están conectados a la tensión 153 de alimentación (Vdd), mientras que los terminales de drenaje del primer 165 y el segundo 163 nMOS están conectados a la tierra 151. La salida 157 al búfer 129 está conectada eléctricamente a los terminales de drenaje tanto del segundo pMOS 161 como del segundo nMOS 163.

También se muestran en la figura 4 los circuitos RC parásitos efectivos que existen entre la tensión 153 de alimentación y los terminales de fuente del primer 159 y el segundo 161 pMOS, y también entre la tierra 151 y los terminales de drenaje del primer 165 y el segundo 163 nMOS.

El experto en la técnica reconocerá que la acción del circuito formado en el búfer 129 es conmutar la salida 157 a alta cuando la entrada 155 es conmutada a alta, y conmutar la salida 157 a baja cuando la entrada 155 es conmutada a baja. Por tanto, esta es la acción habitual de un circuito de búfer. El experto también reconocerá que se producirá cierto retardo entre la conmutación de la entrada 155 y la conmutación resultante de la salida 157. Esta demora dependerá de muchos factores, como los transistores particulares utilizados y su configuración, la temperatura ambiente y también la tensión de alimentación particular a los transistores. Por tanto, en circunstancias donde todos los demás parámetros que afectan el tiempo de conmutación del búfer 129 se mantienen

aproximadamente constantes, el tiempo de conmutación del búfer 129 se puede usar para detectar la tensión de la fuente de alimentación.

La figura 5 ilustra un escenario típico en el que la realización descrito puede ponerse en uso. Normalmente, en un circuito integrado que comprende muchos componentes electrónicos, los componentes tendrán conexiones eléctricas para transmitir señales entre los diversos componentes, y también conexiones eléctricas para proporcionar energía a cada componente. Como se ilustra en la figura 5, un componente 171 eléctrico, como una puerta lógica, tiene conexiones de suministro de energía a tierra 151 y a un suministro 153 de tensión. Debido a que generalmente hay muchos componentes 171 eléctricos en un circuito integrado, las conexiones de tierra 151 y de suministro 153 de tensión cada una toma la forma de una red o malla de conductores eléctricos. Cada componente 171 eléctrico está conectado a nodos en la malla de tierra 151 y la malla del suministro 153 de alimentación. Al proporcionar energía eléctrica a los búferes 129 que forman la antena 127 desde nodos en la misma malla para la tierra 151 y el suministro 153 de tensión, se puede garantizar que los búferes 129 experimenten la misma tensión de alimentación, incluyendo cualquier ruido, que la experimentada por los componentes 171 electrónicos del circuito integrado.

La figura 5 también ilustra una fluctuación de tensión de alimentación observada normalmente que puede ser causada por la actividad en el componente 171 electrónico. Como se puede ver a partir de la figura, cuando el componente eléctrico está inactivo, es decir, no conmutando, la tensión de la fuente de alimentación está a algún valor nominal,  $V_{nom}$ . Cuando se produce alguna actividad en el componente electrónico, la tensión de la fuente de alimentación cae, en este caso a  $(V_{nom}-\xi_1)$  debido a que la actividad del componente 171 consume energía. Una vez que la actividad cesa, la tensión de alimentación aumentará hacia  $V_{nom}$ . Sin embargo, normalmente hay un sobreimpulso y, como se ilustra, la tensión de alimentación aumenta a  $(V_{nom}+\xi_2)$ , antes de caer nuevamente por debajo de  $V_{nom}$  y luego finalmente volver a establecerse en  $V_{nom}$ .

Si la conmutación del búfer 129, causada por la entrada de un impulso de reloj al búfer 129, se produce durante un período donde la tensión de alimentación es igual a  $V_{nom}$ , entonces el retardo en la conmutación del búfer tendrá algún valor nominal. Sin embargo, si la conmutación del búfer 129 se produce cuando la tensión de alimentación es inferior a  $V_{nom}$ , la conmutación del búfer 129 se retardará en un valor mayor en comparación con el valor nominal. Por el contrario, si la conmutación del búfer 129 se produce cuando la tensión de alimentación es superior a  $V_{nom}$ , la conmutación del búfer 129 se retardará en un valor menor en comparación con el valor nominal. Por tanto, se observará una variación de temporización en la conmutación del búfer y, por lo tanto, la propagación de la señal de reloj a través de la antena 127.

La función del sensor de ruido de la fuente de alimentación se describirá ahora haciendo referencia a las figuras 2-6. La figura 6 ilustra un ejemplo de diagrama de temporización para las señales de entrada y salida al EJ 135 en el circuito 117 integrado ilustrado en la figura 2. En el ejemplo de diagrama de temporización ilustrado en la figura 6, se asume que el segundo multiplexor 133 es conmutado de modo que una señal de reloj de algunos equipos de prueba externos es proporcionada a la segunda entrada del EJ 135. Este trazado está etiquetado como  $F_{ref}$  y, como puede verse a partir de la figura, esto corresponde a una señal de pulso cuadrado normal que, por ejemplo, se usaría como un pulso de reloj para accionar un procesador, como una CPU. Debido a que la señal es proporcionada por un equipo de prueba externo, el período del pulso de reloj es regular con un alto grado de precisión, por lo que cada pulso cuadrado en el trazado es esencialmente idéntico a cada otro pulso.

En el ejemplo ilustrado en la figura 6, se supone además que el primer multiplexor 131 se conmuta de modo que la señal de la antena 127 se envía al EJ 135 como  $F_{obs}$ . Por lo tanto, el trazado ilustrado como  $F_{obs}$  representa un pulso de reloj que fue generado por el primer PLL 123 y que luego se propagó a través de la antena 127. Como es evidente a partir de la ilustración de  $F_{obs}$ , este trazado es menos regular que el trazado de  $F_{ref}$ . Debido a que la señal del trazado de  $F_{obs}$  se ha propagado alrededor de la antena 127, esta señal ha acumulado errores de temporización como resultado de las pequeñas fluctuaciones en el valor local de  $V_{dd}$ . El EJ 135 está configurado para comparar la señal de  $F_{obs}$  con la de  $F_{ref}$  para determinar la variación rápida relativa que está presente en la señal de  $F_{obs}$ .

La figura 6 también ilustra un esquema del EJ 135. Además de las entradas  $F_{obs}$  y  $F_{ref}$  y la salida BEC, el EJ 135 también tiene una entrada de habilitación. La entrada de habilitación se utiliza para habilitar el EJ 135 con el fin de realizar mediciones de ruido.

Típicamente, la frecuencia de reloj para una CPU puede ser del orden de 1GHz, por tanto, el período de reloj será del orden de 1ns. La variación rápida observada en la señal  $F_{obs}$  puede ser normalmente del orden de 50ps en un período de reloj dado. Por tanto, en presencia de variación rápida, el período de reloj observado en  $F_{obs}$  puede estar normalmente entre 0,95ns y 1,05ns para cada búfer 129 en la antena 127.

Las estimaciones de variaciones rápidas basadas en un sistema que emplea un submuestreo se proporcionan en cada uno de Huang JJ., et al., "A Low-Cost Jitter Measurements Technique for BIST Applications", A TS 2003, págs. 336-339 y S. Sunter y A. Roy, "On-chip digital jitter measurement, from megahertz to gigahertz", Diseño y Prueba de Ordenadores IEEE, Vol. 21, núm. 4, págs. 314-321, julio-agosto. 2004.

Se proporciona una descripción completa de la implementación de un estimador de variación rápida en H. Le-Gall, "Estimating of the jitter of a clock signal.". Patente de los Estados Unidos 7.487.055, concedida el 3 de febrero de 2009. Por consiguiente, no se proporcionará una descripción completa aquí. Sin embargo, en resumen, el EJ 135 utiliza un flanco (bien sea el flanco ascendente o el flanco descendente) de cada pulso en la señal de  $F_{ref}$  para activar la medición de la señal  $F_{obs}$  durante un breve período. Por tanto, la señal de  $F_{obs}$  se muestrea (o 'valida') para una ventana corta a intervalos regulares determinados por la frecuencia de la señal de  $F_{ref}$ .

A partir de los trazados de  $F_{ref}$  y  $F_{obs}$  ilustrados en la figura 6, se puede ver que, si no hay variación rápida en la señal de  $F_{obs}$ , el muestreo de la señal de  $F_{obs}$  a intervalos regulares siempre dará el mismo resultado. Dicho de otro modo, en términos del valor digital, el valor muestreado siempre será alto o bajo. Sin embargo, si la variación rápida está presente en la señal de  $F_{obs}$ , entonces el muestreo regular resultará a veces en una salida alta y otras en una salida baja. Este resultado se ilustra en el trazado etiquetado 'validación\_variación rápida' en la figura 6. Como es evidente a partir del trazado validación\_variación rápida, el valor de la señal validación\_variación rápida cambia cada vez que cambia el resultado del muestreo, por lo que a veces hay períodos relativamente largos, cuando la variación rápida es pequeña, en el que el contador de variación rápida permanece alto o bajo

La salida del EJ 135 tiene la forma de un bus de 17 bits llamado Contador de Flancos de Pulso (BEC). La salida del BEC se ilustra en el trazado más bajo en la figura 6. Como se puede apreciar en la figura, el valor de BEC corresponde al número de incertidumbres de temporización (variación rápida) entre  $F_{obs}$  y  $F_{ref}$ . Por tanto, cada ciclo completo en el contador de variación rápida (flanco ascendente a flanco ascendente) hace que el BEC se incremente en uno. Dicho de otro modo, si hay exactamente un flanco ascendente y un flanco descendente en el trazado de  $F_{obs}$  por ciclo del trazado de  $F_{ref}$ , entonces no habrá incremento del trazado de BEC, de lo contrario, el BEC se incrementará.

Para formar la salida del BEC,  $F_{obs}$  se muestrea usando  $F_{ref}$  durante un período de tiempo dado y se envían, por ejemplo, a un registro de cambio, por el EJ 135 en forma de una palabra binaria de 17 bits. Esta palabra se puede usar para estimar la magnitud del PSN, y también para identificar patrones en el PSN. Además, los valores del BEC se pueden correlacionar con la actividad en la CPU 101.

Para usar la salida del EJ 135 para proporcionar Información útil, puede ser necesario calibrar la salida. En este sentido, la característica más importante de la antenna 127 es su ganancia, ya que describe cómo es de sensible la antenna 127 a las variaciones en el consumo de energía del sistema. La ganancia de antenna (GA) se puede definir como:

$$AG = |BEC_{actual} - BEC_{ref}| / BEC_{antenna\_char} \quad (1)$$

donde:

$BEC_{actual}$  es la salida del EJ 135 medida desde la antenna 127 mientras la primera CPU 101 está ejecutando una aplicación dada;

$BEC_{ref}$  es la salida del EJ 135 medida desde la antenna 127 durante un proceso de calibración, cuyos detalles se describen a continuación; y,

$BEC_{residuo\_antena}$  es la salida del EJ 135 que resulta de la propagación a través de la antenna, dicho de otro modo, en ausencia de la primera CPU 101. Esto también puede considerarse como el ruido introducido por la antenna. Como alternativa,  $BEC_{residuo\_antena}$  también podría determinarse mientras la primera CPU 101 no ejecuta ninguna aplicación.

Para determinar el valor de  $BEC_{residuo\_antena}$ , se puede generar una simulación de la antenna 127, por ejemplo, utilizando un programa de simulación como SPICE. Dentro de la simulación, la frecuencia de reloj ( $F_{obs_i}$ ) se configura para que sea la misma que la frecuencia utilizada durante la aplicación de estímulos. El  $BEC_{residuo\_antena}$  medido contiene la desviación y la variación rápida del reloj propagadas a través de la antenna con respecto a la señal de  $F_{ref}$ , y esta variación representa el error interno de la antenna.

Para determinar la ganancia de la antenna, los valores de  $BEC_{ref}$  y  $BEC_{actual}$  también se deben calcular utilizando el valor de  $BEC_{residuo\_antena}$  calculado a partir de la simulación. El valor de  $BEC_{ref}$  se puede calcular, por ejemplo, mediante el uso de patrones del generador de patrones IDLe (IDLG) en diferentes condiciones de fuente de alimentación { $V_{min}$ ,  $V_{nom}$ ,  $V_{max}$ }. Para el cálculo de  $BEC_{actual}$ , se pueden utilizar estímulos de alta tensión generados por un generador automático de patrones de prueba (ATPG) u otros estímulos de alta tensión normalmente generados por un generador de patrones funcionales. Cuanto mayor sea el valor de BEC, mayor será la precisión del sensor. La misma observación se puede hacer para la GA. Dicho de otro modo, los valores de GA más altos conducen a una mejor precisión y eficiencia del sensor.

Dicho de otro modo,  $V_{caída}$  puede calcularse determinando el BEC en dos o más valores { $V_{min}$ ,  $V_{nom}$ ,  $V_{max}$ } de la tensión de alimentación sin actividad en la CPU 101. A partir de esto, puede determinarse la función de BEC versus

BEC. Por tanto, se puede suponer un valor de  $V_{\text{caída}}$  cuando hay actividad en la CPU 101 a partir del valor medido de BEC.

5 Utilizando la calibración de la antena, se puede generar una estimación del PSN analizando la variación rápida observada durante, por ejemplo, la ejecución de una aplicación particular por la primera CPU 101.

10 Se puede usar una técnica de medición diferencial para obtener una medida del ruido de la fuente de alimentación. La figura 8 ilustra un proceso para implementar dicha técnica diferencial. En un primer caso, el primer multiplexor 131 está configurado para enrutar la señal de reloj desde el primer PLL 123 al EJ 135. Esto se conoce como la "ruta corta", ya que la señal de reloj llegó al EJ 135 directamente desde el primer PLL 135. Posteriormente, una medida del variación rápida y, por lo tanto, el PSN, se realiza utilizando la señal de reloj del primer PLL 123 en relación con una señal de reloj adicional. La señal de reloj adicional puede ser de un segundo PLL 125 en el circuito 117 integrado o de un equipo externo, como un ATE.

15 A continuación, el primer multiplexor 131 es conmutado para enrutar la señal de reloj desde la antena 127 hasta el EJ 135. Esto se conoce como la "ruta larga", ya que la señal de reloj fue generada por el primer PLL 123 y llegó al EJ 135 a través de la antena 127. Posteriormente, se realiza una medida de la variación rápida y, por lo tanto, el PSN, utilizando la señal de reloj de la antena 127 en relación con la misma señal de reloj adicional que en la etapa de medición anterior.

20 Finalmente, el resultado de la primera medición se resta del resultado de la segunda medición para obtener una estimación del ruido de PSN que experimenta la antena y, por lo tanto, la primera CPU 101.

25 Debido a que las mediciones se llevarán a cabo en diferentes momentos, este método se basa en que la variación rápida del primer PLL 123 sea constante a lo largo de la escala de tiempo de las dos mediciones.

30 En una realización alternativa, se puede emplear más de una antena 127 para un bloque funcional dado. La figura 7 ilustra un ejemplo de dicha realización y, como puede verse en la figura, la realización es esencialmente similar a la realización descrita anteriormente. Por consiguiente, las características que se comparten entre las dos realizaciones no se describirán de nuevo aquí. En el ejemplo ilustrado en la figura 7, se ilustran tres antenas 127a-c. La primera antena 127a es esencialmente idéntica a la antena 127 como se describió anteriormente. La segunda antena 127b está ubicada dentro de la primera CPU 101 y, por lo tanto, puede detectar el PSN desde una ubicación diferente a la primera antena 127a. Además, una comparación del PSN detectado por la primera antena 127a con el detectado por la segunda antena 127b puede proporcionar cierta información sobre el perfil espacial del PSN. Una tercera antena 127c también se encuentra dentro de la primera CPU 101 y dentro de la segunda antena 127b. La comparación del PSN detectado por esta antena 127c con los de las otras antenas 127a, 127b puede proporcionar un perfil espacial más detallado del PSN.

40 Para adaptarse a la presencia de más de una antena, se utiliza un multiplexor 173 con cuatro entradas. Este multiplexor 173 acepta entradas de cada una de las antenas 127a-c y también la señal de reloj del primer PLL 123. El multiplexor 173 está configurado para emitir de manera selectiva la señal de reloj del primer PLL 123 o la señal de reloj que ha pasado por cualquier otra de las antenas 127a-c. Por tanto, el multiplexor permite que se detecte el PSN por cada una de las antenas 127a-c. Al realizar mediciones repetidas con cada antena 127a-c de manera alterna, se puede obtener, a su vez, un conjunto completo de resultados. El experto en la materia reconocerá que el número de antenas 127 es esencialmente ilimitado, por lo que también son posibles las realizaciones con cualquier número de antenas 127. Además, también puede usarse cualquier combinación de antenas 127 que se encuentren dentro de un bloque funcional, o rodeando al bloque funcional.

50 En realizaciones adicionales, se pueden usar antenas de diferentes formas. Por tanto, la forma de la antena puede modificarse para adaptarse a una construcción particular de interés en un bloque funcional.

55 En realizaciones adicionales, las antenas pueden colocarse en o alrededor de más de un bloque funcional dentro de un circuito integrado. En dichas realizaciones, es posible compartir componentes como el generador de señal y/o el estimador de variación rápida entre los diferentes bloques funcionales.

60 Las expresiones como "comprende", "incluye", "incorpora", "contiene", "es" y "tiene" han de interpretarse de manera no exclusiva cuando se interpreta la descripción y sus reivindicaciones asociadas, concretamente interpretadas para permitir que otros elementos o componentes que no están definidos explícitamente también estén presentes. La referencia al singular también ha de interpretarse como una referencia al plural y, al viceversa.

Si bien se ha ilustrado y descrito lo que en este momento se considera que son las realizaciones preferidas de la presente invención, los expertos en la técnica han de entender que pueden realizarse otras diversas modificaciones, y pueden sustituirse equivalentes.

65 Un experto en la técnica apreciará inmediatamente que pueden modificarse diversos parámetros descritos en la descripción y que pueden combinarse diversas realizaciones descritas y/o reivindicadas.

## REIVINDICACIONES

1. Un circuito integrado que comprende un dispositivo de medición de ruido de la fuente de alimentación, el circuito (117) integrado que tiene un bloque (101) funcional, comprendiendo el dispositivo de medición de ruido:
- 5 un generador (123) de señal configurado para proporcionar una señal de reloj al bloque (101) funcional, una antena (127) que comprende un transistor, y que está ubicada próxima al bloque (101) funcional, estando la antena (127) configurada para recibir la señal de reloj del generador (123) de señal, y
- 10 un estimador (135) de variación rápida configurado para proporcionar una medida la variación rápida relativa entre una señal de salida de la antena (127) y una señal de reloj de referencia, y el transistor de la antena (127) recibe energía eléctrica de la misma fuente de energía que suministra energía al bloque (101) funcional.
2. El circuito integrado de acuerdo con la reivindicación 1, en donde la antena (127) comprende un búfer (129), el búfer (129) comprendiendo una pluralidad de transistores configurados para transmitir la señal de reloj desde una entrada del búfer (129) a una salida del búfer (129).
3. El circuito integrado de acuerdo con la reivindicación 2, en donde la antena (127) comprende una pluralidad de búferes (129) conectados eléctricamente en una conexión en serie, por lo que la salida de los búferes (129) en la conexión en serie está conectada a la entrada del búfer posterior (129) en la conexión en serie.
4. El circuito integrado de acuerdo con cualquier reivindicación anterior, en donde la energía al, o cada, transistor en la antena (127) se toma de una malla de contactos eléctricos que también proporciona energía eléctrica a los componentes dentro del bloque (101) funcional.
5. El circuito integrado de acuerdo con cualquier reivindicación anterior, en donde el bloque (101) funcional, la antena (127) y la variación rápida (135) están todos ubicados dentro de un dominio (145) de tensión, y en donde una fuente de energía común suministra energía al dominio de tensión.
6. El circuito integrado de acuerdo con cualquier reivindicación anterior, en donde la antena (127) está formada como una parte del bloque (101) funcional.
7. El circuito integrado de acuerdo con cualquier reivindicación anterior, que comprende además un multiplexor (131), en donde el multiplexor está configurado para transferir de manera selectiva la señal de reloj desde el generador (123) de señal o la salida de señal desde la antena (127) al estimador (135) de la variación rápida.
8. El circuito integrado de acuerdo con cualquier reivindicación anterior, en donde se proporciona una pluralidad de antenas (127) en o cerca del bloque (101) funcional, estando cada una de las antenas (127) configurada para recibir la señal de reloj desde el generador (123) de señal, y estando configurada cada una para proporcionar una entrada al estimador (135) de variación rápida.
9. El circuito integrado de acuerdo con cualquier reivindicación anterior, en donde la señal de reloj de referencia es proporcionada por el generador (123) de señal.
10. El circuito integrado de acuerdo con cualquiera de las reivindicaciones 1 a 8, en donde la señal de reloj de referencia es proporcionada por un generador de señal externo al circuito (117) integrado.
11. El circuito integrado de acuerdo con cualquiera de las reivindicaciones 1 a 8, comprendiendo además un segundo multiplexor (133) configurado para seleccionar la señal de reloj de referencia bien desde un generador (125) de señal ubicado en el circuito (117) integrado, o bien desde un generador de señal externo al circuito integrado.
12. El circuito integrado de acuerdo con cualquier reivindicación anterior, en donde la medida de la variación rápida relativa proporcionada por el estimador (135) de variación rápida comprende una información relativa a la variación temporal de la variación rápida.
13. Un método para proporcionar una medida de ruido de la fuente de alimentación incluida en un circuito (117) integrado, teniendo el circuito (117) integrado un bloque (101) funcional, comprendiendo:
- 60 proporcionar un generador (123) de señal para proporcionar una señal de reloj al bloque (101) funcional, proporcionar una antena (127) que comprende un transistor, y ubicada cerca del bloque (101) funcional, la antena (127) que está configurada para recibir la señal de reloj del generador (123) de señal, y determinar una medida del ruido de la fuente de alimentación mediante el análisis de la variación rápida relativa entre una salida de señal de la antena (127) y una señal de reloj de referencia,
- 65 y el transistor de la antena (127) recibe energía eléctrica de la misma fuente de energía que suministra energía al bloque funcional.

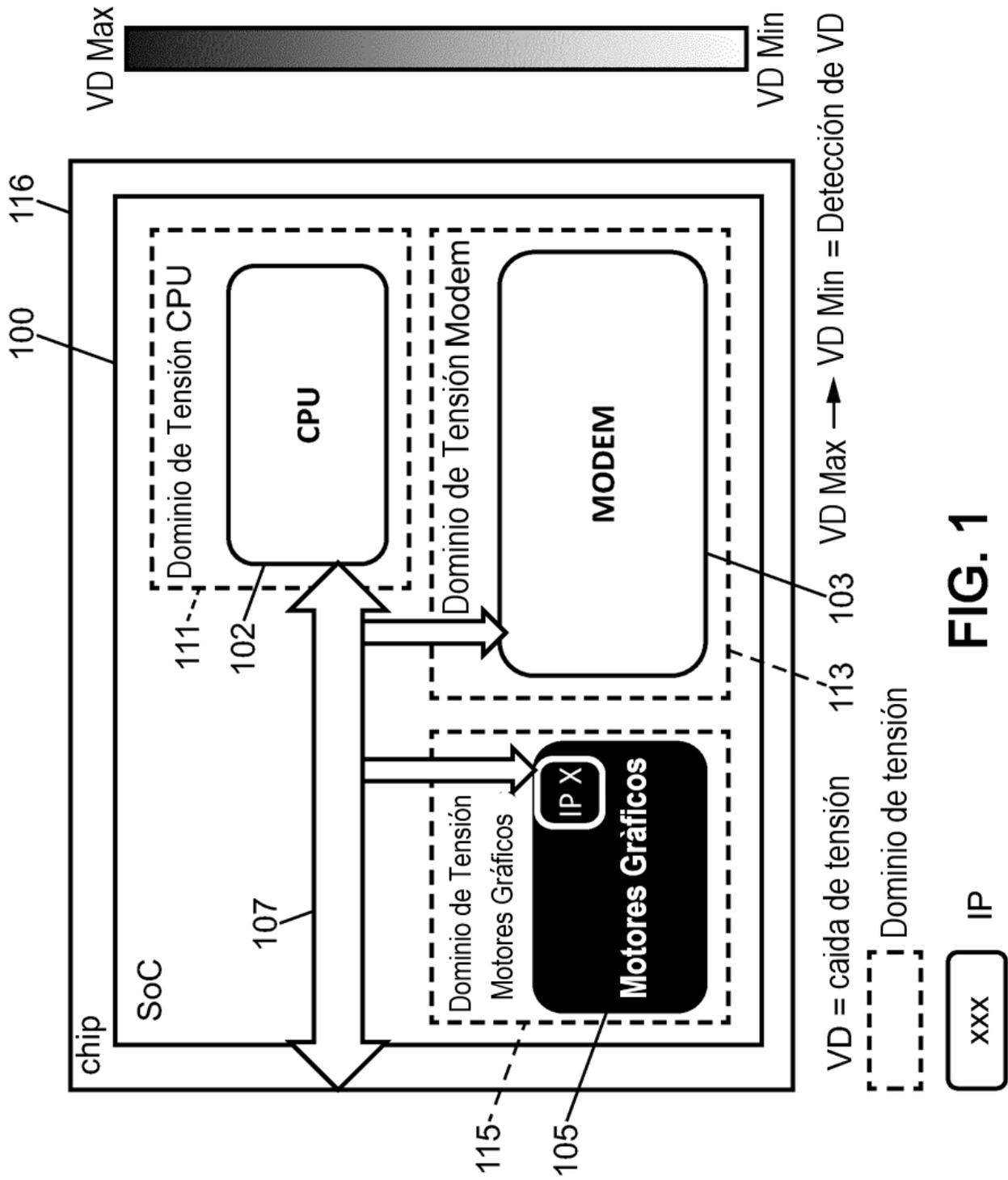


FIG. 1

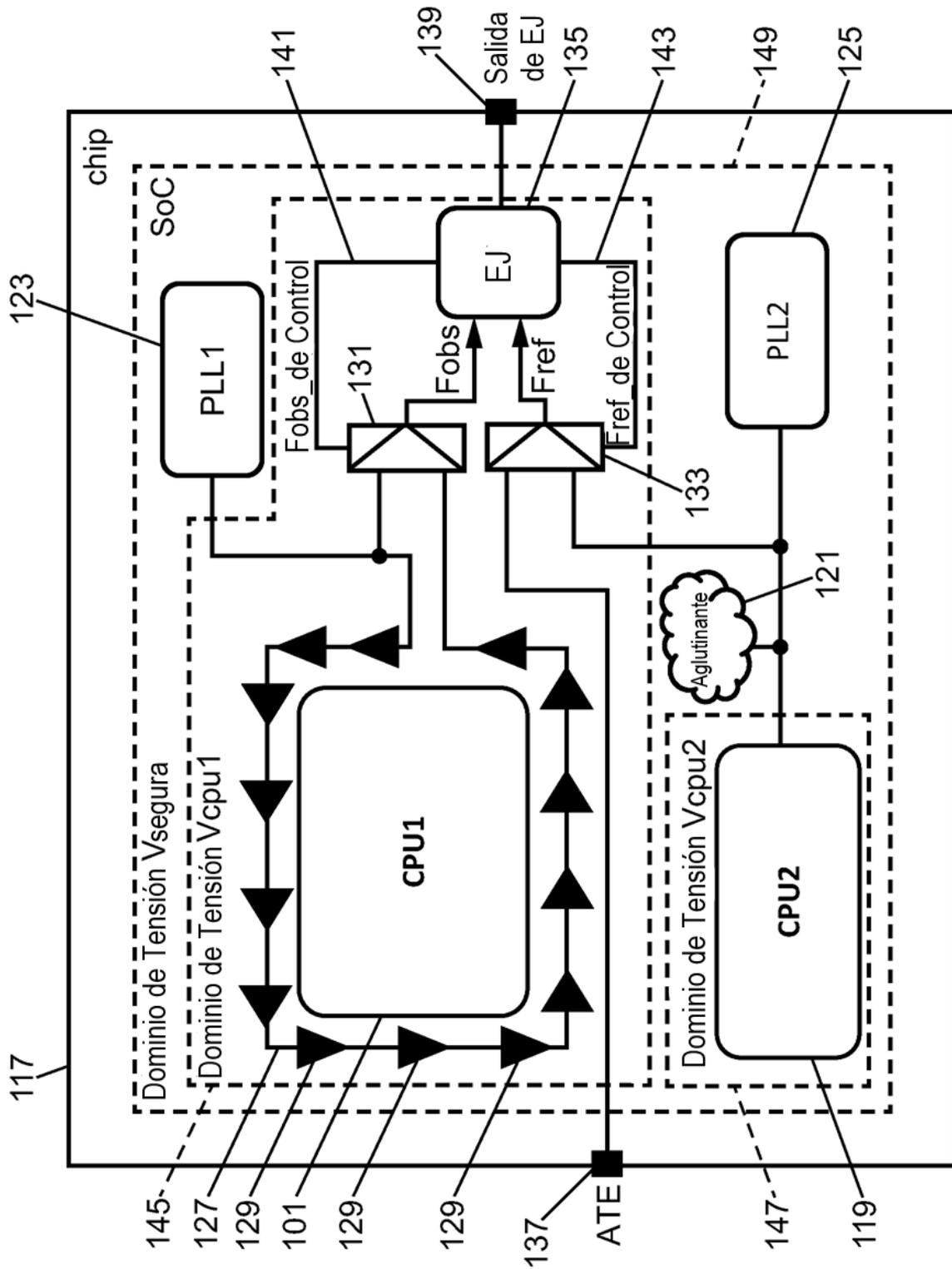
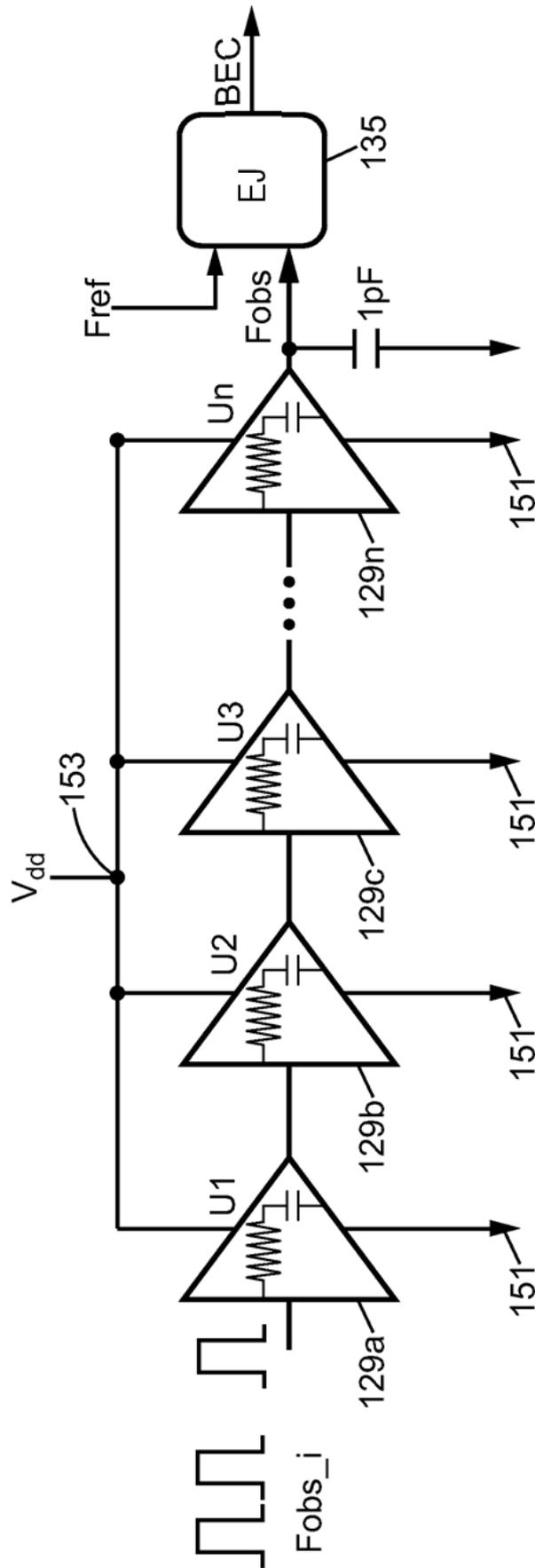


FIG. 2



**FIG. 3**

129.

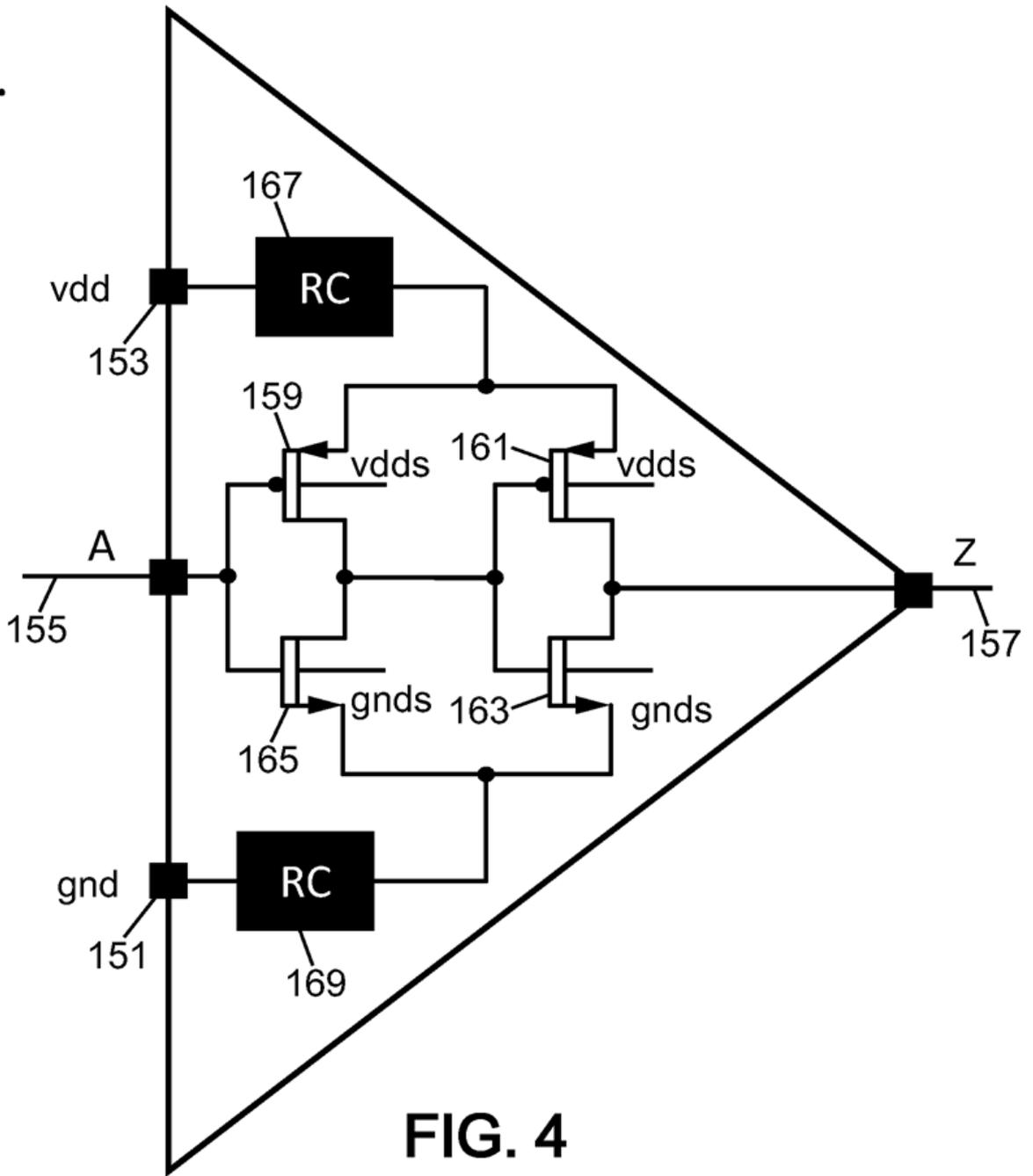


FIG. 4

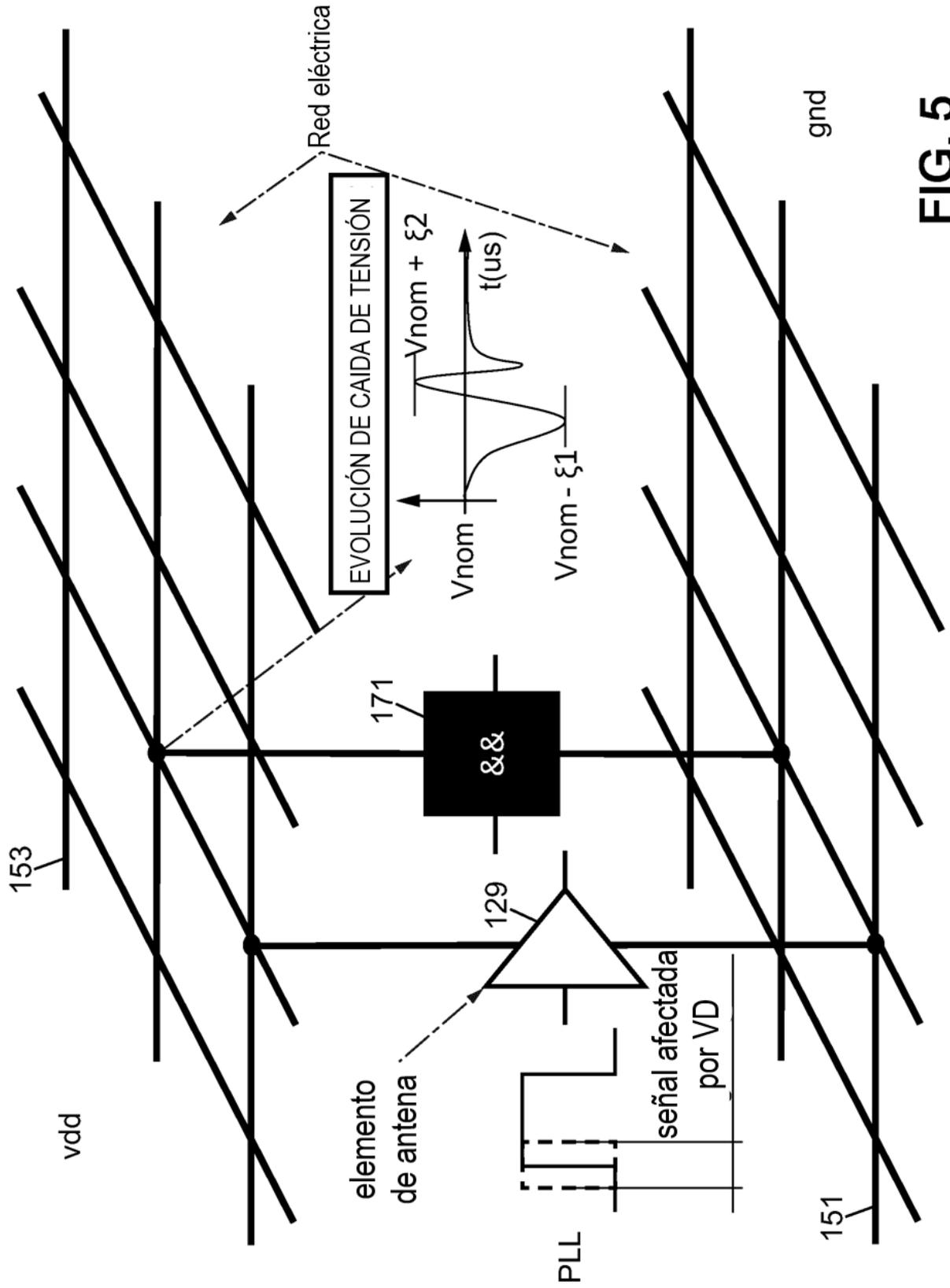
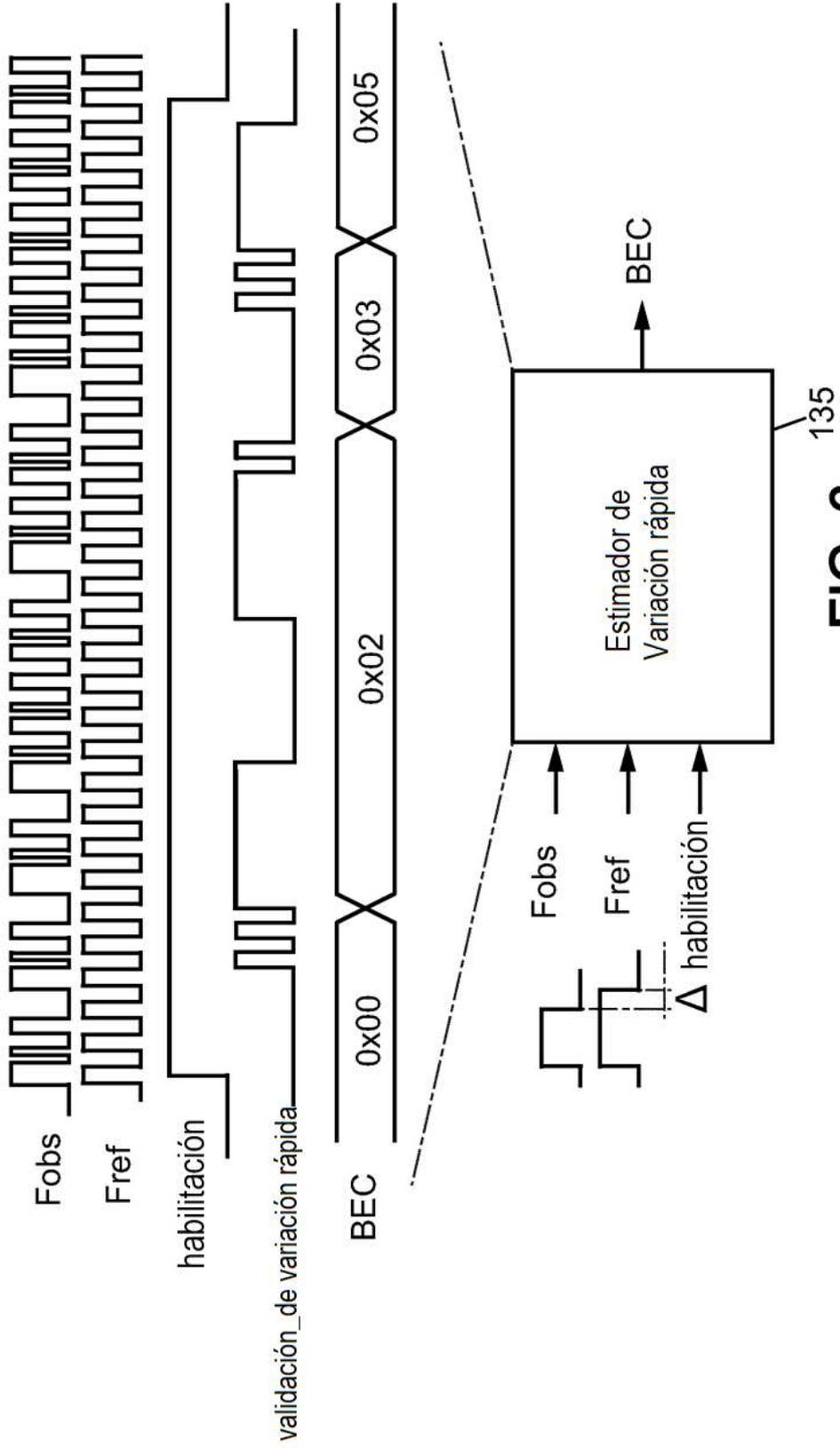


FIG. 5



**FIG. 6**

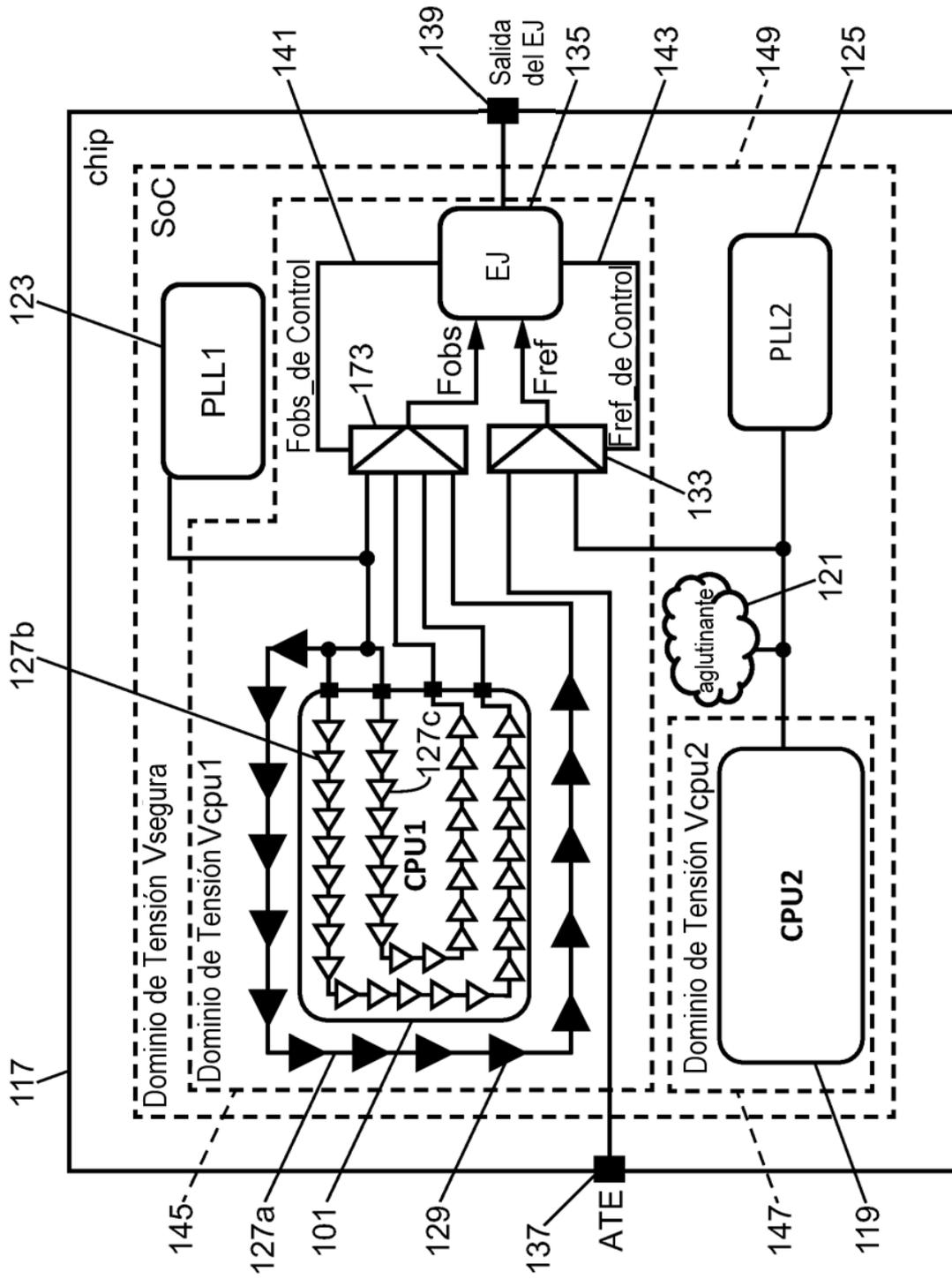
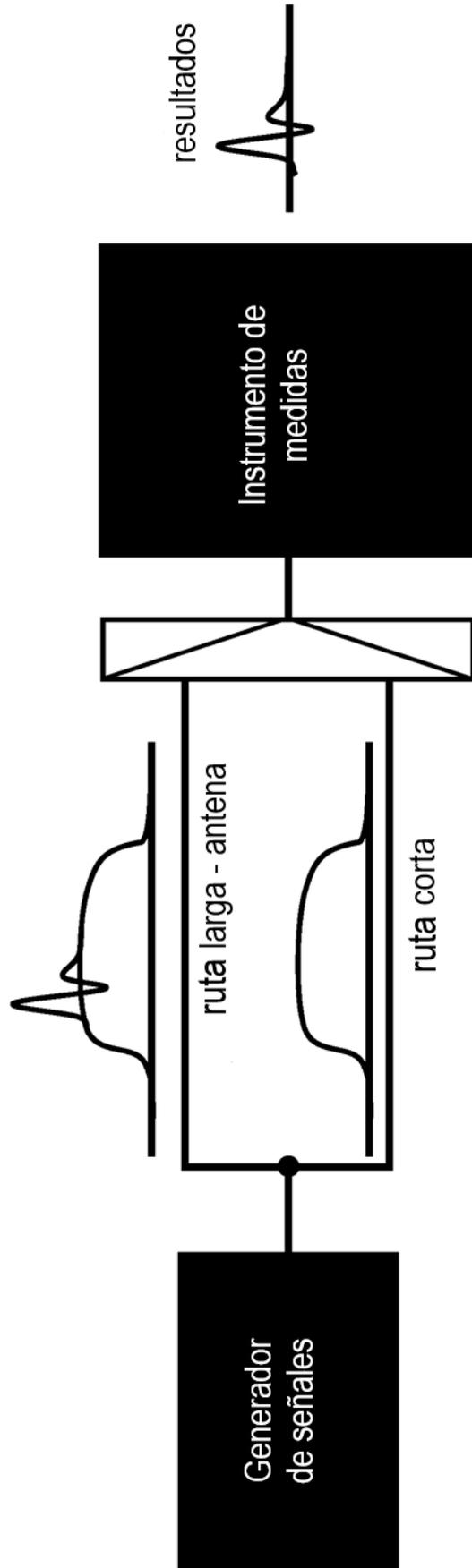


FIG. 7



**FIG. 8**