

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 720 589**

51 Int. Cl.:

G06F 13/12 (2006.01)
H03F 1/32 (2006.01)
H04B 17/364 (2015.01)
H04B 17/21 (2015.01)
H04B 17/00 (2015.01)
G01N 15/14 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **21.03.2008 PCT/US2008/003730**
- 87 Fecha y número de publicación internacional: **02.10.2008 WO08118353**
- 96 Fecha de presentación y número de la solicitud europea: **21.03.2008 E 08727056 (7)**
- 97 Fecha y número de publicación de la concesión europea: **16.01.2019 EP 2140361**

54 Título: **Procesamiento lineal adaptable multiganancia y sistema digital controlado por puerta para uso en citometría de flujo**

30 Prioridad:

23.03.2007 US 896544 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

23.07.2019

73 Titular/es:

**BECKMAN COULTER, INC. (100.0%)
250 S. Kraemer Boulevard
Brea, CA 92821, US**

72 Inventor/es:

**FOX, DANIEL, N. y
THRASHER, THOMAS, L.**

74 Agente/Representante:

UNGRÍA LÓPEZ, Javier

ES 2 720 589 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procesamiento lineal adaptable multiganancia y sistema digital controlado por puerta para uso en citometría de flujo

5 Antecedentes de la invención

La citometría de flujo es una tecnología que se usa para medir y analizar simultáneamente múltiples características físicas de partículas únicas, tal como células únicas. Las características y las propiedades de las células que pueden ser medidas usando citometría de flujo incluyen el tamaño, la granularidad, la complejidad interna, la intensidad de fluorescencia y otras características de las células. Se usan detectores, tales como tubos fotomultiplicadores, para detectar dispersión hacia delante, dispersión lateral y fluorescencia para medir varias propiedades de la célula. Las características y las propiedades que son identificadas por citómetros de flujo pueden ser usadas entonces para analizar, identificar y/o clasificar células.

Un citómetro de flujo típico usa tres sistemas principales, es decir, un sistema fluídico, un sistema óptico y un sistema electrónico. El sistema fluídico transporta partículas en una corriente de fluido pasándolas por haces láser para iluminación. El sistema óptico incluye láseres que iluminan partículas individuales en la corriente de fluido, filtros ópticos que filtran la luz y tubos fotomultiplicadores que detectan fluorescencia y/o dispersión. El sistema electrónico procesa la señal analógica generada por los tubos fotomultiplicadores u otros detectores, procesa dichas señales en forma analógica y/o digital, proporciona información de identificación relativa a las células y genera señales de control para controlar la clasificación de partículas.

Dado que los citómetros de flujo operan a velocidades muy altas, es necesario que los sistemas electrónicos también operen a velocidades muy altas y muy exactamente con alta resolución y rango dinámico alto.

WO-A-2005/091893 describe un sistema para un análisis rango dinámico alto en citometría de flujo. Se explican dispositivos de la técnica anterior, de uno de los cuales se dice que incluye un analizador de señales que tiene diferentes recorridos de amplificación. Una señal analógica de entrada se somete a diferentes niveles de ganancia lineal. El pico se determina usando Muestreo y Retención Pico (PSH) analógico, y la señal es digitalizada después usando un ADC. Se usan comparadores para determinar qué rango usar, y luego se emplea un procesador para desplazar los datos a la posición apropiada.

Resumen de la invención

La presente invención se define, según un primer aspecto, por un sistema para procesar una señal de datos de entrada de un fotomultiplicador de un citómetro de flujo según la reivindicación 1.

La presente invención incluye además un sistema para procesar una señal de datos de entrada procedente de un fotomultiplicador de un citómetro de flujo según la reivindicación 7.

Según un tercer aspecto de la presente invención se facilita un método de procesar una señal de datos de entrada de un fotomultiplicador de un citómetro de flujo, como se define en la reivindicación 12.

La invención también se extiende a un método de procesar una señal de datos de entrada procedente de un fotomultiplicador de un citómetro de flujo según la reivindicación 15.

Breve descripción de los dibujos

La figura 1A es un diagrama esquemático de bloques de una realización de un sistema de control electrónico para un citómetro de flujo.

La figura 1B es un diagrama esquemático de bloques de una realización alternativa de un sistema de control electrónico para un citómetro de flujo.

La figura 2 es un diagrama esquemático de bloques de una realización del chip de procesamiento ilustrado en la figura 1.

La figura 3A es un diagrama esquemático de bloques de una realización de un solo canal de un procesador de canal que no usa procesamiento lineal multiganancia.

La figura 3B es un diagrama esquemático de bloques de una realización de un solo canal de un procesador de señal que usa procesamiento lineal multiganancia.

La figura 4 es un gráfico de una salida analógica típica de un tubo fotomultiplicador u otro detector que representa varios canales de salida.

La figura 5 es un gráfico que representa las señales digitalizadas de la figura 4.

La figura 6 es un gráfico que ilustra las señales digitalizadas alineadas de la figura 5.

5 La figura 7 es un gráfico que ilustra ventanas de evento.

La figura 8A es un diagrama esquemático de bloques de una realización de un solo canal de un procesador de señal con procesamiento lineal multiganancia que ilustra un circuito de comparación y un circuito de ligadura/selector.

10 La figura 8B es un diagrama esquemático de bloques de una segunda realización de un solo canal de un procesador de señal con procesamiento lineal multiganancia que ilustra un circuito de comparación y un circuito de ligadura/selector.

15 La figura 8C es un diagrama esquemático de bloques de un circuito de transición de ganancia ponderada.

La figura 9 es un diagrama esquemático de bloques de una realización de un consolidador/serializador de datos.

Descripción detallada de la invención

20 La figura 1A es un diagrama esquemático de bloques de una realización de un sistema de control electrónico 100 para un citómetro de flujo. Como se ilustra en la figura 1A, tubos fotomultiplicadores 102, 104, 106, así como otros tubos fotomultiplicadores que pueden emplearse en un citómetro de flujo, detectan una señal de luz de una sola partícula que ha sido iluminada por un haz láser. Como se ha indicado anteriormente, la señal óptica detectada por cada uno de los tubos fotomultiplicadores puede ser una señal de dispersión o una señal de fluorescencia. Las
25 señales eléctricas procedentes del canal A 108, el canal B 110 y el canal N 112 generadas por tubos fotomultiplicadores 102, 104, 106, respectivamente, son aplicadas a convertidores analógico a digital 114, 116, 118, respectivamente. Las señales digitalizadas procedentes de los convertidores analógico a digital 114, 116, 118 son aplicadas a un chip de procesamiento 120. El chip de procesamiento puede incluir una matriz de puertas programable in situ (FPGA), un circuito integrado específico de aplicación (ASIC), etc, que es capaz de temporizar cada muestra a través del chip en base de muestra a muestra. Dado que la lógica de procesamiento de alta
30 velocidad está contenida dentro del chip de procesamiento 120, pueden lograrse altas producciones de datos.

Los tubos fotomultiplicadores 102, 104, 106 generan una señal de salida de corriente que es convertida a una señal de voltaje usando un circuito de transimpedancia que normalmente usa un amplificador operativo (no representado).
35 La señal de voltaje es representativa del pulso detectado por el tubo fotomultiplicador 102. Los tubos fotomultiplicadores 102, 104, 106 detectan dispersión de luz de una partícula o fluorescencia de la partícula que es iluminada por un láser u otra fuente óptica. También puede haber en el sistema filtros que filtran la luz antes de la detección por el tubo fotomultiplicador 102. El tubo fotomultiplicador es muy sensible y es capaz de detectar un amplio rango de señales ópticas desde muy tenues a muy brillantes. El pulso detectado tiene generalmente un perfil gaussiano que varía de unos pocos microvoltios hasta 10 voltios o más. El voltaje del pulso es representativo de la
40 intensidad de la señal de luz que es detectada por el tubo fotomultiplicador. Las células pueden teñirse con fluorocromos que hacen que la célula genere diferentes niveles de respuesta desde respuestas muy tenues a respuestas muy brillantes. Las células autofluorescentes son capaces de generar una respuesta óptica sin el uso de tintes. La autofluorescencia y las combinaciones de diferentes tintes, así como la dispersión de luz, se utilizan para identificar células. Por lo tanto, la detección y el procesamiento de respuestas tanto muy brillantes como muy tenues son a menudo necesarios para identificar una célula y analizar células, en general.
45

Además, otras características de la respuesta pueden ser útiles al caracterizar células. Por ejemplo, la altura máxima de la respuesta, la anchura de pulso de la respuesta y la zona debajo de la curva gaussiana pueden proporcionar información para identificar una célula. Las manipulaciones aritméticas de estos resultados también pueden proporcionar información de identificación adicional. Por ejemplo, la zona debajo de la curva gaussiana dividida por la altura de pulso puede proporcionar información de identificación adicional. Además, otras combinaciones lógicas pueden ser deseables.
50

Otras combinaciones booleanas de las respuestas pueden proporcionar información adicional que caracteriza las células. Por ejemplo, una célula puede ser identificada por fluorescencia a una longitud de onda y no a otra longitud de onda. Otro ejemplo: una célula concreta puede exhibir una dispersión lateral particular y no fluorescencia a una longitud de onda concreta. Por lo tanto, las combinaciones concretas de las respuestas gaussianas pueden ser de especial importancia al identificar la célula. Por lo tanto, estos procesos lógicos booleanos pueden ser una
60 herramienta valiosa al caracterizar células. Usando técnicas de procesamiento electrónico de la técnica anterior, la lógica booleana es lenta y puede limitar la alta producción de datos. La capacidad de realizar varios procedimientos matemáticos, así como de realizar procesos lógicos booleanos y procesos de toma de decisiones para generar una señal de clasificación, entre el tiempo en que la señal es detectada y el tiempo en que la partícula se mueve al clasificador de partículas a tasas de flujo muy altas, requiere velocidades de procesamiento sumamente altas.
65 Además, las respuestas producidas por los tubos fotomultiplicadores pueden producirse a tasas altas y pueden ser de duración muy corta. Las respuestas pueden ser tan breves como 400 NS que requieren que velocidades de

muestreo muy altas a utilizar por el convertidor analógico a digital. Las tasas de muestreo muy altas de los convertidores analógico a digital requieren altas velocidades de procesamiento para caracterizar exactamente las formas de pulso de las respuestas. Dado que los eventos pueden tener lugar a altas tasas y las velocidades de muestreo deben ser altas, en periodos muy cortos se producen grandes cantidades de datos que deben ser procesadas. Las soluciones de la técnica anterior limitaban las velocidades de muestreo y las tasas de evento dando lugar a menos datos a procesar.

En la implementación concreta representada en la figura 1A, N canales de datos son procesados por un solo chip de procesamiento 120. Si se necesitan chips de procesamiento adicionales para procesar canales adicionales, el chip de procesamiento 120 puede generar un enlace de comunicación de banda lateral entre placas (o entre chips) 122 para proporcionar sincronización entre los chips de procesamiento y otras funciones usando líneas de comunicación de finalidad general, señales de disparo de ventana de evento, señales de interrupción, señales de estrangulación, señales de inicio de sistema, etc, que se describen con más detalle más adelante. La señal de datos 126 es generada por el chip de procesamiento 120 y aplicada a un bus de sistema de alta velocidad 128. Conectado al bus de sistema 128 hay un ordenador incrustado 130, que puede estar conectado a una pantalla 132 para presentar información procedente del ordenador incrustado 130. Además, el ordenador incrustado 130 puede estar conectado a una red u otros ordenadores, como representa el enlace 134. Una unidad de tiempo de clasificación 136 está acoplada a un clasificador de células 138.

En la operación, el procesador 130 se usa como una interfaz externa para establecer la programación de los registros de sistema en el chip de procesamiento 120 y cualquier otros periféricos o dispositivos del sistema que pueden estar conectados al bus de sistema 128. Las decisiones relativas a la selección de datos, y el procesamiento de datos, son realizados por el chip de procesamiento 120. Los datos procesados 126 son enviados por el chip de procesamiento 120 por el bus de sistema 128 al ordenador incrustado 130. El ordenador incrustado 130 puede usar software para identificar las células a partir de los datos procesados, y proporcionar una decisión de clasificación que es enviada a la unidad de tiempo de clasificación 136. La unidad de tiempo de clasificación 136 controla el clasificador de células 138. El clasificador de células 138 ejecuta decisiones de clasificación y sirve para clasificar células en los receptáculos de clasificación apropiados. En una configuración alternativa, la unidad de tiempo de clasificación 136 puede procesar directamente los datos procedentes del chip de procesamiento e identificar células para crear decisiones de clasificación independientemente, sin la asistencia del ordenador incrustado 130, aliviando por ello la carga impuesta al ordenador incrustado 130 y generando decisiones de clasificación. Además, si la recogida y el análisis de datos son necesarios sin necesidad de clasificar células, tales como los procesos normalmente realizados por un analizador de citómetro de flujo, la unidad de tiempo de clasificación 136 y el clasificador de células 138 no son necesarios. En tal ejemplo, los datos procesados 126 son recibidos por el ordenador incrustado 130 que analiza los datos y genera datos estadísticos, histogramas y otras representaciones de los datos que posteriormente pueden ser visualizados en la pantalla 132 o comunicados a una red u otro ordenador mediante el enlace 134. El enlace 134 también se puede usar para que la red y otros dispositivos informáticos puedan estar en interfaz con el ordenador incrustado 130 para operación remota.

El chip de procesamiento 120 procesa datos en cada uno de los canales 108, 110, 112 en paralelo. El chip de procesamiento 120 tiene una estructura de canalización paralela de modo que cada uno de los canales esté encauzado a través del chip de procesamiento 120 en base de muestra a muestra para cada pulso de reloj. Algunos dispositivos de la técnica anterior transfieren todos los datos a memoria y luego utilizan un procesador estándar para procesar los datos, lo que es una forma mucho más lenta de manejar los datos. Usando tales técnicas de la técnica anterior, es difícil lograr velocidades de muestreo de datos de menos de 10 megas de muestras por segundo, con procesamiento solamente parcial de dichos datos, incluso con procesadores de señales digitales sumamente rápidos. En el chip de procesamiento 120, todos los datos pueden ser canalizados a través del chip de forma paralela para cada canal y son procesados digitalmente de esa forma. La lógica de decisión puede estar programada previamente en el chip de procesamiento 120 de modo que la salida del chip de procesamiento 120 incluye todos los resultados de los datos de entrada seleccionados y procesados, que se logran a velocidad muy alta. Por lo tanto, el chip de procesamiento 120 puede usar una arquitectura de canalización de procesamiento en paralelo para manejar los datos a alta velocidad procedentes de cada canal de forma paralela para producir los resultados de selección de salida en la salida de datos 126. Pueden lograrse velocidades de más 100 megas de muestras por segundo a las que todos los datos de muestra son procesados con alta resolución, como se explica a continuación.

La figura 1B ilustra una realización alternativa 150 de un sistema de control electrónico para un citómetro de flujo. La figura 1B resuelve otros problemas afrontados en los sistemas de la técnica anterior. Como se ha explicado anteriormente, los niveles de señal procedentes de los tubos fotomultiplicadores pueden variar en un amplio rango. Por ejemplo, las señales de salida procedentes de los tubos fotomultiplicadores pueden variar desde corrientes muy bajas que, cuando son convertidas a voltaje, están en el rango de 100 microvoltios, hasta corrientes muy grandes que, cuando son convertidas a un voltaje, están en el rango de 10 voltios. Respuestas sumamente brillantes pueden ir seguidas de respuestas muy tenues. Con el fin de asegurar la apropiada identificación de una célula, en muchos casos es deseable analizar señales que son de alta resolución tanto a voltajes muy bajos como a voltajes muy altos. El sistema electrónico deberá proporcionar salidas de alta resolución en las salidas de amplio rango producidas por los tubos fotomultiplicadores, con el fin de proporcionar la información para distinguir adecuadamente entre

diferentes tipos de células. En la realización de la figura 1B, se usa procesamiento adaptable lineal multiganancia para proporcionar una respuesta de salida de resolución más alta para el amplio rango de señales generadas por los tubos fotomultiplicadores 152, 154, 156 en el canal A (158), el canal B (160) y el canal N (162), respectivamente.

5 Como se representa en la figura 1B, cada canal que incluye una salida de cada uno de los tubos fotomultiplicadores 152, 154, 156, es aplicado a un recorrido separado que consta de múltiples circuitos de ganancia. Como también se representa en la figura 1B, los circuitos de ganancia 164, 172, 180 proporcionan una ganancia unitaria a la señal de tubo fotomultiplicador. Pueden proporcionarse otras cantidades de ganancia para estas etapas, a voluntad. Un
 10 segundo conjunto de circuitos de ganancia también puede estar conectado a cada uno de los canales, tales como los circuitos de ganancia 166, 174 y 182. Por ejemplo, cada uno de los circuitos de ganancia 166, 174 y 182 proporciona una ganancia de 128x, que es el múltiplo binario 2^7 . Pueden usarse otras cantidades de ganancia, a voluntad, dependiendo del rango de salidas de los tubos fotomultiplicadores. Las etapas de ganancia separadas sirven para proporcionar alta resolución tanto de señales de salida altas como bajas procedentes de los tubos fotomultiplicadores.

15 Como también se ilustra en la figura 1B, las salidas de cada uno de los circuitos de ganancia 164, 166, 172, 174, 180, 182 son aplicadas a convertidores analógico a digital separados 168, 170, 176, 178, 184, 186, respectivamente. Los convertidores analógico a digital convierten las señales analógicas a una señal digital. El chip de procesamiento 188 es similar al chip de procesamiento 120, pero incluye circuitería adicional para manejar las etapas de
 20 multiganancia y combinar las etapas de ganancia de modo que se obtengan salidas exactas, de alta resolución y consistentes, independientemente de la etapa de ganancia que se use. La "ligadura" exacta de las etapas de ganancia proporciona los resultados consistentes deseados. Los procesos de selección para seleccionar la etapa de ganancia apropiada para lograr la mayor resolución también los realiza el chip de procesamiento 188. Las salidas del chip de procesamiento 188 son las mismas que las salidas del chip de procesamiento 120 y se numeran de
 25 forma similar. El enlace de comunicación de banda lateral entre placas o entre chips 122 proporciona líneas de comunicación de finalidad general (GPcom) para sincronización y transferencia de datos, información de ventana de evento, señales de interrupción, señales de estrangulación y una señal de inicio de sistema. Se aplican señales de datos 126 al bus de sistema 128. También va montado en el bus de sistema un ordenador incrustado 130 y una unidad de tiempo de clasificación 136, que, a su vez, está conectada a un clasificador de células 138. La pantalla
 30 132 está conectada al ordenador incrustado 130. Cada uno de estos circuitos realiza las mismas funciones que los dispositivos similares descritos con respecto a la figura 1A. El enlace 134 proporciona una interfaz a una red y/u otros sistemas informáticos.

35 La figura 2 es un diagrama esquemático de bloques de una realización de un chip de procesamiento 200. Las señales de datos 202, 204, como se ilustra en las figuras 1A y 1B, son transmitidas a los procesadores de canal 206, 208, respectivamente. El chip de procesamiento 200 puede incluir múltiples procesadores de canal que procesen múltiples entradas de forma paralela. Usando tecnología actual, el número de procesadores de canal que pueden usarse en el chip de procesamiento 200 es limitado. Por ejemplo, pueden usarse típicamente de cuatro a ocho
 40 procesadores de canal en un solo chip de procesamiento 200 tal como UNA FPGA. La función de los chips procesadores de canal es sincronizar los datos, filtrar los datos, proporcionar la ganancia ajustable, generar disparadores de canal y procesar los datos para producir señales de salida pico, señales de salida integradas, datos de anchura de pulso y otras salidas deseadas. Estas señales se describen con más detalle con respecto a las figuras 3A y 3B.

45 Como se representa en la figura 2, el procesador de canal 206 genera un disparador de canal 212 que es aplicado a la memoria intermedia/mux 230. Igualmente, el procesador de canal 208 genera un disparador de canal 214 que también es aplicado a la memoria intermedia/mux 230. Las varias salidas de datos 216, 218 de cada uno de los procesadores de canal 206, 208 son aplicadas a un consolidador/serializador de datos 220. Estas salidas de datos
 50 216, 218 también son aplicadas a un módulo de osciloscopio digital 234. La finalidad del consolidador/serializador de datos 220 es disponer el gran conjunto de datos paralelos de canales múltiples que se aplica al consolidador/serializador de datos 220 en un conjunto de palabras de datos de 32 bits que se aplican a la interfaz de bus 224. La operación del consolidador/serializador de datos 220 se describe con más detalle con respecto a la figura 9. Las series de palabras de datos de 32 bits que aplica a la interfaz de bus 224 el consolidador/serializador de datos 220 son descargadas al bus de sistema 128 por la interfaz de bus 224.

55 Como también se describe en la figura 2, el procesador 130 accede a los registros de sistema 236 a través de la interfaz de bus 224. Los registros de sistema generan líneas de estado y control 238 que conectan con cada uno de los módulos representados en la figura 2. Los registros de sistema 236 contienen memorias de lectura/escritura en las que pueden cargarse valores para controlar los varios componentes ilustrados en la figura 2. Además, el estado de varios componentes puede ser leído en los registros de sistema 236 por el procesador 130.
 60

65 Como también se representa en la figura 2, los datos procedentes de cada uno de los procesadores de canal son transmitidos a los módulos de osciloscopio digital 234. Históricamente, los operadores querían ver los datos procedentes de los tubos fotomultiplicadores usando un osciloscopio para intentar tipos diferentes de colorantes en diferentes células y realizar varias operaciones. Dado que las realizaciones de las figuras 1A, 1B y 2 tienen convertidores analógico a digital de alta velocidad, RAM, etc, un osciloscopio digital puede implementarse en el chip

de procesamiento de modo que la pantalla 132 visualiza información de osciloscopio digital. Los módulos de osciloscopio digital 234 están conectados a través de la interfaz de bus 224 al bus de sistema 128 para proporcionar información a visualizar en la pantalla 132. El módulo de osciloscopio digital 234 utiliza señales de comunicación de finalidad general para disparar la información deseada. Todas las muestras digitales se pueden ver, así como la forma de la forma de onda de dichas muestras. Además, se puede ver señales de sincronización, así como otras señales de control.

Como se ha descrito anteriormente con respecto a la figura 2, los disparadores de canal 228 procedentes de múltiples procesadores de canal son aplicados a la memoria intermedia/multiplexor 230. La memoria intermedia/multiplexor 230 selecciona un subconjunto de los disparadores de canal de entrada para generar señales de ventana de evento y sincronización 232 que son aplicadas al generador de ventana de evento y sincronizador multiplaca 228. La memoria intermedia/multiplexor 230 puede ser programado para cambiar los disparadores de canal concretos 228 que son seleccionados como las señales de ventana de evento y sincronizador 232 que son aplicadas al generador de ventana de evento y sincronizador multiplaca 228. Por ejemplo, si el operador del sistema solamente desea generar una ventana de evento en base a ciertos disparadores de canal que se refieren a una aparición específica, tal como fluorescencia de una célula a una longitud de onda concreta, tal programación puede ser introducida a la memoria intermedia/multiplexor 230 mediante el bus de sistema 128. El generador de ventana de evento y sincronizador multiplaca 228 reciben las señales de ventana de evento y sincronizador 232 y procesan estas señales para generar una señal de ventana de evento 210. El generador de ventana de evento y sincronizador multiplaca 228 también pueden ser programados mediante el bus de sistema 128 para proporcionar lógica adicional para generar una ventana de evento. Cualquier combinación de lógica booleana puede ser realizada en base a las señales de ventana de evento y sincronizador 232 por el generador de ventana de evento y sincronizador multiplaca 228 para generar la ventana de evento 210. Por ejemplo, si el operador del sistema desea generar una ventana de evento cuando las señales primera, segunda y cuarta son positivas, pero no cuando la tercera señal es positiva, dicha lógica puede ser descargada simplemente en el generador de ventana de evento y sincronizador multiplaca 228. Puede utilizarse una tabla de consulta para implementar la lógica deseada con el fin de proporcionar las salidas deseadas para las varias entradas. La ventana de evento 210 es aplicada entonces a los procesadores de canal 206, 208, así como el bus de sistema 128, para proporcionar sincronización al sistema. Por lo tanto, la selección de los disparadores de canal 228 por la memoria intermedia/multiplexor 230, así como la lógica que se puede disponer en una tabla de consulta en el generador de ventana de evento y sincronizador multiplaca 228, permite varios resultados de lógica booleana al seleccionar una ventana de evento y proporcionar sincronización.

Usando una tabla de consulta en el generador de ventana de evento y sincronizador multiplaca 228, en lugar de tener lógica cableada, la tabla de consulta puede ser fácilmente programada para proporcionar las respuestas deseadas y evitar los amplios circuitos lógicos que de otro modo serían necesarios para producir las salidas deseadas. Además, la tabla de consulta puede ser fácilmente programada para proporcionar la lógica deseada en vez de basarse en circuitos lógicos separados. Cualquier combinación de salidas puede proporcionarse usando la tabla de consulta. Las cuatro líneas de entrada pueden usarse como líneas de dirección de modo que la memoria en la tabla de consulta pueda ser cargada con las respuestas deseadas. Cualquier combinación lógica posible puede disponerse entonces dentro de un ciclo de reloj sin tener que pasar a través de la compleja lógica de ondulación que sería necesaria de otro modo. La tabla de consulta proporciona una forma muy rápida y muy potente de proporcionar la salida deseada y permite el uso de varias combinaciones de lógica booleana que pueden programarse simplemente en los chips de procesamiento 120, 188. Por lo tanto, el circuito de sincronización de generador de ventana de evento y multiplaca 228 recibe los disparadores de canal seleccionados 232 que fueron seleccionados por la memoria intermedia/mux 230 y los combina usando lógica cargada en la tabla de consulta para determinar cuándo se está produciendo un evento deseado para generar la señal de ventana de evento 210. Por ejemplo, el operador del sistema puede no desear que se produzca una ventana de evento a no ser que una cierta combinación de eventos sea detectada o no detectada. Toda la lógica se puede incorporar al generador de ventana de evento y sincronizador multiplaca 228 usando la tabla de consulta que puede ser fácilmente programada por el operador.

Otras señales también pueden ser generadas por el generador de ventana de evento y sincronizador multiplaca 228. Por ejemplo, el generador de ventana de evento 228 puede generar una señal de interrupción y una señal de estrangulación. La ventana de evento 210 define cuándo está teniendo lugar un evento. Puede usarse una señal de interrupción para interrumpir un evento después de haber empezado. Por ejemplo, si un evento cae por debajo de un cierto umbral y luego vuelve por encima del umbral indicando que dos partículas han sido detectadas muy cerca una de otra, el evento deberá ser suspendido. Una señal de interrupción indicaría entonces que los datos no son datos buenos y deberán ser eliminados. Una señal de estrangulación puede ser usada para estrangular todo el sistema para evitar rebasamientos de datos. Si la información está siendo transmitida al sistema más rápidamente de lo que el sistema puede procesar los datos, las memorias intermedias rebosarán eventualmente. Si alguna de las memorias intermedias llega a un nivel peligrosamente alto, cualquiera de estas memorias intermedias puede hacer valer la señal de estrangulación de modo que el disparador de ventana de evento no cree nuevos eventos hasta que el sistema pueda procesar datos suficientes para dejar suficiente espacio libre en las memorias intermedias para reanudar la alimentación de datos al sistema. Además, el generador de ventana de evento puede ser programado de modo que las ventanas de evento se puedan hacer más largas añadiendo simplemente una ampliación de tiempo a la ventana de evento mediante el procesador 130.

La figura 7 es una ilustración de una señal de ventana de evento 406. La señal de ventana de evento 406, como se ilustra en la figura 7, tiene dos ventanas de evento 408, 410. Estas ventanas de evento son generadas por el generador de ventana de evento y sincronizador multiplaca 228 para proporcionar sincronización y capturar adecuadamente datos dentro de una ventana de evento. La selección de ventanas de evento se ha descrito más plenamente antes con respecto a la figura 2.

La figura 3A es un diagrama esquemático de bloques de un solo canal de un procesador de canal que no usa procesamiento lineal multiganancia. Como se representa en la figura 3A, el tubo fotomultiplicador 102 genera una señal de salida que es aplicada a un circuito analógico a digital 114. La señal digitalizada procedente del circuito analógico a digital 114 es aplicada a un procesador de canal 206. El circuito de restauración de base digital 302 quita cualquier desviación de la señal digital de modo que la señal digital se basa en 0 voltios. La señal digital en que la desviación ha sido quitada se aplica entonces a un retardo programable 304. El retardo programable 304 puede implementarse en un registro primero en entrar primero en salir (FIFO) que se basa en la separación entre detectores en el citómetro de flujo. Específicamente, múltiples láseres y múltiples detectores pueden estar dispersados a lo largo de la longitud del citómetro de flujo para iluminar y detectar secuencialmente la respuesta óptica de una célula. Después de que el citómetro de flujo ha arrancado y está operando en condiciones de flujo normales, el retardo de tiempo entre cada uno de los detectores puede ser determinado fácilmente. Se puede usar un FIFO que proporcione el retardo deseado 304.

La figura 4 es una ilustración de las salidas analógicas 400 del tubo fotomultiplicador 102. Como se representa, cada uno de los canales produce salidas que son secuencialmente retardadas, tal como ilustran las salidas 108, 110, 112. El retardo temporal procedente de cada uno de los canales es el resultado del hecho de que cada una de las salidas de canal representa la salida de los diferentes tubos fotomultiplicadores que están espacialmente desplazados de otro en el citómetro de flujo.

La figura 5 es una ilustración de la señal digitalizada 402 que es generada por los circuitos analógico a digital de cada uno de los canales separados.

La figura 6 es una ilustración de las señales digitalizadas alineadas 404 que representan el conjunto de señales procedentes de cada uno de los canales que incluye la salida del retardo programable 304. Como se representa en la figura 6, el canal A es retardado una cantidad de manera que se alinee con la salida del canal C. Igualmente, el canal B también es retardado una cantidad de manera que se alinee con la salida del canal C. Como se ha descrito anteriormente, el retardo programable 304 para cada canal puede implementarse en un registro FIFO. Las señales digitalizadas alineadas 404 que se ilustran en la figura 6 son aplicadas entonces al filtro 306. El filtro 306 puede incluir un filtro de promediar, un filtro de respuesta de impulso finito (FIR), u otros tipos de filtros para alisar la señal gaussiana digitalizada para eliminar pequeñas variaciones de ruido.

Con referencia de nuevo a la figura 3A, la señal filtrada es aplicada entonces a un controlador de ganancia digital 308. El controlador de ganancia digital 308 puede ser un controlador de ganancia opcional que permite al operador del sistema, o al sistema propiamente dicho, regular la señal en cierta medida a efectos de control de calidad. El controlador de ganancia digital puede compensar diferentes ganancias en los varios tubos fotomultiplicadores u otros detectores que pueden emplearse para detectar las señales ópticas. El controlador de ganancia digital 308 permite ajustar los niveles de señal para cada uno de los procesadores de canal. La salida de datos 310 del controlador de ganancia digital 308 es aplicada entonces al comparador 312, el detector de pico 314, el detector/calculador de zona 316 y detectores/calculadores adicionales 318 que pueden proporcionar otros cálculos incluyendo un cálculo de anchura de pulso. El comparador 312 genera un disparador de canal 320 comparando la señal gaussiana digital procedente del controlador de ganancia digital de salida 308 con un umbral predeterminado. El disparador de canal 320 es aplicado a la memoria intermedia/mux 230 ilustrado en la figura 2. El detector de pico 314 detecta digitalmente el pico de cada una de las señales gaussianas usando técnicas de comparación digital para generar una salida pico 322. El detector/calculador de zona 316 genera una señal de salida de zona 324 que indica la zona debajo de la curva gaussiana. Este cálculo se realiza usando técnicas de integración digital estándar. Como se ha indicado anteriormente, detectores/calculadores adicionales 318 generan salidas adicionales 326 que pueden ser cálculos aritméticos en base a la salida pico 322, la salida de zona 324 o una salida de anchura de pulso (no representada) que indica la anchura de pulso de la señal gaussiana.

La figura 3B ilustra un solo canal del procesador de señal 350 con procesamiento lineal multiganancia. Como se representa en la figura 3B, un tubo fotomultiplicador 152 genera una salida que es aplicada a tanto a una etapa de ganancia unitaria 164 como un amplificador de ganancia 166 que proporciona una ganancia de 128x. Cualquier ganancia deseada puede ser seleccionada para los circuitos amplificadores 164, 166, a voluntad. La ganancia de 128x que proporciona el amplificador 166 es un múltiplo binario igual a 2^7 para hacer muy fáciles las operaciones de multiplicación binaria. La salida del amplificador 164 es aplicada a un convertidor analógico a digital 168. Igualmente, la salida del amplificador 166 es aplicada a un convertidor analógico a digital 170. La salida del convertidor analógico a digital 168 es aplicada a un circuito de restauración base digital (extracción de desviación) 352, que es parte del procesador de canal 206. Igualmente, la salida del convertidor analógico a digital 170 es aplicada a un circuito de restauración base digital (extracción de desviación) 354, que también es parte del procesador de canal 206. Los circuitos de extracción de desviación 352, 354 ajustan las señales digitales a un nivel base cero. Las salidas de los

5 circuitos de extracción de desviación 352, 354 son aplicadas a un circuito de ligadura/selector 356. El circuito de ligadura/selector 356 liga las dos etapas de ganancia y selecciona la señal que proporciona la mejor resolución y exactitud para la salida del fotomultiplicador 152. El circuito de ligadura/selector 356 se describe con más detalle con respecto a la figura 8A. La señal de salida seleccionada por el circuito de ligadura/selector 356 es aplicada al registro primero en entrar primero en salir (FIFO) 358, que proporciona la cantidad seleccionada de retardo para alinear las varias salidas de canal, como se ha descrito anteriormente. El filtro 370 realiza filtración para quitar ruido. El controlador de ganancia digital 372 opera en respuesta a una señal de entrada 374 de un operador del sistema o un control de sistema para proporcionar ganancia a voluntad a dicho canal particular. La señal de salida del controlador de ganancia digital 372 es aplicada a un comparador 376, un detector de pico 380, un calculador de zona 384 y calculadores adicionales 388, que pueden incluir un calculador de anchura de pulso y otros calculadores. La señal de ventana de evento 210 también es aplicada a cada uno de estos componentes. El comparador 376 genera un disparador de canal 378 comparando la señal de datos con umbrales. El detector de pico 380 genera una salida pico 382, mientras que el calculador de zona genera una salida de zona 386. Los calculadores adicionales 388 generan otras salidas 390. Por lo tanto, la realización ilustrada en la figura 3B proporciona dos ganancias diferentes para cada salida de tubo fotomultiplicador y selecciona la salida deseada que proporciona la señal más exacta que tiene la resolución más alta.

20 La figura 8A es un diagrama esquemático de bloques de una realización de un solo canal de un procesador de señal 800 con procesamiento lineal multiganancia, que ilustra el circuito de comparación 812 y circuito de ligadura/selector 356. Como se representa en la figura 8A, el tubo fotomultiplicador 152 genera una salida que es aplicada a un control de desviación analógico 804. El control de desviación analógico 804 regula la señal procedente del tubo fotomultiplicador 152 para eliminar cualquier desviación que pueda existir en la señal recibida del tubo fotomultiplicador 152. Por ejemplo, la señal recibida del tubo fotomultiplicador 152 es normalmente una señal de corriente, que luego es transformada a una señal de voltaje. Un circuito de transimpedancia (no representado) puede ser usado para transformar la señal de corriente a una señal de voltaje. Se usan amplificadores operativos (no representados) en el circuito de transimpedancia. Los amplificadores operativos pueden inyectar un pequeño voltaje de desviación en la señal de voltaje de salida. La desviación también puede deberse a rebosamiento láser al detectar dispersión, o de material de fondo de fluorescencia. Estas desviaciones son quitadas por el control de desviación analógico 804. La salida del control de desviación analógico 804 es aplicada a un convertidor analógico a digital 168 y un amplificador analógico 166 que amplifica la señal por un factor de 128x. De nuevo, se usa 128x en la realización de la figura 8A dado que la ganancia de 128x es un múltiplo binario igual a 2^7 . Naturalmente, cualquier ganancia deseada puede ser usada en el amplificador 166 dependiendo de la cantidad de ganancia deseada. Otros múltiplos de un número binario pueden ser usados para simplificar el proceso de multiplicación usado en el circuito multiplicador 806 ilustrado en la figura 8A. La señal amplificada procedente del amplificador analógico 166 es aplicada entonces a un convertidor analógico a digital 170 para generar una señal de salida digitalizada. La señal digitalizada es aplicada entonces a un circuito de restauración de base digital 354 para quitar cualquier desviación que sea detectada en la señal digital. Cualquier desviación que exista en la señal de entrada al amplificador analógico 166 es multiplicada por un factor de 128x. Por lo tanto, las pequeñas desviaciones son multiplicadas por más de dos órdenes de magnitud y pueden ser detectadas fácilmente en el circuito de restauración de base digital 354. El supervisor de desviación 802 detecta tales desviaciones y genera una señal de control de desviación 803 que es aplicada al control de desviación analógico 804 para regular el control de desviación analógico 804 de manera muy exacta. La salida del circuito de restauración de base digital 352 y la salida del circuito de restauración de base digital 354 son aplicadas al circuito de ligadura/selector 356. La salida del circuito de restauración de base digital 354 es aplicada al circuito de ganancia variable 808 que es parte del circuito de ligadura/selector 356. La salida del circuito de restauración de base digital 352 es aplicada a un multiplicador binario 806 que también es parte del circuito de ligadura/selector 356. El multiplicador binario 806 mueve simplemente los datos a la izquierda siete posiciones para efectuar una multiplicación de los datos por un factor de 128x. La señal de datos digitalmente multiplicada 807 procedente del multiplicador 806 es aplicada entonces a un sustractor 810 y un multiplexor 834.

50 Como también se representa en la figura 8A, el circuito de ganancia variable 808 regula la ganancia de la señal que fue multiplicada por el amplificador analógico 166 según una señal de control de diferencia 828. La salida 809 del circuito de ganancia variable 808 también es aplicada al circuito sustractor 810. El circuito sustractor 810 resta la señal digitalmente multiplicada 807 de la señal multiplicada analógica 809. El circuito sustractor 810 genera una señal de control de diferencia 828 que es proporcional a la diferencia en las dos señales de entrada. La señal de control de diferencia 828 es aplicada a un circuito sumador 811 que regula lentamente la señal de control de diferencia 828 para evitar cambios rápidos en la señal de control de diferencia 828 que es aplicada al circuito de ganancia variable 808. El circuito de ganancia variable 808 regula la señal 809, de modo que la señal 809 corresponde a la señal 807.

60 La figura 8A también describe un circuito de comparación 812, que genera una señal de control de comparador 826 que controla el circuito sustractor 810 y permite que el circuito sustractor 810 genere la señal de control de diferencia 828 cuando las condiciones de la señal multiplicada analógica 809 sean correctas para regular el circuito de ganancia variable 808 y hacer que la señal multiplicada analógica 809 sea ligada conjuntamente con la señal digitalmente multiplicada 807. La señal multiplicada analógica 809 es aplicada al circuito comparador 816 que determina si la señal multiplicada analógica 809 tiene una amplitud superior a 50 por ciento de la amplitud máxima del amplificador analógico 166 (antes de llegar a saturación). Si es así, una señal de salida es aplicada a la puerta Y

820. La señal multiplicada analógica 809 también es aplicada a un circuito comparador 818 para determinar si la señal multiplicada analógica 809 tiene una amplitud instantánea de menos de 88 por ciento de la amplitud máxima del amplificador analógico 166. Si es así, el circuito comparador 818 genera una señal que es aplicada a la puerta Y 820. Si se dan estas dos condiciones, la puerta Y 820 aplica una señal de salida a la puerta Y 824. La señal multiplicada analógica 809 también es aplicada al circuito comparador 822 que determina si la inclinación de la señal multiplicada analógica 809 es menor que algún límite predeterminado. Si es así, el circuito comparador 822 genera una salida que es aplicada a la puerta Y 824. Si ambas entradas a la puerta Y 824 están presentes, se genera la señal de control de comparador 826, que es aplicada al circuito sustractor 810 para activar el circuito sustractor 810 para generar la señal de control de diferencia 828, si es necesario.

El circuito de comparación 812 ilustrado en la figura 8A usa los tres comparadores de circuito 816, 818, 822 para asegurar que la amplitud y la inclinación del pulso gaussiano digitalizado de la señal analógica amplificada 809 esté dentro de rangos específicos de modo que se pueda hacer una comparación válida con la señal digitalmente multiplicada 807. La primera condición es que la señal multiplicada analógica 809 sea del rango de 50 por ciento a 88 por ciento del límite de amplificación de amplificador analógico 166. Naturalmente, estos porcentajes se pueden variar para obtener los resultados específicos que desee el diseñador del sistema. La razón de seleccionar este rango es que es deseable comparar las señales 807, 809 cuando la señal multiplicada analógica 809 está en la mitad superior de su rango amplificado (más de 50 por ciento), pero menos que cierto porcentaje de la ganancia máxima de amplificador analógico 166 dado que la distorsión puede dar lugar a regiones de ganancia más alta (por ejemplo, más de 88 por ciento) debido a la pérdida de rango producida por extracción de desviación. La salida de la puerta Y 820 genera una señal cuando la señal analógica amplificada 809 está dentro de los rangos. Además, es ventajoso comparar las señales 807, 809 cuando el pulso gaussiano está cerca de su pico y su amplitud está cambiando menos rápidamente. El circuito comparador 812 genera una señal solamente cuando la tasa de cambio del pulso gaussiano digitalizado 809 es menor que cierto límite predeterminado para asegurar que la comparación tenga lugar hacia el pico del pulso gaussiano del circuito amplificado analógico 809. Cuando se cumplen estas dos condiciones, la puerta Y 824 genera la señal de control de comparador 826 indicando al sustractor 810 que genere la señal de control de diferencia 828.

Como también se representa en la figura 8A, la salida del circuito de ganancia variable 808 es aplicada tanto a un circuito comparador 830 como a un multiplexor 834. La señal 806 también es aplicada al multiplexor 834. Un circuito comparador 830 compara la señal de entrada 809 con el umbral establecido en el circuito comparador 830 para determinar si la señal 809 es más grande que algún valor predeterminado, tal como 88 por ciento de la ganancia total que proporciona el amplificador analógico 166. Si el circuito comparador 830 determina que la señal 809 es más grande que 88 por ciento de la ganancia total del amplificador analógico 166, se genera la señal de control de selección 832, que es aplicada al multiplexor 834 para controlar el multiplexor 834 para seleccionar la señal digitalmente multiplicada 807 como la salida 836 del multiplexor 834. Si el circuito comparador 830 determina que la señal 809 es menor que cierto límite predeterminado, tal como 88 por ciento de la salida máxima del amplificador analógico 166, el multiplexor 834 selecciona la entrada 809 como la salida 836. Es deseable no usar la señal analógica amplificada 809 si la señal 809 ha sido amplificada a un nivel de más de 88 por ciento de la salida máxima del amplificador analógico 166 dado que puede producirse distorsión en la señal. Si la señal 809 es más grande que cierto límite predeterminado, tal como 88 por ciento de la salida máxima del amplificador analógico 166, la señal digitalmente multiplicada 807 se selecciona como la salida 836, dado que habrá menos distorsión en la señal digitalmente multiplicada 807.

La figura 8B es un diagrama esquemático de una segunda realización de un solo canal de un procesador de señal 800 con procesamiento lineal multiganancia, que ilustra el circuito de comparación 812 y el circuito de ligadura/selector 356. La realización ilustrada esquemáticamente en la figura 8B es la misma que la representada en la figura 8 con la excepción de que MUX 834 es sustituido por un circuito de transición de tapa de ganancia ponderada 850, y se quita 88% del circuito comparador 830. Para simplificar la notación, la señal digitalmente multiplicada 807 puede denominarse la etapa de ganancia 001, la señal de ganancia 001 o datos de ganancia 001 en la descripción siguiente, y la señal analógica amplificada 809 puede denominarse la etapa de ganancia 128, la señal de ganancia 128 o los datos de ganancia 128 en la descripción siguiente.

El circuito de transición de ganancia ponderada 850 proporciona una transición suave al conmutar entre usar la etapa de ganancia 001 y la etapa de ganancia 128 como la señal de salida del canal 1. Así, en lugar de pasar directamente de la etapa de ganancia 128 a la etapa de ganancia 001 en un punto fijo, por ejemplo, cuando la etapa de ganancia 128 es más grande de 88% de su máximo, los datos de ambas etapas pueden ser usados para la transición suave de etapas. Tal alisado reduce interrupciones de datos anómalas que podrían tener lugar si las etapas no tienen una adaptación perfecta. Una forma de llevar esto a cabo es calcular un factor de ponderación. Por ejemplo, tal factor de ponderación puede ser calculado según la tabla 1 en base al nivel digitalizado de la señal multiplicada analógica (etapa de ganancia 128).

Tabla 1

Nivel de ganancia 128	Peso de ganancia 128	Peso de ganancia 001
$\geq 0xE146$	0	4096
0xE145	1	4095
...
0xD946	2048	
...
0xD147	4095	1
$\leq 0xD146$	4096	0

5 En una realización, los pesos expuestos en la Tabla 1 pueden ser aplicados como una tabla de consulta. Para conservar memoria y proporcionar flexibilidad en términos de la longitud y los valores de la tabla, en una realización los pesos expuestos en la Tabla 1 son calculados usando las ecuaciones (1) y (2):

Ecuación (1): $\text{Peso de ganancia 128} = 0xE146 - \text{datos de ganancia 128}$

10 donde el peso calculado de la ganancia 128 se limita a $0 \leq \text{peso calculado de la ganancia 128} \leq 4096$; y

Ecuación (2): $\text{Peso de ganancia 001} = 4096 - \text{peso de ganancia 128}$

La salida ponderada de un canal puede calcularse entonces según la ecuación (3):

15

$$\text{Ecuación (3) Salida} = \frac{\text{datos de ganancia 128} \times \text{peso de ganancia 128} + \text{datos de ganancia 001} \times \text{peso de ganancia 001}}{4096}$$

20 La Tabla 1 se basa en 88% del nivel máximo de la señal multiplicada analógica 809 (señal de ganancia 128). También se puede usar otros niveles de comparación. Por ejemplo, en una realización, se usa 92% (0xECCC) como el nivel de comparación. En tal realización, los valores de la tabla correspondientes al nivel de ganancia 128 son del rango de 0xECCC a 0xDCCC en decrementos de 1. Las ecuaciones (1), (2) y (3) se modifican consiguientemente.

25 La figura 8C es un diagrama esquemático de bloques de una realización de un circuito de transición de ganancia ponderada 850. La señal multiplicada analógica 809 (datos de ganancia 128) es suministrada a una entrada de un sustractor 852. La otra entrada del sustractor 852 está acoplada al valor 0xE146, la señal multiplicada analógica de nivel válido más alto 809 puede tener lo representado en la Tabla 1. La salida del sustractor 852 es el peso de señal multiplicada analógica (peso de ganancia 128).

30 La salida del sustractor 852 se proporciona a un limitador 853. El limitador 853 limita la salida del sustractor 852 a un valor de tal manera que $0 \leq \text{valor} \leq 4096$. La salida del sustractor 852 es suministrada a una entrada de un sustractor 854. La otra entrada del sustractor 854 está acoplada al valor 4096. La salida del sustractor 854 es el peso de la señal digitalmente multiplicada (peso de ganancia 001).

35 La señal multiplicada analógica 809 y el peso de ganancia 128 son introducidos a un multiplicador 856. Igualmente, la señal digitalmente multiplicada 807 y el peso de ganancia 001 son introducidos a un multiplicador 858. Las salidas de los multiplicadores 856 y 858 son introducidas a un sumador 860. La salida del sumador 860 es introducida a un circuito divisor 862. El circuito divisor 862 divide su entrada por 4096. La salida del circuito divisor 862 sale del circuito de transición de ganancia ponderada 850 como la salida de canal.

40 La figura 9 es un diagrama esquemático de bloques de una realización del consolidador/serializador de datos ilustrado en la figura 2. Como se representa en la figura 9, la gran corriente de datos paralela procedente de cada canal es aplicada al registro paralelo 906. Por ejemplo, la señal pico 382 procedente del canal A (108) puede incluir una palabra de 32 bits de ancho que es aplicada al registro paralelo 906. Igualmente, la señal de zona 386 también puede ser una palabra de 32 bits de ancho que es aplicada al registro paralelo 906. Además, la señal de anchura de pulso 902 del canal A (108), así como otras entradas 904, también pueden incluir palabras de 32 bits de ancho que son aplicadas al registro paralelo 906. Cada uno de los canales, incluyendo el canal N (112), puede incluir múltiples palabras de datos de 32 bits de ancho que son aplicadas en paralelo al registro paralelo 906. En implementación real, los datos incluyen palabras de 32 bits de ancho y también pueden incluirse bits adicionales, que pueden aumentar la anchura del registro paralelo 906. En al menos una implementación, el registro paralelo 906 es de 512 bits de ancho, lo que permite aproximadamente 15 entradas. El registro paralelo 906 genera entonces salidas que son aplicadas a un registro primero en entrar primero en salir (FIFO) 908 que además pone en memoria intermedia los datos. Cada sección del registro FIFO es de 32 bits de ancho (u otra anchura si se incluyen otros bits) y puede ser de 64 capas de profundo. En otros términos, FIFO 908 puede proporcionar la puesta en memoria intermedia de datos de evento de hasta 64 eventos. La salida del FIFO 908 es una señal paralela grande, tal como una señal de 512 bits de ancho, que es aplicada a la máquina de estado 910. La máquina de estado 910 dispone los datos de 512

bits de ancho en una serie de palabras de 32 bits que son secuencialmente aplicadas a la interfaz de bus 224. La interfaz de bus aplica entonces los datos 226 al bus de sistema 128. Una serie de palabras secuenciales de 32 bits de ancho puede incluir una serie de datos, incluyendo una señal pico 382, una señal de zona 386, una señal de anchura de pulso 902, y otros cálculos 904 que incluyen datos del canal A (108), así como datos similares procedentes de canales adicionales. Por lo tanto, el bus de sistema 128 recibe los datos en palabras de 32 bits de ancho en forma secuencial y descarga dichos datos a varios componentes en el bus de sistema 128.

Las varias realizaciones aquí descritas proporcionan las ventajas de temporizar datos a través de un chip de procesamiento, tal como una matriz de puertas programable in situ o un circuito integrado específico de aplicación en base de muestra a muestra para obtener una producción alta. La lógica de procesamiento contenida dentro del chip de procesamiento proporciona diversa lógica que puede ser programada en el chip para identificar células para clasificación o análisis y opera en base de muestra a muestra en una arquitectura en paralelo que proporciona una alta producción de datos. Además, se proporcionan circuitos lineales multiganancia que están ligados y que proporcionan datos exactos y datos de alta resolución con un rango dinámico alto que permite una identificación más exacta de células en un citómetro de flujo.

REIVINDICACIONES

- 5 1. Un sistema (100) configurado para procesar una señal de datos de entrada procedente de un fotomultiplicador (102, 104, 106, 152) de un citómetro de flujo incluyendo:
- un amplificador analógico (166) para amplificar la señal de datos de entrada por un factor de ganancia;
- un primer convertidor analógico a digital (170) para digitalizar la señal de datos de entrada amplificada; **caracterizado por**
- 10 un segundo convertidor analógico a digital (168) para digitalizar la señal de datos de entrada;
- un multiplicador binario (806) configurado para multiplicar la señal de datos de entrada digitalizada por una cantidad igual al factor de ganancia; y
- 15 un circuito de selección (356) para seleccionar entre la señal de datos de entrada digitalizada multiplicada (807) y la señal de datos de entrada amplificada digitalizada (809) como una señal de datos de salida (836), en base a una comparación de la señal de datos de entrada amplificada digitalizada (809) con un límite predeterminado.
- 20 2. El sistema (100) expuesto en la reivindicación 1, incluyendo además un comparador (830) para comparar la señal de datos de entrada amplificada digitalizada (809) con la señal de datos de entrada digitalizada multiplicada (807), donde la comparación se usa para eliminar incoherencias entre la señal de datos de entrada digitalizada multiplicada (807) y la señal de datos de entrada amplificada digitalizada (809).
- 25 3. El sistema (100) expuesto en la reivindicación 1, incluyendo además un supervisor de desviación (802) para supervisar una desviación en la señal de datos de entrada amplificada digitalizada (809), y para generar una señal de control (803) para controlar una desviación de la señal de datos de entrada en base a la desviación supervisada.
4. El sistema (100) expuesto en la reivindicación 1, donde la señal de datos de salida (836) es procesada para determinar una o varias propiedades de la señal de datos de salida (836), incluyendo además circuitería (220) para consolidar la una o varias propiedades para presentación en serie a una unidad de interfaz de bus (224) para transporte por un bus (128).
- 30 5. El sistema (100) expuesto en la reivindicación 1, incluyendo además un circuito de ganancia variable (808) para controlar un nivel de la señal de datos de entrada amplificada multiplicada (807).
6. El sistema (100) expuesto en la reivindicación 5, donde se usa una comparación entre la señal de datos de entrada digitalizada multiplicada (807) y la señal de datos de entrada amplificada digitalizada (809) para controlar una ganancia del circuito de ganancia variable (808).
- 40 7. El sistema de la reivindicación 1, incluyendo además un circuito comparador que genera disparadores de canal (212, 214) comparando la señal de datos de salida (836) con umbrales predeterminados;
- 45 uno o varios circuitos detectores que generan respectivamente una o varias propiedades de señal a partir de la señal de datos de salida (836); y
- un generador de ventana de evento (228) que usa los disparadores de canal (212, 214) y lógica programable para generar señales de ventana de evento (232) que seleccionan un subconjunto de las propiedades de señal de la señal de datos de salida (836).
- 50 8. El sistema de la reivindicación 7, incluyendo además un circuito de retardo (304) que alinea temporalmente la señal de datos de salida (836).
9. Un citómetro de flujo incluyendo una fuente de luz para iluminar una partícula, el sistema (100) de cualquiera de las reivindicaciones 1-8, y uno o varios fotomultiplicadores (102, 104, 106, 152) para detectar luz dispersada por o fluorescente de la partícula iluminada y para generar dicha señal de datos de entrada.
- 55 10. Un método de procesar una señal de datos de entrada procedente de un fotomultiplicador (102, 104, 106, 152) de un citómetro de flujo incluyendo:
- 60 amplificar la señal de datos de entrada con un factor de ganancia predeterminado para producir una señal de datos de entrada amplificada; digitalizar la señal de datos de entrada amplificada para producir una señal de datos de entrada amplificada digitalizada (809); **caracterizado por** digitalizar los datos de entrada para producir datos digitalizados de entrada;
- 65

multiplicar la señal de datos de entrada digitalizada por una cantidad igual al factor de ganancia predeterminado para producir una señal de datos de entrada digitalizada multiplicada (807);

5 comparar la señal de datos de entrada amplificada digitalizada (809) con la señal de datos de entrada digitalizada multiplicada (807) para eliminar incoherencias entre la señal de datos de entrada amplificada digitalizada (809) y los datos digitalizados de entrada multiplicados (807); y

10 seleccionar entre la señal de datos de entrada amplificada digitalizada (809) y la señal de datos de entrada digitalizada multiplicada (807) en base a una comparación de la señal de datos de entrada amplificada digitalizada (809) con un límite predeterminado.

11. El método expuesto en la reivindicación 10, incluyendo además:

15 supervisar una desviación en la señal de datos de entrada amplificada digitalizada (809); y

controlar una desviación de la señal de datos de entrada en base a la desviación supervisada.

20 12. El método expuesto en la reivindicación 10, donde la señal de datos de salida (836) es procesada para determinar una o varias propiedades de la señal de datos de salida (836), incluyendo además el método:

consolidar la una o varias propiedades; y

25 presentar la una o varias propiedades consolidadas a una unidad de interfaz de bus (224) para transporte por un bus (128).

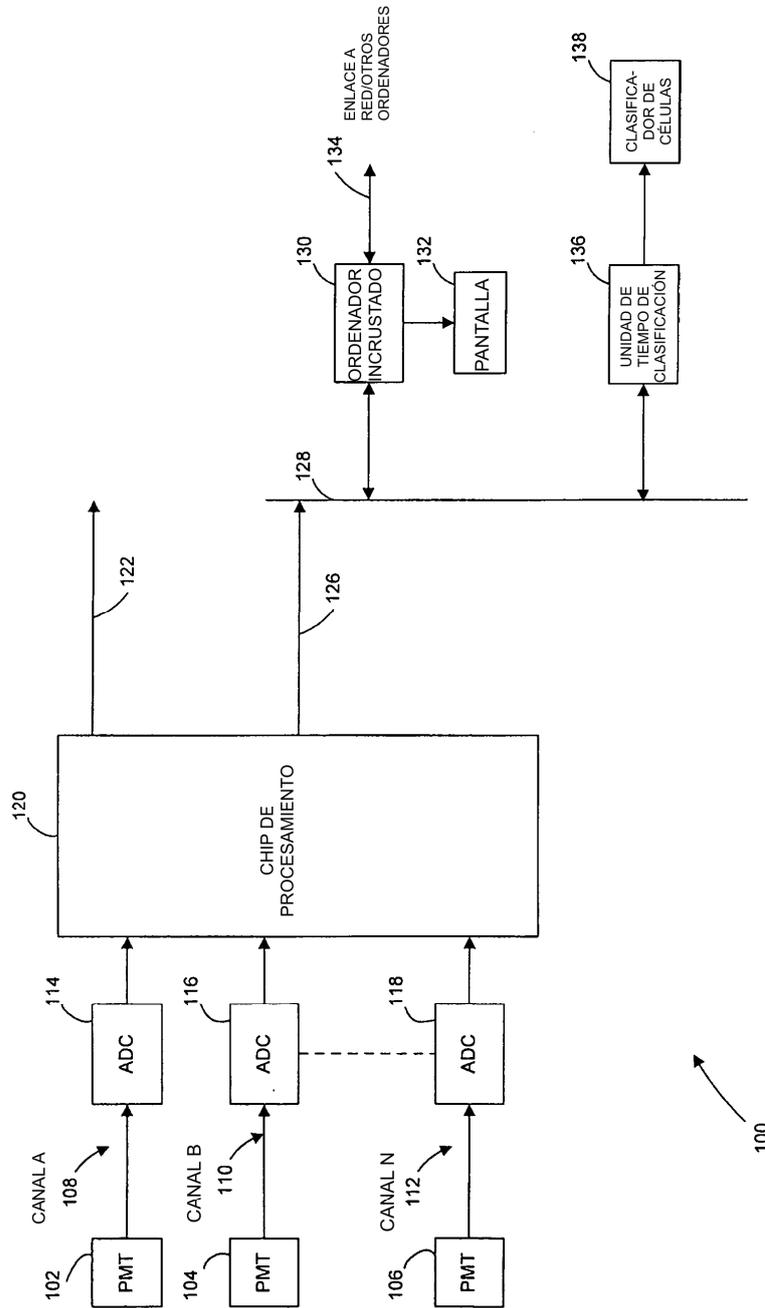


FIG. 1A

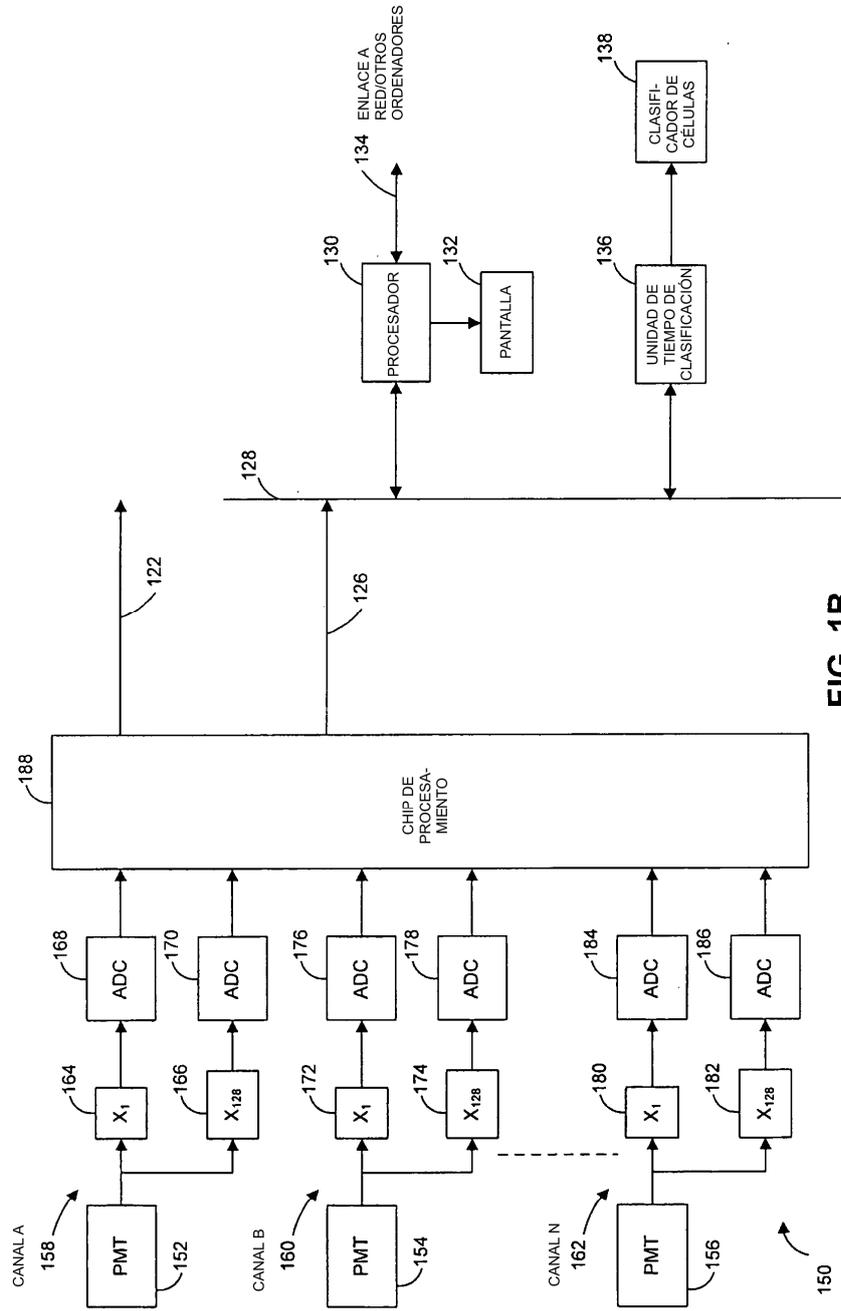


FIG. 1B

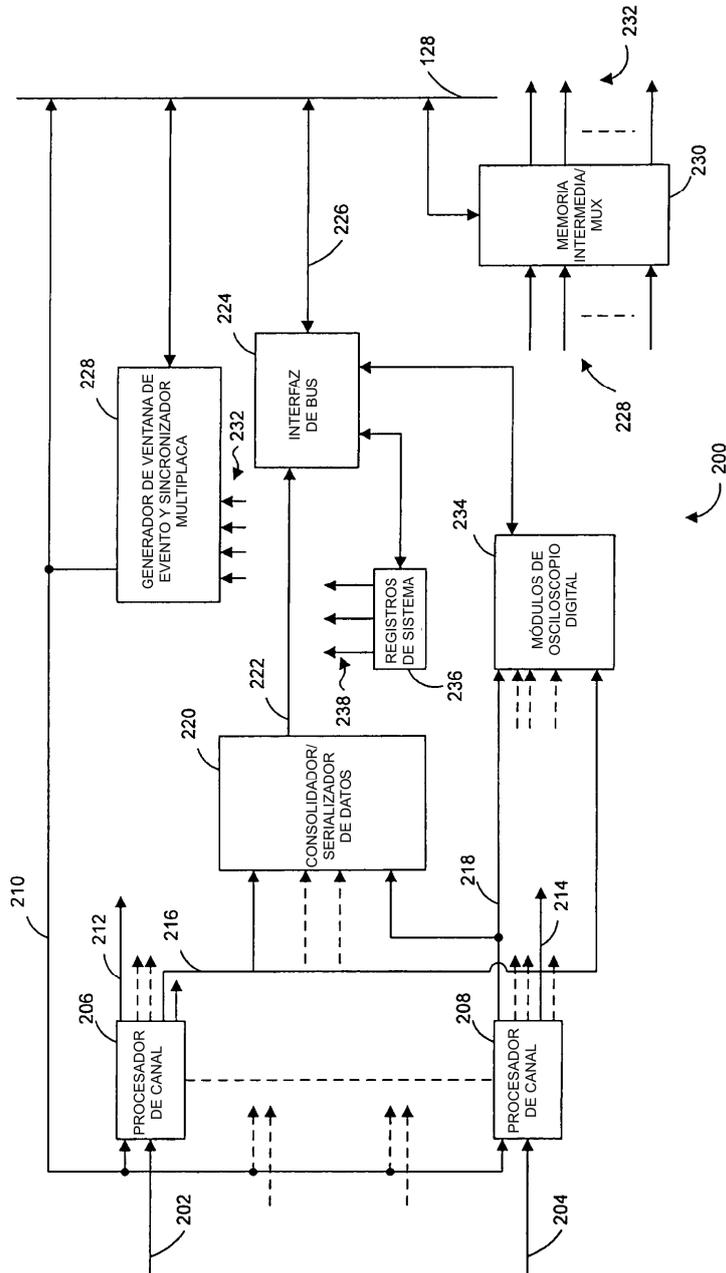
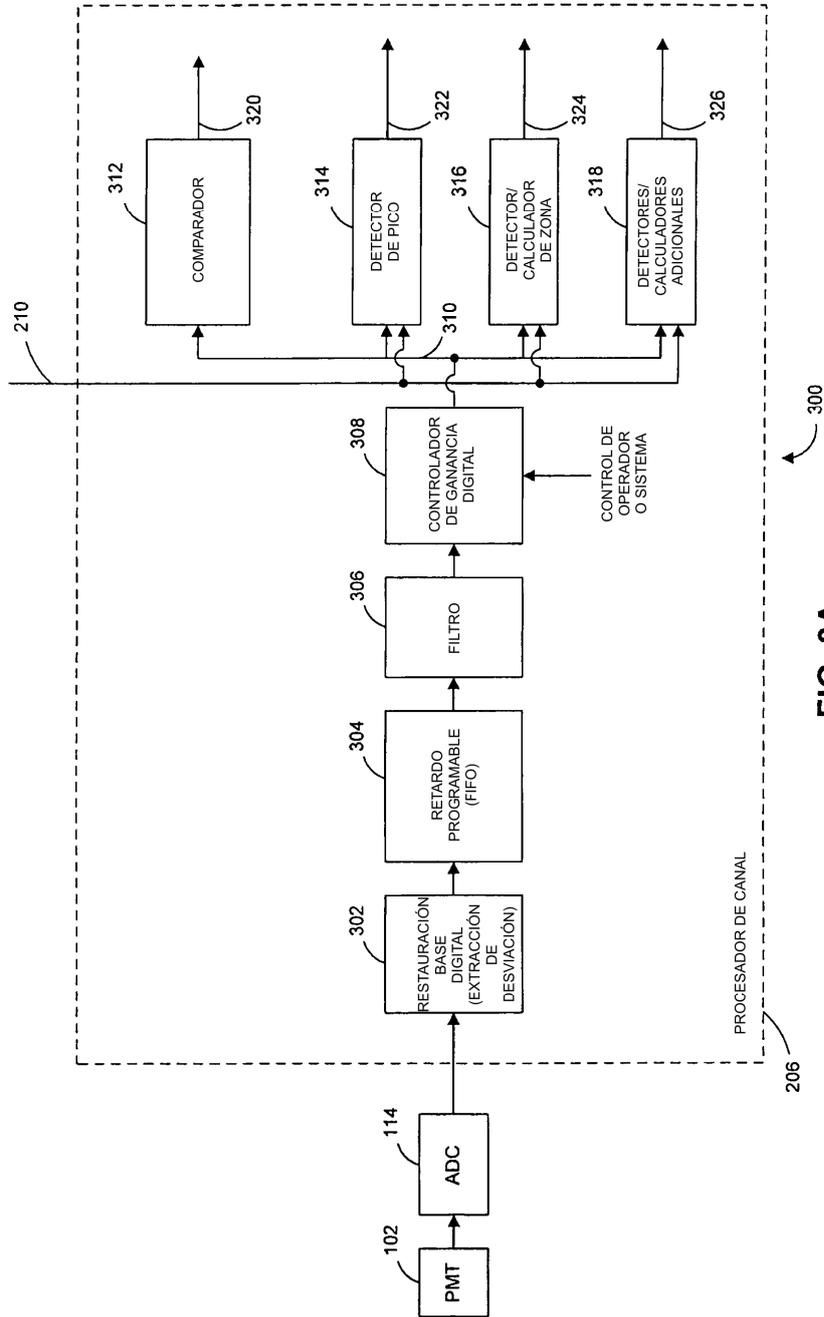


FIG. 2



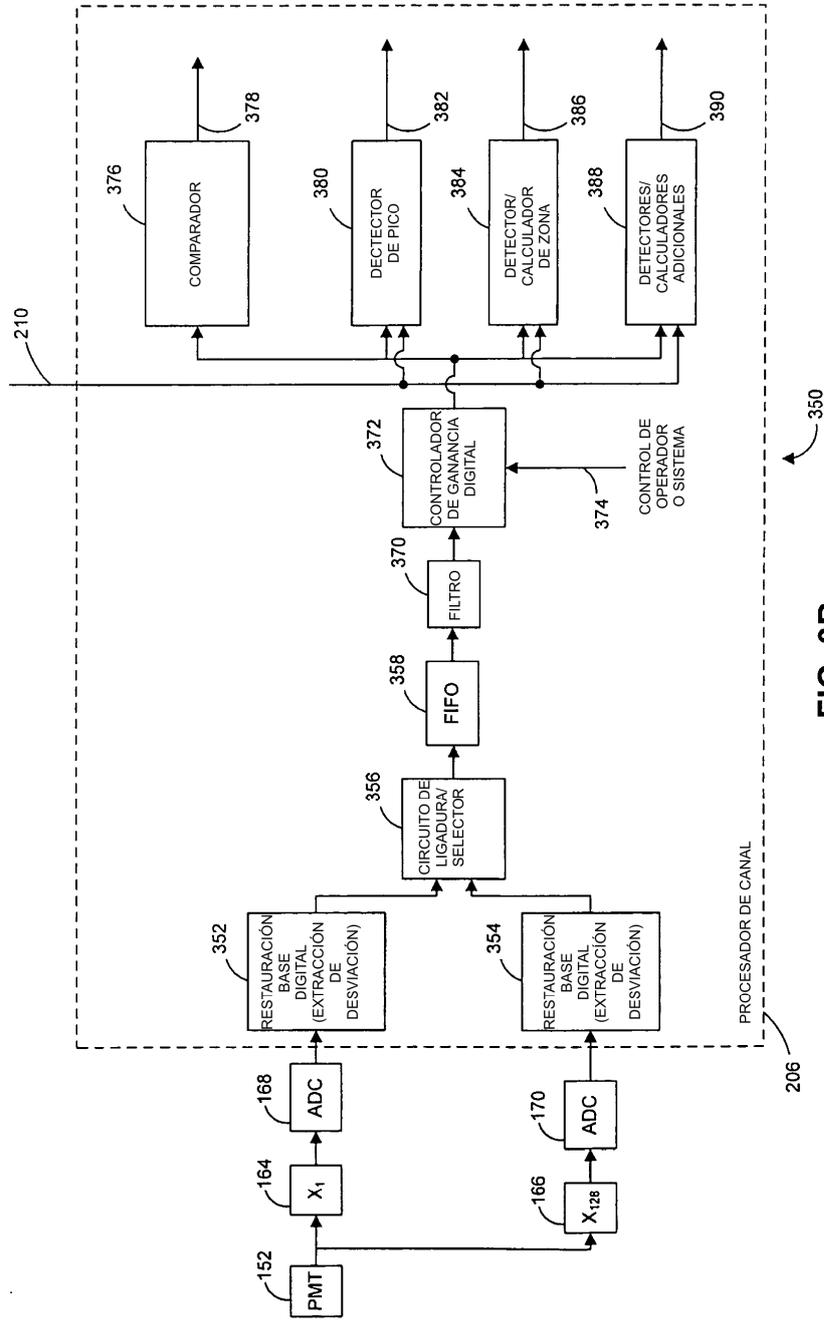
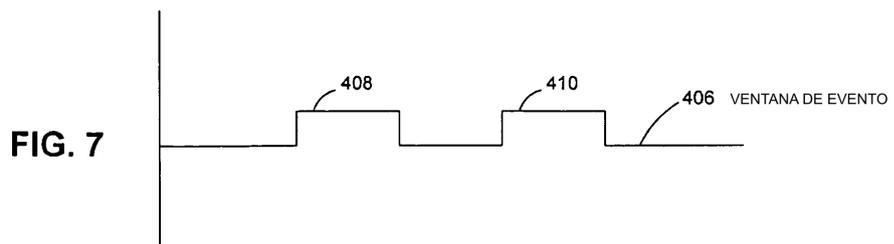
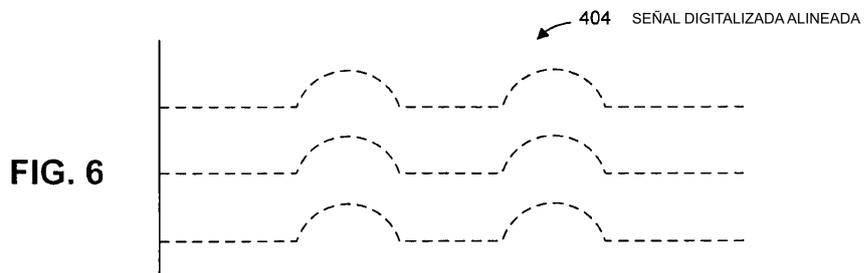
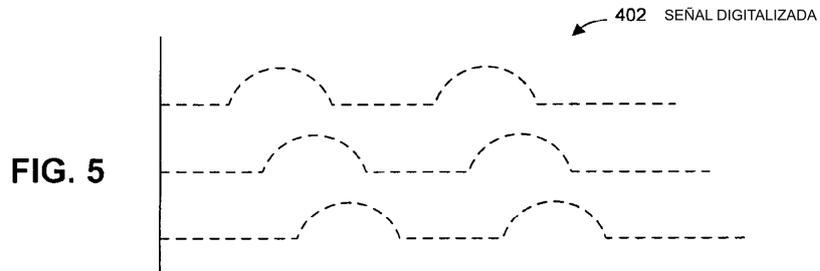
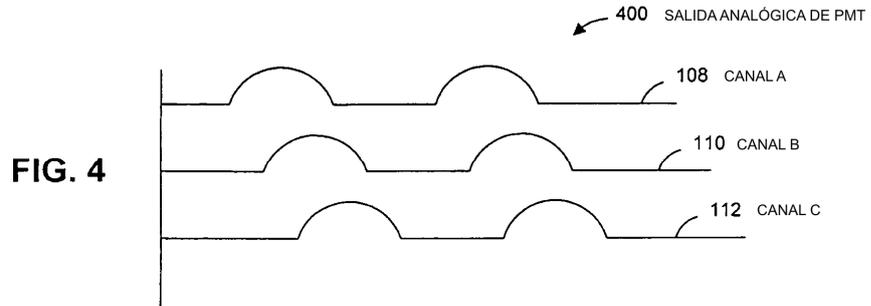


FIG. 3B



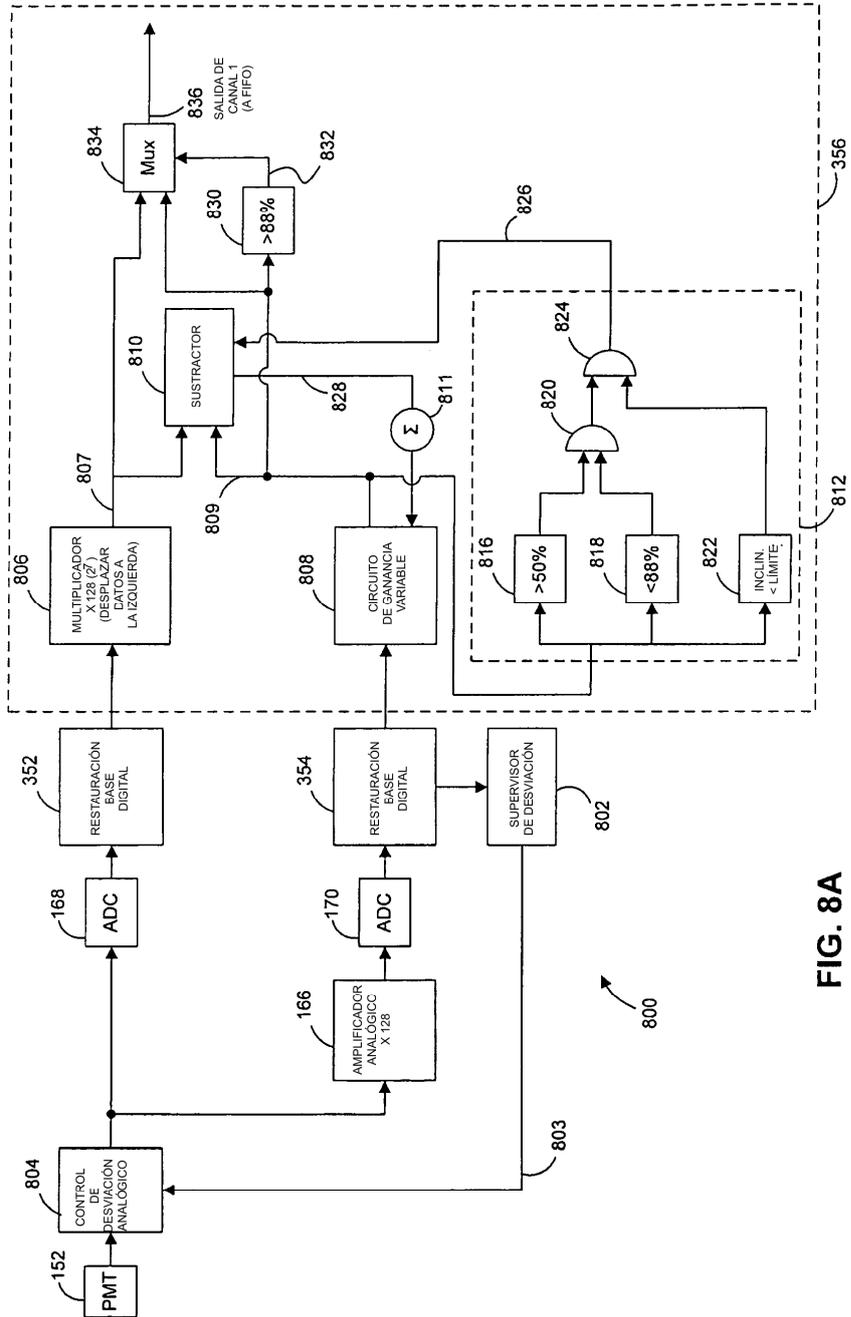


FIG. 8A

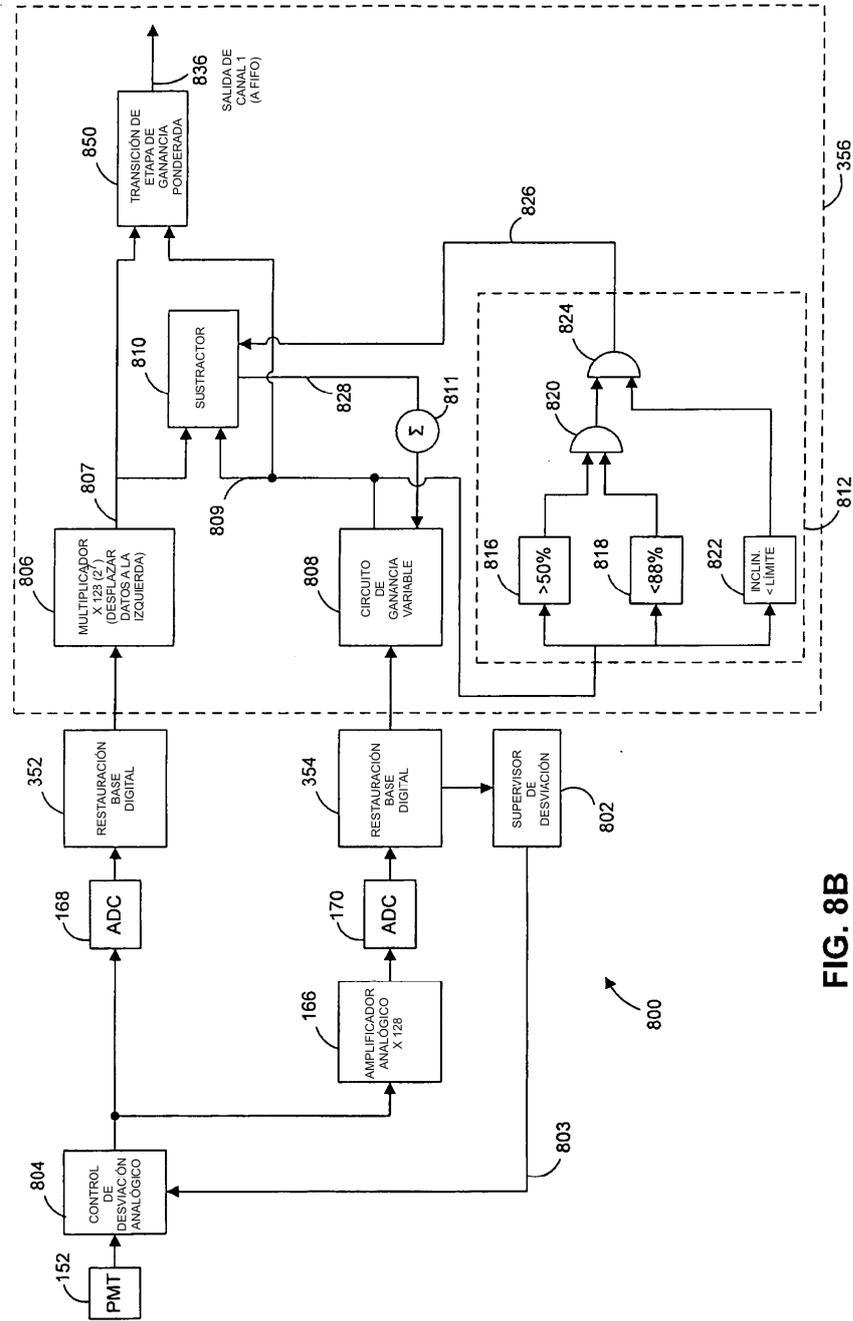


FIG. 8B

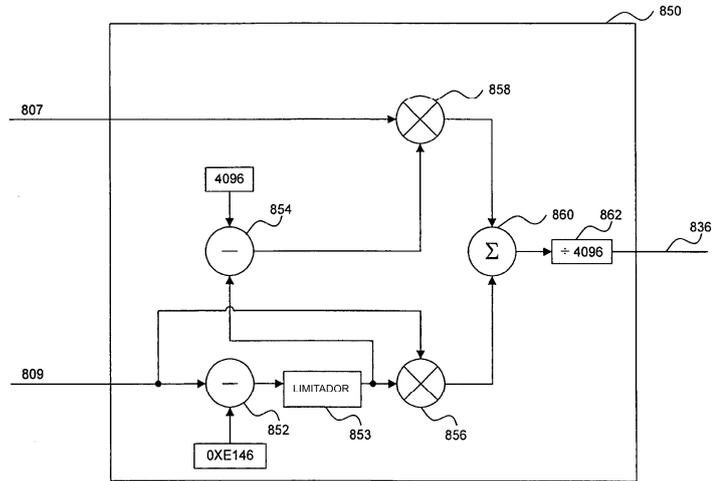


FIG. 8C

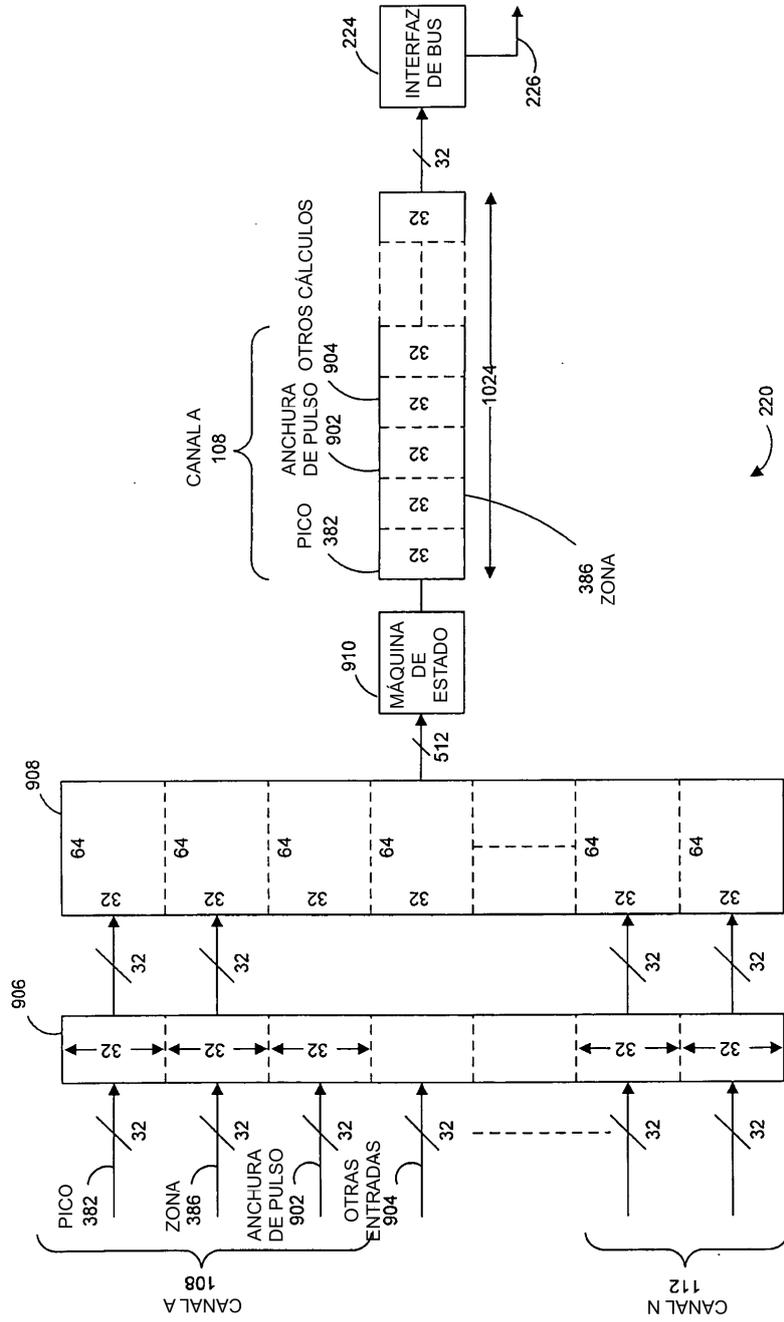


FIG. 9