

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 723 783**

51 Int. Cl.:

H04L 1/16 (2006.01)

H04L 1/18 (2006.01)

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **04.10.2011 PCT/US2011/054679**

87 Fecha y número de publicación internacional: **12.04.2012 WO12047829**

96 Fecha de presentación y número de la solicitud europea: **04.10.2011 E 11773149 (7)**

97 Fecha y número de publicación de la concesión europea: **06.02.2019 EP 2625809**

54 Título: **Procedimiento y aparato para la codificación e intercalado de bloques de código dual PUCCH y PUSCH**

30 Prioridad:

04.10.2010 US 389560 P

03.10.2011 US 201113251943

14.02.2011 US 201161442702 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
02.09.2019

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)

5775 Morehouse Drive

San Diego CA 92121-1714, US

72 Inventor/es:

LUO, XILIANG;

MONTOJO, JUAN;

CHEN, WANSHI y

GAAL, PETER

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 723 783 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y aparato para la codificación e intercalado de bloques de código dual PUCCH y PUSCH

5 REFERENCIA A SOLICITUDES RELACIONADAS

[0001] Esta solicitud reivindica el beneficio de la Solicitud de Patente Provisional de Estados Unidos n.º 61/389, 560, titulada "METHOD AND APPARATUS FOR PUCCH ENCODING" [PROCEDIMIENTO Y APARATO PARA CODIFICACIÓN PUCCH], presentada el 4 de octubre de 2010, y reivindica el beneficio de la Solicitud de Patente Provisional de Estados Unidos n.º 61/442,702, titulada "METHOD AND APPARATUS FOR PUCCH AND PUSCH ENCODING" [PROCEDIMIENTO Y APARATO PARA CODIFICACIÓN PUCCH Y PUSCH], presentada el 14 de febrero de 2011.

15 ANTECEDENTES

I. Campo

[0002] La presente divulgación se refiere en general a la comunicación, y más específicamente a técnicas para la codificación del Canal de control de enlace ascendente físico (PUCCH) y del Canal compartido de enlace ascendente físico (PUSCH) en un sistema de comunicación inalámbrica.

II. Antecedentes

[0003] Los sistemas de comunicación inalámbrica están ampliamente implantados para proporcionar diverso contenido de comunicación, tal como voz, vídeo, datos en paquetes, mensajería, radiodifusión etc. Estos sistemas inalámbricos pueden ser sistemas de acceso múltiple que pueden admitir múltiples usuarios compartiendo los recursos de sistema disponibles. Los ejemplos de tales sistemas de acceso múltiple incluyen sistemas de acceso múltiple por división de código (CDMA), sistemas de acceso múltiple por división del tiempo (TDMA), sistemas de acceso múltiple por división de frecuencia (FDMA), sistemas de acceso múltiple por división ortogonal de frecuencia (OFDMA) y sistemas de FDMA de portadora única (SC-FDMA).

[0004] Un sistema de comunicación inalámbrica puede incluir varias estaciones base que pueden soportar la comunicación para varios equipos de usuario (UE). Una estación base puede incluir múltiples antenas de transmisión y/o recepción. Cada UE puede incluir múltiples antenas de transmisión y/o recepción. El UE transmite diversa información de control sobre el PUCCH y el PUSCH. En LTE-A, un nuevo formato, el formato 3 de PUCCH se introduce para la agregación de portadoras. El formato 3 de PUCCH transmite una forma de onda de multiplexado por división de frecuencia ortogonal de portadora única de transformada discreta de Fourier (DFT-S-OFDM) en cada símbolo SC-FDM. El formato 3 de PUCCH puede llevar 48 bits codificados con modulación QPSK. Sin embargo, aún no se ha establecido la codificación de los bits de información de control correspondientes al formato 3.

[0005] Además, la información de control puede ser transmitida en el PUSCH. Se pueden lograr diferentes velocidades de codificación para la información de control asignando diferentes números de símbolos codificados para su transmisión. Por ejemplo, cuando la información de control se transmite en el PUSCH, la codificación del canal para HARQ-ACK, el indicador de rango (RI) y la información de calidad del canal (CQI) se pueden realizar de forma independiente. Sin embargo, aún no se ha establecido la codificación de canales para más de 11 bits de información HARQ-ACK.

[0006] El documento EP 1 903 735 A1 describe procedimientos para realizar la transmisión de datos en múltiples portadoras. Especialmente, los datos entrantes se dividen de acuerdo con el número de portadoras, el enlace CRC, la codificación y la coincidencia de velocidad se realizan de forma independiente para cada sección de datos, y luego la aleatorización y el intercalado se realizan comúnmente para todas las secciones de datos.

[0007] El documento US 2008/0165873 A1 divulga procedimientos para realizar multiplexado de datos y señalización de control sobre el PUSCH en un sistema que utiliza DFT-S-OFDM. Especialmente, los diferentes campos de control se codifican, se repiten y luego se multiplexan por separado para formar un flujo de control que luego se toma y se hace coincidir en velocidad y se inserta con los datos.

[0008] El documento EP 2 129 030 A1 describe en la Figura 10 el procesamiento paralelo de información de CQI, RI y ACK con codificación paralela e intercalado común, pero no divulga cómo se realiza la coincidencia de velocidad y la división de la información de control de enlace ascendente en conjuntos múltiples.

SUMARIO

[0009] La invención está definida en las reivindicaciones independientes. La reivindicación independiente 1 define un procedimiento de acuerdo con la invención, la reivindicación independiente 5 define un aparato de

acuerdo con la invención y la reivindicación 4 se centra en el programa informático correspondiente. Se definen modos de realización preferentes en las reivindicaciones dependientes. La invención se basa en el hecho de que los bits de información, más allá de los 11 bits de la técnica anterior, pueden codificarse en un canal físico de enlace ascendente. Los bits de información pueden incluir información de control del enlace ascendente que se transmitirá en el canal físico compartido del enlace ascendente (PUSCH) o en el canal físico de control del enlace ascendente (PUCCH). Los bits de información de control de enlace ascendente son bits ACK/NACK. Los bits de información se pueden dividir en dos conjuntos, y cada uno de los dos conjuntos se codifica basándose en un código de bloque que incluye un código de bloque (32, Q) y se hace coincidir la velocidad. Después de la coincidencia de velocidad, los dos conjuntos de bits se pueden intercalar para obtener diversidad de intervalo.

[0010] A continuación, se describen en más detalle diversos aspectos y características de la divulgación.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0011]

La FIG. 1 es un diagrama de bloques que ilustra de forma conceptual un ejemplo de un sistema de comunicación inalámbrica.

La FIG. 2 es un diagrama que ilustra conceptualmente una estructura de transmisión a modo de ejemplo.

La FIG. 3 es un diagrama que ilustra conceptualmente un ejemplo de una transmisión de información de control de enlace ascendente en un sistema de comunicación inalámbrica.

La FIG. 4 es un diagrama de bloques funcionales que ilustra conceptualmente bloques a modo de ejemplo ejecutados para implementar un aspecto de la presente divulgación.

La FIG. 5 es un diagrama de bloques que ilustra conceptualmente un aparato configurado de acuerdo con un aspecto de la presente divulgación.

La FIG. 6 es un diagrama que ilustra conceptualmente un ejemplo de una transmisión de información de control a través de un canal de datos compartido de enlace ascendente en un sistema de comunicación inalámbrica configurado de acuerdo con un aspecto de la presente divulgación.

DESCRIPCIÓN DETALLADA

[0012] Como se analiza en detalle a continuación, se divulgan varias opciones de codificación para la información de control de enlace ascendente. Las técnicas descritas en el presente documento se pueden utilizar en diversos sistemas de comunicación inalámbrica, tales como sistemas de CDMA, TDMA, FDMA, OFDMA, SC-FDMA y otros sistemas. Los términos "sistema" y "red" se usan a menudo de manera intercambiable. Un sistema CDMA puede implementar una tecnología de radio, tal como el Acceso Radioeléctrico Terrestre Universal (UTRA), cdma2000, etc. UTRA incluye CDMA de banda ancha (WCDMA) y otras variantes de CDMA. cdma2000 cubre las normas IS-2000, IS-95 e IS-856. Un sistema de TDMA puede implementar una tecnología de radio tal como el sistema global de comunicaciones móviles (GSM). Un sistema OFDMA puede implementar una tecnología de radio tal como UTRA evolucionado (E-UTRA), banda ultraancho móvil (UMB), IEEE 802,11 (Wi-Fi), IEEE 802,16 (WiMAX), IEEE 802,20, Flash-OFDM®, etc. UTRA y E-UTRA son parte del Sistema Universal de Telecomunicaciones Móviles (UMTS). La Evolución a Largo Plazo (LTE) de 3GPP y LTE avanzada (LTE-A) son nuevas versiones de UMTS que usan E-UTRA, que emplea OFDMA en el enlace descendente y SC-FDMA en el enlace ascendente. UTRA, E-UTRA, UMTS, LTE, LTE-A y GSM se describen en documentos de una organización llamada "Proyecto de Colaboración de Tercera Generación" (3GPP). cdma2000 y UMB se describen en documentos de una organización llamada "Segundo Proyecto de Colaboración de Tercera Generación" (3GPP2). Las técnicas descritas en el presente documento se pueden utilizar para los sistemas y tecnologías de radio que se han mencionado anteriormente, así como otros sistemas y tecnologías de radio. Para mayor claridad, determinados aspectos de las técnicas se describen a continuación para la LTE, y la terminología de LTE se usa en gran parte de la siguiente descripción.

[0013] La FIG. 1 muestra un sistema de comunicación inalámbrica 100, que puede ser un sistema LTE o algún otro sistema. El sistema 100 puede incluir varios Nodos B evolucionados (eNB) 110 y otras entidades de red. Un eNB puede ser una entidad que se comunica con los UE y también puede denominarse una estación base, un Nodo B, un punto de acceso, etc. Cada eNB 110 puede proporcionar cobertura de comunicación para un área geográfica particular y puede soportar comunicación para los UE ubicados dentro del área de cobertura. Para mejorar la capacidad, el área de cobertura global de un eNB puede dividirse en múltiples (por ejemplo, tres) áreas más pequeñas. Cada área más pequeña puede recibir servicio mediante un respectivo subsistema de eNB. En el 3GPP, el término "célula" puede referirse al área de cobertura más pequeña de un eNB 110 y/o de un subsistema de eNB que sirve a esta área de cobertura.

[0014] Los UE 120 pueden dispersarse por todo el sistema, y cada UE 120 puede ser fijo o móvil. Un UE puede denominarse también estación móvil, terminal, terminal de acceso, unidad de abonado, estación, etc. Un UE 120 puede ser un teléfono móvil, un asistente digital personal (PDA), un módem inalámbrico, un dispositivo de comunicación inalámbrica, un dispositivo manual, un ordenador portátil, un teléfono sin cable, una estación de bucle local inalámbrico (WLL), un teléfono inteligente, un netbook, un smartbook, una tablet, etc.

[0015] La LTE utiliza el multiplexado por división ortogonal de frecuencia (OFDM) en el enlace descendente y el multiplexado por división de frecuencia de portadora única (SC-FDM) en el enlace ascendente. OFDM y SC-FDM dividen un intervalo de frecuencias en múltiples subportadoras ortogonales (K_s), que también se denominan habitualmente tonos, bins, etc. Cada subportadora se puede modular con datos. En general, los símbolos de modulación se envían en el dominio de la frecuencia con OFDM y en el dominio del tiempo con SC-FDM. La separación entre subportadoras adyacentes puede ser fija, y el número total de subportadoras (K_s) puede depender del ancho de banda del sistema. Por ejemplo, K_s puede ser igual a 128, 256, 512, 1024 o 2048 para un ancho de banda del sistema de 1,25; 2,5; 5; 10 o 20 megahercios (MHz), respectivamente. El ancho de banda del sistema puede corresponder a un subconjunto de las K_s subportadoras totales.

[0016] La FIG. 2 muestra un diagrama de bloques de un diseño de una estación base/eNB 110 y un UE 120 a modo de ejemplo, que pueden ser una de las eNB y una de las UE de la FIG. 1. Un UE 120 puede estar equipado con T antenas 1234a a 1234t, y la estación base 110 puede estar equipada con R antenas 1252a a 1252r, donde en general $T \geq 1$ y $R \geq 1$.

[0017] En el UE 120, un procesador de transmisión 1220 puede recibir datos desde una fuente de datos 1212 e información de control desde un controlador/procesador 1240. El procesador de transmisión 1220 puede procesar (por ejemplo, codificar, intercalar y asignar símbolos) los datos y la información de control y puede proporcionar símbolos de datos y símbolos de control, respectivamente. El procesador de transmisión 1220 también puede generar una o más señales de referencia de desmodulación para múltiples agrupaciones no contiguas basadas en una o más secuencias RS asignadas al UE 120 y puede proporcionar símbolos de referencia. Un procesador de transmisión (TX) de múltiples entradas y múltiples salidas (MIMO) 1230 puede realizar un procesamiento espacial (por ejemplo, precodificación) en los símbolos de datos, los símbolos de control, y/o los símbolos de referencia del procesador de transmisión 1220, cuando sea aplicable, y puede proporcionar T flujos de símbolos de salida a T moduladores (MOD) 1232a a 1232t. Cada modulador 1232 puede procesar un flujo de símbolos de salida respectivo (por ejemplo, para SC-FDMA, OFDM, etc.) para obtener un flujo de muestras de salida. Cada modulador 1232 puede procesar adicionalmente (por ejemplo, convertir a analógico, amplificar, filtrar y aumentar en frecuencia) el flujo de muestras de salida para obtener una señal de enlace ascendente. T señales de enlace ascendente desde los moduladores 1232a a 1232t pueden transmitirse a través de T antenas 1234a a 1234t, respectivamente.

[0018] En la estación base 110, las antenas 1252a a 1252r pueden recibir las señales de enlace ascendente del UE 120 y proporcionar las señales recibidas a los desmoduladores (DESMOD) 1254a a 1254r, respectivamente. Cada desmodulador 1254 puede acondicionar (por ejemplo, filtrar, amplificar, disminuir en frecuencia y digitalizar) una señal recibida respectiva para obtener muestras recibidas. Cada desmodulador 1254 puede procesar, además, las muestras recibidas para obtener los símbolos recibidos. Un procesador de canales/detector MIMO 1256 puede obtener símbolos recibidos de todos los R desmoduladores 1254a a 1254r. El procesador de canales 1256 puede obtener una estimación de canal para un canal inalámbrico desde el UE 120 a la estación base 110 basándose en las señales de referencia de desmodulación recibidas desde el UE 120. El detector MIMO 1256 puede realizar la detección/desmodulación MIMO en los símbolos recibidos basándose en la estimación del canal y puede proporcionar símbolos detectados. Un procesador de recepción 1258 puede procesar (por ejemplo, desasignar, desintercalar y descodificar) los símbolos detectados, proporcionar datos descodificados a un colector de datos 1260 y proporcionar información de control descodificada a un controlador/procesador 1280.

[0019] En el enlace descendente, en la estación base 110, los datos procedentes de una fuente de datos 1262 y la información de control procedente del controlador/procesador 1280 pueden procesarse mediante un procesador de transmisión 1264, precodificarse mediante un procesador MIMO de TX 1266 si procede, acondicionarse mediante los moduladores 1254a a 1254r y transmitirse al UE 120. En el UE 120, las señales de enlace descendente procedentes de la estación base 110 pueden recibirse mediante las antenas 1234, acondicionarse mediante los desmoduladores 1232, procesarse mediante un estimador de canal/detector MIMO 1236, y procesarse adicionalmente mediante un procesador de recepción 1238 para obtener los datos y la información de control enviados al UE 120. El procesador 1238 puede proporcionar los datos descodificados a un colector de datos 1239 y la información de control descodificada a un controlador/procesador 1240.

[0020] Los controladores/procesadores 1240 y 1280 pueden dirigir el funcionamiento en el UE 120 y la estación base 110, respectivamente. El procesador 1220, el procesador 1240 y/u otros procesadores y módulos en el UE 120 pueden realizar o dirigir procesos para las técnicas descritas en el presente documento. Las memorias 1242 y 1282 pueden almacenar datos y códigos de programa para el UE 120 y la estación base 110, respectivamente.

[0021] Las opciones de codificación para la información de control de enlace ascendente transmitida en el PUCCH y la información de control de enlace ascendente transmitida en el PUSCH se proporcionan en LTE. En LTE Rel-8 y 9, se soportan los formatos 1 y 2 de PUCCH. Por ejemplo, el formato 1 de PUCCH se puede utilizar para programar la solicitud. El formato 1a/1b de PUCCH puede usarse para ACK/NACK de 1 o 2 bits. Además, el formato 2/2a/2b de PUCCH se puede usar para CQI con/sin ACK/NACK. Los mensajes en el PUCCH se pueden modular en un cambio cíclico de una secuencia en cada símbolo SC-FDM.

[0022] En LTE Rel-10, se introduce un nuevo formato, llamado Formato 3 de PUCCH (también llamado formato DFT-S-OFDM) para la agregación de portadoras. Las transmisiones en formato 3 incluyen una forma de onda DFT-S-OFDM en cada símbolo SC-FDM. En un diseño, el Formato 3 de PUCCH utiliza códigos de cubierta ortogonales de longitud 5 (OCC) a través de los símbolos de datos SC-FDM en cada intervalo de tiempo. En otro diseño, el Formato 3 de PUCCH usa longitud 4 OCC a través de los símbolos SC-FDM de datos en el segundo intervalo de tiempo. Además, el formato 3 de PUCCH puede transportar 48 bits codificados con el esquema de modulación QPSK. Por lo tanto, se pueden enviar 24 bits codificados en cada intervalo de tiempo. Aunque la transmisión de datos para el PUCCH se describe a continuación, el procedimiento descrito a continuación también puede aplicarse a la transmisión de datos en otros canales, como el PUSCH.

[0023] La **FIG. 3** representa un ejemplo de transmisión de una forma de onda DFT-S-OFDM en cada símbolo SC-FDM, utilizando el formato 3 de PUCCH. El tiempo se traza en la dirección horizontal (eje 302) y los recursos de frecuencia se trazan en la dirección vertical (eje 304). Se muestran las señales PUCCH transmitidas en dos intervalos de tiempo 306 y 308 de una subtrama. Cada intervalo de tiempo 306, 308 incluye símbolos asignados a los datos (por ejemplo, el símbolo 310) y la señal de referencia RS (por ejemplo, el símbolo 312). La RS puede denominarse señal de referencia de desmodulación. Los bits de información, tales como los bits ACK/NACK, pueden procesarse a través de un bloque de codificación y modulación de canal 322 para generar un primer conjunto de símbolos de modulación 318 y un segundo conjunto de símbolos de modulación 324. Los símbolos de modulación 318 y 324 pueden precodificarse a través de los módulos de precodificación de transformada discreta de Fourier (DFT) 316 y 326, respectivamente.

[0024] La salida resultante de la precodificación DFT puede extenderse en el dominio del tiempo utilizando las ponderaciones w_0 a w_4 . Las ponderaciones w_0 a w_4 (números de referencia 314, 320) representan los coeficientes de un código de cobertura ortogonal (OCC). Las ponderaciones w_0 a w_4 pueden, por ejemplo, representar una columna de una matriz de transformada discreta de Fourier (DFT) 5x5. La salida puede ser asignada a diferentes símbolos. De acuerdo con un aspecto, los símbolos RS se pueden modular en un cambio cíclico (no mostrado en la **FIG. 3**). Se pueden enviar 24 bits codificados en el intervalo de tiempo 306, y se pueden enviar 24 bits codificados en el intervalo de tiempo 308. Los 48 bits codificados pueden ser modulados con QPSK.

[0025] Cuando la información a codificar está entre 1 y 11 bits, se puede aplicar un codificador de bloque (32, O), como se define en el Rel-8, a los bits de información, donde O es el número de bits de entrada al codificador. Sin embargo, cuando la información a codificar es de 12 o más bits, se puede realizar un procesamiento adicional.

[0026] De acuerdo con un aspecto, la codificación convolucional de bits de cola (TBCC) se puede realizar en los bits de información. El salto de frecuencia de límite de ranura se puede realizar en los bits de información codificados para mejorar la diversidad.

[0027] De acuerdo con un segundo aspecto, se puede aplicar un codificador de bloque (48, O) a los bits de información, donde O es el número de bits de entrada al codificador. El salto de frecuencia de límite de ranura se puede realizar en los bits de información codificados para mejorar la diversidad.

[0028] De acuerdo con un tercer aspecto, se pueden aplicar dos (32, O) codificadores de bloque a los bits de información después de dividir los bits de información en un primer conjunto de bits de información y un segundo conjunto de bits de información. Cada uno de los codificadores de bloque recibe entonces el primer conjunto de bits o el segundo conjunto de bits y genera un primer conjunto de bits codificados y un segundo conjunto de bits codificados, respectivamente. El primer y el segundo conjunto de bits codificados resultantes se pueden hacer coincidir en velocidad y transmitir. La coincidencia de velocidad puede hacer coincidir la velocidad de los bits codificados a un tamaño definido. Por ejemplo, cada uno del primer conjunto de bits codificados y el segundo conjunto de bits codificados se puede hacer coincidir a la velocidad de 24 bits para generar un total de 48 bits. El primer conjunto de bits codificados y el segundo conjunto de bits codificados pueden transmitirse en intervalos de tiempo separados.

[0029] De acuerdo con un cuarto aspecto, el intercalado se puede aplicar al tercer aspecto para proporcionar diversidad en la transmisión de los bits codificados. Por ejemplo, una pluralidad de bits de información se puede dividir en un primer conjunto de bits de información y un segundo conjunto de bits de información. El primer y el segundo conjunto de bits de información pueden codificarse, tal como con uno o más codificadores de bloque, para formar un primer y segundo conjunto de bits codificados. Cuando hay dos codificadores de bloque presentes, el número de bits de entrada a (32, O) para los codificadores puede ser igual o diferente. Por ejemplo, para 12 bits,

cada codificador puede codificar 6 bits. Para 13 bits, 7 bits pueden codificarse mediante el primer codificador y 6 bits pueden codificarse por el segundo codificador.

[0030] El primer y el segundo conjunto de bits codificados pueden entonces coincidir en velocidad a un número definido de bits. Por ejemplo, el número de bits puede seleccionarse como 48 bits cuando los bits codificados son para transmisión en el formato 3 de PUCCH. En otro ejemplo, el número de bits puede seleccionarse basándose en el número de bloques de recursos asignados a la estación móvil cuando los bits codificados son para transmisión en el PUSCH.

[0031] Después de que el primer y el segundo conjunto de bits codificados coincidan en velocidad, el primer y el segundo conjunto de bits codificados pueden intercalarse para generar un tercer conjunto de bits codificados para transmisión. El intercalado puede ser intercalado a nivel de bits o intercalado a nivel de símbolo, y los bits pueden estar intercalados en intervalos de tiempo de una manera pseudoaleatoria o par/impar. Es decir, cuando los bits codificados se seleccionan para intercalado, los bits del primer y el segundo conjunto de bits codificados se pueden elegir al azar para incluirlos en un primer intervalo de tiempo o en un segundo intervalo de tiempo. De forma alternativa, los bits codificados se pueden seleccionar para el primer y segundo intervalos de tiempo alternando los bits entre el primer conjunto y el segundo conjunto de bits codificados: incluso los bits del primer conjunto se pueden colocar en el primer intervalo de tiempo y los bits impares del primer conjunto de bits codificados. el conjunto se puede colocar en el segundo intervalo de tiempo, mientras que los bits pares del segundo conjunto se pueden colocar en el primer intervalo de tiempo y los bits impares del segundo conjunto se pueden colocar en el segundo intervalo de tiempo. El intercalado también puede incluir la concatenación del primer y segundo conjunto de bits codificados.

[0032] La determinación de un procedimiento de intercalado para la aplicación al primer y segundo conjunto de bits codificados puede basarse, en parte, en el canal para la transmisión. Por ejemplo, cuando el primer y segundo conjunto de bits codificados son para transmisión en el PUSCH, entonces se puede aplicar concatenación para intercalar el primer y segundo conjunto de bits codificados. En otro ejemplo, cuando el primer y segundo conjunto de bits codificados son para transmisión en el PUCCH, entonces se puede aplicar intercalado par/impar para intercalar el primer y segundo conjunto de bits codificados. Después de generar el tercer conjunto de bits codificados intercalando los bits codificados primero y segundo, puede transmitirse el tercer conjunto de bits codificados. El tercer conjunto de bits codificados puede transmitirse en un primer intervalo de tiempo y un segundo intervalo de tiempo de una subtrama de acuerdo con el intercalado.

[0033] La FIG. 4 muestra un diagrama de flujo de un proceso 400 para codificar bits de información de acuerdo con diversos aspectos de la presente divulgación. En el bloque 402, el proceso 400 divide los bits de información en el primer y segundo conjunto de bits de información. El proceso 400 continúa en el bloque 404, en el que el primer conjunto de bits de información se codifica en un primer conjunto de bits codificados y el segundo conjunto de bits de información se codifica en un segundo conjunto de bits codificados. Por ejemplo, dos codificadores de código de bloque (32, O) que están definidos por normas se pueden usar para codificar los bits de información. En consecuencia, se generan dos conjuntos de 32 bits codificados. El proceso 400 continúa en el bloque 406, en el que el primer conjunto de bits codificados y el segundo conjunto de bits codificados se hacen coincidir en velocidad con un número definido de bits para generar un primer conjunto de bits codificados de coincidentes en velocidad y un segundo conjunto de bits codificados coincidentes en velocidad. El proceso 400 continúa con el bloque 408 en el que los conjuntos primero y segundo de bits codificados coincidentes en velocidad se intercalan para generar un conjunto intercalado de bits codificados.

[0034] La FIG. 5 es una representación de diagrama de bloques de un UE 120 configurado de acuerdo con un aspecto de la presente divulgación. El UE 120 incluye el proceso de codificación 500 para codificar la información de control del enlace ascendente. Un divisor de señal 501 divide los bits de información de entrada en dos conjuntos para ser procesados por el proceso de codificación 500. El proceso de codificación 500 funciona dentro del UE 120 utilizando dos (32, O) codificadores de código de bloque 502a, 502b, donde O denota el número de bits de entrada al codificador. Por ejemplo, un número de bits de información $b(0), b(1), \dots, b(A-1)$ del primer conjunto se introducen en el codificador 502a, y el número B de bits de información $b(A), b(A+1), \dots, b(A+B-1)$ del segundo conjunto se introducen en el codificador 502b. A y B pueden ser iguales o diferentes. En un aspecto, el codificador (32, O) 502a, 502b es un codificador definido por normas. El codificador 502a emite 32 bits codificados $c(0), c(1), \dots, c(31)$ a un módulo de ajuste de velocidad 504a, y el codificador 502b emite 32 bits codificados $c(32), c(33), \dots, c(63)$ a un módulo de ajuste de velocidad 504b.

[0035] Los bits codificados $c(0), c(1), \dots, c(31)$ se hacen coincidir en velocidad a 24 bits $c'(0), c'(1), \dots, c'(23)$, mediante el módulo de ajuste de velocidad 504a y los bits codificados $c(32), c(33), \dots, c(63)$ se hacen coincidir en velocidad a 24 bits $c'(24), c'(25), \dots, c'(47)$, mediante el módulo de ajuste de velocidad 504b. Los bits codificados coincidentes en velocidad resultantes se introducen en un intercalador 508 que distribuye los bits codificados $c'(0), c'(1), \dots, c'(23)$ y los bits codificados $c'(24), c'(25), \dots, c'(47)$ entre los 48 bits intercalados y codificados $d(0), d(1), \dots, d(47)$. Por consiguiente, 24 de los 48 bits codificados finales pueden transmitirse en un intervalo de tiempo de una subtrama, y los otros 24 de los 48 bits codificados finales pueden transmitirse en un segundo intervalo de

tiempo de la subtrama. Por lo tanto, cada bit de información puede disfrutar de la diversidad por medio del salto de frecuencia de límite de ranura.

[0036] En un aspecto, las técnicas anteriores para la codificación de canales también pueden implementarse para la información transmitida en el PUSCH incluyendo, por ejemplo, información de control tal como información HARQ-ACK. La información de codificación de canal para un HARQ-ACK se encuentra en la memoria descriptiva técnica 3GPP TS 36.212. Similar a la **FIG. 5** arriba, los bits de información se pueden dividir en dos secuencias de bits que se introducen en un codificador para generar dos conjuntos de bits codificados. Cada conjunto de bits codificados se hace coincidir en velocidad con un número determinado de bits para generar dos bloques de código individuales con la misma velocidad. Los bloques de código individuales de velocidad coincidente pueden intercalarse mediante un intercalador. Sin embargo, el intercalado se puede realizar a un nivel de símbolo de modulación para generar un "tablero de ajedrez" o un patrón alternativo en el PUSCH. Debe tenerse en cuenta que el número de símbolos de modulación a asignar puede variar, por ejemplo, dependiendo de la eficiencia espectral del PUSCH.

[0037] De acuerdo con un aspecto, los símbolos de modulación pueden asignarse de forma alternativa en un "tablero de ajedrez" o patrón alternativo.

[0038] De acuerdo con un segundo aspecto, los símbolos de modulación pueden asignarse como en el primer modo de realización, pero los símbolos de modulación pueden dividirse aproximadamente proporcionalmente a los bits de información de entrada de bloque de código de velocidad coincidente $\lceil O^{ACK}/2 \rceil$ y $\lfloor O^{ACK}/2 \rfloor$, mientras se mantienen los bits de información de los dos bloques de código de velocidad coincidente individual en símbolos QAM separados.

[0039] De acuerdo con un tercer aspecto, el intercalado a nivel de símbolo de modulación puede dar como resultado un "tablero de ajedrez" o un patrón alternativo.

[0040] Los detalles adicionales con respecto a los aspectos de ejemplo para la modulación en el PUSCH se describen a continuación en una propuesta de texto (incluido el pseudo código) para la codificación de canales de más de 11 bits de información HARQ-ACK. Las abreviaturas se definen en la sección correspondiente 5.2.2.6 de TS 36.212, cuya referencia completa se incorpora aquí.

[0041] La entrada de bits HARQ-ACK al bloque de codificación de canal se denota por $O_0^{ACK}, O_1^{ACK}, \dots, O_{O^{ACK}-1}^{ACK}$ donde $11 < O^{ACK} < 20$ es el número de bits.

[0042] Las secuencias de bits $O_0^{ACK}, O_1^{ACK}, O_2^{ACK}, \dots, O_{\lceil O^{ACK}/2 \rceil - 1}^{ACK}$ y $O_{\lceil O^{ACK}/2 \rceil}^{ACK}, O_{\lceil O^{ACK}/2 \rceil + 1}^{ACK}, O_{\lceil O^{ACK}/2 \rceil + 2}^{ACK}, \dots, O_{O^{ACK}-1}^{ACK}$ se codifican de la siguiente manera

$$\tilde{q}_i = \sum_{n=0}^{\lceil O^{ACK}/2 \rceil - 1} (O_n^{ACK} \cdot M_{i,n}) \bmod 2$$

y

$$\tilde{\tilde{q}}_i = \sum_{n=0}^{O^{ACK} - \lceil O^{ACK}/2 \rceil - 1} (O_{\lceil O^{ACK}/2 \rceil + n}^{ACK} \cdot M_{i,n}) \bmod 2$$

donde $i = 0, 1, 2, \dots, 31$ y las secuencias de base $M_{i,n}$ se definen en la Tabla 5.2.2.6.4-1 de TS 36.212.

[0043] La secuencia de bits de salida $q_0^{ACK}, q_1^{ACK}, q_2^{ACK}, \dots, q_{O^{ACK}-1}^{ACK}$ se obtiene por concatenación y repetición circular de las secuencias de bits $\tilde{q}_0, \tilde{q}_1, \tilde{q}_2, \dots, \tilde{q}_{31}$ y $\tilde{\tilde{q}}_0, \tilde{\tilde{q}}_1, \tilde{\tilde{q}}_2, \dots, \tilde{\tilde{q}}_{31}$ de la forma siguiente

Primer aspecto alternativo:

[0044]

```

Set  $i = 0$ 
while  $i < \lfloor Q/2 \rfloor \cdot Q_m$ 
     $q_{2i+\lfloor i/4 \rfloor \bmod 2}^{ACK} = \tilde{q}_{i \bmod 32}$ 
     $q_{2i+1-\lfloor i/4 \rfloor \bmod 2}^{ACK} = \tilde{\tilde{q}}_{i \bmod 32}$ 
     $i = i + 1$ 
end while
Set  $i = 0$ 
while  $i < (Q - 2\lfloor Q/2 \rfloor) \cdot Q_m$ 
     $q_{2\lfloor Q'/2 \rfloor Q_m + i}^{ACK} = \tilde{q}_{(\lfloor Q'/2 \rfloor Q_m + i) \bmod 32}$ 
     $i = i + 1$ 
end while

```

Segundo aspecto alternativo:

5 [0045]

```

Set  $i = 0$ 

while  $i < \lfloor Q \cdot \lfloor O^{ACK}/2 \rfloor / O^{ACK} \rfloor \cdot Q_m$ 
     $q_{2i+\lfloor i/4 \rfloor \bmod 2}^{ACK} = \tilde{q}_{i \bmod 32}$ 
     $q_{2i+1-\lfloor i/4 \rfloor \bmod 2}^{ACK} = \tilde{\tilde{q}}_{i \bmod 32}$ 
     $i = i + 1$ 
end while
Set  $i = 0$ 
while  $i < \left( Q - \left\lfloor Q \cdot \left\lfloor O^{ACK}/2 \right\rfloor / O^{ACK} \right\rfloor \right) \cdot Q_m$ 
     $q_{2\lfloor Q' \cdot \lfloor O^{ACK}/2 \rfloor / O^{ACK} \rfloor Q_m + i} = \tilde{q}_{(\lfloor Q' \cdot \lfloor O^{ACK}/2 \rfloor / O^{ACK} \rfloor Q_m + i) \bmod 32}$ 
     $i = i + 1$ 
end while

```

10

Tercer aspecto alternativo:

[0046]


```

Set  $k=0$  - índice de símbolos QAM
Set  $i_0=0, i_1=0, i=0$ 
while  $k < Q$ 
    if  $\lfloor k/4 \rfloor \bmod 2 = 0$  - incluso el índice de tiempo sobre 4 símbolos SC-FDM
        if  $k \bmod 2 = 0$ 
            set  $j=0$ 
            while  $j < Q_m$ 
                 $q_i = \tilde{q}_{i_0 \bmod 32}$ 
                 $j=j+1, i=i+1, i_0=i_0+1$ 
            end while
        else if  $k \bmod 2 = 1$ 
            set  $j=0$ 
            while  $j < Q_m$ 
                 $q_i = \tilde{\tilde{q}}_{i_1 \bmod 32}$ 
                 $j=j+1, i=i+1, i_1=i_1+1$ 
            end while
        end if
    else if  $\lfloor k/4 \rfloor \bmod 2 = 1$  - índice de tiempo impar sobre 4 símbolos SC-FDM
        if  $k \bmod 2 = 0$ 
            set  $j=0$ 
            while  $j < Q_m$ 
                 $q_i = \tilde{\tilde{q}}_{i_1 \bmod 32}$ 
                 $j=j+1, i=i+1, i_1=i_1+1$ 
            end while
        else if  $k \bmod 2 = 1$ 
            set  $j=0$ 
            while  $j < Q_m$ 
                 $q_i = \tilde{q}_{i_0 \bmod 32}$ 
                 $j=j+1, i=i+1, i_0=i_0+1$ 
            end while
        end if
    end if
     $k=k+1$  - próximo símbolo de modulación
end while

```

[0047] La FIG. 6 representa un ejemplo de transmisión 600 a través de un canal compartido de enlace ascendente. La transmisión 600 muestra los símbolos de SC-FDM en la dirección horizontal y los símbolos modulados en el tiempo para cada símbolo de SC-FDM en la dirección vertical. Una señal de referencia (RS) puede transmitirse en dos símbolos SC-FDM como se muestra. La RS puede denominarse señal de referencia de desmodulación. En este ejemplo, $Q'=20$ (el número total de símbolos codificados para HARQ-ACK) y el número de bits codificados Q_m (por ejemplo, 2, 4, 6, etc.) a partir del primero y el segundo bloque de código de velocidad coincidente puede depender del orden de modulación utilizado. La transmisión 600 ilustra que los bits codificados del primer bloque de código de velocidad coincidente 602 y los bits codificados del segundo bloque de código de velocidad coincidente 604 se intercalan a un nivel de símbolo de modulación y se asignan en un "tablero de ajedrez" o un patrón alternativo. Es decir, en cada símbolo SC-FDM 610, 612, 614, 616 hay un patrón alterno de bits codificados 602 del primer bloque de código de velocidad coincidente y los bits codificados 604 del segundo bloque de código de velocidad coincidente. Los patrones alternos en el índice de tiempo par sobre 4 símbolos SC-FDM pueden ser los mismos, y los patrones alternos en el índice de tiempo impar sobre 4 símbolos SC-FDM pueden ser los mismos.

[0048] La divulgación puede implementarse en un aparato tal como un equipo de usuario (UE) o un Nodo B (eNB) que tiene uno o más procesadores. Con referencia de nuevo a la FIG. 5, el UE 120 incluye un controlador/procesador 1280 que ejecuta operaciones y controla los componentes que proporcionan la funcionalidad y el funcionamiento del UE 120. El controlador/procesador 1280 controla el divisor de señal 501 que proporciona los medios para dividir una pluralidad de bits de información en un primer conjunto de bits de información y un segundo conjunto de bits de información. El controlador/procesador 1280 también controla los codificadores de código de bloque 502a y 502b para proporcionar los medios para codificar el primer conjunto de bits de información en un primer conjunto de bits codificados. El UE 120 también incluye módulos 504a y 504b para hacer coincidir la velocidad que proporcionan los medios para hacer coincidir la velocidad del primer y segundo conjunto de bits codificados en un número definido de bits que generan el primer y segundo conjunto de bits codificados de velocidad coincidente. El intercalador 508, controlado por el controlador/procesador 1280, proporciona los medios para intercalar el primer y el segundo conjunto de bits codificados de velocidad coincidente para generar un conjunto intercalado de bits codificados. Cualquiera o todos los procesadores, incluido el controlador/procesador 1280, pueden integrarse en un solo procesador. Las funciones pueden realizarse de forma alternativa mediante circuitos digitales o analógicos, incluidos dispositivos tales como procesadores de señales digitales (DSP) y circuitos integrados específicos de la aplicación (ASIC).

[0049] Los expertos en la técnica entenderán que la información y las señales pueden representarse usando cualquiera entre una diversidad de tecnologías y técnicas diferentes. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan haberse mencionado a lo largo de la descripción anterior pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticas, campos o partículas ópticos o cualquier combinación de los mismos.

[0050] Los expertos en la materia apreciarán, además, que los diversos bloques lógicos, módulos, y pasos de algoritmo ilustrativos, descritos en relación con la divulgación en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito en general diversos componentes, bloques, módulos, circuitos y pasos ilustrativos en términos de su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de la solicitud en particular y de las restricciones de diseño impuestas en el sistema global. Los expertos en la materia pueden implementar la funcionalidad descrita de distintas maneras para cada aplicación particular, pero no se debería interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente divulgación.

[0051] Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos en relación con la divulgación en el presente documento pueden implementarse o realizarse con un procesador de uso general, con un procesador de señales digitales (DSP), con un circuito integrado específico de la aplicación (ASIC), con una formación de puertas programables in situ (FPGA) o con otro dispositivo de lógica programable, con lógica de puertas discretas o transistores, con componentes de hardware discretos o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de uso general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

[0052] Los pasos de un procedimiento o algoritmo descrito en relación con la divulgación en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software puede residir en una memoria RAM, en una memoria flash, en una memoria ROM, en una memoria EPROM, en una memoria EEPROM, en registros, en un disco duro, en un disco extraíble, en un CD-ROM o en cualquier otra forma de medio de almacenamiento conocido en la

técnica. Un medio de almacenamiento a modo de ejemplo está acoplado al procesador de modo que el procesador pueda leer información de, y escribir información en, el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un terminal de usuario. De forma alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un terminal de usuario.

[0053] En uno o más diseños a modo de ejemplo, las funciones descritas pueden implementarse en hardware, software, firmware o en cualquier combinación de los mismos. Si se implementan en software, las funciones, como una o más instrucciones o código, se pueden almacenar en, o transmitir por, un medio legible por ordenador. Los medios legibles por ordenador incluyen tanto medios de almacenamiento informáticos no transitorios como medios de comunicación, incluyendo cualquier medio que facilite la transferencia de un programa informático de un lugar a otro. Un medio de almacenamiento no transitorio puede ser cualquier medio disponible al que pueda accederse mediante un ordenador de propósito general o de propósito especial. A modo de ejemplo, y no de limitación, dichos medios no transitorios legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM u otro almacenamiento de disco óptico, almacenamiento de disco magnético u otros dispositivos de almacenamiento magnético, o cualquier otro medio que pueda usarse para almacenar medios de código de programa deseado en forma de instrucciones o estructuras de datos y al que pueda accederse mediante un ordenador de uso general o de uso especial o mediante un procesador de uso general o de uso especial. Los discos, como se usa en el presente documento, incluyen disco compacto (CD), disco láser, disco óptico, disco versátil digital (DVD), disco flexible y disco Blu-ray, donde algunos discos reproducen normalmente los datos magnéticamente, mientras que otros discos reproducen los datos ópticamente con láseres. Las combinaciones de lo anterior también se deben incluir dentro del alcance de los medios legibles por ordenador.

[0054] La descripción anterior de la divulgación se proporciona para permitir que cualquier experto en la materia realice o use la divulgación. Diversas modificaciones para la divulgación resultarán fácilmente evidentes para los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otras variantes sin apartarse del alcance de la divulgación. Por tanto, la divulgación no pretende limitarse a los ejemplos y diseños descritos en el presente documento, sino que se le ha de conceder el alcance más amplio compatible con los principios y las características novedosas divulgados en el presente documento.

REIVINDICACIONES

1. Un procedimiento (400) para la comunicación inalámbrica, que comprende:

5 dividir (402) una pluralidad de bits de información de control de enlace ascendente en un primer conjunto de bits de información y un segundo conjunto de bits de información;

codificar (404) el primer conjunto de bits de información en un primer conjunto de bits codificados;

10 codificar (404) el segundo conjunto de bits de información en un segundo conjunto de bits codificados; en el que la codificación se basa en un código de bloque que incluye un código de bloque (32, O), en el que "O" es el número de bits de entrada al codificador;

15 hacer coincidir la velocidad (406) del primer conjunto de bits codificados y el segundo conjunto de bits codificados con un número definido de bits para generar un primer conjunto de bits codificados de velocidad coincidente y un segundo conjunto de bits codificados coincidentes en velocidad; e

20 intercalar (408) los primer y segundo conjuntos de bits codificados de velocidad coincidente para generar un tercer conjunto intercalado de bits codificados para la transmisión a través del canal de control de enlace ascendente físico, PUCCH o canal compartido de enlace ascendente físico, PUSCH, y en el que la pluralidad de bits de información de control de enlace ascendente son bits ACK/NACK.
2. El procedimiento según la reivindicación 1, en el que el número definido de bits para la velocidad que coincide con el primer conjunto de bits codificados y el segundo conjunto de bits codificados incluye un
25 número basado, al menos en parte, en una eficiencia espectral del PUSCH, o el procedimiento de acuerdo con la reivindicación 1, en la que el número definido de bits para la coincidencia de velocidad del primer conjunto de bits codificados y el segundo conjunto de bits codificados es de 48 bits.
3. El procedimiento según la reivindicación 1, en el que el intercalado incluye concatenar el primer conjunto de bits codificados y el segundo conjunto de bits codificados, o el procedimiento según la reivindicación 1,
30 en el que el intercalado incluye el intercalado a nivel de bits, o el procedimiento según la reivindicación 1, en el que el intercalado incluye el intercalado a nivel de símbolo.
4. Un programa informático que comprende instrucciones para llevar a cabo un procedimiento de acuerdo con cualquiera de los procedimientos de las reivindicaciones 1 a 3.
- 35 5. Un aparato para comunicación inalámbrica, que comprende:

40 medios para dividir una pluralidad de bits de información de control de enlace ascendente en un primer conjunto de bits de información y un segundo conjunto de bits de información;

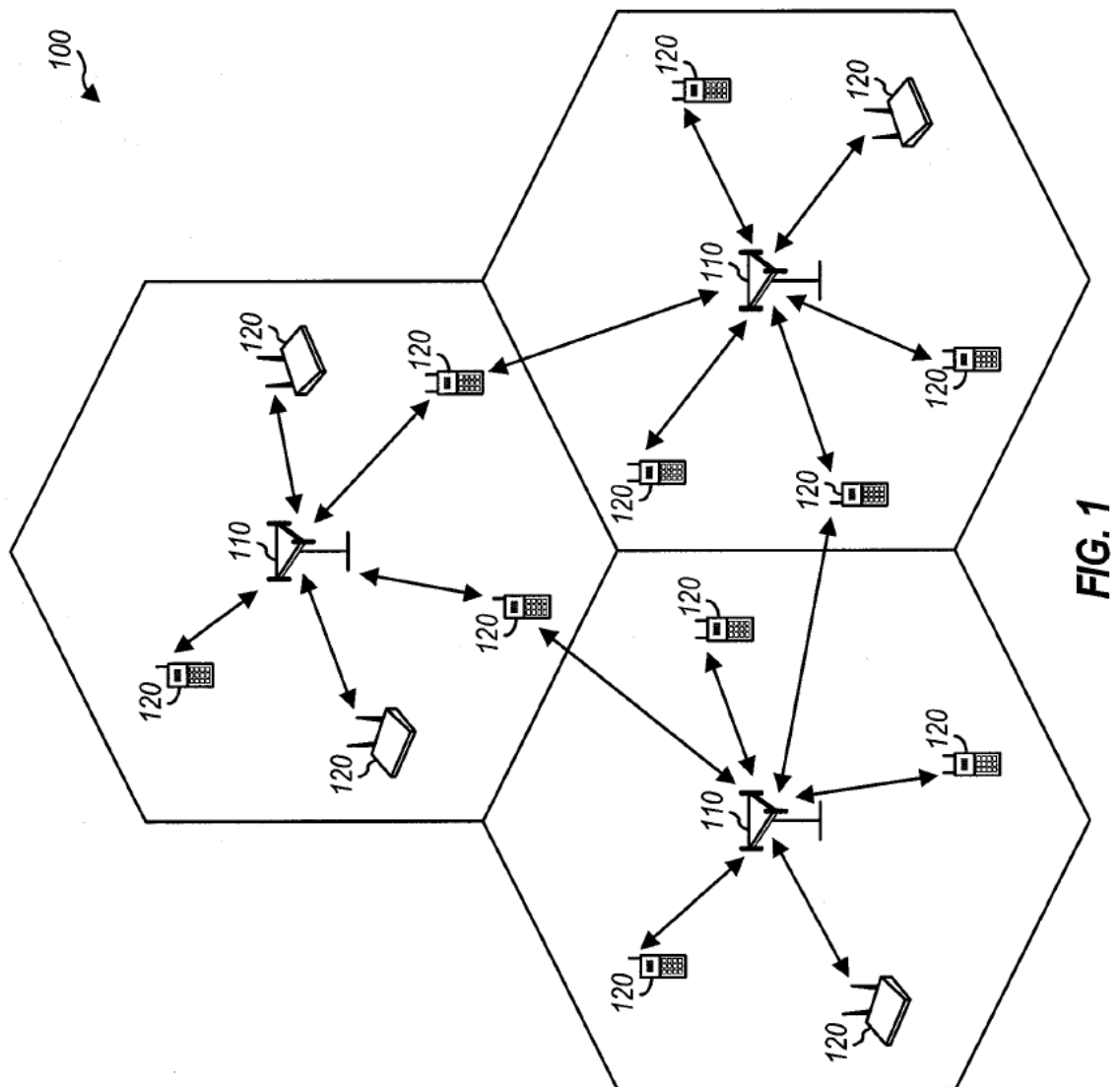
medios para codificar el primer conjunto de bits de información en un primer conjunto de bits codificados;

45 medios para codificar el segundo conjunto de bits de información en un segundo conjunto de bits codificados, en el que la codificación se basa en un código de bloque que incluye un código de bloque (32, O), en el que "O" es el número de bits de entrada a los medios para la codificación;

50 medios para hacer coincidir la velocidad del primer conjunto de bits codificados y el segundo conjunto de bits codificados con un número definido de bits para generar un primer conjunto de bits codificados de velocidad coincidente y un segundo conjunto de bits codificados de velocidad coincidente; y

55 medios para intercalar el primer y el segundo conjunto de bits codificados de velocidad coincidente para generar un tercer conjunto intercalado de bits codificados para la transmisión a través del canal de control de enlace ascendente físico, PUCCH o canal compartido de enlace ascendente físico, PUSCH, y en la que la pluralidad de bits de información de control de enlace ascendente son bits ACK/NACK.
6. El aparato de la reivindicación 5, en el que el número definido de bits usado para los medios para
60 coincidencia de velocidad del primer conjunto de bits codificados y el segundo conjunto de bits codificados incluye un número basado, al menos en parte, en una eficiencia espectral del PUSCH. o el aparato de la reivindicación 5, en el que el número definido de bits utilizado para los medios para coincidencia de velocidad del primer conjunto de bits codificados y el segundo conjunto de bits codificados es de 48 bits.
7. El aparato de la reivindicación 5, en el que los medios de intercalado incluyen medios para concatenar el
65 primer conjunto de bits codificados y el segundo conjunto de bits codificados, o el aparato de la reivindicación 5, en el que los medios de intercalado incluyen medios para el intercalado a nivel de bits. o

el aparato de la reivindicación 5, en el que los medios para el intercalado incluyen medios para el intercalado a nivel de símbolo.



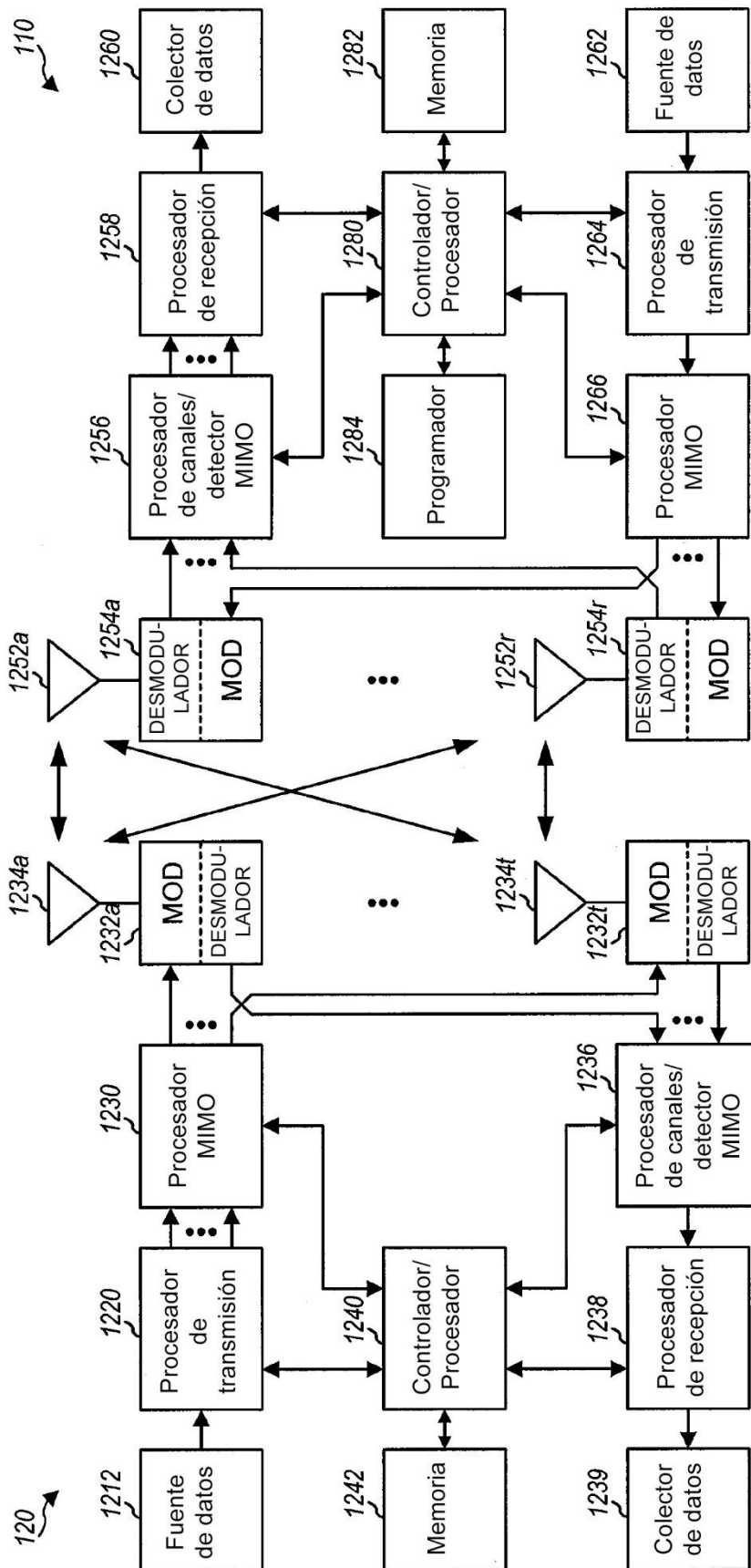
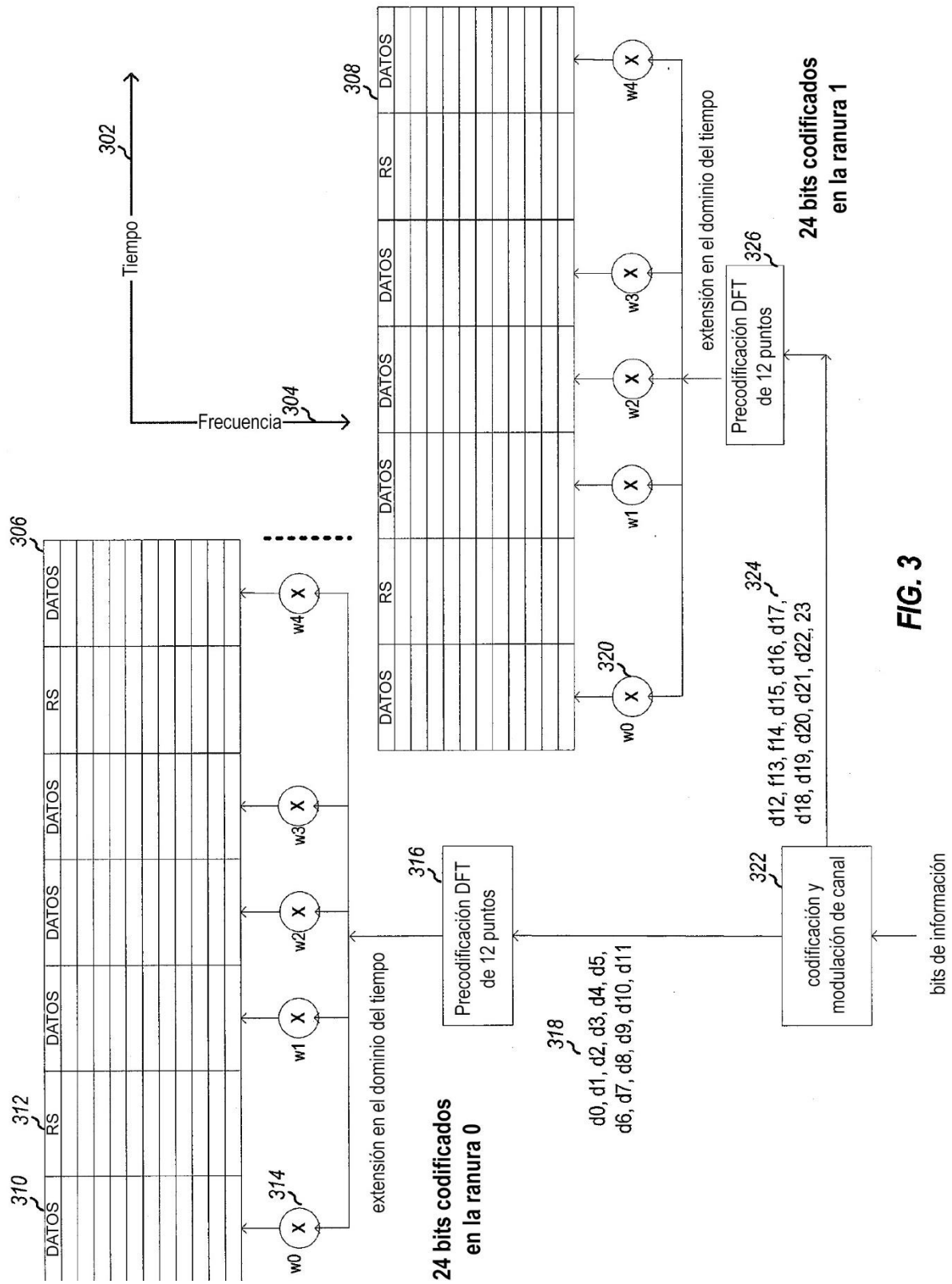


FIG. 2



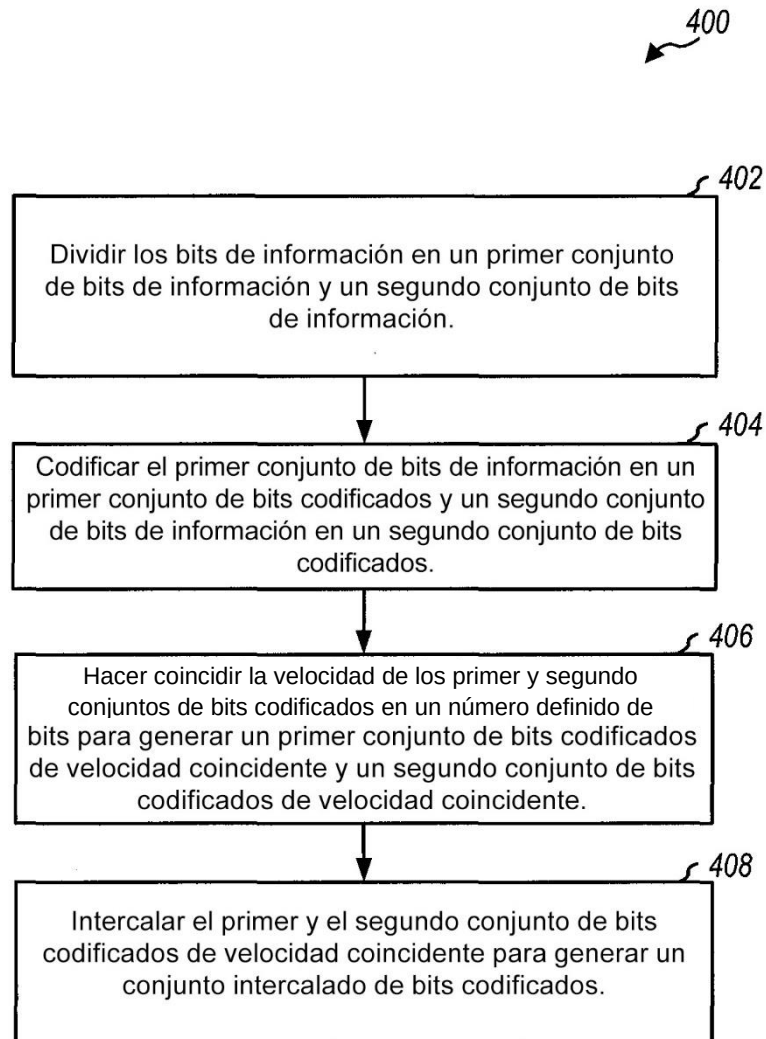


FIG. 4

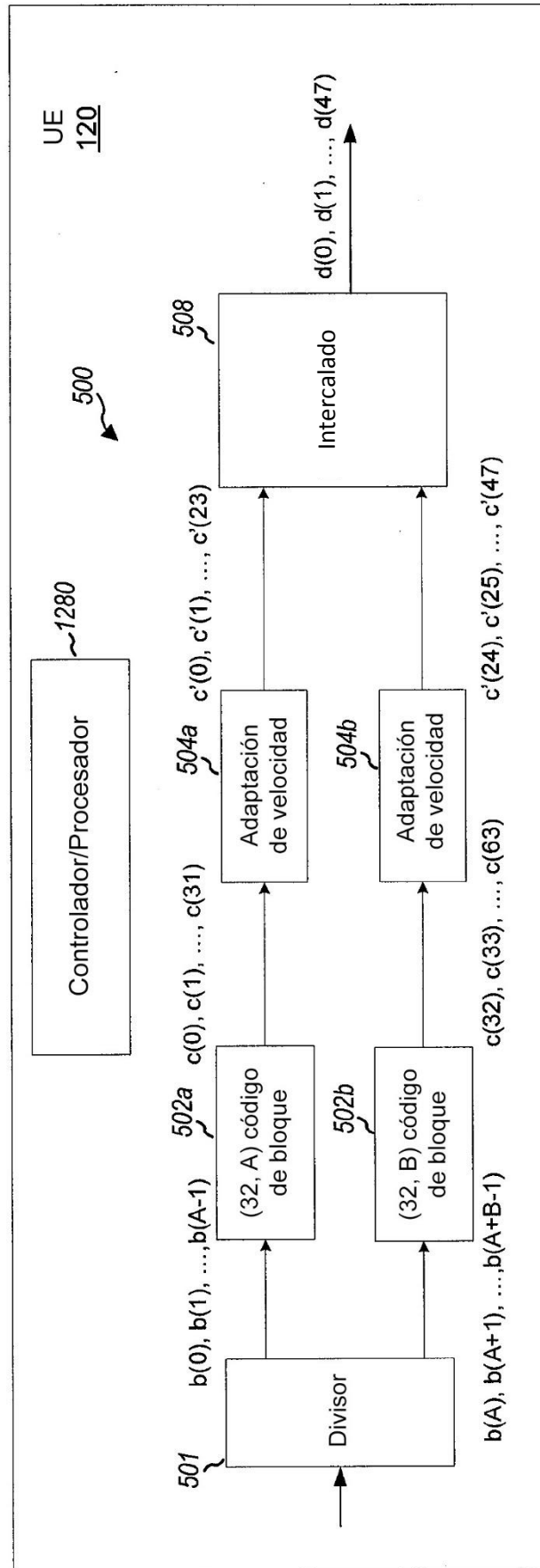


FIG. 5

600 ↗

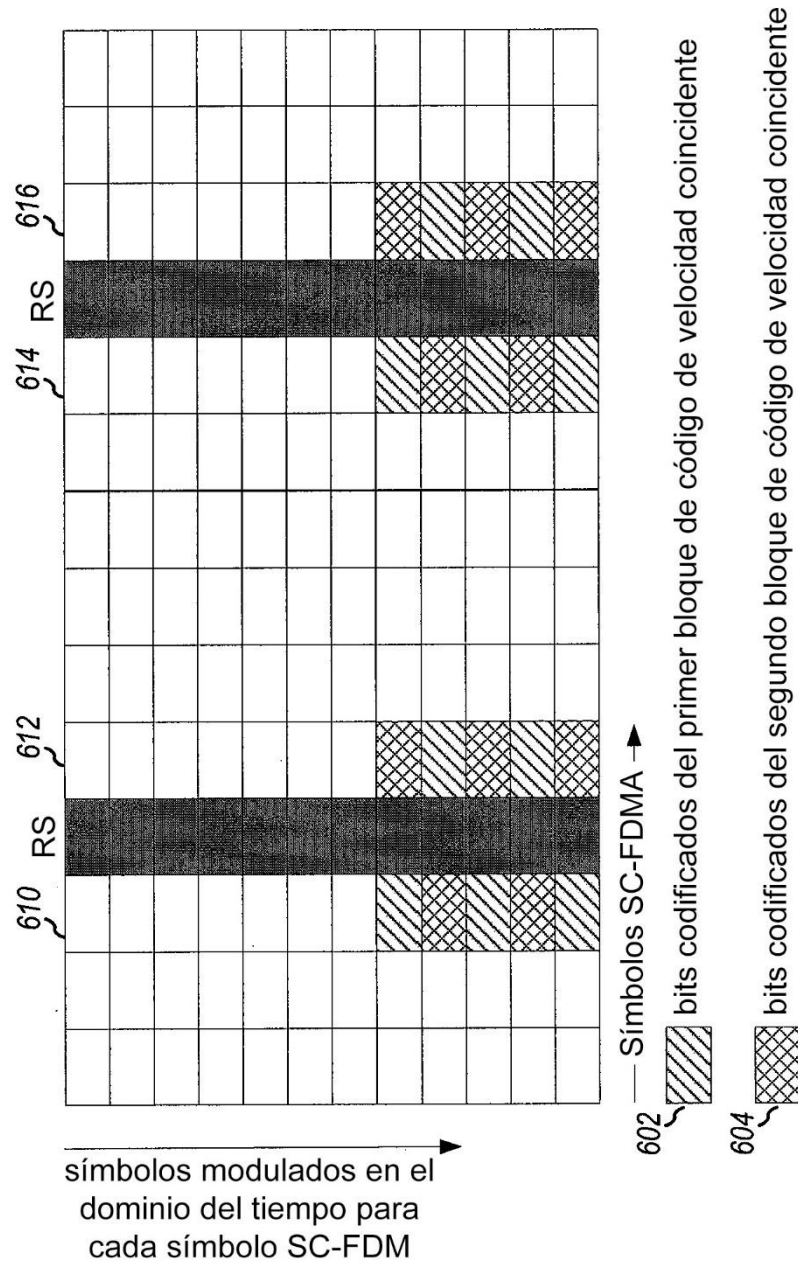


FIG. 6