

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 724 904**

51 Int. Cl.:

H02M 7/493 (2007.01)

H02M 7/49 (2007.01)

H02M 7/42 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **17.11.2014 E 14193452 (1)**

97 Fecha y número de publicación de la concesión europea: **27.02.2019 EP 2874302**

54 Título: **Aparato para controlar un inversor en paralelo**

30 Prioridad:

19.11.2013 KR 20130140305

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

17.09.2019

73 Titular/es:

**LSIS CO., LTD. (100.0%)
127 LS-ro, Dongan-gu
Anyang-si, Gyeonggi-do 431-080, KR**

72 Inventor/es:

PARK, JONG JE

74 Agente/Representante:

ARIAS SANZ, Juan

ES 2 724 904 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato para controlar un inversor en paralelo

5 **Antecedentes****Campo de la divulgación**

10 Las enseñanzas de acuerdo con las realizaciones ejemplares de la presente divulgación se refieren en general a un aparato para controlar un inversor en paralelo.

Descripción de la técnica relacionada

15 En general, los métodos de uso de un inversor mediante la capacidad de expansión del inversor incluyen un método en el que se diseña un nuevo producto mediante un voltaje en expansión y una capacidad de corriente de los elementos de potencia, y método de diseño en el que los productos ya desarrollados se configuran en paralelo. Existe un límite en el desarrollo de una gran capacidad de inversor debido al voltaje limitado y a la capacidad de corriente en los elementos de potencia para los inversores en paralelo, y los inversores en paralelo se han diseñado recientemente para superar la desventaja de la técnica anterior.

20 Un ajuste preciso de la sincronización en el voltaje de salida es el factor clave para los inversores en paralelo, y para este fin, se han desarrollado varias tecnologías. En general, la operación de un inversor en paralelo se realiza por un controlador maestro y una pluralidad de controladores esclavos.

25 La figura 1 es un diagrama de bloques que ilustra un sistema de un inversor en paralelo de acuerdo con la técnica anterior, donde un controlador (100) en un sistema de inversor en paralelo convencional incluye un controlador maestro (110) y un controlador esclavo (120). El controlador esclavo (120) funciona como un esclavo en una operación en paralelo, pero funciona como un controlador maestro cuando un inversor B (320) se opera independientemente.

30 Lo más importante en el inversor en paralelo es controlar un voltaje en un terminal de salida sobre un mismo tamaño y fase, y se utiliza un reactor en paralelo en un terminal de salida para evitar que se genere una corriente en circulación debido a errores en el tamaño y fase. Se utiliza un reactor acoplado (410) para un inversor de voltaje medio para evitar un problema de caída de voltaje de salida provocado por la instalación del reactor.

35 En el sistema de inversor de la figura 1, cada controlador (110, 120) controla el inversor A (200) e inversor B (300) correspondientes para la operación del inversor de la unidad, pero el controlador maestro (110) en una operación en paralelo controla un sistema entero y comunica con el controlador esclavo (120) todas las veces. El controlador maestro (110) transmite una señal de sincronización al controlador esclavo (120) para la sincronización del voltaje de salida.

40 La figura 2 es una vista ejemplar que ilustra una señal de sincronización transmitida al controlador esclavo (120) por el controlador maestro (110) de la figura 1 y los portadores de la modulación del ancho de pulso (PWM) de un inversor A y un inversor B del mismo.

45 La señal de sincronización transmitida por el controlador maestro (110) se recibe por el controlador esclavo (120), donde el controlador esclavo (120) reinicia un contador de portador de PWM para el ajuste de la sincronización.

50 Un inversor del voltaje medio multinivel de 6600 V incluye celdas de potencia (200, 300) que son 18 inversores monofásicos en un solo inversor. Cada celda de potencia se opera a través de la recepción de varias piezas de información (tamaño y fase de comando, comando de operación, etc.) por los controladores de celda (210, 310) desde el controlador (100).

55 Sin embargo, el sistema de la figura 1 requiere una interfaz de hardware para la transmisión y la recepción de señales de sincronización entre el controlador maestro (110) y los controladores esclavos (120) para la sincronización del voltaje de salida. Este método de interfaz de hardware es casi similar a la sincronización de PWM, pero hay una desventaja de generar un retardo de señal en un circuito y de estar influenciado por el ruido generado por los circuitos circundantes.

60 Por su parte, aunque se puede realizar la sincronización por un algoritmo síncrono de software, existe otra desventaja de generar un error de sincronización tanto como el período de control de la CPU.

65 Como una técnica anterior, el documento KR 2013 0056344 divulga un sistema de inversor en paralelo que comprende un inversor (inversor maestro) (10) entre múltiples inversores para generar las señales sincronizadas de la modulación de ancho de pulso (PWM); y una sección de distribución de la señal sincronizada que envía cada señal sincronizada de PWM a inversores múltiples (inversores esclavos múltiples) (20) excepto para el inversor

maestro.

Resumen de la divulgación

5 La presente divulgación es para proporcionar un aparato para controlar un inversor en paralelo configurado para realizar una operación de sincronización utilizando un controlador en un inversor en paralelo de voltaje medio para obtener fiabilidad para el control del inversor. La presente invención se define en la reivindicación 1.

10 En un aspecto general de la presente divulgación, se puede proporcionar un aparato para controlar un inversor en paralelo configurado para controlar al menos dos inversores en paralelo, comprendiendo el aparato: un controlador configurado para transmitir respectivamente la información de la operación a al menos dos inversores por una señal de sincronización; una unidad de detección configurada para detectar respectivamente corrientes de salida de al menos dos inversores; y al menos dos unidades de interfaz configuradas para transmitir respectivamente la información de la operación del controlador a los al menos dos inversores.

15 En alguna realización ejemplar de la presente invención, el controlador puede configurarse adicionalmente para corregir la información de la operación realizando un control proporcional integral (PI) con un error de las corrientes de salida de los al menos dos inversores.

20 En alguna realización ejemplar de la presente invención, la información de la operación puede incluir un comando de voltaje y un comando de operación.

En alguna realización ejemplar de la presente invención, el controlador puede transmitir la información de la operación a las al menos dos unidades de interfaz utilizando un tipo de comunicación predeterminado.

25 En alguna realización ejemplar de la presente invención, el tipo de comunicación predeterminado puede incluir una red de área de controlador (CAN por sus siglas en inglés).

30 En alguna realización ejemplar de la presente invención, cada unidad de interfaz puede transmitir una señal óptica al inversor convirtiendo una señal eléctrica transmitida desde el controlador a la señal óptica, y transmite una señal eléctrica al controlador convirtiendo la señal óptica recibida desde el inversor a la señal eléctrica.

35 En alguna realización ejemplar de la presente invención, cada inversor puede incluir: una pluralidad de controladores de celda configurados para generar una señal de PWM en respuesta a la información de la operación; y una pluralidad de celdas de potencia, cada una conectada a cada uno de la pluralidad de controladores de celda, para generar un voltaje proporcionado a un motor en respuesta a la señal de PWM.

40 En alguna realización ejemplar de la presente invención, el controlador de celda puede transmitir datos desde la celda de potencia hasta el controlador.

En alguna realización ejemplar de la presente invención, los datos de la celda de potencia pueden incluir una corriente de salida de la celda de potencia, un voltaje de enlace CC e información de recorrido.

EFFECTO VENTAJOSO DE LA DIVULGACIÓN

45 Las realizaciones ejemplares de la presente divulgación tienen un efecto ventajoso en cuanto al hecho de que una operación en paralelo para una pluralidad de inversores es posible libre de un hardware separado que intercambia las señales de sincronización usando un controlador maestro. Otro efecto ventajoso es que la corriente en circulación que puede haberse generado durante la operación en paralelo puede reducirse minimizando un error de corriente.

Breve descripción de los dibujos

55 La figura 1 es un diagrama de bloques que ilustra un sistema de inversor en paralelo de acuerdo con la técnica anterior.

La figura 2 es una vista ejemplar que ilustra una sincronización de PWM de la figura 1.

60 La figura 3 es un diagrama de bloques esquemático que ilustra un sistema de inversor en paralelo de acuerdo con una realización ejemplar de la presente divulgación.

La figura 4 es una vista ejemplar que ilustra en detalle un controlador maestro y un inversor de la figura 3.

65 La figura 5 es una vista ejemplar que ilustra y explica una señal de sincronización transmitida desde un controlador maestro a cada inversor de acuerdo con la presente divulgación.

La figura 6 es una vista ejemplar que ilustra una forma de onda de la corriente de salida de un sistema de inversor de la figura 3.

Descripción detallada de la divulgación

5 A continuación, se describirán más detalladamente varias realizaciones ejemplares con referencia a los dibujos anexos, en los que se muestran algunas realizaciones ejemplares. El presente concepto inventivo puede, sin embargo, realizarse de muchas formas diferentes y no deberá interpretarse que esta está limitada a las realizaciones de ejemplo que se presentan en este documento. En vez de esto, el aspecto descrito pretende abarcar todas estas alteraciones, modificaciones y variaciones que se encuentran dentro del alcance y de la idea novedosa de la presente divulgación.

15 En lo sucesivo, se describirán con detalle las realizaciones ejemplares de la presente divulgación con referencia a los dibujos adjuntos.

La figura 3 es un diagrama de bloques esquemático que ilustra un sistema de inversor en paralelo de acuerdo con una realización ejemplar de la presente divulgación.

20 Con referencia a la FIG. 3, el sistema de inversor en paralelo de acuerdo con una realización ejemplar de la presente divulgación puede controlar un inversor A (20) y un inversor B (30) en respuesta a un solo aparato de control (10). Una salida del inversor conectado en paralelo A (20) y el inversor B (30) puede transmitirse a un motor (50) para impulsar el motor (50).

25 Un reactor (40) puede disponerse entre un terminal de salida de los inversores (20, 30) y un terminal de salida del motor (50) para evitar una corriente de circulación generada por los errores en los tamaños y fases de los inversores (20, 30). Un inversor de voltaje medio multinivel puede disponerse en paralelo con un reactor acoplado (41) para evitar un problema de caída del voltaje de salida provocado por la instalación del reactor (40).

30 La figura 4 es una vista ejemplar que ilustra en detalle un controlador maestro y un inversor de la figura 3.

35 Con referencia a la FIG. 4, un aparato para controlar el inversor en paralelo (10, en lo sucesivo denominado "aparato") puede incluir un controlador maestro (11), una unidad de detección de corriente (15) y unidades de interfaz óptica (16, 17). El controlador maestro (11) puede incluir una CPU (12, Unidad de procesamiento central) y unidades de comunicación (13, 14) de CAN (Red de área del controlador). Los inversores A, B (20, 30) pueden estar compuestos por una pluralidad de celdas de potencia (22, 32), y cada celda de potencia (22, 32) puede ser controlada por los controladores de celda (21, 31).

40 Los inversores A, B (20, 30) pueden comunicar en todo momento con el controlador maestro (11) por medio de comunicación de CAN libre de una línea de sincronización separada. Sin embargo, el método de comunicación es ejemplar y la presente divulgación no está limitada al método de comunicación por los inversores A, B (20, 30) por medio de la comunicación de CAN, y puede aplicarse con varios métodos de comunicación.

45 Cuando los inversores A, B (20, 30) reciben la información de la operación (es decir, tamaño, fase de voltaje de comando y comando de operación) del controlador maestro (11), cada controlador de celda (21, 31) puede emitir formas de onda de PWM a través del cálculo interno.

50 Además, los controladores de celda (21, 31) pueden transmitir varios datos (corriente de salida de la celda de potencia, un voltaje de enlace CC e información de recorrido) recogidos por las celdas del controlador maestro (11) en cada periodo. El controlador maestro (11) puede realizar las funciones necesarias para la operación en paralelo consolidando la información recibida desde los controladores de celda (21,31).

55 Cada celda de potencia (22, 32) puede conectarse al controlador maestro (11) por medio de un cable óptico para realizar la comunicación de CAN. La unidad de comunicación de CAN (13, 14) puede recibir y transmitir datos entre la CPU (12) y los inversores A, B (20, 30), pueden convertir los datos para la comunicación de CAN transmitida desde el controlador maestro (11) a los inversores A, B (20, 30) a una señal óptica, y pueden convertir la señal óptica transmitida desde los inversores A, B (20, 30) al controlador maestro (11) para la comunicación de CAN a una señal eléctrica.

60 Aunque el inversor en paralelo convencional transmite una señal de sincronización desde un controlador maestro (110) a un controlador esclavo (120) para la sincronización de PWM utilizando una línea de sincronización separada, y se sincroniza con el controlador maestro (110) utilizando la señal de sincronización recibida del controlador esclavo (120), la presente divulgación puede transmitir simultáneamente el tamaño y la fase de un voltaje de comando a los controladores de celda (21, 31) compartiendo una señal de sincronización a las unidades de comunicación de CAN (13, 14) libres desde una línea de sincronización separada debido al uso de un solo controlador maestro (11). El controlador de celda (11) puede sincronizarse reiniciando un contador de PWM del inversor B (30) utilizando una señal de sincronización recibida por medio del cable óptico.

La figura 5 es una vista ejemplar que ilustra y explica una señal de sincronización transmitida desde un controlador maestro a cada inversor de acuerdo con la presente divulgación.

5 Con referencia a la FIG. 5, P define una forma de onda de datos transmitida desde el controlador maestro (11) a los controladores de celda (21, 31) de los inversores A, B (20, 30) a través de las unidades de comunicación de CAN (13, 14), donde los datos incluyen una señal de sincronización y varias piezas de información de comando. Q define los datos (incluyendo la corriente de salida de la celda de potencia, un voltaje de enlace de CC y varias piezas de información de recorrido) de la celda transmitidos desde los controladores de celda (21, 31) al controlador maestro (11). R define una señal del inversor A (20) y S indica una señal de inversor B (30). Además, T y U son
10 respectivamente formas de onda aumentadas de R y S.

Se puede generar un error en una corriente de salida debido al desvío de hardware incluso si las salidas de PWM de los inversores A, B (20, 30) son de los mismos valores de salida, donde la unidad de detección de corriente (15) puede proporcionar al controlador maestro (11) detectando una corriente de salida final (1) de los inversores A, B
15 (20, 30). El controlador maestro (11) puede emitir una forma de onda de PWM final realizando un control PI (proporcional integrado) en dos errores de corriente. De esta manera, la presente divulgación puede reducir una corriente de circulación que puede generarse durante la operación en paralelo minimizando los errores de corriente.

La figura 6 es una vista ejemplar que ilustra una forma de onda de la corriente de salida de un sistema de inversor de la figura 3, donde M indica una corriente de cada inversor (20, 30) y N representa una corriente final en la que se
20 resumen las corrientes de los inversores.

La presente divulgación puede resolver el problema del control del inversor en paralelo convencional cargado de fiabilidad degradada y el aumento de precio a través de la operación del inversor en paralelo utilizando un único controlador maestro (11).
25

Es decir, la presente divulgación puede realizar una operación en paralelo de una pluralidad de inversores sin tener que recurrir al uso de hardware separado intercambiando señales de sincronización debido al uso de un único controlador maestro (11). Es decir, cuando un comando de voltaje y un comando de operación se transmiten a la pluralidad de controladores de celda (21, 31) utilizando unidades de comunicación de CAN (13, 14) del controlador maestro (11), cada controlador de celda (21, 31) puede impulsar las celdas de potencia (22, 32) generando formas de onda de PWM a través de su propio cálculo.
30

En este momento, se puede generar un error en la corriente de salida debido al desvío de hardware a pesar de la salida de PWM, y en este caso, las corrientes de salida de los inversores A, B (20, 30) se detectan, y se realiza un control PI en los errores de corriente de dos corrientes de salida para corregir el comando de voltaje y el comando de operación, por lo que cada uno de los controladores de celda (21,31) pueden emitir una forma de onda de PWM final. Es decir, la presente divulgación puede reducir una corriente de circulación que puede generarse en la operación en paralelo minimizando los errores de corriente.
35

Aunque lo anterior ha explicado y descrito una estructura en la que dos inversores A, B (20, 30) están conectados en paralelo, la presente divulgación no se limita a ello, y la presente divulgación puede aplicarse a una estructura en paralelo de más de dos inversores.
40

REIVINDICACIONES

1. Un aparato para controlar un inversor en paralelo configurado para controlar al menos dos inversores en paralelo (20 y 30), comprendiendo el aparato:
- 5 un controlador (11) configurado para transmitir respectivamente información de la operación a al menos dos inversores (20 y 30), por una señal de sincronización;
- 10 una unidad de detección (15) configurada para detectar respectivamente las corrientes de salida de al menos dos inversores (20 y 30); y
- al menos dos unidades de interfaz (16 y 17) configuradas para transmitir respectivamente la información de la operación del controlador (11) a los al menos dos inversores(20 y 30): caracterizado por que:
- 15 el controlador (11) está configurado para corregir la información de la operación realizando un control proporcional integral PI con un error de las corrientes de salida de los al menos dos inversores (20 y 30).
2. El aparato de la reivindicación 1, en donde la información de la operación incluye un comando de voltaje y un comando de operación.
- 20 3. El aparato de una cualquiera de las reivindicaciones 1 o 2, en donde el controlador (11) transmite la información de la operación a las al menos dos unidades de interfaz (16 y 17) utilizando un tipo de comunicación predeterminado.
- 25 4. El aparato de la reivindicación 3, en donde el tipo de comunicación predeterminado incluye una red de área de controlador (CAN).
5. El aparato de la reivindicación 3 o 4, en donde cada unidad de interfaz (16) transmite una señal óptica al inversor (20) convirtiendo una señal eléctrica transmitida desde el controlador (11) a la señal óptica, y transmite una señal eléctrica al controlador (11) convirtiendo la señal óptica recibida desde el inversor (20) a la señal eléctrica.
- 30 6. El aparato de una cualquiera de las reivindicaciones 1 a 5, en donde cada inversor (20) incluye:
- 35 una pluralidad de controladores de celda (21) configurados para generar una señal de PWM en respuesta a la información de la operación; y
- una pluralidad de celdas de potencia (22), cada una conectada a cada uno de la pluralidad de controladores de celda (21), para generar un voltaje proporcionado a un motor en respuesta a la señal de PWM.
- 40 7. El aparato de la reivindicación 6, en donde el controlador de celda (21) transmite datos desde la celda de potencia (22) hasta el controlador (11).
8. El aparato de la reivindicación 7, en donde los datos de la celda de potencia (22) incluyen una corriente de salida de la celda de potencia (22), un voltaje de enlace CC e información de recorrido.
- 45

FIG. 1

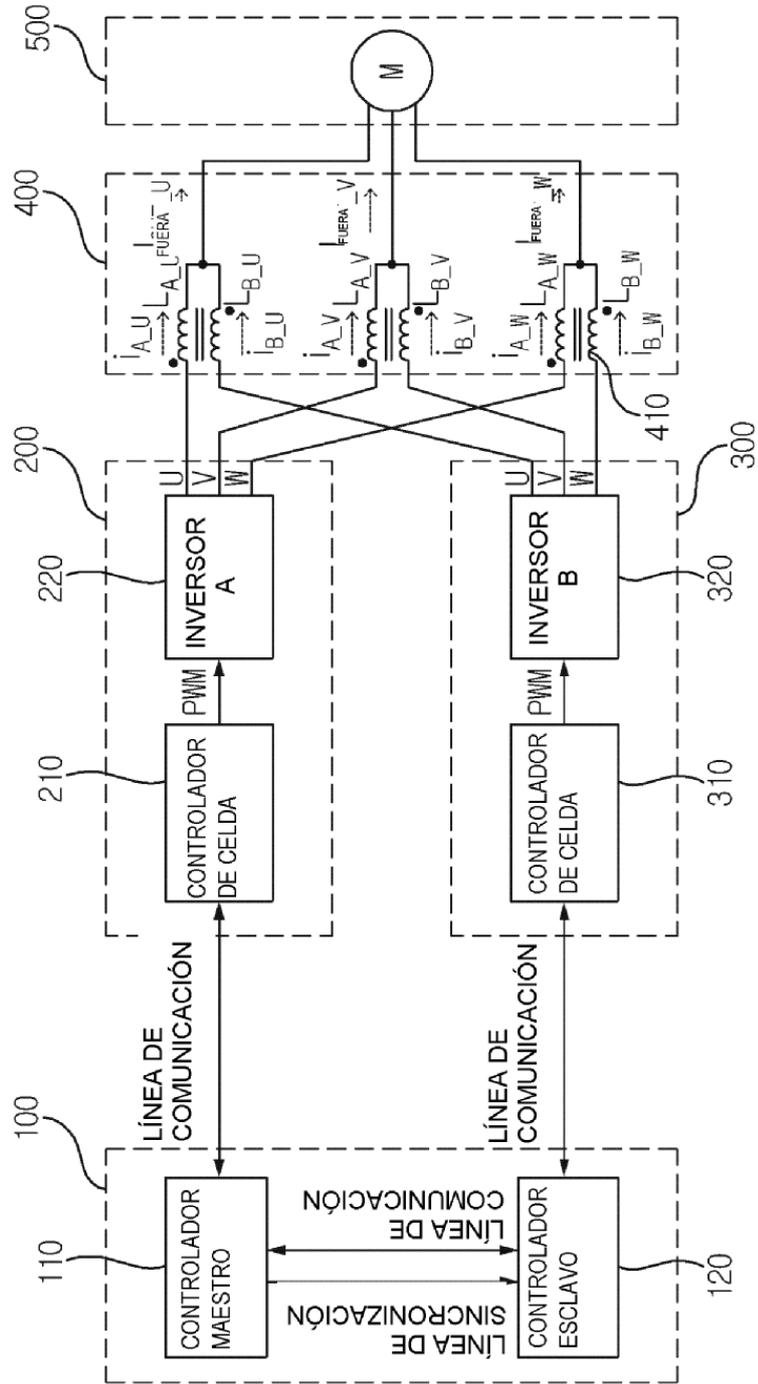


FIG. 2

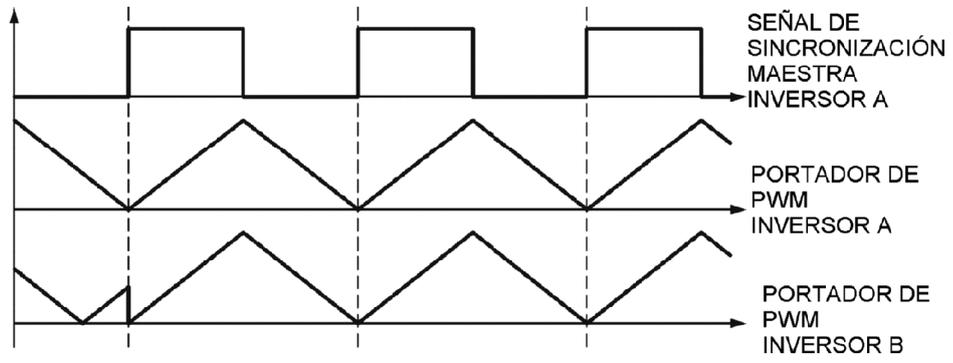


FIG. 3

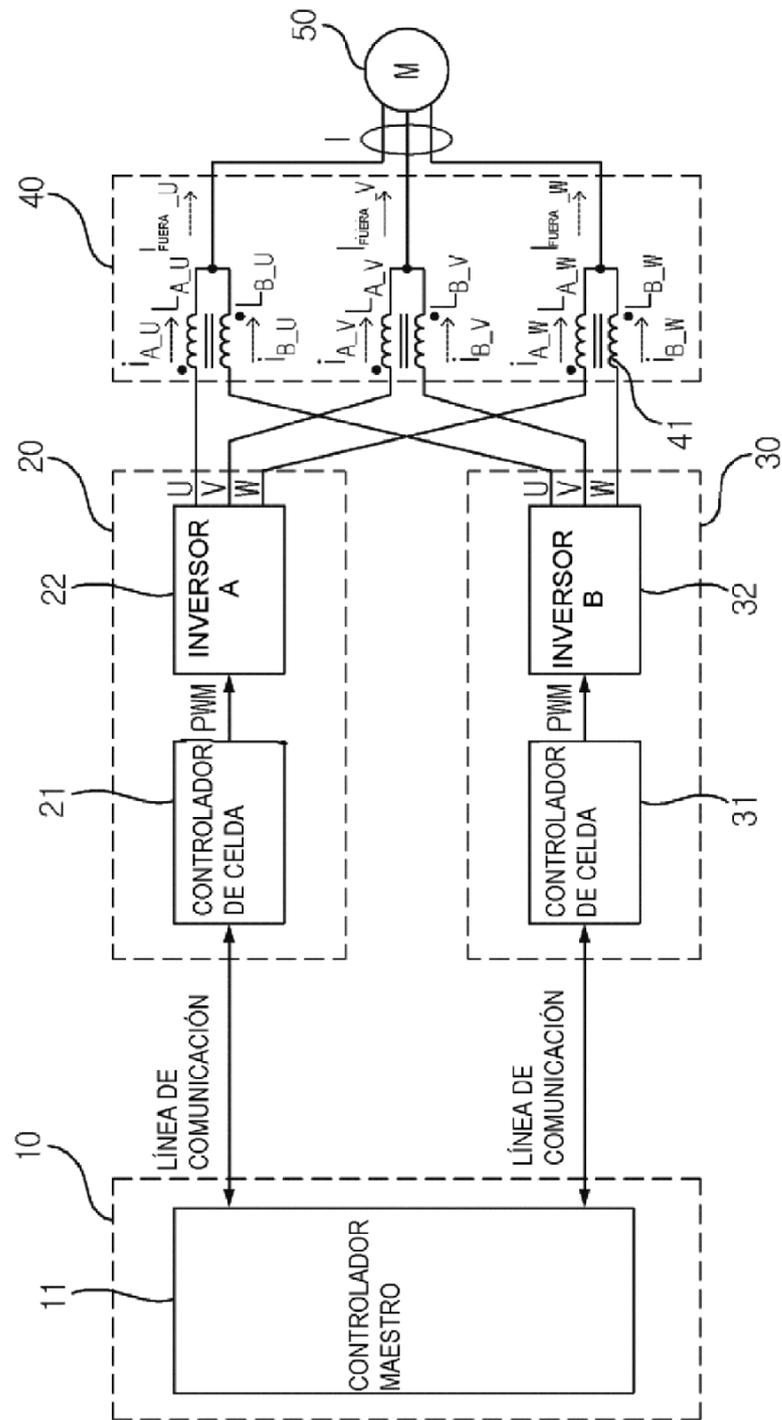


FIG. 4

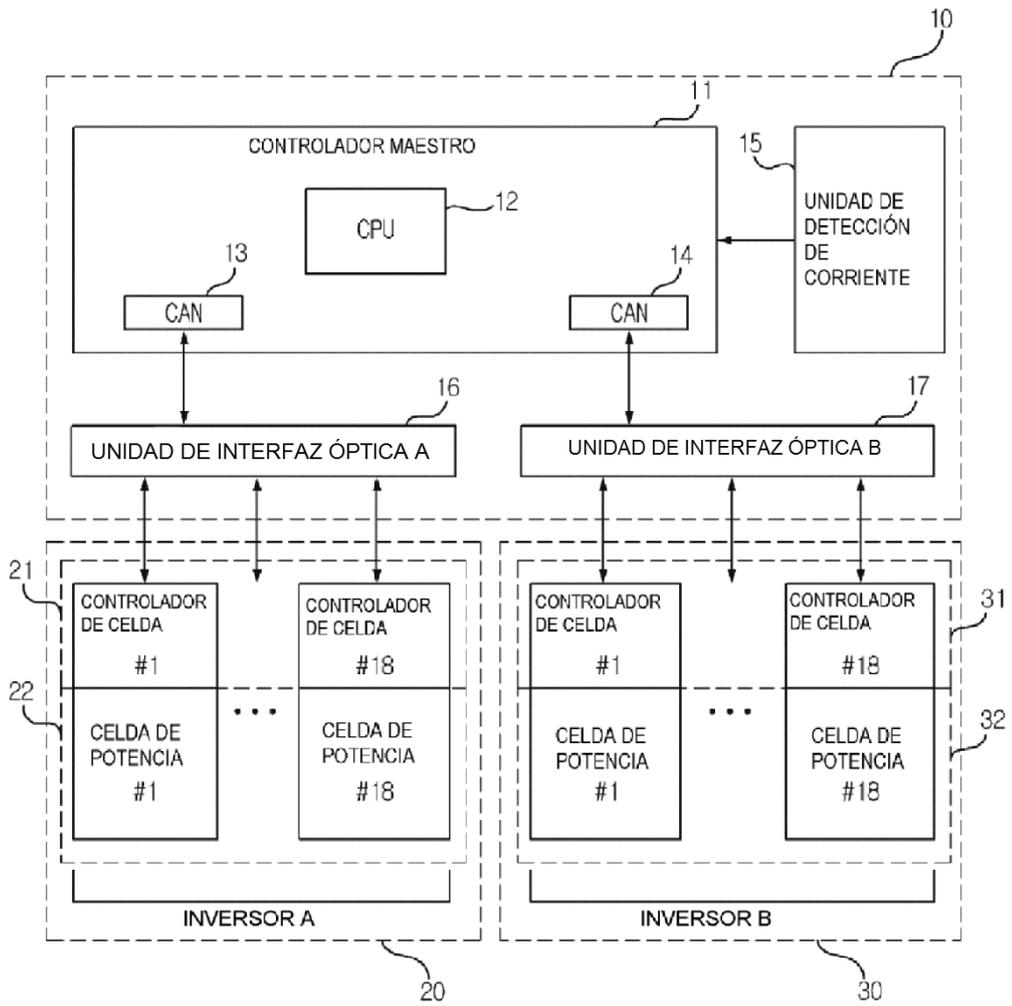


FIG. 5

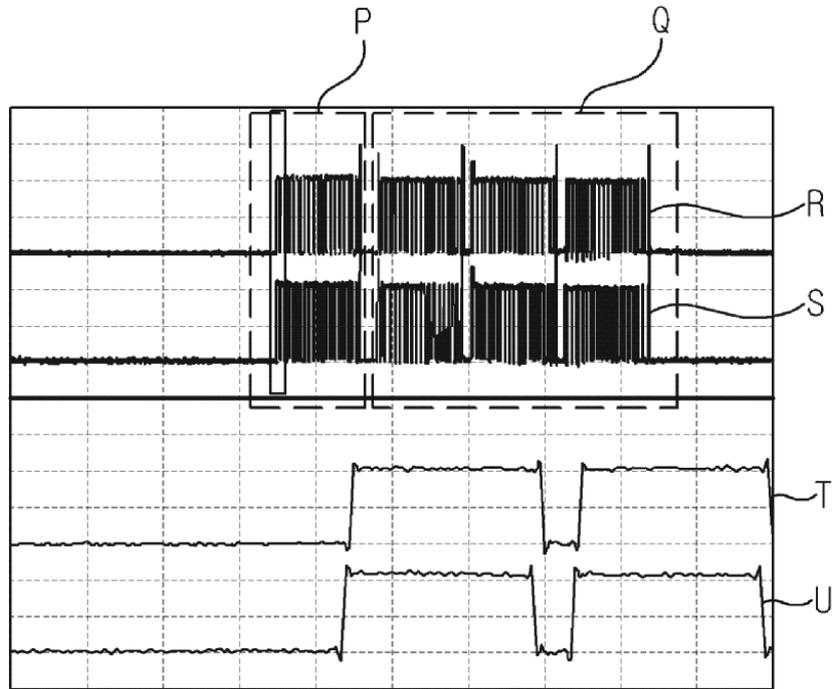


FIG. 6

