

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 726 666**

51 Int. Cl.:

H02M 7/493 (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **18.12.2014 PCT/AT2014/050305**

87 Fecha y número de publicación internacional: **25.06.2015 WO15089537**

96 Fecha de presentación y número de la solicitud europea: **18.12.2014 E 14833108 (5)**

97 Fecha y número de publicación de la concesión europea: **27.02.2019 EP 3084949**

54 Título: **Procedimiento para la excitación de inversores conectados en paralelo**

30 Prioridad:

19.12.2013 AT 9732013

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

08.10.2019

73 Titular/es:

**SCHNEIDER ELECTRIC POWER DRIVES GMBH
(100.0%)
Ruthnergasse 1
1210 Wien, AT**

72 Inventor/es:

**FEHRINGER, RUDOLF y
LEHNER, GERHARD**

74 Agente/Representante:

LINAGE GONZÁLEZ, Rafael

ES 2 726 666 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento para la excitación de inversores conectados en paralelo

5 La invención se refiere a un procedimiento para la excitación de los elementos de conmutación de etapas de inversor trifásicas, conectadas en paralelo, donde cada uno de los seis elementos de conmutación de una etapa de inversor presenta respectivamente dos estados de conmutación y el estado de conmutación global de una etapa de inversor está establecido mediante una combinación de estados de conmutación de sus elementos de conmutación, representable como una secuencia de bits de estado de conmutación de seis bits, y por conmutación de los
10 elementos de conmutación con una frecuencia de conmutación, una secuencia temporal de estados de conmutación globales de la etapa de inversor, seleccionados de un número estados de conmutación globales permitidos, se materializa para la formación de una corriente de salida deseada de la etapa de inversor.

Un procedimiento semejante se ha descrito en el documento EP 2 595 304. El documento US 2004/093533 describe
15 un circuito en paralelo de así denominados convertidores Point-of-Load (POL) con regulación central y recorrido de transmisión en serie de las señales de control. Las etapas de inversor trifásicas sirven para la formación de una corriente de salida deseada mediante la conmutación correspondiente de elementos de conmutación y se encuentran, por ejemplo, en accionamientos de velocidad de giro variable, en los que para la formación de una corriente alterna deseada se transforma una corriente alterna de entrada en primer lugar en corriente continua y a
20 continuación mediante una secuencia de conmutación apropiada de los elementos de conmutación de inversor en la corriente alterna deseada. Las etapas de inversor se encuentran en particular en convertidores de frecuencia, donde un convertidor de frecuencia está provisto de manera convencional con una parte de potencia, que presenta una unidad de regulación propia para la excitación de los elementos de conmutación del convertidor de frecuencia y por consiguiente para el ajuste de los estados de conmutación globales deseados según la corriente de salida deseada.
25 Los elementos de conmutación de una etapa de inversor se excitan por consiguiente respectivamente por una unidad de regulación local, propia que está dispuesta constructivamente en el convertidor de frecuencia. Para la regulación del comportamiento de salida y para la protección de la etapa de inversor se necesitan además datos de medición, por ejemplo, sobre tensiones, corrientes y temperaturas, que se detectan a través de sensores y se procesan igualmente por la unidad de regulación local. A este respecto, los retardos entre la unidad de regulación y
30 la etapa de excitación de los elementos de conmutación se deben mantener tan bajos como sea posible, de modo que de manera convencional se coloca la unidad de regulación en el entorno inmediato de la etapa de potencia del inversor. Las seis señales de excitación se transmiten a este respecto en paralelo a través de un punto de separación y aislamiento a la etapa de excitación y se detectan los datos de medición necesarios directamente por la unidad de regulación. En el caso de los elementos de conmutación se trata en particular de elementos de
35 conmutación de semiconductores con una conexión de control ("gate"), preferentemente IGBTs (insulated-gate bipolar transistor). Las frecuencias de conmutación típicas se sitúan en este caso en el rango de kHz.

En el sector de alta potencia se deben transformar corrientes elevadas, que ya no se pueden conducir en ocasiones por elementos de conmutación individuales. Por ello se las arregla con un circuito en paralelo analógico de
40 convertidores de frecuencia y la etapa de inversor asociada respectivamente a ellos, a fin de reducir la carga de corriente de la etapa de inversor individual y por consiguientes de los elementos de conmutación individuales. No obstante, para ello también se deben conectar entre sí todas las etapas de inversor. Por consiguiente, con cada etapa de inversor adicional aumenta fuertemente el coste de cableado. Por ello en la práctica está fuertemente delimitado el número de etapas de inversor conectadas en paralelo y limitado a unos pocos convertidores de
45 frecuencia. Además, los caminos de transmisión a una unidad de regulación central se vuelven más largos de forma creciente con número creciente de inversores conectados en paralelo, por lo que se eleva fuertemente la propensión a errores de todo el sistema junto con velocidades de transmisión limitadas para los datos de transmisión transmitidos en paralelo.

50 Para la excitación de las etapas de inversor conectadas en paralelo también se pueden usar para ello conexiones de fibra óptica, pero que de nuevo presentan las desventajas debido a su sensibilidad a la temperatura. Además, el esfuerzo y costes de una excitación a base de fibras ópticas son comparables a aquellos de una excitación en paralelo analógico convencional. Lo similar es válido para los sistemas de bus de campo, que además son desventajosos debido a sus velocidades de transmisión limitadas y en ocasiones tiempos de retardo elevados para
55 la excitación de los elementos de conmutación de una etapa de inversor.

El objetivo de la invención consiste por consiguiente en un procedimiento, así como una disposición, con los que se puedan reducir los costes de excitación o conmutación en etapas de inversor trifásicas conectadas en paralelo, donde no obstante se debe garantizar un funcionamiento seguro de las etapas de inversor durante una pluralidad de
60 procesos de conmutación, para que los elementos de conmutación no se destruyan por excitación errónea o se limiten fuertemente en su vida útil. Por otro lado, la excitación de los elementos de conmutación de las etapas de inversor se debe realizar de forma suficientemente rápida y evitar tiempos muertos demasiado largos, a fin de no

menoscabar la calidad de la corriente de salida formada por la etapa de inversor. La solución según la invención se tiene que poder materializar además de forma proporcionalmente sencilla y económica.

Este objetivo se consigue con las características de la reivindicación 1. La reivindicación 1 se refiere a un procedimiento para la excitación de los elementos de conmutación de etapas de inversor trifásicas, conectadas en paralelo, donde cada uno de los seis elementos de conmutación de una etapa de inversor presenta respectivamente dos estados de conmutación y el estado de conmutación global de una etapa de inversor está establecido mediante una combinación de estados de conmutación de sus elementos de conmutación, representable como una secuencia de bits de estado de conmutación de seis bits, y por conmutación de los elementos de conmutación con una frecuencia de conmutación, una secuencia temporal de estados de conmutación globales de la etapa de inversor, seleccionados de un número estados de conmutación globales permitidos, se materializa para la formación de una corriente de salida deseada de la etapa de inversor.

Según la invención está previsto en este caso que

- la excitación de los elementos de conmutación de una etapa de inversor se realiza a través de una unidad de regulación central conectada con la etapa de inversor correspondiente a través de un recorrido de transmisión de datos en serie,

- donde la unidad de regulación central asociada de forma unívoca una secuencia de bits de emisión que se compone de diez bits a cada secuencia de bits de estado de conmutación, que se corresponde con un estado de conmutación global permitido de las etapas de inversor, donde cada secuencia de bits de emisión, que está asociada a un estado de conmutación global permitido de la etapa de inversor, se diferencia de otra secuencia de bits de emisión, que está asociada a otro estado de conmutación global permitido de la etapa de inversor, en al menos cuatro bits,

- y la unidad de regulación central para la excitación de un estado de conmutación global seleccionado transmite la secuencia de bits de emisión asociada a él a la etapa de inversor correspondiente, y la secuencia de bits de emisión se recibe por la etapa de inversor como al menos una secuencia de bits de recepción y se asocia a una secuencia de bits de estado de conmutación,

- donde la secuencia de bits de emisión se transmite con una velocidad de transmisión medida en bits por segundo, cuya relación de la frecuencia de conmutación medida en hercios de los elementos de conmutación (3) es al menos de 1000,

- y una modificación del estado de conmutación global de una etapa de inversor sólo se efectúa luego cuando la secuencia de bits de recepción recibida en la etapa de inversor correspondiente se corresponde con una secuencia de bits de un grupo de secuencias de bits predeterminado, que se forma por secuencias de bits de emisión que están asociadas respectivamente a un estado de conmutación global permitido de la etapa de inversor y por secuencias de bits que se diferencian de estas secuencias de bits de emisión como máximo en un bit.

La excitación de los elementos de conmutación de todas las etapas de inversor se realiza por consiguiente según la invención con ayuda de una transmisión, efectuada entre interfaces en serie de una unidad de regulación central y la etapa de inversor correspondiente, de secuencias de bits de emisión que están asociadas respectivamente a un estado de conmutación global seleccionado. Bajo estado de conmutación global se deben entender los estados de conmutación de todos los elementos de conmutación de una etapa de inversor en un instante determinado. Una conexión entre las etapas de inversor individuales entre sí ya no es necesaria, dado que se realiza una excitación síncrona de las conmutaciones mediante las interfaces en serie o recorridos de transmisión de datos desde la unidad de regulación central. Para la transformación de un flujo de datos en paralelo en uno en serie y la transformación inversa de un flujo de datos en serie en uno en paralelo, la unidad de cálculo central y/o las etapas de inversor pueden comprender dispositivos conocidos de técnica de datos que se conocen, por ejemplo, como "serializadores" o "deserializadores".

Debido a la transmisión de datos en serie, preferentemente bidireccional a través de las líneas de datos eléctricas, se proporciona una estructura sencilla estructuralmente para los sistemas electrónicos de potencia. El coste de cableado entre las etapas de inversor y la unidad de regulación central se reduce por la previsión de interfaces en serie. Sin embargo, se requieren otras medidas según la invención para garantizar la fiabilidad y velocidad requeridas para la conmutación de los elementos de conmutación de las etapas de inversor y en consecuencia la unidad de regulación central para los elementos de conmutación de todas las etapas de inversor ya no se debe disponer constructiva o espacialmente sin falta en el entorno cercano a las etapas de inversor.

En la unidad de regulación central para ello se asocia de forma unívoca una secuencia de bits de emisión en primer

lugar a cada secuencia de bits de estado de conmutación, que se corresponde con un estado de conmutación global permitido de las etapas de inversor. A este respecto, bajo un estado de conmutación global permitido se entiende un estado de conmutación global de la etapa de inversor, que posibilite un funcionamiento sin perturbaciones ni destrucción de la etapa de inversor. Un estado de conmutación global, en el que son conductores simultáneamente
 5 todos los elementos de conmutación de una etapa de inversor, conduciría a un cortocircuito de puente y sería un ejemplo de un estado de conmutación global no permitido. Una etapa de inversor trifásica con seis elementos de conmutación dispone, por ejemplo, de 27 estados de conmutación globales permitidos, a partir de los que se pueden seleccionar los estados de conmutación globales para la formación de una corriente de salida deseada. La conmutación en función del tiempo de los elementos de conmutación materializa una secuencia temporal de estos
 10 estados de conmutación globales seleccionados de la etapa de inversor, que establecen una corriente de salida variable temporalmente de la etapa de inversor.

Dado que cada uno de los elementos de conmutación de una etapa de inversor presenta respectivamente dos estados de conmutación, que se pueden designar con "0" y "1", el estado de conmutación global de una etapa de
 15 inversor se puede establecer mediante una combinación de los estados de conmutación de sus elementos de conmutación, representable como secuencia de bits de estado de conmutación. Un estado de conmutación global de una etapa de inversor trifásica con seis elementos de conmutación se puede representar, por ejemplo, a través de una secuencia de seis "0" o "1", que reproducen respectivamente el estado de conmutación de los elementos de conmutación individuales. Esta secuencia de "0" o "1", que caracteriza un estado de conmutación global de la etapa
 20 de inversor, se designa a continuación como secuencia de bits de estado de conmutación.

Básicamente sería posible transmitir las secuencias de bits de estado de conmutación correspondientes para la excitación de la etapa de inversor a través de la unidad de regulación central. No obstante, debido a los errores de transmisión podría pasar en este caso que se reciban las secuencias de bits de estado de conmutación, que
 25 provoquen otro estado de conmutación global que el deseado y en el peor caso un estado de conmutación global no permitido de la etapa de inversor. Para elevar la seguridad de la excitación se proponen por ello según la invención las medidas explicadas a continuación.

Así por la unidad de regulación central no se transmite la secuencia de bits de estado de conmutación misma, sino
 30 una secuencia de bits de emisión asociada de forma unívoca a ella, que se compone de diez bits, donde cada secuencia de bits de emisión, que está asociada a un estado de conmutación global permitido de la etapa de inversor, se diferencia de otra secuencia de bits de emisión, que está asociada a otro estado de conmutación global permitido de la etapa de inversor, en al menos cuatro bits. La solicitante ha constatado que bajo estas condiciones se puede formular un protocolo de transmisión, en el que por un lado se puede encontrar un número de secuencias
 35 de bits de emisión suficiente para la excitación de una etapa de inversor trifásica, y por otro lado se puede garantizar la seguridad de transmisión requerida, según se expondrá a continuación todavía más en detalle.

La unidad de regulación central transmite según la invención en consecuencia para la excitación de un estado de conmutación global seleccionado la secuencia de bits de emisión asociada a él a la etapa de inversor
 40 correspondiente, donde la secuencia de bits de emisión se transmite con una velocidad de transmisión medida en bits por segundo, cuya relación respecto a la frecuencia de conmutación medida en hercios de los elementos de conmutación es al menos de 1000. Por consiguiente, con respecto a los eventos de conmutación transmitibles teóricamente por unidad de tiempo sólo se realizan realmente unas pocas transmisiones de los eventos de conmutación por unidad de tiempo, de modo que se pueden tomar una serie de medidas a fin de elevar la fiabilidad
 45 de la excitación de los elementos de conmutación, según se explica todavía más en detalle. Además, las frecuencias de trabajo de la transmisión se sitúan por encima de los espectros de perturbación electrónicos de potencia de las etapas de inversor, de modo que por este motivo también se puede conseguir una seguridad de transmisión más elevada de las señales de excitación críticas.

La secuencia de bits de emisión se recibe a continuación por la etapa de inversor como secuencia de bits de
 50 recepción. Si la secuencia de bits de emisión se ha transmitido correctamente, es idéntica a la secuencia de bits de recepción. Pero debido a errores de transmisión también puede suceder que una secuencia de bits de emisión llegue de forma errónea a la etapa de inversor correspondiente, de modo que la secuencia de bits de recepción se diferencia de la secuencia de bits de emisión. La secuencia de bits de recepción recibida realmente por la etapa de
 55 inversor se puede diferenciar a este respecto de la secuencia de bits de emisión correspondiente según el tipo y medida del error de transmisión en un bit o también varios bits. En beneficio de una excitación segura de la etapa de inversor se podría recurrir ahora exclusivamente a aquellas secuencias de bits de recepción, que se corresponden con una secuencia de bits de emisión y por consiguiente se han transmitido correctamente. No obstante, la solicitante ha constatado que un modo de proceder semejante no es apropiado para la conmutación de los
 60 elementos de conmutación de un inversor, dado que los tiempos de retardo serían demasiado elevados.

Por ello según la invención se propone que sólo se realice una modificación del estado de conmutación global luego

cuando la secuencia de bits de recepción recibida en la etapa de inversor correspondiente se corresponde con una secuencia de bits de un grupo de secuencias de bits predeterminado, que se forma por secuencias de bits de emisión que están asociadas de forma unívoca respectivamente a un estado de conmutación global permitido de la etapa de inversor, y por secuencias de bits que se diferencian de estas secuencias de bits de emisión como máximo

5 en un bit. Este grupo de secuencias de bits predeterminado representa por consiguiente un control, de modo que ninguna secuencia de bits de recepción errónea provoca una conmutación de los elementos de conmutación y por consiguiente se establecen estados de conmutación globales erróneos de la etapa de inversor. Sólo aquellas secuencias de bits, que se corresponden con una secuencia de bits del grupo de secuencias de bits predeterminado, son secuencias de bits "permitidas", es decir, secuencias de bits que se interpretan como correctas o

10 suficientemente correctas por parte de la etapa de inversor y en consecuencia dispone una modificación correspondiente del estado de conmutación global. De este modo se evitan de forma fiable las conmutaciones erróneas, por lo que se prolonga considerablemente la vida útil de los elementos de conmutación y por consiguiente la etapa de inversor. Por otro lado, la mayoría de los errores de transmisión provoca una modificación de la secuencia de bits de emisión en sólo un bit, de modo que se eleva fuertemente la velocidad de excitación, cuando

15 una gran parte de estas secuencias de bits de emisión erróneas se tolera y se evitan de este modo tiempos muertos excesivos. Las secuencias de bits adicionales del grupo de secuencias de bits predeterminado se designan en consecuencia también como secuencias de bits de tolerancia. Debido a la distancia mencionada anteriormente de al menos cuatro bits, la secuencia de bits de estado de conmutación deseada se puede identificar por tanto con suficiente exactitud. Los intentos hasta ahora de la solicitante han dado como resultado en cualquier caso que con el

20 protocolo de transmisión previsto según la invención se pueden obtener las velocidades requeridas para la excitación de una etapa de inversor con exactitud aceptable de la excitación.

Una realización preferida se destaca porque la velocidad de transmisión de las secuencias de bits de emisión es de al menos 600 MB/s. Este rango de las velocidades de transmisión ha resultado ser especialmente ventajoso para la

25 excitación de etapas de inversor trifásicas.

Preferentemente las secuencias de bits de emisión presentan igual número de ceros y unos. Por ello están "libres de corriente continua" y no ofrecen dificultades al usar filtros de paso alto y similares.

30 Una realización preferida se destaca además porque la unidad de regulación central para la excitación de un estado de conmutación global seleccionado transmite la secuencia de bits de emisión asociada a él dos veces de forma sucesiva a la etapa de inversor correspondiente, y una modificación del estado de conmutación global sólo se efectúa luego cuando por la etapa de inversor correspondiente se reciben dos secuencias de bits de recepción que están asociadas al mismo estado de conmutación global seleccionado. Un modo de proceder semejante mejora la

35 seguridad de transmisión, sin elevar esencialmente los tiempos de retardo de la excitación. En este caso, siempre se puede partir de una transmisión correcta cuando las dos secuencias de bits de recepción son idénticas y sólo en este caso también se realiza una modificación del estado de conmutación de la etapa de inversor.

Una realización preferida se destaca además porque la unidad de regulación central transmite antes y después de la

40 transmisión de las secuencias de bits de emisión al menos una secuencia de bits de inicio, sincronización y/o parada, donde la secuencia de bits de inicio, sincronización y/o parada se diferencia de las secuencias de bits de emisión en al menos cuatro bits y de una yuxtaposición cualquiera de dos secuencias de bits de emisión sucesivas en al menos un bit. De esta manera se proporciona una señal segura ("Sync") para el comienzo o el final de una secuencia de bits de emisión o recepción, por lo que se eleva la seguridad de transmisión y se garantiza una

45 interpretación unívoca por parte de la etapa de inversor. Dado que la velocidad de transmisión será más elevada en un múltiplo que la frecuencia de conmutación, sin embargo, en comparación a los eventos de conmutación transmitibles teóricamente sólo se realizan realmente pocas transmisiones de eventos de conmutación. Entre estas transmisiones de eventos de conmutación se pueden respetar las pausas de transmisión, de modo que la secuencia de bits de inicio, sincronización y/o parada muestra el comienzo o el final de una secuencia de bits de emisión o

50 recepción. No obstante, preferentemente no se observan pausas de transmisión, sino que entre la transmisión de los eventos de conmutación siempre se transmite una serie repetida de la secuencia de bits de inicio, sincronización y parada, a fin de sincronizar las etapas de inversor receptoras. La secuencia de bits de inicio, sincronización y parada satisface en este caso principalmente la función de una secuencia de bits de sincronización, dado que en este caso se puede hablar menos de una secuencia de bits de inicio o parada.

55 Preferentemente el recorrido de transmisión es un recorrido de transmisión bidireccional. De este modo se posibilita, por un lado, que por la etapa de inversor se pueda realizar un requerimiento de la nueva transmisión de una secuencia de bits de emisión a la unidad de regulación central, si una secuencia de bits de recepción recibida anteriormente por la etapa de inversor correspondiente no se corresponde con ninguna secuencia de bits del grupo

60 de secuencias de bits predeterminado. Pero, por otro lado, también se pueden transmitir los datos de medición y similares de la etapa de inversor a la unidad de regulación central.

A continuación, se describen con más detalle formas de realización preferidas de la invención haciendo referencia a los dibujos adjuntos. En este caso muestran

Fig. 1 una representación esquemática de una disposición según la invención de varias etapas de inversor
5 conectadas en paralelo,

Fig. 2 una representación esquemática de una etapa de inversor,

Fig. 3 un ejemplo de una secuencia de bits de estado de conmutación y una secuencia de bits de emisión asociada
10 a ella con el grupo de secuencias de bits predeterminado para ella,

Fig. 4 ejemplos de las secuencias de bits de estado de conmutación con sus secuencias de bits de emisión asociadas a ellas, que se diferencian en al menos 4 bits, y la

15 Fig. 5 una oposición de un "stream" de secuencias de bits de emisión con un "stream" de secuencias de bits de recepción.

La fig. 1 muestra una disposición 1 de varias etapas de inversor 2 conectadas en paralelo, que poseen una salida trifásica común 14. En esta salida 14 la disposición 1 proporciona una corriente de salida deseada. En la forma de
20 realización representada también se muestra una entrada común 15 de las etapas de inversor 2, en la que durante el funcionamiento se aplica la tensión de entrada.

Cada etapa de inversor 2 comprende seis elementos de conmutación 3 (fig. 2) con respectivamente dos estados de conmutación, por lo que un número teórico de estados de conmutación globales de una etapa de inversor 2 se
25 produce por todas las posibilidades de combinación posibles. En el caso de seis elementos de conmutación 3 - según se ve en la realización según la fig. 2 - se producen 64 estados de conmutación globales posibles teóricamente. Estos se reducen a 27 estados de conmutación globales permitidos, dado que también hay estados de conmutación inadmisibles, que provocarían un cortocircuito. Los estados de conmutación globales de una etapa de inversor 2 se pueden representar respectivamente mediante una secuencia de bits de estado de conmutación 8 que
30 se compone de seis bits (fig. 3 y 4). Una secuencia de bits de estado de conmutación 8, que se corresponde con un estado de conmutación global permitido, sería p. ej.: 101001, que se corresponde con un estado de conmutación global de la etapa de inversor 2, en la que en referencia a la fig. 2 el elemento de conmutación 3 está cerrado arriba a la izquierda (1), el elemento de conmutación 3 está abierto abajo a la izquierda (0), el elemento de conmutación 3 está cerrado arriba centro (1), el elemento de conmutación 3 está abierto abajo centro (0), el elemento de conmutación 3 está abierto arriba a la derecha (0) y el elemento de conmutación 3 está cerrado abajo a la derecha (1).
35

La disposición 1 presenta para la excitación de los elementos de conmutación 3 de todas las etapas de inversor 2 una unidad de regulación central 6, que está conectada con cada etapa de inversor 2 a través de un recorrido de
40 transmisión de datos 5 para el intercambio de señales eléctricas. En el caso del recorrido de transmisión de datos 5 se trata preferentemente de un recorrido de transmisión de datos bidireccional 5, que se forma en la realización práctica por ejemplo por un par de cables diferenciales para la transmisión de señales diferenciales y pseudo-diferenciales, donde preferentemente para cada dirección de transmisión está previsto un par de cables diferenciales.
45

En la unidad de regulación 6, a cada estado de conmutación global permitido está asociada de forma unívoca una secuencia de bits de emisión 9 (fig. 4). Si se debe disponer un estado de conmutación global deseado de una etapa de inversor 2, entonces en un primer dispositivo de asociación 7 de la unidad de regulación central 6 se asocia de forma unívoca a una secuencia de bits de estado de conmutación 8 correspondiente una secuencia de bits de
50 emisión 9. Esta asociación se puede realizar, por ejemplo, a través de un codificador o se pueden usar componentes más sencillos y configurarse correspondientemente, según se proporcionan por ejemplo en el bloque PCS de una FPGA. Según se ve por la fig. 3, las secuencias de bits de estado de conmutación 8 comprenden en el caso de seis elementos de conmutación 3 en conjunto seis bits, no obstante, las secuencias de bits de emisión 9 según la invención respectivamente diez bits. La asociación entre las secuencias de bits de estado de conmutación 8 (o los estados de conmutación globales permitidos) y las secuencias de bits de emisión 9 se realiza de manera que cada
55 secuencia de bits de emisión 9, que se corresponde con un estado de conmutación global, se diferencia de cualquier otra secuencia de bits de emisión 9, que se corresponde con otro estado de conmutación global, según la invención en cuatro bits. Para minimizar en lo posible una fracción de corriente continua en la transmisión, las secuencias de bits de emisión 9 presentan además preferentemente el mismo número de ceros que unos (fig. 4).
60

La unidad de regulación central 6 está configurada además para transmitir respectivamente a través de los recorridos de transmisión de datos en serie 5 secuencias de bits de emisión 9 a las etapas de inversor 2

correspondientes. Las secuencias de bits de emisión 9 se reciben como secuencias de bits de recepción 10 por las etapas de inversor 2 correspondientes y allí se descodifican (fig. 3). No obstante, las secuencias de bits de recepción 10 se pueden diferenciar debido a los errores de transmisión de las secuencias de bits de emisión originales 9, según se puede ver en la secuencia de bits de recepción 10 según la fig. 3 por ejemplo en el penúltimo lugar de la secuencia de bits. Por consiguiente se debe establecer como se debe proceder con tales errores de transmisión.

En beneficio de una excitación segura de la etapa de inversor se podrían aceptar, por ejemplo, exclusivamente aquellas secuencias de bits de recepción 10 que se corresponden con una de las 27 secuencias de bits de emisión 9 posibles y por consiguiente se han transmitido aparentemente de forma correcta. La secuencia de bits de recepción 10 de la fig. 3 no se aceptaría por consiguiente, dado que no se corresponde con la secuencia de bits de emisión 9 representada en la fig. 3, y tampoco con otra secuencia de bits de emisión 9, dado que las secuencias de bits de emisión 9 se diferencian según la invención en al menos cuatro bits. Dado que en un caso semejante no se efectúa una modificación del estado de conmutación global de la etapa de inversor 2, la transmisión todavía se debe repetir a fin de materializar el estado de conmutación global seleccionado de la etapa de inversor 2. No obstante, la solicitante ha constatado que un modo de proceder semejante ya no es apropiado para los requisitos prácticos en la conmutación de elementos de conmutación 3 de una etapa de inversor 2, dado que los tiempos de retardo se vuelven demasiado elevados y ya no es aceptable un control en serie de los elementos de conmutación 3.

Por ello según la invención se propone que también se realice una modificación del estado de conmutación global luego cuando la secuencia de bits de recepción 10 recibida en la etapa de inversor 2 correspondiente se corresponde con una secuencia de bits de un grupo de secuencias de bits predeterminado 11, que se forma por secuencias de bits de emisión 9 que están asociadas de forma unívoca respectivamente a un estado de conmutación global de la etapa de inversor 2 y por secuencias de bits que se diferencian de estas secuencias de bits de emisión 9 como máximo en un bit. En el ejemplo de la fig. 3 se muestra, por ejemplo, que la secuencia de bits de recepción 10 no se corresponde con la secuencia de bits de emisión 9 representada, pero muy probablemente con una secuencia de bits de un grupo de secuencias de bits predeterminado 11, que se ha rodeado fuertemente en la fig. 3. Según la invención esta secuencia de bits de recepción 10 se acepta por consiguiente muy probablemente y está asociada a la secuencia de bits de emisión 9 mostrada en la fig. 3. Esta asociación se efectúa por un segundo dispositivo de asociación 16 dispuesto en la etapa de inversor 2 correspondiente. En consecuencia se dispone una modificación del estado de conmutación global de la etapa de inversor 2 por el dispositivo de excitación 4.

El grupo de secuencias de bits 11 predeterminado y definido para cada secuencia de bits de emisión 9 representa, por un lado, un control de modo que las secuencias de bits recibidas 10 erróneas no provocan una conmutación de los elementos de conmutación 3, pero define por otro lado también una medida tolerable de los errores de transmisión, por lo que se eleva la velocidad de conmutación de los elementos de conmutación 3. La comparación entre las secuencias de bits de recepción 10 y los grupos de secuencias de bits 11 se efectúa en la etapa de inversor 2 por un segundo dispositivo de asociación 16, que está conectado delante de la etapa de control 4 para los elementos de conmutación 3 (véase la fig. 2).

La secuencia de bits de emisión 9 se transmite con una velocidad de transmisión medida en bits por segundo que es un múltiplo mayor que la frecuencia de conmutación de los elementos de conmutación 3 de la etapa de inversor 2, preferentemente con al menos 600 MB/s. Además es ventajoso que sólo entonces se realice una transmisión de datos, cuando también se desea realmente una modificación del estado de conmutación global de la etapa de inversor 2, a fin de reducir la posibilidad de perturbaciones en ventanas de tiempo muy cortas. Teniendo en cuenta la medida según la invención de que la velocidad de transmisión de datos es en un múltiplo mayor que la frecuencia de conmutación, por consiguiente sólo se realizan realmente menos transmisiones de eventos de conmutación con respecto a los eventos de conmutación transmitibles teóricamente. El instante de conmutación es a este respecto menos crítico que el estado de conmutación seleccionado, dado que en la salida de las etapas de inversor 2 están dispuesta la mayoría de las veces de todos modos cargas con propiedades inductivas.

Para la elevación de la fiabilidad de la excitación se toman otras medidas con vistas a la transmisión de datos, según se explica mediante la fig. 5. En la fig. 5 se confronta en particular una corriente generada por la unidad de regulación central 6 de las secuencias de bits de emisión 9 con una corriente recibida por una etapa de inversor 2 de secuencias de bits de recepción 10. En la fig. 5 las secuencias de bits de emisión 9 están provistas a este respecto con respectivamente los mismos números de referencia, no obstante, se entiende de por sí que las secuencias de bits de emisión 9 se pueden codificar respectivamente para diferentes estados de conmutación global de una etapa de inversor 2. En el flujo de datos de las secuencias de bits de emisión 9 están previstas además secuencias de bits de inicio, sincronización y/o parada 13, que le señalizan a la etapa de inversor 2 el comienzo de una transmisión de secuencias de bits de emisión 9, el final de una transmisión de secuencias de bits de emisión 9, así como el comienzo y final de una secuencia de bits de emisión 9 individual. La secuencia de bits de inicio, sincronización y/o parada 13 se diferencia de las secuencias de bits de emisión 9 en al menos cuatro bits, así como preferentemente por una yuxtaposición cualquiera de dos secuencias de bits de emisión 9 siguientes en al menos un bit. Siempre y

cuando no se transmitan secuencias de bits de emisión 9, preferentemente se puede transmitir un flujo de secuencias de bits de inicio, sincronización y/o parada 13, a fin de posibilitar una sincronización permanente de las etapas de inversor 2.

- 5 No obstante, podría ocurrir que la secuencia de bits de inicio, sincronización y/ parada 13 se transforme por errores de transmisión en una secuencia de bits de emisión 9 indeseada, de modo que se establece un comando de conmutación no querido en la etapa de conmutación 2. Según se ve en la fig. 5, por ello para una modificación del estado de conmutación global de una etapa de inversor 2 se envía dos veces una tras otra la secuencia de bits de emisión 9 en cuestión. Las dos secuencias de bits de emisión 9 idénticas se reciben por la etapa de inversor 2 en
- 10 cuestión como dos secuencias de bits de recepción 10, que ahora pueden ser idénticas, o también pueden ser diferentes debido a errores de transmisión. Preferentemente se realiza una modificación del estado de conmutación global sólo luego cuando las dos secuencias de bits de recepción 10 son idénticas o se corresponden respectivamente con una secuencia de bits del mismo grupo de secuencias de bits 11.
- 15 La diferencia Δ dibujada en la fig. 5 indica el número de bits en los que se diferencia una secuencia de bits de recepción 10 de la secuencia de bits de emisión 9 original. La transmisión de la primera secuencia de bits de recepción 10 o la izquierda en la fig. 5 conduce a una modificación del estado de conmutación global de la etapa de inversor 2, dado que se tolera una diferencia de un bit (véase la fig. 3). La transmisión de la secuencia de bits de recepción 10 central o siguiente en la fig. 5 no conduce a una modificación del estado de conmutación global de la
- 20 etapa de inversor 2, dado que ya no se toleran diferencias de tres o dos bits por el dispositivo de asociación 16. En esta caso por la etapa de inversor 2 se realiza un requerimiento ("error flag") para la nueva transmisión de una secuencia de emisión 9 a la unidad de regulación central 6. A este respecto se debe tener en cuenta que la velocidad de transmisión es según la invención en un múltiplo más elevada que la frecuencia de conmutación de los elementos de conmutación 3, de modo que queda suficiente tiempo para el envío del requerimiento ("error flag") y la
- 25 nueva transmisión de una secuencia de bits de emisión 9 hasta la transmisión de la siguiente secuencia de bits de emisión 9. La transmisión de la secuencia de bits de recepción 10 última o derecha en la fig. 5 conduce de nuevo a una modificación del estado de conmutación global de la etapa de inversor 2, dado que se toleran diferencias de respectivamente un bit.
- 30 Con la ayuda de la invención se proporciona un procedimiento, con el que se puede reducir el cote de excitación o conmutación en el caso de etapas de inversor trifásicas 2, conectadas en paralelo, no obstante, donde se garantiza un funcionamiento seguro de las etapas de inversor 2 a través de una pluralidad de procesos de conmutación y se evitan de forma fiable menoscabos funcionales de los elementos de conmutación 3 por excitación errónea. Además, la excitación de los elementos de conmutación 3 de las etapas de inversor 2 se realiza suficientemente rápido para
- 35 no menoscabar la calidad de la corriente de salida formada por la etapa de inversor 2. A este respecto, la solución según la invención se puede materializar de forma proporcionalmente sencilla y económica con vistas al hardware necesario.

REIVINDICACIONES

1. Procedimiento para la excitación de los elementos de conmutación (3) de etapas de inversor trifásicas (2) conectadas en paralelo, donde cada uno de los seis elementos de conmutación (3) de una etapa de inversor (2) presenta respectivamente dos estados de conmutación (0, 1) y el estado de conmutación global de una etapa de inversor (2) está establecido por una combinación de los estados de conmutación (0, 1) de sus elementos de conmutación (3), representable como una secuencia de bits de estado de conmutación (8) de seis bits, y por conmutación de los elementos de conmutación (3) con una frecuencia de conmutación, una secuencia temporal de estados de conmutación globales de la etapa de inversor (2), seleccionados de un número de estados de conmutación globales permitidos, se materializa para la formación de una corriente de salida deseada de la etapa de inversor (2), donde
- la excitación de los elementos de conmutación (3) de una etapa de inversor (2) se realiza a través de una unidad de regulación central (6) conectada con la etapa de inversor (2) correspondiente a través de un recorrido de transmisión de datos en serie (5),
 - donde la unidad de regulación central (6) asociada de forma unívoca una secuencia de bits de emisión (9) que se compone de diez bits a cada secuencia de bits de estado de conmutación (8), que se corresponde con un estado de conmutación global permitido de las etapas de inversor (2), donde cada secuencia de bits de emisión (9), que está asociada a un estado de conmutación global permitido de la etapa de inversor (2), se diferencia de otra secuencia de bits de emisión (9), que está asociada a otro estado de conmutación global permitido de la etapa de inversor (2), en al menos cuatro bits,
 - y la unidad de regulación central (6) para la excitación de un estado de conmutación global seleccionado transmite la secuencia de bits de emisión (9) asociada a él a la etapa de inversor (2) correspondiente, y la secuencia de bits de emisión (9) se recibe por la etapa de inversor (2) como al menos una secuencia de bits de recepción (10) y se asocia a una secuencia de bits de estado de conmutación (8),
 - donde la secuencia de bits de emisión (9) se transmite con una velocidad de transmisión medida en bits por segundo, cuya relación de la frecuencia de conmutación medida en hercios de los elementos de conmutación (3) es al menos de 1000,
 - y una modificación del estado de conmutación global de una etapa de inversor (2) sólo se efectúa luego cuando la secuencia de bits de recepción (10) recibida en la etapa de inversor (2) correspondiente se corresponde con una secuencia de bits de un grupo de secuencias de bits predeterminado (11), que se forma por secuencias de bits de emisión (9) que están asociadas de forma unívoca respectivamente a un estado de conmutación global permitido de la etapa de inversor (2), y por secuencias de bits que se diferencian de estas secuencias de bits de emisión (9) como máximo en un bit.
2. Procedimiento según la reivindicación 1, donde la velocidad de transmisión de las secuencias de bits de emisión (9) es de al menos 600 MB/s.
3. Procedimiento según la reivindicación 1 o 2, donde las secuencias de bits de emisión (9) presentan el mismo número de ceros y unos.
4. Procedimiento según una de las reivindicaciones anteriores, donde la unidad de regulación central (6) para la excitación de un estado de conmutación global seleccionado transmite la secuencia de bits de emisión (9) asociada a él dos veces de forma sucesiva a la etapa de inversor (2) correspondiente, y una modificación del estado de conmutación global sólo se efectúa luego cuando por la etapa de inversor (2) correspondiente se reciben dos secuencias de bits de recepción (10) que están asociadas al mismo estado de conmutación global seleccionado.
5. Procedimiento según una de las reivindicaciones anteriores, donde la unidad de regulación central (6) transmite, antes y después de la transmisión de secuencias de bits de emisión (9), al menos una secuencia de inicio, sincronización y/o parada (13), donde la secuencia de bits de inicio, sincronización y/o parada (13) se diferencia en al menos un bit de cualquier yuxtaposición de dos secuencias de bits de emisión (9) sucesivas.
6. Procedimiento según una de las reivindicaciones anteriores, donde en un recorrido de transmisión en serie (5) realizado como recorrido de transmisión bidireccional, por la etapa de inversor (2) se realiza una requerimiento de la nueva transmisión de una secuencia de bits de emisión (9) a la unidad de regulación central (6), si una secuencia de bits de recepción (10) recibida anteriormente por la etapa de inversor (2) correspondiente no se corresponde con la secuencia de bits del grupo de secuencias de bits predeterminadas (11, 12).

Fig. 1

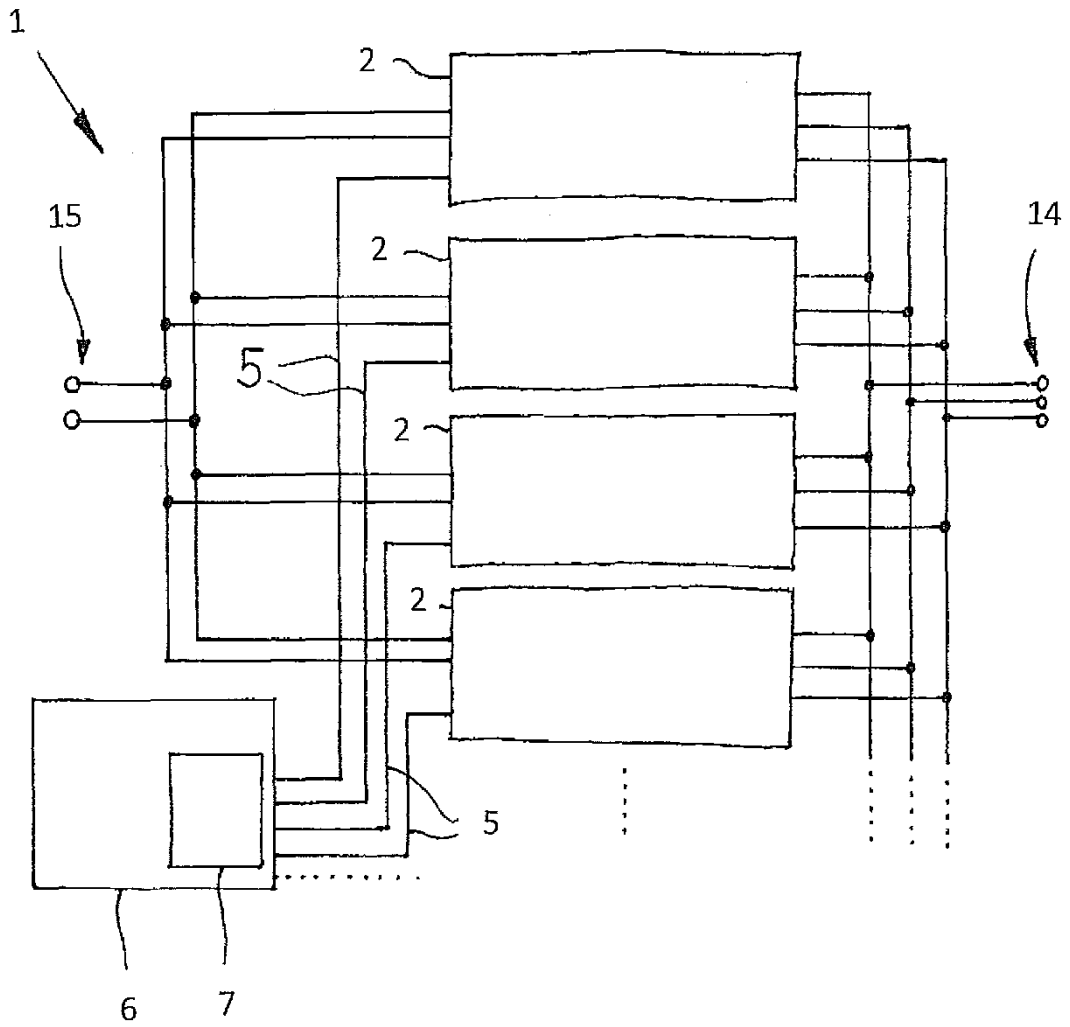


Fig. 2

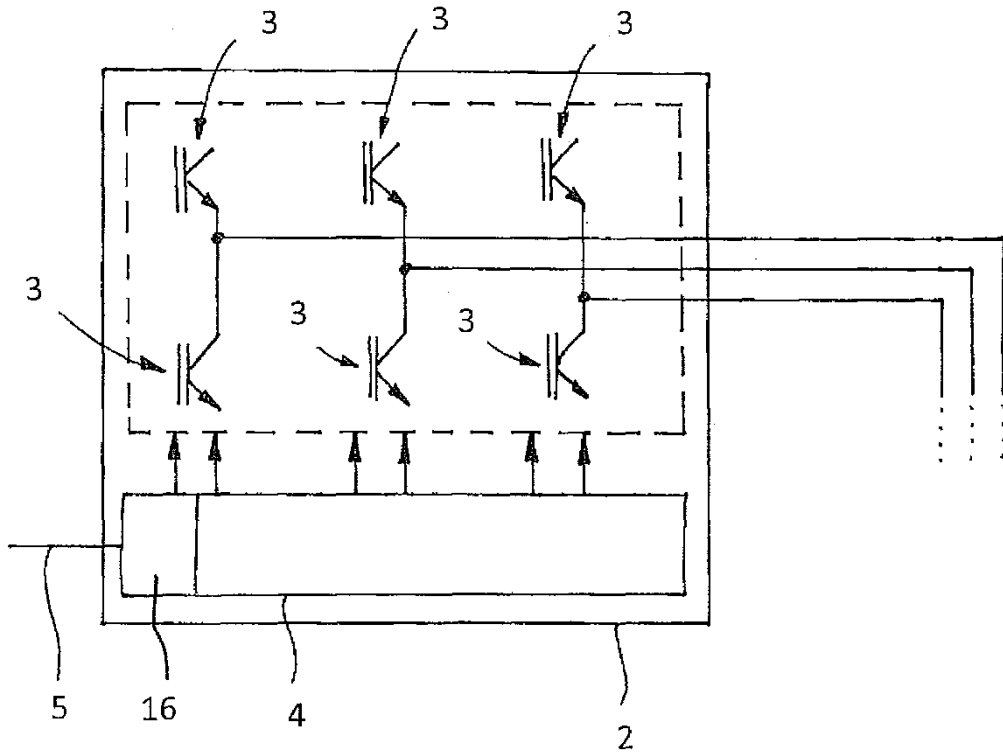


Fig. 3

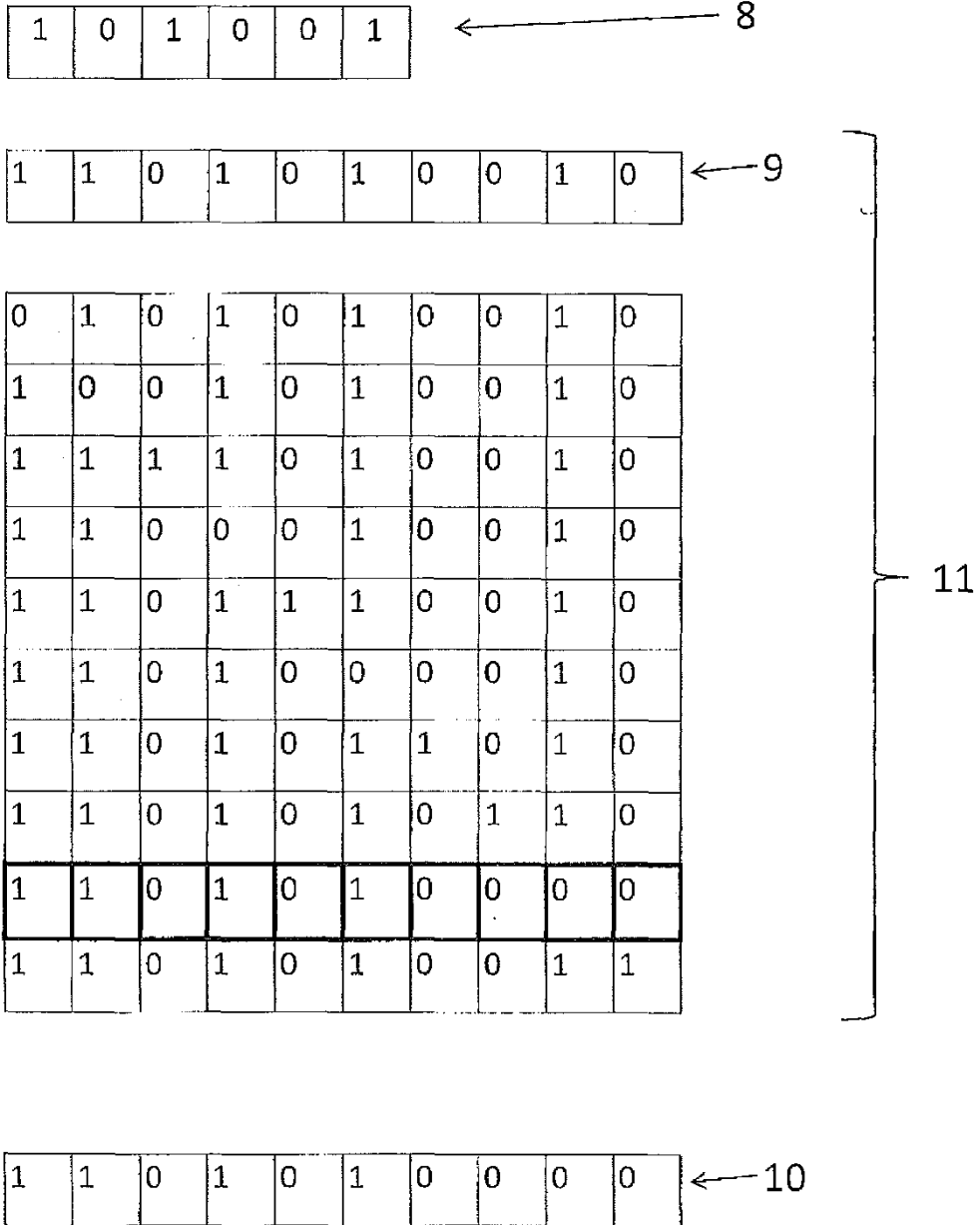


Fig. 4

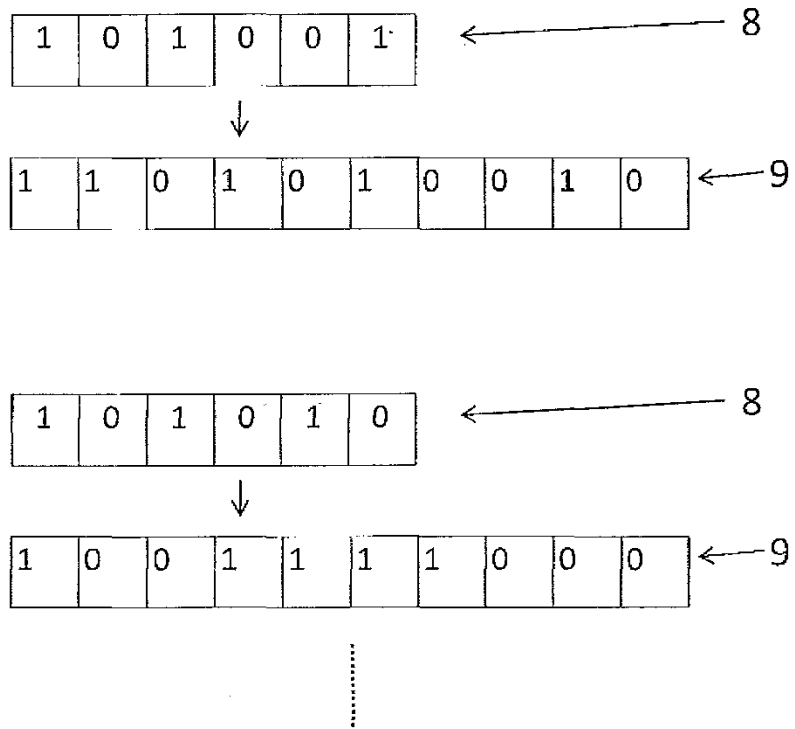


Fig. 5

