

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 726 889**

51 Int. Cl.:

H03M 1/12 (2006.01)
H03M 1/56 (2006.01)
H04N 5/374 (2011.01)
H04N 5/3745 (2011.01)
H04N 5/376 (2011.01)
H04N 5/378 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **11.05.2016 PCT/EP2016/060544**
- 87 Fecha y número de publicación internacional: **17.11.2016 WO16180872**
- 96 Fecha de presentación y número de la solicitud europea: **11.05.2016 E 16722193 (6)**
- 97 Fecha y número de publicación de la concesión europea: **27.02.2019 EP 3295665**

54 Título: **Circuito de lectura de un captador de matriz de píxeles con conversión analógico-digital de alta cadencia de adquisición y captador de imágenes que comprende un circuito de ese tipo**

30 Prioridad:

12.05.2015 FR 1554214

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

10.10.2019

73 Titular/es:

**PYXALIS (100.0%)
170 rue Chatagnon
38430 Moirans, FR**

72 Inventor/es:

LIABEUF, CHRISTIAN

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 726 889 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de lectura de un captador de matriz de píxeles con conversión analógico-digital de alta cadencia de adquisición y captador de imágenes que comprende un circuito de ese tipo

5 La invención se refiere a un circuito de lectura de un captador de matriz de píxeles y de conversión analógica - digital de las señales leídas, así como a un captador de imágenes que comprende un circuito de lectura de ese tipo. Se dirige al aumento de la cadencia de adquisición de imágenes sin sacrificar la resolución de conversión, es decir el número de niveles de luminosidad de la imagen digital adquirida o, de manera equivalente, a mejorar la resolución de conversión sin reducir la cadencia de adquisición.

10 La invención se aplica en particular al caso de una matriz de píxeles activos, principalmente de tipo CMOS, pero puede aplicarse de manera general a cualquier captador matricial que presente una lectura "a pie de columna".

La figura 1 ilustra un captador de matriz de píxeles activos que comprende un circuito de lectura según la técnica anterior.

15 La matriz MPA comprende una pluralidad (9 en el ejemplo de la figura, varios millares en la mayor parte de los casos reales) de píxeles PX activos, generalmente realizados en tecnología CMOS (metal - óxido - semiconductor complementario) organizados por filas y por columnas; las columnas se identifican por las referencias C1, C2 y C3. Cada píxel comprende un fotodiodo que genera cargas eléctricas cuando es iluminado por la luz; el fotodiodo acumula, durante un tiempo llamado de integración, las cargas generadas, que es posible leer a continuación directamente o mediante un nodo de almacenamiento intermedio.

20 La matriz se lee como una memoria activa: todos los píxeles de la misma columna se unen a un mismo conductor de lectura (LC1 para la columna C1; LC2 para la columna C2; LC3 para la columna C3); una señal de selección de fila (no representada) selecciona un único píxel para cada columna, que transfiere una tensión representativa de las cargas acumuladas en el conductor de lectura de la columna correspondiente.

25 Al pie de cada columna, un muestreador - bloqueador respectivo (no representado en la figura 1; referenciado como SH en la figura 3A) adquiere la tensión en el conductor de lectura y la convierte al formato digital mediante un convertidor de tipo rampa. En el modo de realización más simple, la señal de tensión adquirida por el muestreador - bloqueador se suministra a una primera entrada de un comparador analógico (CMP1 para la columna C1, CMP2 para la columna C2, CMP3 para la columna C3) que recibe, en su segunda entrada, una rampa SR de tensión común a una pluralidad de columnas, sobrepasando al final de la conversión las tensiones muestreadas en los conductores LC1, LC2, LC3... La señal binaria de salida del comparador (SBC1, SBC2, SBC3) conmuta cuando la
30 rampa SR iguala la tensión presente en la primera entrada del comparador. Se obtiene así una conversión tensión - retardo. Existen otras arquitecturas de conversión tensión - retardo y pueden aplicarse a la conversión analógico - digital de las señales procedentes de un captador de matriz.

35 En esta configuración, una señal de reloj H controla un contador CCG de código Gray común a todas las columnas (el código Gray es preferido al código binario natural porque es más robusto con respecto a errores debidos a la aparición de estados transitorios; sin embargo, la utilización de un código binario natural, o cualquier otro tipo de código binario, es igualmente posible) para efectuar un contaje que arranca al mismo tiempo que la rampa de tensión, o con un desfase temporal conocido y controlable (en la figura 1, una flecha doble simboliza la sincronización entre el generador GR de rampa y el contador CCG de código Gray). De una manera conocida per se, la sincronización puede realizarse mediante un secuenciador digital que envía unas señales de arranque
40 simultáneas (o con un desfase predeterminado) al generador de rampa y al contador. El código Gray generado por el contador CCG se propaga a un banco de registros de entradas paralelas y salidas en serie, R1, R2, R3 - una por columna. La conmutación de cada señal —SBC1, SBC2, SBC3— de salida de un comparador desencadena el muestreo del valor del contador en el registro correspondiente. De ese modo, cada registro memoriza el código Gray generado en el momento en que la rampa de tensión común a todos los comparadores iguala la señal de tensión
45 correspondiente a la columna de píxeles a la que se asocia.

Se llama circuito CL de lectura al conjunto constituido por los muestreadores - bloqueadores, los comparadores, los registros y, opcionalmente, el generador de rampa, el contador de código Gray y/o el generador de señal de reloj.

50 El circuito de lectura del captador de imágenes de la figura 1 presenta una estructura simple, poco consumidora de potencia y fácil de implementar. El resultado de la conversión analógico - digital es monótono, presenta una buena linealidad y una reducida dispersión de columna a columna. Su inconveniente es que es difícil de obtener a la vez una buena resolución de conversión (por ejemplo, 14 bits) y una cadencia de adquisición elevada (inferior a 10 μ s). En efecto, para una resolución de 14 bits, es necesario contar hasta 16.384. Si la señal de reloj presenta una frecuencia de 400 MHz, esto necesita alrededor de 41 μ s. Disminuir el tiempo de conversión en un factor de 8 —lo que permitiría una cadencia de adquisición de aproximadamente 1 imagen / 5 μ s— necesitaría multiplicar por 8 la
55 frecuencia de reloj (3,2 GHz), lo que no es posible, en cualquier caso con las tecnologías electrónicas utilizadas para realizar los captadores de matriz activa. Además, cuando se aumenta la frecuencia de reloj, se hace difícil de propagar el código Gray de manera asíncrona en unas distancias que pueden ser grandes (varios milímetros) si el número de columnas de la matriz es elevado.

Una estructura alternativa utiliza un contador distinto (Gray o binario natural) para cada columna. Esto no permite aumentar de manera significativa la cadencia de adquisición de las imágenes, porque siempre es necesario generar un reloj a frecuencia elevada y propagarlo de manera asíncrona en una distancia grande.

Estas arquitecturas se describen en el documento US 7.880.662.

5 El documento EP 2.221.975 describe un circuito de lectura de un captador de matriz de píxeles activos que comprende un reloj local para cada columna. Como la señal de reloj no debe propagarse, su frecuencia puede ser más elevada. Por el contrario, Este circuito implementa un mecanismo complejo para liberarse de errores de sincronización entre los diferentes relojes locales.

10 La invención se dirige a superar los inconvenientes de las técnicas anteriores. Más particularmente, se dirige a procurar un circuito de lectura que permita alcanzar una cadencia de adquisición de imágenes elevada sin sacrificar la resolución de conversión y por unos medios más simples que los implementados en el circuito del documento EP 2.221.975 antes mencionado.

15 De conformidad con la invención, este objeto se consigue mediante la utilización de un reloj común a las diferentes columnas, dicho reloj primario o de referencia, que presenta una frecuencia relativamente baja y los multiplicadores de frecuencia locales al pie de cada columna que generan unas señales de reloj llamadas secundarias, o locales, que controlan unos contadores respectivos. Solo debe propagarse el reloj primario y, dado que presenta una frecuencia relativamente baja, esto no plantea dificultad particular. La utilización de multiplicadores de frecuencia controlados por un reloj primario común permite asegurar la sincronización de las señales de reloj secundarias. Por otra parte, según un modo de realización ventajoso de la invención, el contaje puede asegurarse mediante unos contadores binarios naturales modificados en los que el bit menos significativo sigue al reloj secundario, en lugar de conmutar en cada frente ascendente o descendente, permitiendo alcanzar una cadencia de contaje doble de la frecuencia de reloj. Esto permite ganar un factor de dos en la cadencia de adquisición de las imágenes o un bit de resolución de conversión para una cadencia dada.

25 De ese modo, un objeto de la invención es un circuito de lectura de un captador de matriz de píxeles que comprende:

- una pluralidad de circuitos convertidores tensión - retardo, configurados para recibir en una entrada un valor de tensión representativo de la tensión de un conductor de lectura de una columna de píxeles respectiva de dicha matriz y para suministrar en la salida una señal binaria llamada de comparación, que presenta una conmutación en un instante en función del valor de la tensión de entrada;

30 caracterizado porque comprende igualmente:

- una pluralidad de circuitos multiplicadores de frecuencia, cada uno asociado a un grupo de al menos un de dicho circuito convertidor tensión - retardo, que presenta unas entradas respectivas unidas a una línea de transmisión de reloj común destinada a propagar una señal de reloj llamada primaria, y unas salidas respectivas para unas señales de reloj llamadas secundarias de frecuencia múltiple de dicha señal de reloj primaria, configurándose estos circuitos para multiplicar la frecuencia de la señal de reloj primaria presente en su entrada por un mismo factor multiplicador; y
- una pluralidad de contadores binarios, uno para cada dicho circuito convertidor tensión - retardo, que tiene un mismo número de bits de contaje y configurados para recibir sobre una primera entrada una llamada señal de reloj secundaria y sobre una segunda entrada la señal binaria de comparación suministrada por el circuito convertidor tensión - retardo correspondiente, estando configurado cada dicho contador para efectuar un contaje a una cadencia dictada por dicha señal de reloj secundaria hasta una conmutación de dicha señal binaria de comparación.

Según unos modos de realización ventajosos de un circuito de lectura de ese tipo:

- 45 - Cada dicho circuito convertidor tensión - retardo puede ser del tipo de simple rampa y comprender un generador de rampa lineal de tensión y un comparador analógico configurado para comparar una tensión constante con dicha rampa lineal de tensión.
- Cada dicho circuito multiplicador de frecuencia puede asociarse a uno y solo un circuito convertidor tensión - retardo.
- Cada dicho contador binario puede ser un contador binario natural que comprende:
 - 50 - un elemento de memoria de tipo cerrojo, que presenta una primera entrada configurada para recibir una señal de reloj secundaria y que forma dicha primera entrada del contador binario natural, una segunda entrada configurada para recibir la señal binaria de comparación suministrada por el circuito convertidor tensión - retardo correspondiente y una salida, estando configurado dicho elemento de memoria para transmitir a su salida la señal presente en su primera entrada cuando la señal presente en su segunda entrada toma un primer valor y para mantener sin cambio la señal presente en su salida cuando la señal presente en su segunda entrada toma un segundo valor complementario del primero; y
 - 55 - una pluralidad de biestables montados como divisores por dos y conectados en cascada, conectándose una

entrada de reloj del primero de estos biestables a la salida de dicho elemento de memoria.

- Cada dicho circuito multiplicador de frecuencia puede comprender un bucle de enclavamiento de fase digital que incluye un divisor de frecuencia en su bucle de retroalimentación.
 - Puede disponerse un muestreador - bloqueador sobre la entrada de cada dicho circuito convertidor tensión - retardo.
 - El circuito de lectura puede incluir igualmente un generador de dicha señal de reloj primaria, unido a dicha línea de transmisión de reloj común.
 - Dichos circuitos multiplicadores de frecuencia pueden presentar un factor multiplicativo comprendido entre 2 y 16.
- 10 Otro objeto de la invención es un captador de imágenes que comprende un captador de matriz de píxeles, que comprende una pluralidad de píxeles dispuestos por filas y por columnas, teniendo cada una de dichas columnas un conductor de lectura respectivo, y un circuito de lectura de dicha matriz según una de las reivindicaciones anteriores, conectándose dichas entradas de los convertidores tensión - retardo de dicho circuito de lectura a unos conductores de lectura respectivos de las columnas de píxeles de la matriz.

15 Dicho captador de matriz de píxeles y dicho circuito de lectura pueden estar integrados conjuntamente de manera monolítica.

Dichos píxeles pueden ser en particular unos píxeles activos.

Otras características, detalles y ventajas de la invención surgirán con la lectura de la descripción realizada con referencia a los dibujos adjuntos dados a título de ejemplo y que representan, respectivamente:

- La figura 1, descrita más arriba, el esquema funcional de un captador de imágenes de matriz de píxeles activos que comprende un circuito de lectura conocido de la técnica anterior;
- La figura 2, el esquema funcional de un captador de imágenes de matriz de píxeles activos que comprende un circuito de lectura según un modo de realización de la invención;
- Las figuras 3A, 3B y 3C, los esquemas eléctricos simplificados de diferentes partes del circuito de lectura de la figura 2; y
- La figura 4, unos cronogramas que ilustran el funcionamiento de este circuito de lectura.

En las figuras, las mismas referencias designan elementos idénticos o equivalentes.

Se puede observar que, en el esquema de la figura 2, no hay propagación de un código binario: el conteo se genera localmente al pie de cada columna mediante unos contadores CBN1, CBN2, CBN3 binarios naturales (un conteo de Gray, o cualquier otro tipo de conteo binario, se podría concebir del mismo modo). Estos contadores se controlan mediante unas señales HS1, HS2, HS3 de reloj secundarias (locales) generadas localmente. Contrariamente al caso del documento EP 2.221.975 antes mencionado, sin embargo, las señales de reloj secundarias no se generan por unos osciladores locales independientes, sino que se obtienen por multiplicación de frecuencia de la señal de reloj primaria, o de referencia, HP, generada por un oscilador GH y propagada a través del circuito de lectura a lo largo de una línea LH de reloj.

En el modo de realización de la figura 2, la multiplicación de frecuencias se asegura por unos bucles de enclavamiento de fase digitales que comprenden un comparador de fase PFD, un oscilador controlado en tensión VCO y un divisor de frecuencia por un factor fijo o variable. En el ejemplo de la figura, este factor vale 4 y se obtiene por conexión en cascada de dos biestables montados como divisores de frecuencia por 2, símbolo "/2".

40 Tanto el reloj primario como los relojes secundarios presentan formas de onda en almendra. No es sin embargo esencial que estas formas de onda presenten una relación cíclica del 50 % como en el caso del ejemplo.

Como en el circuito de la figura 1, una conmutación de la señal SBC1, SBC2, SBC3 de un comparador CMP1, CMP2, CMP3 detiene el conteo por el contador correspondiente CBN1, CBN2, CBN3.

45 Las figuras 3A a 3C ilustran la estructura de un contador CBN según un modo de realización ventajoso de la invención.

Es conocido que un contador binario natural puede obtenerse conectando en cascada unos biestables (B1, B2, B3 en la figura 3A) montadas como divisores por 2. Puede tratarse por ejemplo de biestables de tipo D, en las que:

- la salida complementaria Q* se realimenta a la entrada D;
- la salida Q se conecta a la entrada de reloj CLK del siguiente biestable (salvo para la última biestable de la cascada).

El contador CBN adopta esta estructura, salvo que el primer biestable, que corresponde al bit de conteo menos significativo, es sustituida por un elemento de memoria BO de tipo cerrojo ("latch" en inglés) que vuelve a copiar en su salida la señal HS de reloj en tanto que señal SBC de comparación presente un primer valor (por ejemplo un valor bajo) y fija su salida cuando SBC toma un segundo valor complementario del primero (un valor alto, en el ejemplo

considerado). De ese modo, el contador binario natural CBN de la figura 3A conmuta dos veces para cada ciclo de reloj, mientras que en el caso de un contador constituido por una simple conexión en cascada de biestables "D", que conmutan únicamente en el frente ascendente o descendente, el valor de contaje es igual al número de pulsos de reloj recibidos. La utilización de un elemento de memoria así del tipo cerrojo en lugar de un biestable para el bit menos significativo permite, para una frecuencia de reloj dada, dividir por dos el tiempo necesario para contar hasta 2^N-1 , siendo N el número de bits de contaje. En la aplicación considerada, esto permite multiplicar por dos la cadencia de adquisición de imágenes de resolución de conversión no cambiada (es decir para el mismo número N de bits) o ganar un bit de resolución de cadencia no cambiada.

La figura 3B ilustra la estructura y el funcionamiento del elemento BO. La señal SBC binaria de comparación controla los interruptores I1 e I2, este último por medio del inversor N4. En el ejemplo considerado, en tanto que SBC esté a un nivel bajo (lo que significa que la rampa SR de tensión es inferior a la tensión en los bornes del muestreador - bloqueador SH unido al conductor LC de lectura de columna, véase la figura 3A), el interruptor I1 está abierto y el interruptor I2 cerrado. La señal HS de reloj alcanza la salida Q a través de los dos inversores N1, N2: el elemento es por tanto transparente. El inversor N1 es opcional, en la medida en que la salida del elemento BO podría simplemente invertirse. Cuando la rampa SR de tensión iguala la tensión en los bornes del muestreador - bloqueador SH, la señal SBC de comparación pasa a un nivel alto, I2 se abre e I1 se cierra. De ese modo, el reloj HS se desconecta del bucle y la salida Q mantiene el valor que tenía durante la conmutación, valor que se almacena en el punto de memoria formado por los inversores N2 y N3. Si está presente N1, el interruptor I1 podría omitirse, al precio de una fluctuación de corriente ("glitch") durante la conmutación.

La figura 3C ilustra la estructura del biestable Bi (comprendido i entre 1 y N). La señal presente a la entrada de reloj CLK del biestable procede de la salida Q del biestable B(i-1) —del elemento de memoria BO si i=1—; la salida invertida Q* se realimenta a la entrada D. Los interruptores I10, I20 e I30 que son controlados por la señal CLK —el último por medio del inversor N30—. El funcionamiento del circuito, que comprende igualmente los inversores N10, N20 (que forman un primer punto de memoria), N40, N50 (que forman un segundo punto de memoria) y N60 (que permite obtener la salida invertida Q*) —es el de un biestable D clásica—.

Se entiende que los esquemas de las figuras 3B y 3C están simplificados y se presentan únicamente con un objetivo explicativo.

Los cronogramas de la figura 4 ilustran el funcionamiento del circuito de lectura.

El primer cronograma a partir del alto ilustra la rampa SR de tensión, que arranca en el tiempo t_0 .

La señal SBC binaria de comparación (segundo cronograma) toma inicialmente un valor bajo, y posteriormente conmuta a un valor alto en el tiempo t_c .

El tercer cronograma ilustra la señal HS de reloj secundario.

El cuarto cronograma ilustra la señal de salida del elemento de memoria BO —designado por Q_{B0} — que representa el bit menos significativo y sigue al reloj secundario entre t_0 y t_c .

Los otros cronogramas ilustran las señales de salida de los biestables B1 - B7 ($Q_1 - Q_{B7}$) que presentan cada uno una frecuencia dividida por dos con relación a la del cronograma anterior.

La señal de reloj primaria no se representa; sin embargo se observará que presenta una frecuencia inferior a la de HS en un factor de 4, es decir a la misma frecuencia que Q_{B2} .

De conformidad con la invención, con un reloj primario a 400 MHz se pueden generar unos relojes secundarios a 1,6 GHz, que corresponden directamente al bit menos significativo, lo que permite una cadencia de adquisición del orden de una hilera cada 5 μ s con una resolución de 14 bits. Con el circuito de lectura de la figura 1, para obtener unos rendimientos sería necesario un reloj de contador a 3,2 GHz, que no permitiría al contador propagarse de manera asíncrona. Para una frecuencia de reloj propagada (primaria) dada, la arquitectura de la figura 2 multiplica la cadencia de adquisición de las imágenes en un factor de 8: un factor de 4 obtenido gracias a los circuitos CMF1 - CMF3 multiplicadores de frecuencia y otro factor de 2 debido a la utilización del contador binario natural de las figuras 3A - 3C.

La invención se ha descrito con referencia a un modo de realización particular, pero se pueden concebir numerosas variantes. Por ejemplo:

- Como ya se ha mencionado más arriba, no es esencial que los píxeles de la matriz sean activos. Es suficiente que permitan una lectura "a pie de columna".
- Como ya se ha mencionado igualmente más arriba, pueden utilizarse otros circuitos convertidores tensión - retardo distintos al descrito. Un circuito así comprenderá muy frecuentemente un comparador analógico y un generador de rampa y ventajosamente al menos un muestreador - bloqueador, pero estos elementos pueden disponerse de otra manera que en el ejemplo de la figura 2. Por ejemplo, un circuito convertidor de tensión - retardo podría realizar una comparación entre la señal de entrada sumada a la rampa lineal de tensión con una

tensión de referencia.

- Un único circuito multiplicador de frecuencia puede suministrar el reloj secundario a una pluralidad (pero no a la totalidad) de circuitos convertidores tensión - retardo; es necesario sin embargo que el reloj secundario siga siendo una señal "local"; de este modo, preferentemente, un circuito multiplicador de frecuencia se asociará a un número de circuitos convertidor tensión - retardo inferior o igual a 16.
- Con el fin de minimizar el consumo, la conmutación de un circuito convertidor tensión - retardo puede provocar la detención del circuito multiplicador de frecuencia asociado. Si se asocian varios circuitos convertidores tensión - retardo a un mismo circuito multiplicador de frecuencia, este último no se detendrá más que cuando todos los convertidores asociados hayan conmutado.
- El factor de multiplicación de frecuencia entre la señal de reloj primaria y las señales de reloj secundarias no debe ser necesariamente igual a 4. Ventajosamente, puede ser superior a 2 y por ejemplo comprendido entre 2 y 16. El hecho de que se exprese mediante una potencia de dos es ventajoso desde el punto de vista de la simplicidad de realización, pero no es esencial.
- Los circuitos multiplicadores de frecuencia no deben basarse necesariamente en unos bucles de enclavamiento de fase. En efecto, no es necesaria en este caso una sincronización; se podría por tanto utilizar cualquier circuito multiplicador de frecuencia, tanto si es analógico, puramente digital o híbrido.
- Pueden utilizarse otras arquitecturas de contadores binarios, naturales o Gray. El contaje podría incluso ser al revés.

Ventajosamente, un circuito de lectura según la invención puede presentar una estructura modular, siendo idénticos entre sí los circuitos convertidores tensión - retardo, los circuitos multiplicadores de frecuencia y los contadores asociados a las diferentes columnas de la matriz de píxeles activos. Sin embargo, una simple identidad funcional puede ser suficiente.

Ventajosamente, el circuito de lectura (que incluye o no el generador de reloj primario y, en caso necesario, el generador de rampa) y la matriz de píxeles activos pueden integrarse conjuntamente, típicamente en tecnología CMOS, pero esto no es indispensable.

REIVINDICACIONES

1. Circuito (CL) de lectura de un captador (MPA) de matriz de píxeles que comprende:

- una pluralidad de circuitos convertidores tensión
- retardo, configurados para recibir en una entrada (E1) un valor de tensión representativo de la tensión de un conductor (LC, LC1 - LC3) de lectura de una columna (C1 - C3) de píxeles (PX) respectivos de dicha matriz y para suministrar en la salida una señal (SBC) binaria llamada de comparación, que presenta una conmutación en un instante en función del valor de la tensión de entrada;

caracterizado porque comprende igualmente:

- una pluralidad de circuitos (CMF1 - CMF3) multiplicadores de frecuencia, cada uno asociado a un grupo de al menos un de dicho circuito convertidor tensión - retardo, que presenta unas entradas respectivas unidas a una línea (LH) de transmisión de reloj común destinada a propagar una señal (HP) de reloj llamada primaria, y unas salidas respectivas para unas señales (HS, HS1 - HS3) de reloj llamadas secundarias de frecuencia múltiple de dicha señal de reloj primaria, configurándose estos circuitos para multiplicar la frecuencia de la señal de reloj primaria presente en su entrada por un mismo factor multiplicador; y
- una pluralidad de contadores (CBN, CBN1 - CBN3) binarios, uno para cada dicho circuito convertidor tensión - retardo, que tiene un mismo número de bits de contaje y configurados para recibir sobre una primera entrada (D) una llamada señal de reloj secundaria y sobre una segunda entrada (CLK) la señal binaria de comparación suministrada por el circuito convertidor tensión - retardo correspondiente, estando configurado cada dicho contador para efectuar un contaje a una cadencia dictada por dicha señal de reloj secundaria hasta una conmutación de dicha señal binaria de comparación.

2. Circuito de lectura según la reivindicación 1 en el que cada dicho circuito convertidor tensión - retardo es del tipo de simple rampa y comprende un generador de rampa lineal de tensión y un comparador analógico configurado para comparar una tensión constante con dicha rampa lineal de tensión.

3. Circuito de lectura según una de las reivindicaciones anteriores, en el que cada dicho circuito multiplicador de frecuencia se asocia a uno y solo un circuito convertidor tensión - retardo.

4. Circuito de lectura según una de las reivindicaciones anteriores, en el que cada dicho contador binario puede ser un contador binario natural que comprende:

- un elemento de memoria (B0) de tipo cerrojo, que presenta una primera entrada configurada para recibir una señal de reloj secundaria y que forma dicha primera entrada del contador binario natural, una segunda entrada configurada para recibir la señal binaria de comparación suministrada por el circuito convertidor tensión - retardo correspondiente y una salida, estando configurado dicho elemento de memoria para transmitir a su salida la señal (HS) presente en su primera entrada cuando la señal (SBC) presente en su segunda entrada toma un primer valor y para mantener sin cambio la señal presente en su salida cuando la señal presente en su segunda entrada toma un segundo valor complementario del primero; y
- una pluralidad de biestables (B1, B2, B3) montadas como divisores por dos y conectadas en cascada, conectándose una entrada de reloj del primero de estos biestables a la salida de dicho elemento de memoria.

5. Circuito de lectura según una de las reivindicaciones anteriores en el que cada dicho circuito multiplicador de frecuencia comprende un bucle de enclavamiento de fase digital que incluye un divisor de frecuencia en su bucle de retroalimentación.

6. Circuito de lectura según una de las reivindicaciones anteriores en el que se dispone un muestreador - bloqueador (SH) sobre la entrada (E1) de cada dicho circuito convertidor tensión - retardo.

7. Circuito de lectura según una de las reivindicaciones anteriores que comprende igualmente un generador (GH) de dicha señal de reloj primaria, unido a dicha línea de transmisión de reloj común.

8. Circuito de lectura según una de las reivindicaciones anteriores en el que dichos circuitos multiplicadores de frecuencia presentan un factor multiplicativo comprendido entre 2 y 16.

9. Captador de imágenes que comprende un captador (MPA) de matriz de píxeles, que comprende una pluralidad de píxeles (PX) dispuestos por filas y por columnas, teniendo cada una de dichas columnas (C1, C2, C3) un conductor (LC, LC1 - LC3) de lectura respectivo, y un circuito (CL) de lectura de dicha matriz según una de las reivindicaciones anteriores, conectándose dichas entradas de los convertidores tensión - retardo de dicho circuito de lectura a unos conductores de lectura respectivos de las columnas de píxeles de la matriz.

10. Captador de imágenes según la reivindicación 9 en el que dicho captador de matriz de píxeles y dicho circuito de lectura se integran conjuntamente de manera monolítica.

11. Captador de imágenes según una de las reivindicaciones 9 o 10, en el que dichos píxeles son unos píxeles activos.

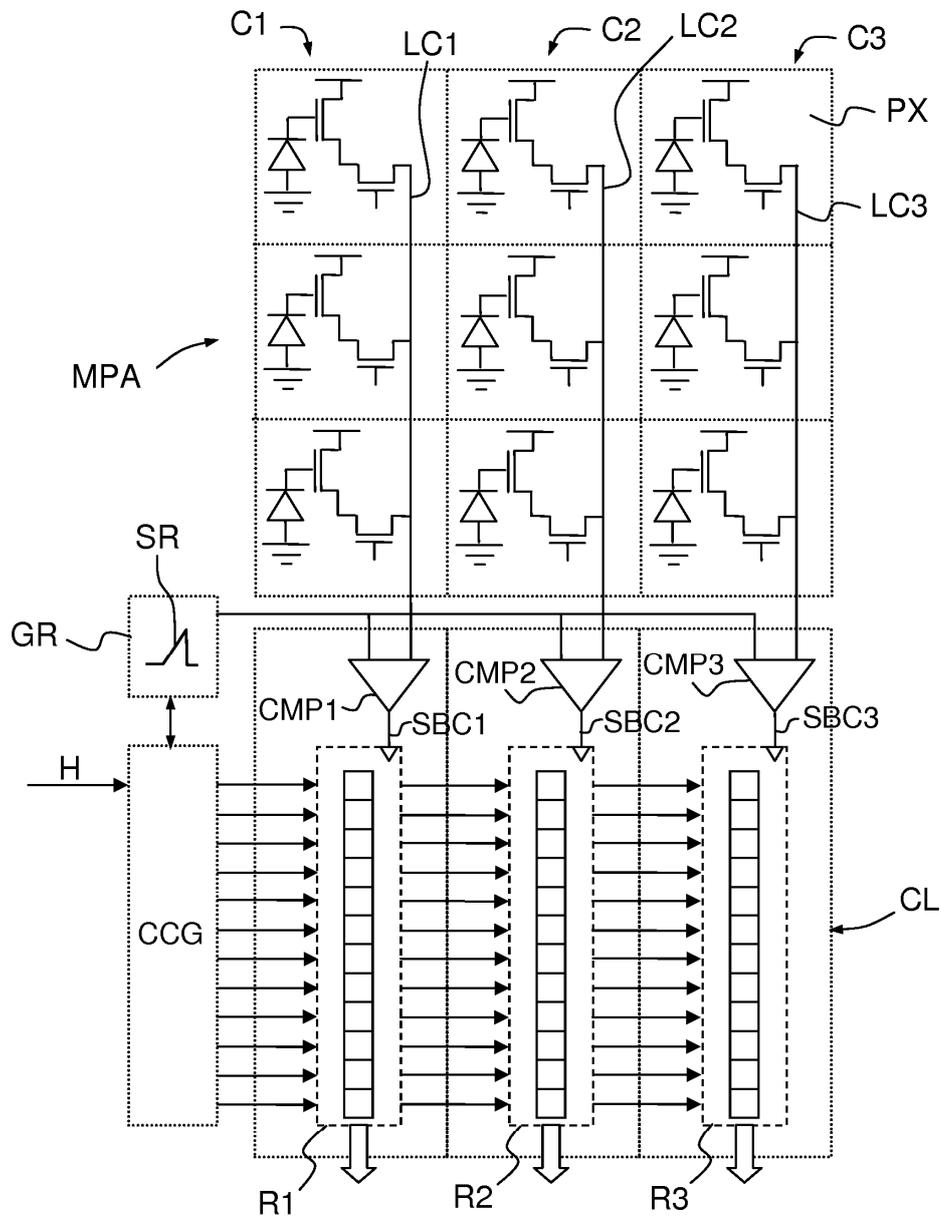


FIG. 1

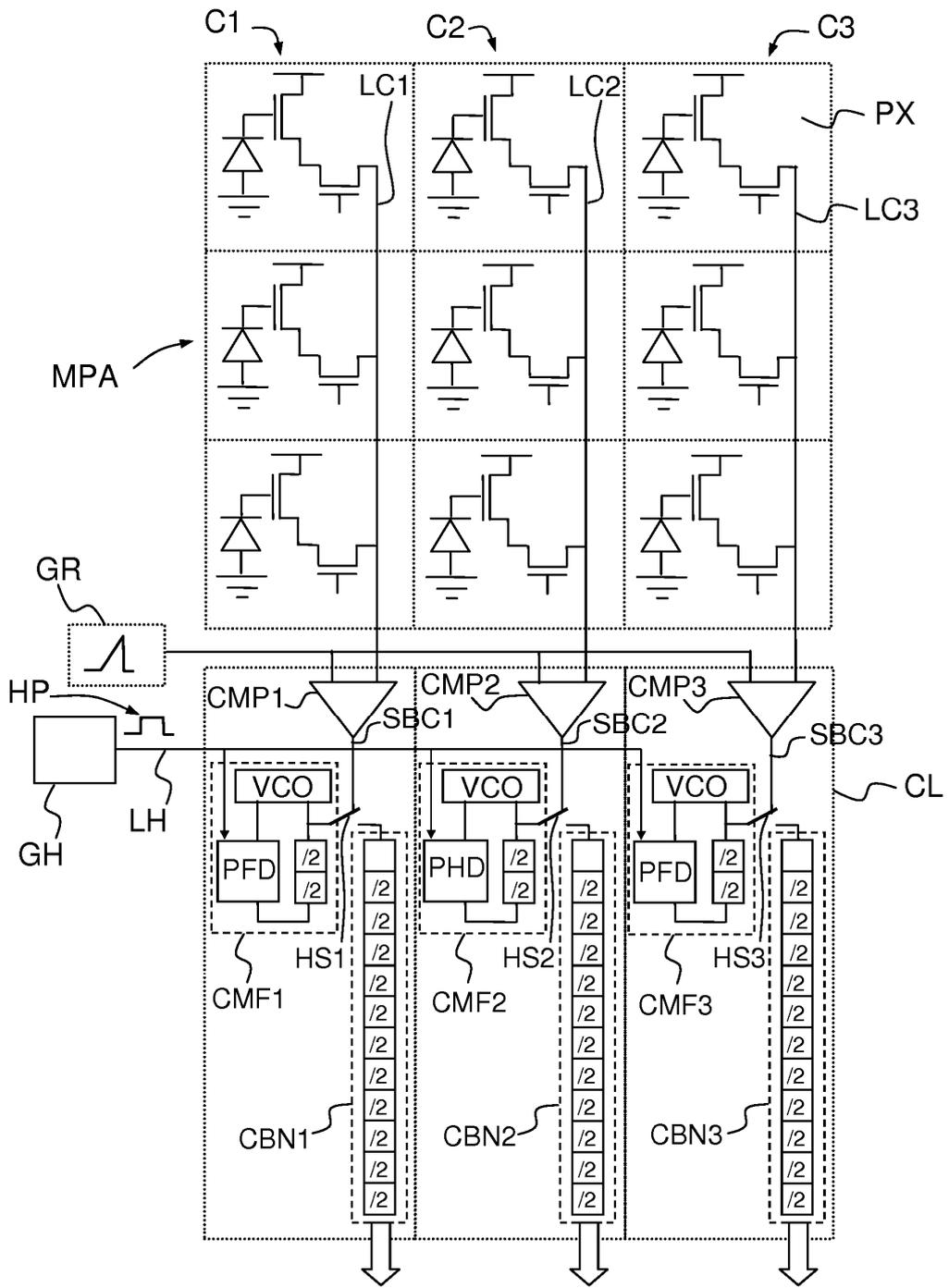


FIG.2

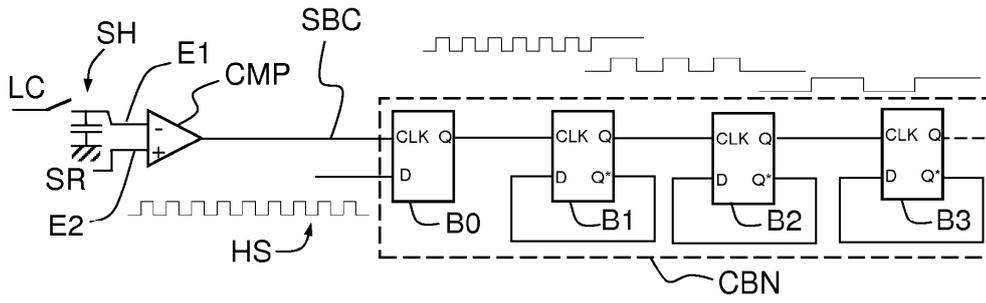


FIG.3A

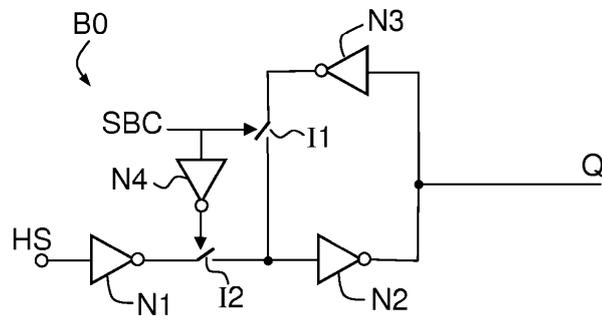


FIG.3B

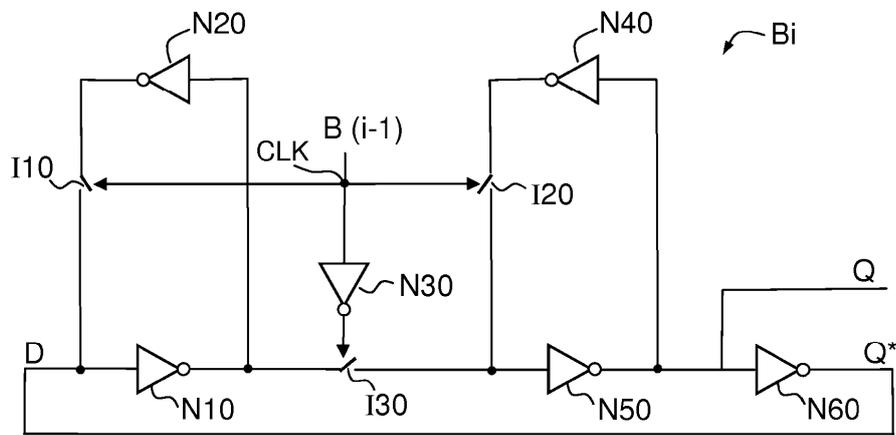


FIG.3C

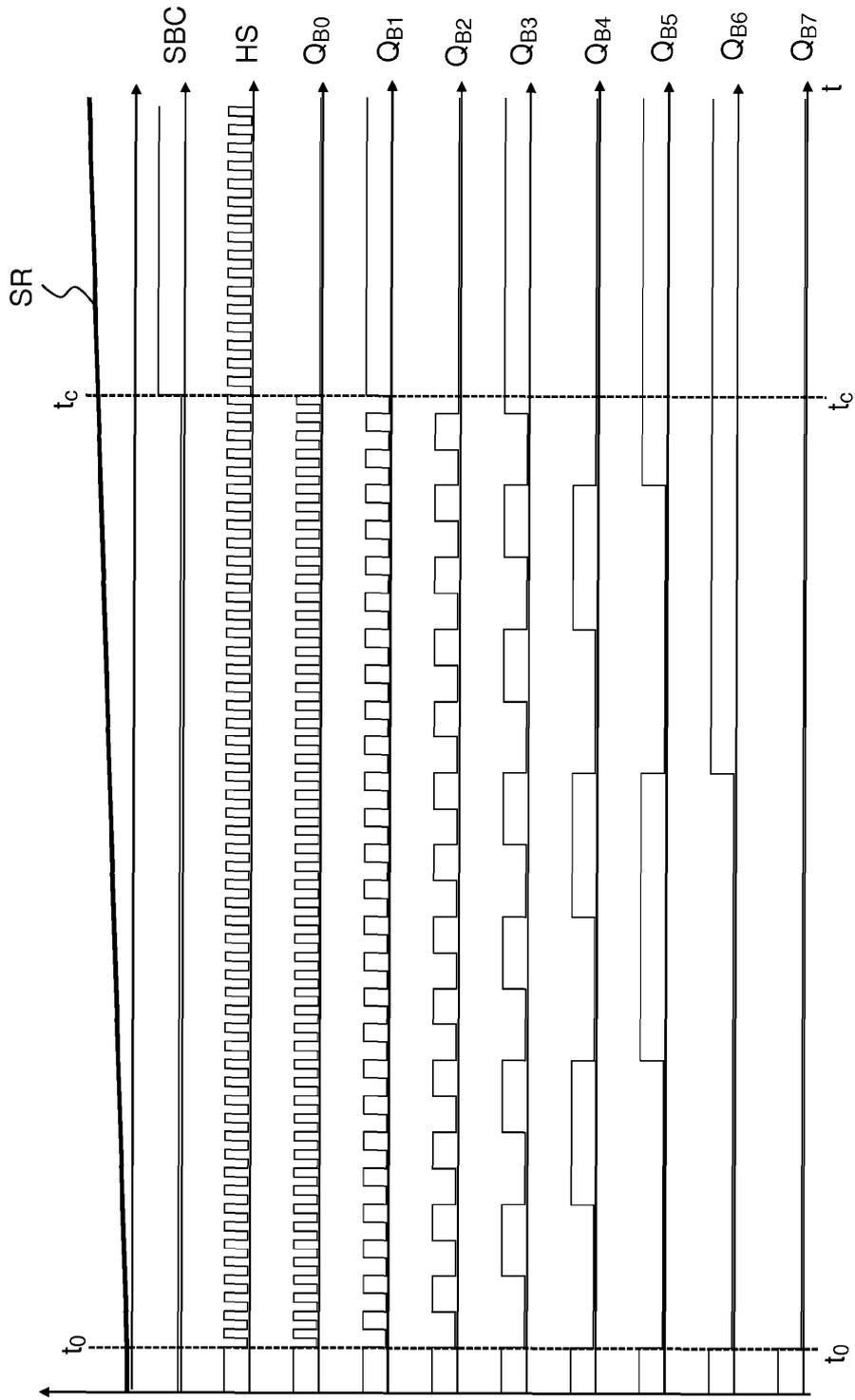


FIG.4