

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 727 623**

51 Int. Cl.:

**H04L 12/413** (2006.01)

**H04L 12/40** (2006.01)

**H04L 1/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **04.08.2015 PCT/EP2015/067932**

87 Fecha y número de publicación internacional: **17.03.2016 WO16037768**

96 Fecha de presentación y número de la solicitud europea: **04.08.2015 E 15750018 (2)**

97 Fecha y número de publicación de la concesión europea: **20.02.2019 EP 3192219**

54 Título: **Procedimiento para la transmisión en serie de una trama mediante un sistema de bus, desde un emisor hacia al menos un receptor, y participantes de un sistema de bus**

30 Prioridad:

**08.09.2014 DE 102014217926**  
**20.05.2015 DE 102015209196**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**17.10.2019**

73 Titular/es:

**ROBERT BOSCH GMBH (100.0%)**  
**Postfach 30 02 20**  
**70442 Stuttgart, DE**

72 Inventor/es:

**HARTWICH, FLORIAN;**  
**BAILER, FRANZ;**  
**MUTTER, ARTHUR y**  
**SCHEUING, JAN**

74 Agente/Representante:

**CARVAJAL Y URQUIJO, Isabel**

ES 2 727 623 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Procedimiento para la transmisión en serie de una trama mediante un sistema de bus, desde un emisor hacia al menos un receptor, y participantes de un sistema de bus

Estado del arte

5 Para la comunicación entre sensores y aparatos de control en vehículos, en particular automóviles, puede utilizarse por ejemplo el sistema de bus CAN. En el sistema de bus CAN, tramas se transmiten mediante el protocolo CAN y/o CAN FD, tal como se describe en el Committee Draft actual de ISO11898-1 o en la especificación "CAN with Flexible Data-Rate, Specification Version 1.0 (publicada en el 17 de abril de 2012)" como especificación del protocolo CAN con CAN FD.

10 Las tramas CAN FD (frames del inglés) o mensajes tienen un bit de inicio de trama inicial (SOF-bit) con nivel dominante que señala el inicio de la trama, un bit 28 a bit 18, y eventualmente también un bit 17 a bit 0 para un identificador o identifier (del inglés) de la trama CAN FD. Por lo tanto, el bit 28 a bit 0 se denomina también ID28, ID 27, etc.

15 En el procedimiento CRC (CRC = Cyclic Redundancy Check = prueba de redundancia cíclica) de los mensajes o tramas CAN FD fue detectado un punto débil. El punto débil se refiere sólo a tramas CAN FD con un identificador que comienza con cuatro bits dominantes. Esos cuatro bits dominantes, junto con el bit de inicio de trama dominante, generan una condición de complemento o de relleno (stuff condition), debido a la cual un bit de relleno recesivo se introduce entre el cuarto y el quinto bit identificador. A través de esa regla predeterminada para introducir los bits de relleno puede impedirse que secuencias de bits con más de cinco bits iguales se interpreten equivocadamente como por ejemplo una señalización de un fin de trama "End of Frame", o que debido a la ausencia de flancos de señal o cambios de nivel entre los bits los participantes pierdan la sincronización. Ya que el caso de CAN y CAN FD flancos de señal o cambios de nivel se emplean para la sincronización de los participantes del bus.

20 En el caso antes mencionado de los cuatro bits dominantes, si el bit de inicio de trama dominante precedente (de forma local en un receptor) se sobrescribe con un bit recesivo, ese receptor interpreta el primer bit identificador dominante como bit de inicio de trama. No existe ninguna condición de relleno en el receptor cuando éste recibe el bit de relleno recesivo, de modo que el receptor aceptará el bit de relleno recesivo como el cuarto bit identificador. El siguiente bit se acepta como el quinto bit identificador y el receptor se encontrará en fase nuevamente con el emisor.

25 El punto débil consiste en que en ese caso la prueba CRC no detectará el cuarto bit identificador modificado; un identificador enviado de por ejemplo 0x001 se recibirá como 0x081. Esto sucede cuanto el identificador comienza con cuatro bits ,0' dominantes y el bit de inicio de trama dominante se sobrescribe. La consecuencia resultante de ello sería que el cuarto bit identificador, en lugar de ,0', se reciba como ,1'. En ese caso se hace referencia tanto a los identificadores de 11 bits, como en el caso de la trama CAN FD en el formato base (base format), como también en la trama CAN FD en el formato extendido (extended format), y tanto a tramas CAN FD con el CRC de 17 bits, como también a tramas CAN FD con el CRC de 21 bits.

30 El punto débil del procedimiento CRC es causado por el vector de inicialización de '0000000000000000' para el generador CRC. El primer bit ,0' de orden superior no modificará el registro de generador CRC, de modo que éste no es detectado por la prueba CRC, cuando antes del primer bit recesivo en el campo de arbitraje (el bit de relleno enviado que es considerado como el cuarto bit identificador por el receptor con el error de bit) se encuentra presente un bit menos. Además, el bit faltante al inicio de la trama no se detecta como un error de formato, ya que el bit de relleno se acepta como el bit identificador faltante.

A modo de resumen, esto significa:

En el Classic CAN (CAN clásico) no se consideran bits de relleno para la generación CRC. Solamente pares de condiciones de generación de errores de bit/ de relleno - de rechazo pueden reducir a 2 la distancia de Hamming (HD).

45 En el caso de CAN FD con las sumas de verificación CRC más largas (CRC-17 y CRC-21), bits de relleno están comprendidos por la generación CRC. Puede surgir un problema cuando el receptor altera el bit de inicio de trama.

En los dos siguientes casos puede suceder que la trama CRC del CAN FD no detecte un identificador alterado. Esto significa que el receptor acepta la trama alterada como trama válida.

Caso 1a: El emisor envía ID28-ID25 = "0000"

5 Cuando el receptor detecta un bit de inicio de trama acortado, identificadores que comienzan con ID28-ID25 = "0000" pueden alterarse en ID28-ID25 = "0001". El motivo para ello reside en que el receptor no detecta o detecta demasiado tarde el inicio de trama y, por tanto, interpreta ID28 como el inicio de trama. De este modo, los cuatro primeros bits identificadores, debido al bit de relleno introducido por el emisor después de ID25, se alteran en ID28-ID25 = "0001", todos los bits identificadores sucesivos se reciben correctamente. El emisor, al releer el inicio de trama desde el bus, no detecta ningún error.

El acortamiento requerido depende de la relación de frecuencia de ciclo CAN entre el emisor y el receptor. Para más detalles compare los ejemplos.

10 La señal de bus alterada puede contener pulsos interferentes dominantes, en tanto no sean detectados por los nodos CAN de recepción. La señal de bus alterada puede contener pulsos interferentes recesivos, en tanto el bit, antes del bit de inicio de trama que fue enviado por el emisor, sea explorado de forma dominante a través del nodo CAN de recepción. Esto se explica con más detalle posteriormente mediante la figura 7 y la figura 8.

15 Por ejemplo, en el caso de que el ciclo CAN se encuentre en las estaciones participantes o nodos  $f_{RX\_nodos} == f_{TX}$ , un acortamiento/alteración del bit de inicio de trama de "fase\_seg2 +  $\epsilon$ " es suficiente para provocar el problema. Con 1 Mbit/s y un punto de exploración (Sample Point = SP) de 80%, un acortamiento en 205 ns es suficiente para generar el problema. Esto se explica con más detalle posteriormente mediante la figura 7 y la figura 8.

Caso 1b: El emisor envía ID28-ID25 = "0001"

20 Por otra parte, cuando el receptor, por ejemplo a través de un pulso interferente dominante, detecta un bit dominante en el tiempo del bit, antes de que llegue el bit de inicio de trama enviado, identificadores que comienzan con ID28-ID25 = "0001" pueden alterarse en ID28-ID25 = "0000". El motivo de ello reside en que el receptor detecta el bit de inicio de trama enviado por el emisor como ID28. Debido a esto, el receptor interpreta equivocadamente el "1" como bit de relleno y lo suprime. De este modo, los cuatro primeros bits identificadores se alteran en ID28-ID25 = "0000". Todos los bits identificadores sucesivos se reciben correctamente.

25 De forma resumida, la tabla 1 muestra cómo los dos valores críticos de los bits identificadores ID28 a ID25 de "0000" y "0001" deben alterarse en el recorrido hacia el receptor, para que el error no sea detectado por el CRC del receptor.

Tabla 1

enviado					recibido			
ID28	ID27	ID26	ID25		ID28	ID27	ID26	ID25
0	0	0	0	→	0	0	0	1
0	0	0	1	→	0	0	0	0

30 El mismo problema puede presentarse también dentro de una trama CAN FD en el caso de que una secuencia de cuatro o cinco bits dominantes comiencen en la posición dentro de una trama, cuando todos los bits del registro del generador CRC se encuentran en cero. Expresado de otro modo, un problema comparable puede producirse también dentro de una trama CAN FD cuando un bit recesivo, después de una sucesión de cuatro bits dominantes enviados es interpretado equivocadamente como bit de relleno por el receptor debido a un acortamiento de un bit o a un desplazamiento en la sincronización, entre los participantes, y al mismo tiempo casualmente el valor de registro CRC intermedio es igual a "0...0". El valor de registro CRC intermedio es el valor de la suma de verificación CRC que se encuentra presente en el registro CRC respectivamente proporcionado para ello. Con cada bit enviado o recibido antes del campo CRC en el emisor o en el receptor, en correspondencia con las instrucciones del polinomio CRC respectivamente utilizado, se calcula nuevamente el contenido del registro CRC. El contenido del registro que se encuentra presente en el último bit del campo de datos se envía entonces en el campo CRC de la trama desde el  
40 emisor hacia el receptor, para un control.

Las tramas Classic CAN no resultan afectadas, ya que allí los bits de relleno están excluidos del cálculo CRC.

En la solicitud de patente DE102011080476A1 se describe un procedimiento en el cual desde el emisor, al menos en parte de la trama, se introducen en la trama secuencias de bit de relleno fijas de uno o de varios bits. El primer bit introducido de la secuencia de bit de relleno fija (así como el bit de relleno fijo introducido individual),

preferentemente tiene un valor inverso con respecto al bit precedente. Las secuencias de bit de relleno fijas (así como los bits de relleno fijos) se presentan en posiciones predeterminadas de la trama. A diferencia de ello, en el Classical CAN los bits de relleno se introducen en función de los valores de varios bits precedentes y, por tanto, no tienen posiciones determinadas.

5 Descripción de la invención:

Por lo tanto, el objeto de la presente invención consiste en proporcionar un procedimiento para la transmisión en serie de una trama mediante un sistema de bus, desde un emisor hacia al menos un receptor, y una estación participante para un sistema de bus, en donde dicho procedimiento y dicha estación participante solucionen los problemas antes mencionados. En particular deben proporcionarse un procedimiento para la transmisión en serie de una trama mediante un sistema de bus, desde un emisor hacia al menos un receptor, y una estación participante para un sistema de bus, en los cuales la seguridad de la transmisión de datos entre participantes de un sistema de bus se incremente aún más en comparación con los procedimientos anteriores.

El objeto se soluciona a través de un procedimiento para la transmisión en serie de una trama mediante una línea de bus, desde un emisor hacia al menos un receptor, con las características de la reivindicación 1. En el procedimiento, desde el emisor, bits de relleno se introducen en las tramas para generar flancos de señal adicionales y en función de los valores de varios bits precedentes, donde el emisor de la trama cuenta los bits de relleno que se introducen en función de los valores de varios bits precedentes, y donde el número de bits de relleno contados se transmite en la trama enviada.

Con este procedimiento se proporciona una posibilidad de modo que puede detectarse que se ha presentado un error de bit, tal como se describe en el estado del arte, el cual por tanto no puede ser descubierto por el procedimiento CRC.

En el procedimiento, en el caso de implementaciones CAN FD, se cuentan bits de relleno, el estado del contador se transmite en la trama y a continuación es verificado por el receptor.

La ventaja de ese procedimiento reside en que el punto débil detectado del procedimiento CRC se compara a través de un procedimiento de prueba adicional. Ese procedimiento, a diferencia de otras sugerencias de solución, sólo tiene efectos mínimos sobre la tasa de datos útiles.

La utilización del procedimiento descrito, por una parte, puede comprobarse mediante el manual/hoja de datos del controlador del protocolo CAN y, por otra parte, a través del comportamiento del controlador o del dispositivo de control de comunicaciones en la red o el sistema de bus. La variante del protocolo CAN FD aquí descrita tiene que utilizarse para CAN y para redes TTCAN.

En las reivindicaciones dependientes se indican otras variantes ventajosas del procedimiento.

Es posible que adicionalmente con respecto a la información sobre el número de bits de relleno contados se transmita también otra información de protección relativa al número contado de bits de relleno en la trama enviada.

El receptor de la trama puede contar los bits de relleno en función de los valores de varios bits precedentes y compararlos con la información que se transmite sobre el número de bits de relleno contados en la trama enviada, y el receptor puede rechazar la trama recibida cuando los bits de relleno contados por el receptor en la trama recibida no coinciden con la información que se transmite también en la trama enviada sobre el número de bits de relleno contados.

Preferentemente, en una primera parte de la trama, se introducen bits de relleno en función de los valores de varios bits precedentes, donde en una segunda parte de la trama bits de relleno pueden introducirse en posiciones determinadas como bits de relleno, donde el emisor de la trama cuenta los bits de relleno que se encuentran en el área en la cual se cambia al procedimiento de bit de relleno fijo, y donde se transmite también una información sobre el número de bits contados, en la trama enviada.

Posiblemente, la trama presenta una parte superior, una parte de datos y una parte de cierre, donde la parte superior comprende un identificador, donde la trama comprende una suma de verificación CRC, y donde se transmite también información sobre el número de bits de relleno contados en la parte de cierre de la trama enviada, antes de la suma de verificación CRC.

Preferentemente, la información sobre el número de bits de relleno contados puede incluirse también en el cálculo de la suma de verificación CRC.

En una variante especial del procedimiento, entre la información sobre el número de bits de relleno contados y la suma de verificación CRC puede introducirse un bit de relleno fijo que como bit de paridad contiene una información de protección sobre el número de bits de relleno contados.

En otra variante especial del procedimiento para contar los bits de relleno se utiliza un contador de 3 bits.

- 5 El objeto antes mencionado se soluciona además a través de una estación participante para un sistema de bus según la reivindicación 9. La estación participante comprende un dispositivo de emisión/recepción para enviar una trama a y/o recibir una trama desde otra estación participante del sistema de bus, con el cual la trama, mediante la transmisión en serie a través de una línea de bus, puede transmitirse desde un emisor hacia al menos un receptor, y un dispositivo de protección para proteger una cantidad de bits de relleno introducidos en la trama, donde el dispositivo de emisión/recepción está configurado para introducir bits de relleno para generar flancos de señal adicionales antes del envío de una trama hacia la trama según una regla predeterminada, y en función de los valores de varios bits precedentes, y/o al evaluar una trama recibida, para suprimir nuevamente los bits de relleno, y donde el dispositivo de protección está configurado para contar los bits de relleno que se introducen en función de los valores de varios bits precedentes, y para introducir en las trama el número de bits de relleno contados, de modo que el número se transmite también en la trama enviada.

La estación participante puede formar parte de un sistema de bus que presenta además una línea de bus y al menos dos estaciones participantes que pueden conectarse una con otra mediante la línea de bus, de modo que las mismas pueden comunicarse una con otra, donde al menos una de al menos dos estaciones participantes es la estación participante antes descrita.

- 20 Otras implementaciones posibles de la invención comprenden también, de forma no explícita, la combinación mencionada de características o formas de ejecución descritas, anteriormente o a continuación, con respecto a los ejemplos de ejecución. De este modo, el experto agregará también aspectos individuales como mejoras o complementos con respecto a la respectiva forma básica de la invención.

#### Dibujos

- 25 A continuación la invención se describe en detalle haciendo referencia al dibujo que se adjunta, y mediante ejemplos de ejecución. Las figuras muestran:

Figura 1: un diagrama de bloques simplificado de un sistema de bus según un primer ejemplo de ejecución;

Figura 2: una representación esquemática de una estructura de una trama en el sistema de bus según la figura 1;

- 30 Figura 3 a Figura 6: respectivamente el formato de tramas CAN FD con el posicionamiento de los cuatro primeros bits identificadores (ID28- ID25) según el Committee Draft actual de ISO 11898-1;

Figura 7 y Figura 8: respectivamente un diagrama de curso temporal para representar las relaciones de ciclo entre el emisor y el receptor al inicio de una trama transmitida en el sistema de bus según la figura 1;

Figura 9: un ejemplo de una trama según el primer ejemplo de ejecución;

- 35 Figura 10: un diagrama de curso temporal para representar las relaciones de ciclo entre el emisor y el receptor en el interior de una trama transmitida en el sistema de bus;

Figura 11: un ejemplo de una trama según un cuarto ejemplo de ejecución; y

Figura 12: un ejemplo de una trama según un quinto ejemplo de ejecución.

- 40 En las figuras, los elementos idénticos o que presentan la misma función, en tanto no se indique otra cosa, están provistos de los mismos símbolos de referencia.

#### Primer ejemplo de ejecución

La figura 1, en un primer ejemplo de ejecución, muestra un sistema de bus 1 que por ejemplo puede ser un sistema de bus CAN FD. El sistema de bus 1 puede emplearse en un vehículo, en particular en un vehículo a motor, en un avión, etc., o en un hospital, etc.

En la figura 1, el sistema de bus 1 tiene una línea de bus 3 a la que se encuentra conectada una pluralidad de estaciones participantes 10, 20, 30. Mediante la línea de bus 3, tramas 40 en forma de señales pueden transmitirse entre las estaciones participantes 10, 20, 30 individuales. Las estaciones participantes 10, 20, 30, por ejemplo, pueden ser aparatos de control, sensores, dispositivos de visualización, etc. de un vehículo a motor o también de instalaciones de control industriales.

Como se muestra en la figura 1, la estación participante 10 tiene un dispositivo de control de comunicaciones 11, un dispositivo de protección 12 y un dispositivo de emisión/recepción 13 que presenta un generador CRC 13A. Naturalmente el dispositivo de protección 12 también puede formar parte del dispositivo de control de comunicaciones 11. La estación participante 20, en cambio, tiene un dispositivo de control de comunicaciones 21, un dispositivo de protección 22 con una unidad de evaluación CRC 22A y una unidad de inserción 22B, y un dispositivo de emisión/recepción 23 que presenta un generador CRC 23A. La estación participante 30 tiene un dispositivo de control de comunicaciones 31, un dispositivo de protección 32 y un dispositivo de emisión/recepción 33 que presenta un dispositivo de protección 32 y un generador CRC 33A. Los dispositivos de emisión/recepción 13, 23, 33 de las estaciones participantes 10, 20, 30 están conectados respectivamente de forma directa a la línea de bus 3, aun cuando ésta no se encuentra representada en la figura 1.

Los dispositivos de control de comunicaciones 11, 21, 31 se utilizan respectivamente para controlar una comunicación de la respectiva estación participante 10, 20, 30 mediante la línea de bus 3 con otra estación participante de las estaciones participantes 10, 20, 30 conectadas a la línea de bus 3. Los dispositivos de control de comunicaciones 11, 21, 31 pueden estar realizados respectivamente como un controlador convencional CAN, TTCAN o CAN FD. Los dispositivos de control de comunicaciones 11, 21, 31 respectivamente también pueden formar parte de un microcontrolador que igualmente está comprendido por la respectiva estación participante 10, 20, 30. Los dispositivos de emisión/recepción 13, 23, 33 respectivamente pueden estar realizados como un transceptor convencional CAN, TTCAN o CAN FD.

Los dispositivos de protección 12, 22, 32 también pueden estar realizados como módulos de software que forman una parte del software que se ejecuta en la estación participante. En ese caso, el procedimiento según la presente invención se reproduce completamente en software.

La figura 2, de forma muy esquemática, muestra la estructura de una trama 40 sin el bit de inicio de trama (SOF), el cual se transmite directamente antes de la trama 40 mediante la línea de bus 3. La trama 40 puede ser una trama CAN o una trama TTCAN.

En la figura 2, la trama 40 tiene una parte superior 41, 41A, 42, un campo de datos 43, 44, 45, así como una parte de cierre 46 que forma el fin de la trama. La parte superior 41, 51A, 42, en una primera sección parcial 41, presenta los primeros cuatro bits del identificador (ID) 41, 41A, en una segunda sección parcial 41A los bits restantes del identificador 41, 41A y un campo de control 42. El campo de datos 43, 44, 45, en una primera parte 43, presenta un byte 0, en una segunda parte 44 otros bytes y en una tercera parte 45 un byte n. En la parte de cierre 46 está proporcionada una suma de verificación CRC o suma de control CRC.

La figura 3 muestra una trama 60 enviada por una de las estaciones participantes 10, 20, 30, con hasta 16 bytes de datos en el formato base CAN FD. La trama 60 tiene un bit SOF 61, así como varios campos de trama, como un campo de arbitraje 62 (Arbitration field), un campo de control 63 (Control field), un campo de datos 64 (Data field) y un campo de suma de verificación 65 (CRC field). El campo de arbitraje 62, en el campo ID base, comprende un identificador (Identifier) de la trama 60. En el extremo del campo de arbitraje 62 está dispuesto un bit RRS. El campo de control 63 comienza con un bit IDE que es seguido por un bit FDF, después por un bit res y por un bit BRS subsiguiente, y después por un bit ESI, al cual se une un campo DLC. El campo de datos 64 no se encuentra presente cuanto el campo DLC del campo de control 63 tiene el valor 0. El campo de suma de verificación 65, en un campo CRC-seq, contiene una suma de verificación CRC y termina con un delimitador CRC CRC-Del subsiguiente. Los campos y bits mencionados son conocidos por ISO-CD-11898-1 y, por tanto, no están descritos aquí en detalle.

En la figura 3 se indica la longitud de una fase de arbitraje 67 en el presente ejemplo de ejecución. Al campo de arbitraje 67 se une la fase de datos 68, en el caso de que el bit BRS sea recesivo en la trama 60. La trama 60 tiene una parte superior 61 a 63, una parte de datos 64 y una parte de cierre 65.

En la figura 3 a la figura 6, los bits dominantes se representan con una línea ancha en el borde inferior de la trama 60. Los bits recesivos, en la figura 3 a la figura 6, se representan con una línea ancha en el borde superior de la trama 60.

Como se muestra en la figura 3, el dispositivo de control de comunicaciones 11, 21, 31 correspondiente del emisor crea la trama 60 de modo que el bit SOF, el bit RRS, el bit IDE y el bit res son dominantes, mientras que el bit FDF y el delimitador CRC CRC-Del son recesivos.

## ES 2 727 623 T3

5 La figura 4 muestra una trama 600 enviada por una de las estaciones participantes 10, 20, 30, con más de 16 bytes de datos en el formato base CAN FD. La trama 600, hasta un campo de datos 640 más largo en comparación con el campo de datos 64, y un campo de suma de verificación 650 más largo en comparación con el campo de suma de verificación 65, está estructurada del mismo modo que la trama 60 de la figura 3. La trama 600 tiene una parte superior 61 a 63, una parte de datos 640 y una parte de cierre 650.

10 La figura 5 muestra una trama 70 enviada por una de las estaciones participantes 10, 20, 30, con hasta 16 bytes de datos en el formato extendido CAN FD (CAN FD extended format). Según la figura 5, la trama 70 tiene un bit SOF 71, así como varios campos de trama, como un campo de arbitraje 72 (Arbitration field), un campo de control 73 (Control field), un campo de datos 74 (Data field) y un campo de suma de verificación 75 (CRC field). El campo de arbitraje 72, en el campo ID base y el campo ext ID, comprende un identificador (Identifier) de la trama 70. Entre el campo ID base y el campo ext ID están proporcionados un bit SRR y un bit IDE. En el extremo del campo de arbitraje 72 está dispuesto un bit RRS. El campo de control 73 comienza con un bit FDF, seguido de un bit res. Después siguen un bit BRS y un bit ESI. El campo de control 73 termina con el campo DLC. El campo de datos 74 no se encuentra presente cuando el campo DLC del campo de control 73 tiene el valor 0. Por lo demás, la trama 70 se encuentra estructurada del mismo modo que la trama 60 de la figura 3 y tiene una fase de arbitraje 77 correspondiente y una fase de datos 78. La trama 70 tiene una parte superior 71 a 73, una parte de datos 74 y una parte de cierre 75.

20 Como se muestra en la figura 5, el dispositivo de control de comunicaciones 11, 21, 31 correspondiente del emisor crea la trama 70 de modo que el bit SOF, el bit RRS y el bit res son dominantes, mientras que el bit SRR, el bit IDE y el delimitador CRC CRC-Del son recesivos.

25 La figura 6 muestra una trama 700 enviada por una de las estaciones participantes 10, 20, 30, con más de 16 bytes de datos en el formato extendido CAN FD (CAN FD extended format). La trama 700, hasta un campo de datos 740 más largo en comparación con el campo de datos 74, y un campo de suma de verificación 750 más largo en comparación con el campo de suma de verificación 75, está estructurada del mismo modo que la trama 70 de la figura 5. La trama 700 tiene una parte superior 71 a 73, una parte de datos 740 y una parte de cierre 750.

La suma de verificación CRC, para tramas CAN FD 60, 600 en el formato base, las cuales se muestran en la figura 3 y la figura 4, se denomina como CRC-17. La suma de verificación CRC, para tramas CAN FD 70, 700 en el formato extendido, las cuales se muestran en la figura 5 y la figura 6, se denomina como CRC-21.

30 La figura 7 muestra como ejemplo los cursos de la señal de emisión TX-10 de la estación participante 10, de la señal de recepción RX-20 de la estación participante 20 y la vista de exploración V-20 de la estación participante 20, respectivamente sobre el tiempo t. La línea discontinua en la figura 7 indica respectivamente el límite de bit 50 entre bits individuales. Con el fin de una representación clara, para la señal de recepción RX-20 y la vista de exploración V-20 no todas las líneas discontinuas para el límite de bit 50 están provistas de un símbolo de referencia.

35 En la figura 7 se muestra el caso de que en la línea de bus 3 se envíe primero un bit inactivo 51, antes de que la señal de emisión TX-10 comience con un bit de inicio de trama (SOF-Bit). A continuación siguen un bit2 a bit5 con el mismo nivel que el bit de inicio de trama. Después del bit5 está introducido un bit de relleno 52.

40 Conforme a ello, con un retardo no representado que se produce a través de la transmisión de la señal de emisión TX-10 mediante la línea de bus 3, resulta la señal de recepción RX-20 correspondiente a la señal de emisión TX-10. Esa señal de recepción RX-20, por diferentes motivos (error del hardware, fallos externos, radiación electromagnética, etc.) puede presentar un nivel recesivo por una duración T, aunque la señal de emisión presente un nivel dominante del bit SOF. En la señal de recepción RX-20 así alterada pueden estar presentes adicionalmente pulsos interferentes GD dominantes, cortos, que alteran aún más la señal de bus 35, como se muestra en la figura 7. Los pulsos interferentes GD de esa clase pueden producirse por ejemplo igualmente a través de fallos externos, en particular radiación electromagnética, y probablemente, por ejemplo en el caso de que sean más cortos que la  
45 unidad de tiempo del bus más reducida de un Time Quantum  $t_q$ , no son detectados por la estación participante de recepción, por tanto aquí la estación participante 20. La señal de recepción RX-20 permanece alterada.

50 La estación participante 20, debido a la señal de recepción RX-20 alterada, percibe la señal V-20. Después del límite de bit 50 para el bit SOF sigue una fase sync\_seg provista del símbolo de referencia 54. Después sigue una fase de transmisión prop\_seg que en la figura 7 está provista del símbolo de referencia 55. Después sigue una fase\_seg1 provista del símbolo de referencia 56 y una fase\_seg2 provista del símbolo de referencia 57. El orden de las fases 54 a 57 mencionadas es el mismo para cada uno de los bits.

La estación participante 20 explora la señal de recepción RX-20 en puntos de exploración SP1, SP2, SP3, SP4, SP5. Los puntos de exploración SP1 a SP5 se sitúan entre la fase\_seg1 provista del símbolo de referencia 56 y la fase\_seg2 provista del símbolo de referencia 57.

En el caso mostrado en la figura 7, el ciclo CAN en las estaciones participantes 10, 20, 30, las cuales también se denominan como nodos, es  $f_{RX\_nodo} == f_{TX\_nodo}$ . Es decir que el ciclo de recepción corresponde al ciclo de emisión. Aquí un acortamiento/alteración del bit de inicio de trama (SOF) de "fase\_seg2 +  $\epsilon$ " es suficiente para causar el problema aquí considerado. El quinto punto de exploración SP5, en el caso representado, da como resultado por error un valor recesivo. Con 1 Mbit/s y un punto de exploración SP (SP = Sample Point) para los puntos de exploración SP1, SP2, SP3, SP4, SP5 de 80%, un acortamiento en 205 ns es suficiente para generar el problema aquí considerado, del modo antes descrito.

En la figura 8 se muestra el caso de que en la línea de bus 3 se envíen primero dos bits inactivos 51 de forma consecutiva, antes de que la señal de emisión TX-10 comience con un bit de inicio de trama (SOF-Bit) dominante. A continuación siguen un bit2 a bit4 con el mismo nivel que el bit de inicio de trama. El bit 52 que se une al bit4 se envía de forma recesiva y, con ello, tiene otro nivel que los bits precedentes.

Conforme a ello, en la figura 8 resulta la señal de recepción RX-20 correspondiente a la señal de emisión TX-10. Esa señal de recepción RX-20, por distintos motivos (error del hardware, fallos externos, radiación electromagnética, etc.) puede presentar un nivel dominante por una duración T (sombreado en gris en la figura 8), aunque la señal de emisión presente un nivel recesivo del bit inactivo. En la señal de recepción RX-20 así alterada pueden estar presentes adicionalmente pulsos interferentes GR recesivos, cortos, que alteran aún más la señal de bus 36, como se muestra en la figura 8. También los pulsos interferentes GR de esa clase pueden producirse por ejemplo igualmente a través de fallos externos, en particular radiación electromagnética, y probablemente, por ejemplo en el caso de que sean más cortos que la unidad de tiempo del bus más reducida de un Time Quantum  $t_q$ , no son detectados por la estación participante de recepción, por tanto aquí la estación participante 20. La señal de recepción RX-20 permanece alterada.

La estación participante 20, debido a la señal de recepción RX-20 alterada, percibe la señal V-20. Después del límite de bit 50 entre los dos bits inactivos 51 sigue una fase sync\_seg provista del símbolo de referencia 54. Después sigue la fase de transmisión prop\_seg que también en la figura 8 está provista del símbolo de referencia 55. Después sigue la fase\_seg1 provista del símbolo de referencia 56 y la fase\_seg2 provista del símbolo de referencia 57. El orden de las fases 54 a 57 mencionadas es el mismo para cada uno de los bits.

También aquí la estación participante 20 explora la señal de recepción RX-20 en puntos de exploración SP1, SP2, SP3, SP4, SP5. Los puntos de exploración SP1 a SP5 se sitúan entre la fase\_seg1 provista del símbolo de referencia 56 y la fase\_seg2 provista del símbolo de referencia 57.

En el caso mostrado en la figura 8, el ciclo CAN en las estaciones participantes 10, 20, 30, las cuales también se denominan como nodos, es  $f_{RX\_nodo} == f_{TX\_nodo}$ . Es decir que el ciclo de recepción corresponde al ciclo de emisión. Aquí un acortamiento/alteración del segundo bit inactivo 51 antes del bit de inicio de trama dominante (SOF) de "fase\_seg2 +  $\epsilon$ " es suficiente para causar el problema aquí considerado. El quinto punto de exploración SP5, en el caso representado, da como resultado por error un valor dominante. Con 1 Mbit/s y un punto de exploración SP (SP = Sample Point) para los puntos de exploración SP1, SP2, SP3, SP4, SP5 de 80%, un acortamiento en 205 ns nuevamente es suficiente para generar el problema aquí considerado, del modo antes descrito.

La figura 9, como primer ejemplo de ejecución de la presente invención, muestra una trama CAN FD 6000 con un valor de conteo amplio de tres bits en un campo SC que está dispuesto al inicio del campo de suma de verificación 65. En comparación con el formato CAN FD convencional según la figura 3, en la trama 6000, por tanto, tres bits de conteo de relleno están introducidos en el campo CRC. Los bits de relleno no están representados.

Por lo tanto, en el presente ejemplo de ejecución, para solucionar el problema antes descrito para CRC-17 y CRC-21, emisor y receptor de una trama CAN FD con un dispositivo de protección 12, 22, 32, se cuentan los bits de relleno 52 que se sitúan antes del área en la cual se cambia al procedimiento de bit de relleno fijo, por tanto los bits de relleno 52 antes del campo CRC, así como del campo de suma de verificación 65. El estado del contador se transmite también en la trama 6000 enviada, en el campo SC, como se muestra en la figura 9. El receptor compara el nivel del contador recibido del campo SC con su número, contado por sí mismo, de los bits de relleno 52. Los bits de relleno fijo también se incluyen en el conteo. En el caso que los estados del contador difieran esto se trata como un error CRC, aun cuando el cálculo CRC propiamente dicho no muestre ningún error.

Debido a que sólo debe asegurarse una distancia Hamming de 6, por tanto deben detectarse 5 errores, es suficiente con utilizar un contador de 3 bits en el dispositivo de protección 12, 22, 32. El estado del contador transmitido en el campo SC muestra por tanto el número de los bits de relleno del módulo 8. Por lo tanto, se necesitarían al menos 8 errores para invalidar de forma no identificada ese estado del contador de 3 bits (conteo de relleno). El contador de 3 bits del dispositivo de protección 22 puede estar comprendido en la unidad de evaluación CRC 22A. Naturalmente también puede utilizarse un contador de 4 bits, etc.

Según la figura 9, para la transmisión del valor de conteo de relleno o estado del contador del contador de 3 bits del dispositivo de protección 12, 22, 32, en la trama 6000, el campo de suma de verificación CRC 65 está prolongado en su inicio en tres bits. Esto aplica del mismo modo tanto para las tramas 60, 70 con polinomio 17-CRC, como también para las tramas 600, 700 con polinomio de 21 bits.

- 5 Debido a que a través de los tres bits adicionales del campo SC se genera también otro bit de relleno fijo, a través de este procedimiento la trama CAN FD 6000 se prolonga en 4 bits, independientemente del número de bits de relleno 52, del campo DLC o de la longitud del identificador.

El conteo de relleno o valor de conteo de relleno en la trama CAN FD 6000 se incluye en el cálculo CRC, éste se trata por tanto como los bits de datos.

- 10 Cuando un error de bit especial, como se describe en el estado del arte, no es descubierto por el cálculo CRC, ese error conduce a que el receptor llegue a otro resultado al contar los bits de relleno 52, el error se detecta entonces a través de una comparación de los conteos de relleno, por tanto de los bits de relleno 52 contados por el receptor y del número de bits de relleno 52 indicada en el campo SC; la trama 6000 es rechazada como inválida por el receptor.

- 15 De manera alternativa, en lugar de los bits de relleno 52 también pueden contarse todos los bits en la trama 6000, de manera alternativa pueden utilizarse también estados del contador que tengan una ancho de más de tres bits. En este procedimiento, un error de conteo de bits de relleno se trata como un error CRC, la trama de error o Error-Frame se envía por tanto sólo después del intervalo de reconocimiento (ACK-Slot). De manera alternativa, el receptor, también ya después de la recepción del último bit del campo SC puede realizar la comparación y enviar una trama de error.

- 20 De acuerdo con un segundo ejemplo de ejecución, para solucionar el problema antes descrito para CRC-17 y CRC-21, como vector de inicialización del generador CRC 13A, 23A, 33A, en lugar de "0...0" puede utilizarse el vector de inicialización "1...0". La inicialización puede efectuarse con los dispositivos de protección 12, 22, 32 en el dispositivo de protección 22, en particular con la unidad de evaluación CRC 22A y la unidad de inserción 22B. Gracias a esto ya no pueden presentarse los problemas relativos a los dos valores críticos de los bits identificadores ID28 a ID25 de "0000" y "0001".

- 25 Para el problema de que se detecte una secuencia de bits "00000" alterada, en caso de que comience cuando el valor de registro CRC intermedio es igual a "0...0", en donde ese problema puede presentarse en cualquier posición del bit entre SOF 61 (trama de inicio) y la suma de verificación CRC enviada o suma de control CRC, con el vector de inicialización de "1...0" ya no puede presentarse un valor de registro CRC intermedio de "0...0" para los primeros 18 bits enviados.

Por lo demás, en el segundo ejemplo de ejecución el sistema de bus 1 está estructurado del mismo modo que como se describe en el primer ejemplo de ejecución.

- 30 En un tercer ejemplo de ejecución el sistema de bus 1 está estructurado del mismo modo que como se describe en el primer ejemplo de ejecución. A diferencia de ello, sin embargo, en el tercer ejemplo de ejecución, mediante la figura 10, se consideran los dos siguientes problemas.

- 35 Cuando en un primer caso el valor de registro CRC intermedio es igual a "0...0", mientras se envía una secuencia escalonada de "0" y el primero de esos bits "0" está acortado a través de sincronización, lo cual se provoca a través de ruido en el bus, entonces la secuencia de bits de "000001" ("1" indica aquí un bit de relleno enviado) puede ser explorada de forma alterada como "00001" por el receptor, como se muestra en la figura 10. El acortamiento o la alteración pueden tener nuevamente las causas mencionadas (error del hardware, fallos externos, radiación electromagnética, etc.). También, de manera adicional, pulsos interferentes GS pueden influenciar la sincronización de forma perjudicial. También aquí debe prestarse atención al desplazamiento de señal 58 a través de tiempos de paso del bus, el cual siempre se encuentra presente. Es decir que eventualmente sólo se exploran cuatro bits "0" en lugar de cinco. Ese error no es detectado a través del cálculo CRC. En la figura 10, adicionalmente con respecto a los cursos de señal TX-10, RX-20, V-20, de forma análoga con respecto a la figura 7 y a la figura 8, se muestra además el curso de señal T10 que corresponde a la vista de la estación participante 10. Según la figura 10, después de un bit recesivo o de un bit inactivo 52, se envía una sucesión de cinco bits dominantes, a saber un bit1 a bit5. A continuación se introduce un bit de relleno 52.

- 40 El caso de la figura 10 puede presentarse cuando aplica tiempo de bitRX\_nodo > tiempo de bitTX\_nodo (BitTimeRX\_nodo > BitTimeTX\_nodo) debido a la tolerancia de ciclo, donde el nodo para una de las estaciones participantes 10, 20, 30 se encuentra como emisor o receptor.

En lugar de una corrección del error de fase, el ruido no conduce a una corrección del error de fase o incluso conduce a una corrección en la dirección incorrecta.

5 Cuando en un segundo caso el valor de registro CRC intermedio es igual a "0...0" , mientras se transmite una secuencia no escalonada de "00001" y el primero de esos bits "0" está prolongado a través de sincronización, lo cual se provoca a su vez a través de ruido en el bus, entonces la secuencia de bits de "00001" como "000001" ("1" indica aquí un bit de relleno enviado) puede ser explorada de forma alterada por el receptor. Esto significa que se exploran cinco bits "0" en lugar de cuatro. El "1" en esta secuencia se interpreta como un "1" de relleno, y se suprime. La introducción no es detectada a través del cálculo CRC.

10 Ese caso puede presentarse cuando aplica tiempo del bitRX\_nodo > tiempo del bitTX\_nodo (BitTimeRX\_node < BitTimeTX\_node) debido a la tolerancia del ciclo, y solamente en el caso de que la posición del punto de exploración se sitúe pronto. Lo mencionado puede observarse también en la figura 10.

15 El caso inverso - recepción de la secuencia de bits "11111" - no representa ningún problema por los siguientes motivos. Un "1" que ingresa puede modificarse en la CRC en (0...0). El siguiente "1" conduce a una CRC que es distinta de (0...0), para más de 17 bits. Un problema sólo puede presentarse en caso de que el valor CRC no se modifique durante esa secuencia "1". Pero éste no es el caso.

Como solución para el problema antes mencionado los dispositivos de protección 12, 22, 32 pueden proceder según las siguientes posibilidades, las cuales pueden utilizarse de forma alternativa o en cualquier combinación.

a) Se excluyen bits de relleno de un cálculo CRC, como en Classic CAN.

20 b) Se utiliza el bit de relleno fijado, en toda la trama o al inicio con la posición del bit FDF, lo cual es compatible con la trama Classic CAN.

25 c) Se introduce en el cálculo un bit virtual adicional en la suma de verificación CRC. Sin embargo, esto no soluciona el problema, ya que esto empeora en 1 la distancia Hamming en un caso especial. Cuando un registro CRC alcanza un valor de "0...0" en una trama FD, se introduce un "1" en la lógica CRC durante una evaluación adicional del mecanismo CRC. Esto se efectúa antes de la evaluación del siguiente bit recibido/enviado. El "1" introducido puede considerarse como un bit de relleno virtual que sólo es visible para la lógica CRC; éste modifica el valor crítico de "0...0" en el registro CRC antes de que se evalúe el siguiente bit recibido/enviado.

d) Se emite una segunda secuencia CRC dentro de la trama.

e) Se emite el número de bits de relleno 52 dentro de la trama (menos exceso que en las posibilidades b) o d).

Un ejemplo de ejecución para esa posibilidad se describió anteriormente como primer ejemplo de ejecución.

30 A continuación se exponen otros ejemplos de ejecución.

En un principio más formal, para un tratamiento del problema se introduce un modelo de error, del siguiente modo.

- Tipo de error A: Bit Flip o estado opuesto del bit. El cálculo CRC es un procedimiento válido para detectar un error de esa clase y proporciona la distancia Hamming deseada (nivel HD).

35 • Tipo de error B (problemas antes mencionados): Acortamiento o prolongación de la secuencia de bits en combinación con bits de relleno 52. Esto no conduce a un error de la longitud de la trama, del modo antes descrito. Un acortamiento o prolongación puede ocurrir varias veces por trama 60, 70, 600, 700, 6000. Dentro de una trama 60, 70, 600, 700, 6000 es posible un acortamiento o una prolongación que se determinan a través de la relación entre la relación de ciclo del emisor y el receptor. Para detectar ese tipo de error, el receptor debe conocer la longitud de la trama, incluyendo el número de bits de relleno 52.

40 Cabe señalar que el resultado CRC es fiable en caso de que el algoritmo CRC se aplique exactamente para la misma cantidad de bits (longitud de la trama) del lado del emisor y del lado del receptor. Por lo demás, por tanto, cuando se aplican más o menos bits en el receptor en el algoritmo CRC, éste debe considerarse como dañado.

45 Para las siguientes medidas para cubrir los tipos de error A/B, la (11/09/2014) ISO CD 11898-1 actual constituye el punto de inicio. La robustez de la integridad de datos de CAN FD tiene que estar mejorada en comparación con Classic CAN.

La utilización de bits de relleno fijados (véase la posibilidad b) más arriba) conduce a una cantidad conocida de bits que son esperados por el receptor. La longitud de la trama no es variable. Ésta es una solución sencilla, pero conduce a un exceso elevado, debido a lo cual la tasa de bits netos disminuye aproximadamente un 10% con respecto a la ISO CD 11898-1 actual.

5 Según un cuarto ejemplo de ejecución, en otra variante de solución con respecto a los problemas antes considerados, de manera adicional información sobre el número de bits de relleno 52 (contador de bits de relleno, Stuff-Bit-Count, SC) está comprendida en la trama 6000, como se muestra en la figura 9 y se describe con respecto al primer ejemplo de ejecución. La información puede denominarse también como información de longitud.

10 El contador de bits de relleno puede enviarse después de que se cambia desde un procedimiento de relleno CAN clásico a un procedimiento de bit de relleno fijo, con bits de relleno establecidos de modo uniforme. Por lo demás, un bit de relleno introducido en la secuencia de bits de relleno enviada no podría contarse también en el contador de bits de relleno.

15 De manera adicional con respecto a ello, en el presente cuarto ejemplo de ejecución se efectúa un monitoreo de seguridad de la información de longitud, por tanto, de la información sobre el número de bits de relleno 52 en la trama 6000.

Ciertamente, si en una trama se presenta un tipo de error B, la suma de verificación CRC se encuentra dañada. Si en la misma trama el tipo de error A altera el estado del contador de bits de relleno de los dispositivos de protección 12, 22, 32, entonces el receptor no puede detectar una trama alterada.

20 Esto implica la necesidad adicional de monitorear la seguridad de la información de longitud enviada (valor de conteo de bits de relleno del módulo 8).

25 Por tanto, según la figura 11, en una trama 6001, un bit de paridad se añade como información de protección al campo SC, de modo que también el bit de paridad se transmite antes del campo de suma de verificación 65. El bit de paridad ciertamente es el bit de relleno fijo siempre introducido. Los dispositivos de seguridad 12, 22, 32 modifican el bit de paridad dependiendo de si la suma de verificación CRC está o no dañada. De este modo, también en el caso de una aparición simultánea de los tipos de error A y B, una trama 6001 dañada puede detectarse de forma segura.

30 Según un quinto ejemplo de ejecución, en otra variante de solución, otra información, a saber sumas de verificación CRC separadas, se calculan para el contenido del contador de bits de relleno y por ejemplo para una CRC de 9 bits o como bits SCRC8 a SCRC0 en una trama 6002, está contenida como información de protección, como se muestra en la figura 12. Una suma de verificación CRC posible con 9 bits es la DARC-8 CRC conocida, con el polinomio generador  $x^8 + x^5 + x^4 + x^3 + 1$ . También puede utilizarse una suma de verificación CRC de 5 bits, con una protección un poco menor (Hamming Distance HD). En los bits SCRC8 a SCRC0, los valores de la suma de verificación determinados mediante el polinomio generador, mediante el valor de conteo de los bits de relleno, están contenidos en la trama 6002. También de este modo, por ejemplo en el caso de una aparición simultánea de los tipos de error A y B una trama 6002 dañada puede detectarse de forma segura.

La siguiente Tabla 3 muestra las distintas soluciones antes descritas, a modo de un resumen. La longitud total del campo CRC resulta de la longitud de la CRC, de la longitud del contador de bits de relleno, de la longitud de la información de protección adicional, y del número de bits de relleno fijos introducidos. "SC" indica el conteo de bits de relleno o contador de bits de relleno y "f.s." indica bits de relleno fijos.

40

Tabla 3

Solución N°	Longitud de Campo CRC: SC + monitoreo de seguridad + f.s.	Descripción	Evaluación de seguridad	Comentarios
1	17+3+0+6 21+3+0+7		Monitoreo de seguridad sólo a través de tramas CRC	Exceso más reducido

## ES 2 727 623 T3

2	17+3+1+6 21+3+1+7	Valor de conteo de bits de relleno codificado en Gray con bit de paridad en LSB, invertir siguiente bit de relleno fijo a bit de paridad	HD3 + 1 error en la trama  = HD4	Mejor que Classic CAN
3	17+3+5+7 21+3+5+8		HD4 + 1 error en la trama  = HD5	
4	17+3+9+8 21+3+9+9	DARC-8 CRC  x8+x5+x4+x3+1	HD5 + 1 error en la trama  = HD6	DLC también podría estar contenido en esta CRC, ya que éste monitorea hasta 9 bits conforme a la seguridad

En este caso, el número de solución 1 en la Tabla 3 corresponde al primer ejemplo de ejecución. El número de solución 2 en la Tabla 3 corresponde al cuarto ejemplo de ejecución. El número de solución 3 en la Tabla 3 corresponde a una variante del quinto ejemplo de ejecución con CRC de 5 bits. El número de solución 4 en la Tabla 3 corresponde a la otra variante de solución del quinto ejemplo de ejecución con CRC de 9 bits.

5 Todas las configuraciones antes descritas del sistema de bus 1, de las estaciones participantes 10, 20, 30 y del procedimiento pueden emplearse de forma individual o en todas las combinaciones posibles. En particular todas las características de los ejemplos de ejecución antes descritos pueden combinarse de cualquier modo deseado o pueden omitirse. Adicionalmente, en particular son posibles las siguientes modificaciones.

10 El sistema de bus 1 antes descrito según los ejemplos de ejecución está descrito mediante un sistema de bus que se basa en el protocolo CAN FD. El sistema de bus 1 según los ejemplos de ejecución, sin embargo, puede ser también otro tipo de red de comunicaciones. Se considera ventajoso, pero no es una condición obligatoria, que en el sistema de bus 1, al menos para intervalos de tiempo determinados, esté garantizado un acceso exclusivo, sin colisiones, de una estación participante 10, 20, 30 a un canal en común.

15 La cantidad y la disposición de las estaciones participantes 10 a 30 en el sistema de bus 1 de los ejemplos de ejecución y sus modificaciones pueden ser cualquiera. En particular, en el sistema de bus 1 también pueden estar presentes solamente estaciones participantes 10, ó 20, ó 30. Es posible cualquier combinación deseada de las estaciones participantes 10 a 30 en el sistema de bus 1.

20 Los dispositivos de protección 12, 22, 32, en lugar de la ejecución mostrada en la figura 1, pueden proporcionarse también respectivamente en el dispositivo de control de comunicaciones 11, 21, 31 correspondiente. También una o varias estaciones participantes de esa clase, de manera alternativa o adicional con respecto a las estaciones participantes 10, 20, 30, puede/pueden estar presente/s en el sistema de bus 1 en cualquier combinación deseada con las estaciones participantes 10, 20, 30.

**REIVINDICACIONES**

- 5 1. Procedimiento para la transmisión en serie de tramas (6000; 6001; 6002) mediante una línea de bus (3), desde un emisor hacia al menos un receptor, en donde hacia las tramas (6000; 6001; 6002), por el emisor, son introducidos bits de relleno (52) para generar flancos de señal adicionales y en función de los valores de varios bits precedentes, donde el emisor de la trama (6000; 6001; 6002) cuenta los bits de relleno (52) que se introducen en función de los valores de varios bits precedentes, y donde el número de bits de relleno (52) contados se transmiten también en la trama (6000; 6001; 6002) enviada.
- 10 2. Procedimiento según la reivindicación 1, donde adicionalmente con respecto al número de bits de relleno (52) contados, en la trama (6000; 6001; 6002) enviada se transmite también otra información de protección relativa a el número contado de bits de relleno (52).
- 15 3. Procedimiento según una de las reivindicaciones precedentes, donde el receptor de la trama (6000; 6001; 6002) compara los bits de relleno (52) en función de los valores de varios bits precedentes y con la información que se transmite también en la trama (6000; 6001; 6002) enviada, sobre el número de bits de relleno (52) contados, y donde el receptor rechaza la trama (6000; 6001; 6002) recibida cuando los bits de relleno (52) contados por el receptor en la trama recibida (6000; 6001; 6002) no coincide con el número de bits de relleno (52) contados que se transmiten también en la trama (6000; 6001; 6002) enviada.
- 20 4. Procedimiento según una de las reivindicaciones precedentes, donde en una primera parte de la trama (6000; 6001; 6002) bits de relleno (52) se introducen en función de los valores de varios bits precedentes, donde en una segunda parte de la trama (6000; 6001; 6002) bits de relleno (52) se introducen como bits de relleno fijos en posiciones determinadas, donde el emisor de la trama (6000; 6001; 6002) cuenta los bits de relleno (52) que se encuentran en el área en la cual se pasa al procedimiento de bit de relleno fijo, y donde el número de bits de relleno (52) contados se transmiten también en la trama (6000; 6001; 6002) enviada.
- 25 5. Procedimiento según una de las reivindicaciones precedentes, donde la trama (6000; 6001; 6002) presenta una parte superior (61, 62, 63), una parte de datos (64) y una parte de cierre (65), donde la parte superior (61, 62, 63) comprende un identificador (62), donde la trama (6000; 6001; 6002) comprende una suma de verificación CRC (65), y donde el número de bits de relleno (62) contados en la parte de cierre (65) de la trama enviada (6000; 6001; 6002) se transmite también antes de la suma de verificación CRC.
- 30 6. Procedimiento según la reivindicación 5, donde el número de bits de relleno (52) contados se incluye en el cálculo de la suma de verificación CRC.
- 35 7. Procedimiento según la reivindicación 5 ó 6, donde entre el número de bits de relleno (52) contados y la suma de verificación CRC se introduce un bit de relleno fijo que, como bit de paridad, contiene una información de protección sobre el número de bits de relleno (52) contados.
- 40 8. Procedimiento según una de las reivindicaciones precedentes, donde para contar los bits de relleno se utiliza un contador de 3 bits.
- 45 9. Estación participante (10; 20; 30) para un sistema de bus (1) con un dispositivo de emisión/recepción (13; 23; 33) para enviar una trama (6000; 6001; 6002) a y/o recibir una trama (6000; 6001; 6002) desde otra estación participante del sistema de bus (1), con el cual la trama (6000; 6001; 6002), mediante la transmisión en serie a través de una línea de bus (3), puede transmitirse desde un emisor hacia al menos un receptor, y con un dispositivo de protección (12; 22; 32) para proteger una cantidad de bits de relleno (52) introducidos en la trama (6000; 6001; 6002), donde el dispositivo de emisión/recepción (13; 23; 33) está configurado para introducir bits de relleno (52) para generar flancos de señal adicionales antes del envío de una trama (6000; 6001; 6002) hacia la trama (6000; 6001; 6002) según una regla predeterminada, y en función de los valores de varios bits precedentes, y/o al evaluar una trama (6000; 6001; 6002) recibida, para suprimir nuevamente los bits de relleno (52), y donde el dispositivo de protección (12; 22; 32) está configurado para contar los bits de relleno (52) que se introducen en función de los valores de varios bits precedentes, y para introducir en las trama (6000; 6001; 6002) el número de bits de relleno (52) contados, de modo que el número se transmite también en la trama (6000; 6001; 6002) enviada.
10. Sistema de bus (1) con una línea de bus (3) y al menos dos estaciones participantes (10, 20, 30) que, mediante la línea de bus (3), pueden conectarse una con otra de modo que las mismas pueden comunicarse una con otra,

donde al menos una de al menos dos estaciones participantes (10, 20, 30) es una estación participante (10; 20; 30) según la reivindicación 9.

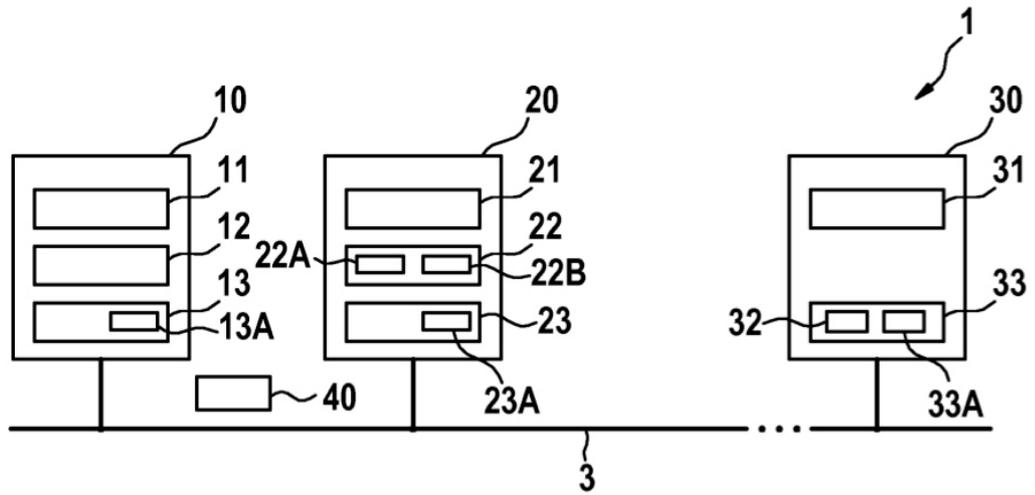


Fig. 1

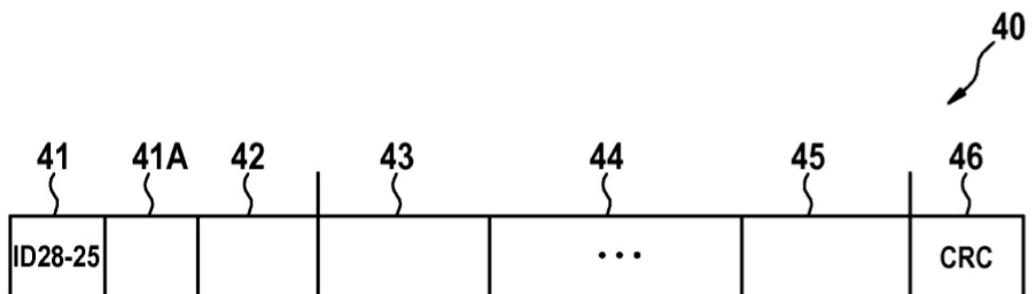


Fig. 2

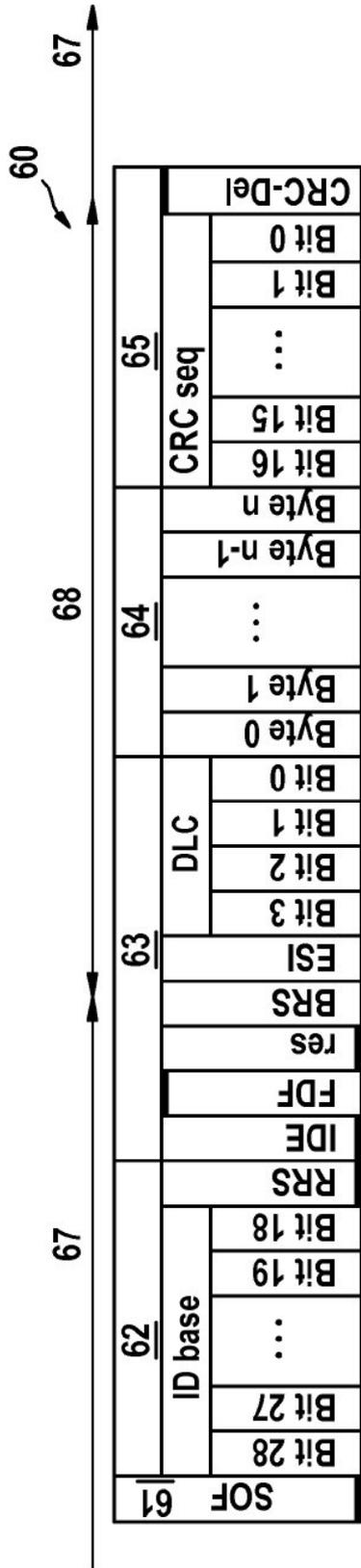


Fig. 3

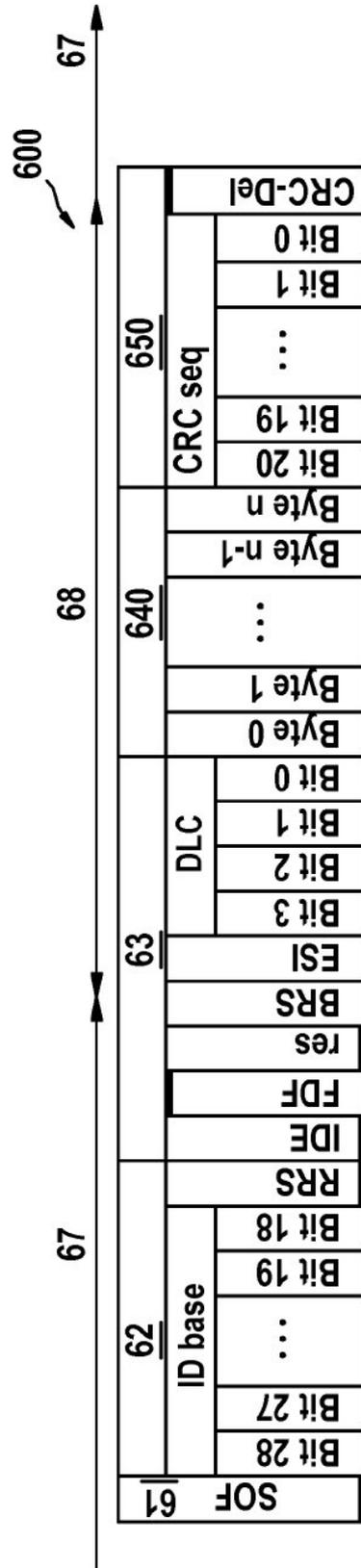


Fig. 4

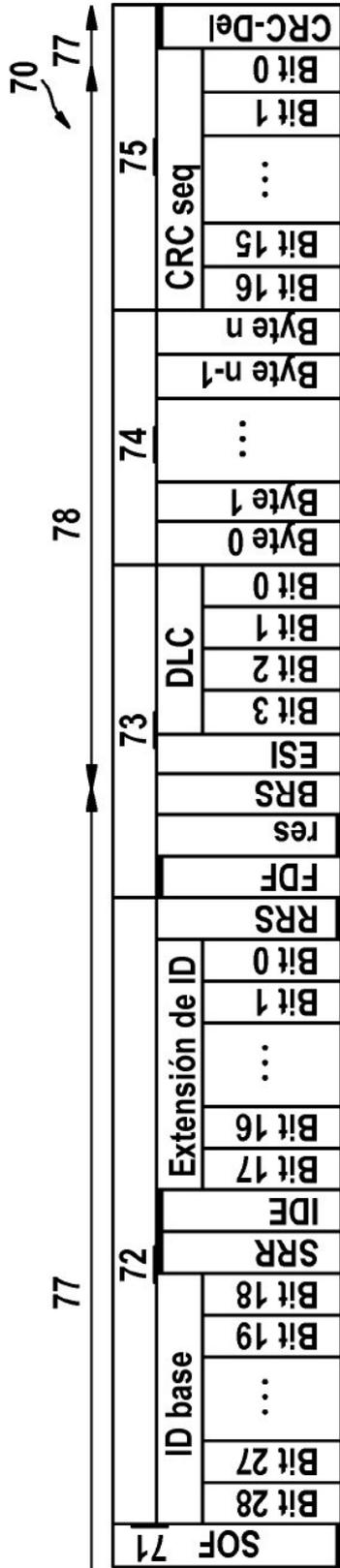


Fig. 5

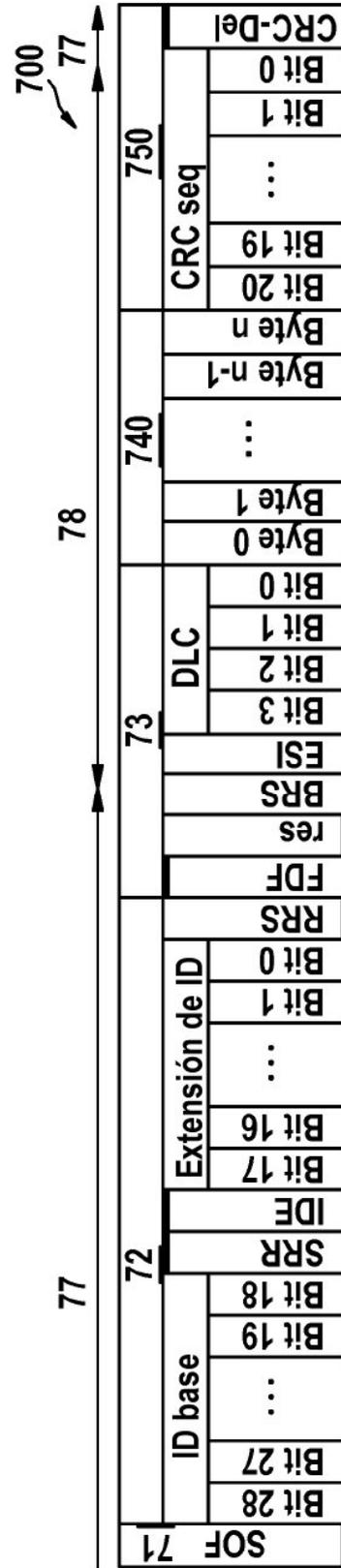


Fig. 6

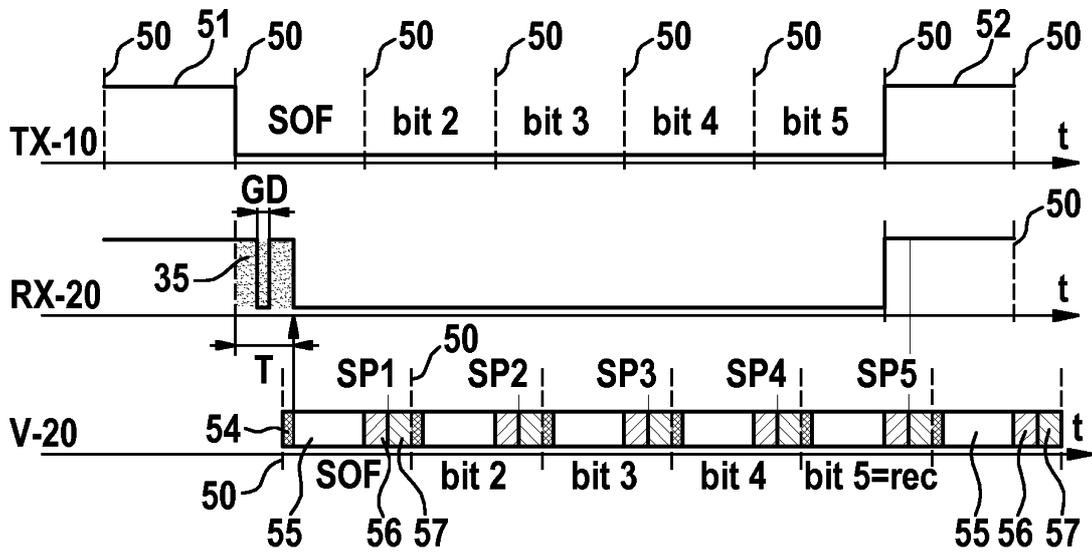


Fig. 7

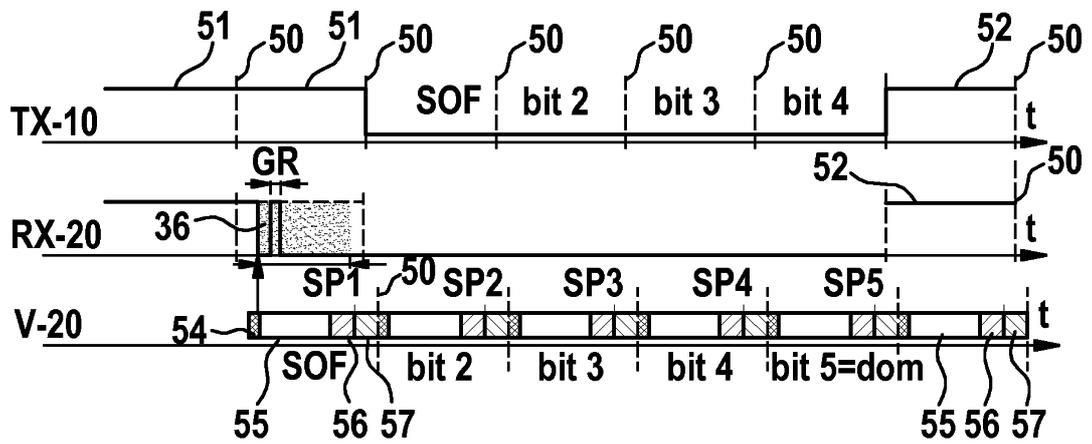


Fig. 8

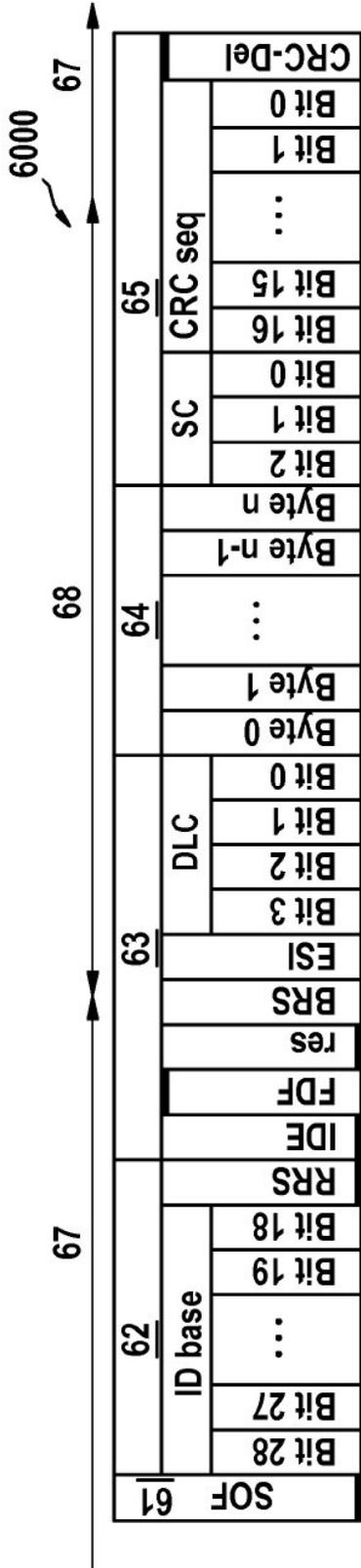


Fig. 9

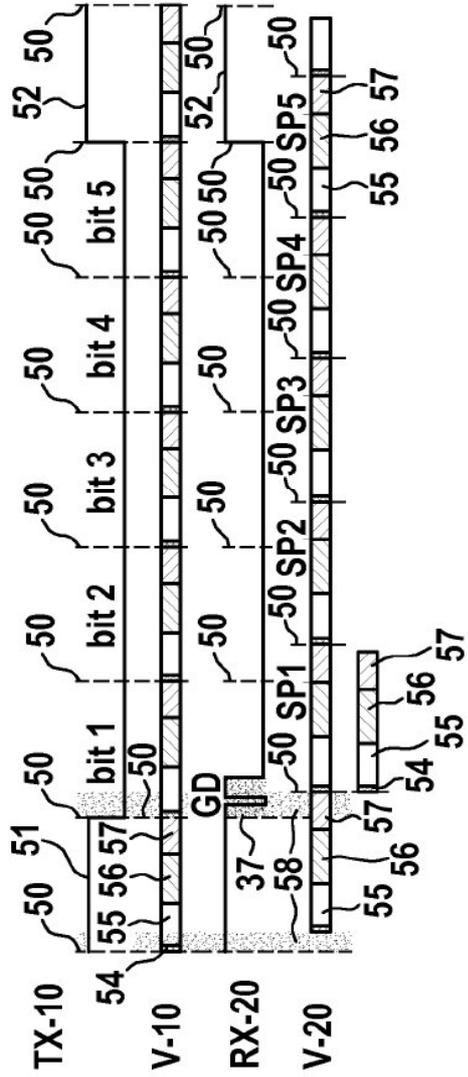


Fig. 10

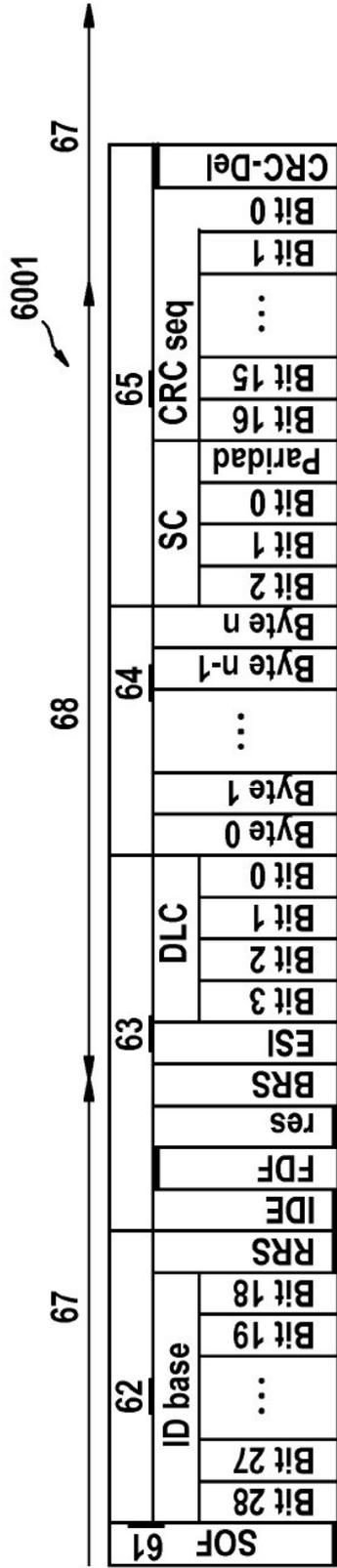


Fig. 11

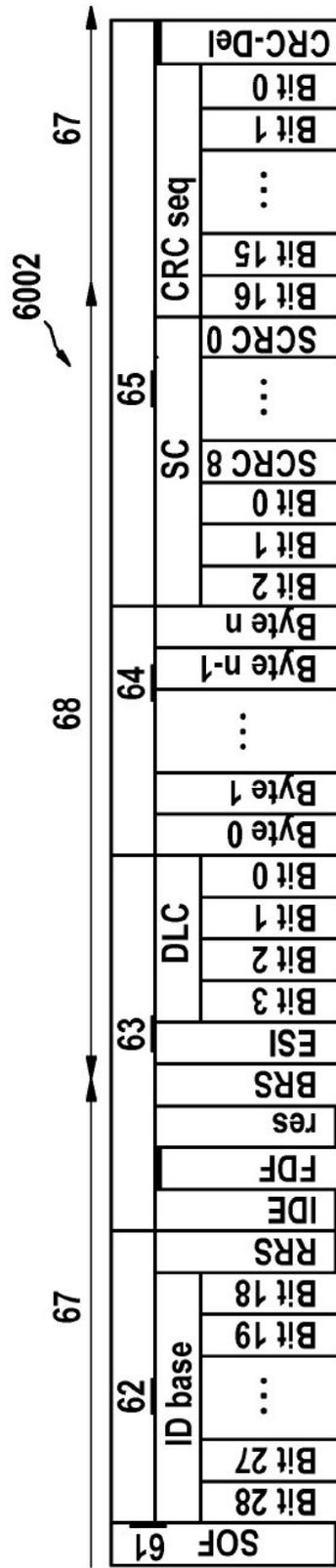


Fig. 12