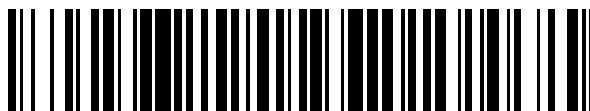


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 728 519**

51 Int. Cl.:

G11C 13/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **28.07.2016 E 16181783 (8)**

97 Fecha y número de publicación de la concesión europea: **06.03.2019 EP 3223282**

54 Título: **Circuito de provisión de código de opción y procedimiento de provisión del mismo**

30 Prioridad:

23.03.2016 US 201615077916

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

25.10.2019

73 Titular/es:

**WINBOND ELECTRONICS CORP. (100.0%)
No. 8 Keya 1st Rd., Daya District, Central Taiwan
Science Park
Taichung City, Taiwan, TW**

72 Inventor/es:

**CHAN, JOHNNY y
LIN, CHI-SHUN**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 728 519 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de provisión de código de opción y procedimiento de provisión del mismo

Antecedentes**Campo de la invención**

- 5 La invención versa sobre un circuito de provisión de código de opción y un procedimiento de provisión del mismo. En particular, la invención versa sobre un circuito de provisión de código de opción y un procedimiento de provisión del mismo mediante el uso de células resistivas de memoria de acceso aleatorio.

Descripción de la técnica relacionada

- 10 En años recientes, los productos electrónicos de consumo son herramientas necesarias en el uso diario de las personas. Para almacenar información, una pluralidad de aparatos de memoria está embebida en los productos electrónicos. Para almacenar información no volátil, está cobrando popularidad lo que se denomina memoria resistiva de acceso aleatorio (RRAM).

- 15 En la técnica convencional, para programar o borrar una célula de RRAM, se debería realizar una operación de reinicio o inicio en la célula de RRAM. Pero, en uso físico, la resistencia de la célula de RRAM que ha sido iniciada o reiniciada puede ser variada por alguna razón. Es decir, no se cumple el requisito de la retención de datos. Especialmente, para proporcionar un código de opción, si no se cumple el requisito de la retención de datos, se puede ejecutar una función equivocada o una aplicación equivocada, y se reduce el rendimiento del sistema. Tanto es así, que es importante cumplir el requisito de la retención de datos para proporcionar el código de opción usando la célula de RRAM.

- 20 Puede encontrarse alguna información antecedente en las solicitudes de patente estadounidense 2012/0033512 y 2014/0153315.

Sumario de la invención

La invención está definida por un circuito de provisión de código de opción y un procedimiento de provisión del mismo, demuestra que al menos una de la pluralidad de las células de RRAM es de formación pesada para garantizar la retención de datos.

- 25 La invención proporciona un circuito de provisión de código de opción. El circuito de provisión de código de opción incluye una pluralidad de células resistivas de memoria de acceso aleatorio y un controlador. El controlador está acoplado con las células resistivas de memoria de acceso aleatorio. El controlador determina si hay que proporcionar, o no, una señal de control para realizar una operación de formación pesada en al menos una de las células resistivas de memoria de acceso aleatorio. En él, el controlador lleva a cabo una operación de lectura de las células resistivas de memoria de acceso aleatorio para determinar un número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada, y se determina el código de opción por el número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada o un número de bit de la célula resistiva de memoria de acceso aleatorio que no es de formación pesada, en la que si el número de bit de la al menos una célula resistiva de memoria de acceso aleatorio formación pesada es impar, el código de opción es un primer valor lógico, y si el número de bit de la al menos una célula resistiva de memoria de acceso aleatorio de formación pesada es par, el código de opción es un segundo valor lógico, en el que el primer valor lógico es diferente del segundo valor lógico.

- 40 La invención también proporciona un procedimiento de provisión de código de opción. La etapa del procedimiento de provisión de código de opción incluye: determinar si hay que proporcionar una señal de control para realizar una operación de formación pesada en una pluralidad de células resistivas de memoria de acceso aleatorio; realizar una operación de lectura de las células resistivas de memoria de acceso aleatorio para determinar un número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada; y generar el código de opción según el número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada o un número de bit de la célula resistiva de memoria de acceso aleatorio que no es de formación pesada, en la que si el número de bit de la al menos una célula resistiva de memoria de acceso aleatorio de formación pesada es impar, el código de opción es un primer valor lógico, y si el número de bit de la al menos una célula resistiva de memoria de acceso aleatorio de formación pesada es par, el código de opción es un segundo valor, siendo el primer valor lógico diferente del segundo valor lógico.

- 50 Según las anteriores descripciones, en la invención, se genera el código de opción al detectar un número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada, y el código de opción puede ser ajustado realizando la operación de formación pesada en al menos una de las células resistivas de memoria de acceso aleatorio. Tanto es así, que se puede mantener la resistencia de la al menos una de las células resistivas de memoria de acceso aleatorio que es de formación pesada en un valor estable. Se puede garantizar la retención de datos del código de opción.

Para hacer que las características y ventajas mencionadas anteriormente de la invención sean comprensibles, se describen en detalle a continuación, varias realizaciones ejemplares acompañadas de figuras.

Breve descripción de los dibujos

5 Se incluyen los dibujos adjuntos para proporcionar un mayor entendimiento de la invención, y son incorporados en la presente memoria y forman parte de la misma. Los dibujos ilustran realizaciones de la invención y, junto con la descripción, sirven para explicar los principios de la invención.

La FIG. 1 ilustra un diagrama de bloques de un circuito de provisión de código de opción según una realización de la presente divulgación.

10 La FIG. 2 ilustra un diagrama de bloques del otro circuito de provisión de código de opción según la otra realización de la presente divulgación.

La FIG. 3 ilustra un diagrama esquemático del sensor de número de bit según una realización de la presente divulgación.

La FIG. 4 ilustra un diagrama de bloques de otro un circuito de provisión de código de opción según otra realización de la presente divulgación.

15 La FIG. 5 ilustra un diagrama de flujo de las etapas para un procedimiento de provisión de código de opción según una realización de la presente divulgación.

Descripción detallada de las realizaciones divulgadas

20 Con referencia a la FIG. 1, la FIG. 1 ilustra un diagrama de bloques de un circuito de provisión de código de opción según una realización de la presente divulgación. El circuito 100 de provisión de código de opción incluye una pluralidad de células resistivas 111-11N de memoria de acceso aleatorio (RRAM) y un controlador 120. Las células 111-11N de RRAM están acopladas con el controlador 120. Para proporcionar un código de opción OPC, el controlador 120 lleva a cabo una operación de lectura de la pluralidad de células 111-11N de RRAM y mide la corriente de la célula. Cuando cualquiera de las células 111-11N de RRAM es de formación pesada, se reduce la resistencia de la célula 111-11N de RRAM de formación pesada hasta un valor muy pequeño, y se medirá una corriente elevada de célula mayor que un valor umbral de corriente establecido de antemano de al menos una de las células 111-11N de RRAM de formación pesada. El código de opción OPC es determinado, entonces, por un número de bit de las células 111-11N de RRAM que son de formación pesada. En detalle, si el número de bit de las células de RRAM de formación pesada es par, es decir, 0, 2, 4, ..., el código de opción OPC es un primer valor lógico y, por lo contrario, si el número de bit de las células de RRAM de formación pesada es impar, es decir, 1, 3, 5, ..., el código de opción OPC es un segundo valor lógico. En una realización, el primer valor lógico puede ser el valor lógico "0" y el segundo valor lógico puede ser el valor lógico "1". O, en otra realización, el primer valor lógico puede ser el valor lógico "1" y el segundo valor lógico puede ser el valor lógico "0".

35 En otras realizaciones, el código de opción OPC puede ser determinado por un número de bit de las células 111-11N de RRAM que no son de formación pesada. Cuando cualquiera de las células 111-11N de RRAM no es de formación pesada, se mantiene la resistencia de la célula de RRAM que no es de formación pesada a un valor normal, y se medirá la corriente de célula menor que un segundo valor umbral de corriente establecido de antemano de al menos una de las células 111-11N de RRAM que es de formación no pesada.

40 En la presente realización, al principio ninguna de las células 111-11N de RRAM es de formación pesada y el número predeterminado de bit de las células de RRAM de formación pesada es 0. Se determina el código de opción OPC para ser el primer valor lógico. Para ajustar el código de opción OPC, el controlador 120 puede transmitir una señal de control a al menos una de las células 111-11N de RRAM para realizar una operación de formación pesada en la al menos una de las células 111-11N de RRAM. Si una operación de lectura es realizada en las células 111-11N de RRAM, se medirá la corriente elevada de células desde las células de RRAM de formación pesada y se medirán las corrientes bajas de células desde las células restantes de RRAM que no son de formación pesada. Se varía el número de bit de las células 111-11N de RRAM de formación pesada y, entonces, se ajusta el código de opción OPC. Aquí, se debería hacer notar que la operación de formación pesada es una operación de escritura fuerte de una sola vez y se puede obtener una buena característica retención de datos del circuito 100 de provisión de código de opción.

45 Para un ejemplo de aplicación, el número predefinido de bit de las células de RRAM que son de formación pesada es igual a 0 (par), y el código de opción con valor lógico "0" (primer valor lógico). Para ajustar el código de opción OPC al valor lógico "1" (segundo valor lógico), el controlador 120 puede llevar a cabo una operación de formación pesada en la célula 111 de RRAM. Tras la formación pesada de la célula 111 de RRAM, el número de bit de las células de RRAM de formación pesada es igual a 1 (impar), y se puede proporcionar el código de opción OPC con el valor lógico "1". Además, para ajustar el código de opción OPC, de nuevo, hasta el valor lógico "0", el controlador 120 puede llevar a cabo, además, la operación de formación pesada en la célula 112 de RRAM. Tras efectuarse la formación pesada de las células 111 y 112 de RRAM, el número de bit de las células de RRAM de formación pesada es igual a 2 (par), y se puede proporcionar el código de opción OPC con el valor lógico "0".

Por supuesto, el código de opción OPC puede ser ajustado de nuevo realizando la operación de formación pesada en una de las células 111-11N de RRAM que no han recibido una formación pesada aún. Es decir, usando N células 111-11N de RRAM, el código de opción OPC puede ser ajustado N veces.

5 Se debería hacer notar que para ajustar el código de opción OPC, el controlador 120 puede no realizar la operación de formación pesada en las células 111-11N de RRAM en orden secuencial. Por ejemplo, la célula 112 de RRAM puede recibir una formación pesada antes que la célula 111 de RRAM. Las operaciones de formación pesada pueden llevarse a cabo, respectivamente, en las células 111-11N de RRAM en un orden aleatorio.

10 Con referencia a la FIG. 2, la FIG. 2 ilustra un diagrama de bloques del otro circuito de provisión de código de opción según la otra realización de la presente divulgación. El circuito 200 de provisión de código de opción incluye una pluralidad de células 211-21N de RRAM, un controlador 220, y un sensor 230 de número de bit. El controlador 220 está acoplado con la pluralidad de células 211-21N de RRAM y las células 211-21N de RRAM están acopladas con el sensor 230 de número de bit. En la presente realización, el sensor 230 de número de bit tiene una pluralidad de terminales de entrada para conectarse con líneas de bit de las células 211-21N de RRAM para leer una pluralidad de datos almacenados de las células resistivas 211-21N de memoria de acceso aleatorio, respectivamente. El sensor 15 230 de número de bit puede detectar el número de bit de las células 211-21N de RRAM que son de formación pesada para generar el código de opción OPC según los datos almacenados de las células resistivas 211-21N de memoria de acceso aleatorio. En detalle, cuando una célula de RRAM (por ejemplo, la célula 211 de RRAM) es de formación pesada, se reduce la resistencia de la célula 211 de RRAM hasta un valor bajo. Cuando se realiza una operación de lectura de la célula 211 de RRAM de formación pesada, se puede obtener una gran corriente, y se transmiten los datos almacenados en la célula 211 de RRAM hasta uno de los terminales de entrada del sensor 230 de número de bit. Es decir, el sensor 230 de número de bit puede detectar el número de bit de las células 211-21N de RRAM que son de formación pesada, y generar consecuentemente el código de opción OPC. En una realización de la presente divulgación, el sensor 230 de número de bit puede detectar que el número de bit de las células 211-21N de RRAM que son de formación pesada es impar o par para generar el código de opción OPC.

25 En otras realizaciones, el sensor 230 de número de bit puede detectar el número de bit de las células 211-21N de RRAM que no son de formación pesada, y generar el código de opción OPC. En otra realización de la presente divulgación, el sensor 230 de número de bit puede detectar si el número de bit de las células 211-21N de RRAM que no son de formación pesada es impar o par para generar el código de opción OPC.

30 Con referencia a la FIG. 3, la FIG. 3 ilustra un diagrama esquemático del sensor de número de bit según una realización de la presente divulgación. En la FIG. 3, el sensor 230 de número de bit es un circuito lógico, y el circuito lógico puede incluir una puerta lógica, y el circuito lógico puede ser una puerta XOR 310. La puerta XOR 310 tiene una pluralidad de terminales de entrada para acoplarse, respectivamente, con las células 211-21N de RRAM. La puerta XOR 310 puede detectar una cantidad del valor lógico "1" en los terminales de entrada para generar el código de opción OPC.

35 Hay que recalcar aquí que debe observarse que, en otra realización de la presente divulgación, el circuito lógico puede ser otra puerta diferente, tal como una puerta XNOR. O, la puerta XOR puede ser implementada por la puerta XOR 230 y un inversor acoplados en serie. No hay limitación alguna para usar la puerta XOR para implementar el circuito lógico del sensor 230 de número de bit.

40 Con referencia a la FIG. 4, la FIG. 4 ilustra un diagrama de bloques de otro circuito de provisión de código de opción según otra realización de la presente divulgación. El circuito 400 de provisión de código de opción incluye una pluralidad de células 411-41N de RRAM, una pluralidad de células 431-43N de RRAM de redundancia, y un controlador 420. El controlador 420 está acoplado con las células 411-41N de RRAM y con las células 431-43N de RRAM de redundancia. El controlador 420 puede habilitar las células 411-41N de RRAM o las células 431-43N de RRAM de redundancia para generar el código de opción OPC. Si se usan las células 411-41N de RRAM para proporcionar el código de opción OPC, se inhabilitan las células 431-43N de RRAM de redundancia mediante el controlador 420. Por 45 lo contrario, si se usan las células 431-43N de RRAM de redundancia para proporcionar el código de opción OPC, se inhabilitan las células 411-41N de RRAM mediante el controlador 420.

50 En detalle, el controlador 420 inhabilita las células 431-43N de RRAM de redundancia, y habilita las células 411-41N de RRAM para proporcionar el código de opción OPC durante un primer periodo de tiempo. Durante el primer periodo de tiempo, el controlador 420 genera el código de opción OPC según un número de bit de las células 411-41N de RRAM de formación pesadas. Además, el controlador 420 puede proporcionar una señal de control a las células 411-41N de RRAM para la formación pesada de al menos una de las células 411-41N de RRAM para ajustar el código de opción OPC. Si todas las células 411-41N de RRAM son de formación pesada y el código de opción OPC necesita ser ajustado adicionalmente, el controlador 410 puede inhabilitar las células 411-41N de RRAM y habilitar las células 431-43N de RRAM de redundancia para generar el código de opción OPC durante un segundo periodo de tiempo.

55 Además, un número de células 411-41N de RRAM y un número de células 431-43N de RRAM de redundancia puede ser igual o puede ser diferente. Y, en la disposición física en un chip, las células 411-41N de RRAM y las células 431-43N de RRAM de redundancia pueden estar dispuestas en una misma fila o columna.

En algunas realizaciones de la divulgación, uno o más grupos de células 431-43N de RRAM de redundancia pueden ser implementados para proporcionar el código de opción OPC. Como mucho, se habilita uno de los grupos de células 431-43N de RRAM de redundancia y de células 411-41N de RRAM, y los otros grupos son inhabilitados por el controlador 420.

- 5 Con referencia a la FIG. 5, la FIG. 5 ilustra un diagrama de flujo de etapas para un procedimiento de provisión de código de opción según una realización de la presente divulgación. En la etapa S510, se determina si hay que proporcionar una señal de control para realizar una operación de formación pesada en una pluralidad de células resistivas de memoria de acceso aleatorio. Entonces, en la etapa S520, se lleva a cabo una operación de lectura de las células resistivas de memoria de acceso aleatorio para determinar un número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada. Finalmente, se genera el código de opción según el número de bit de las células resistivas de memoria de acceso aleatorio que son de formación pesada o un número de bit de las células resistivas de memoria de acceso aleatorio que no son de formación pesada en la etapa S530. Además, el código de opción puede ser ajustado ejecutando la etapa S510-S530 una vez más, y se pueden determinar los tiempos de ajuste del código de opción por el número total de las células resistivas de memoria de acceso aleatorio.
- 10
- 15 Los detalles de las etapas S510, S520, S530 han sido descritos en las realizaciones mencionadas anteriormente, y no se repetirán más descripciones aquí.

El código de opción puede ser usado para habilitar una función o aplicación específica. Dado que se puede garantizar la retención de datos del código de opción, se puede activar exactamente la función o aplicación específica.

- 20 En resumen, la presente divulgación proporciona una pluralidad de células de RRAM que han de ser de formación pesada, y el código de opción puede ser determinado por el número de bit de las células de RRAM de formación pesada. Las células de RRAM de formación pesada no pueden ser recuperadas, y se puede cumplir el requisito de la retención de datos, y se puede aumentar el rendimiento de un sistema que usa el proveedor de código de opción de la presente divulgación.

REIVINDICACIONES

1. Un circuito (100, 200, 400) de provisión de código de opción, que comprende:

una pluralidad de células resistivas (111-11N, 211-21N, 411-41N) de memoria de acceso aleatorio; y un controlador (120, 220, 420), acoplado con las células resistivas (111-11N, 211-21N, 411-41N) de memoria de acceso aleatorio, y que determina si hay que proporcionar, o no, una señal de control para realizar una operación de formación pesada en al menos una de las células resistivas (111-11N, 211-21N, 411-41N) de memoria de acceso aleatorio,

en el que el controlador (120, 220, 420) lleva a cabo una operación de lectura en las células resistivas (111-11N, 211-21N, 411-41N) de memoria de acceso aleatorio para determinar un número de bit de la célula resistiva de formación pesada de memoria de acceso aleatorio que es de formación pesada, y se determina un código de opción (OPC) por el número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada o un número de bit de al menos una célula resistiva de memoria de acceso aleatorio de formación no pesada,

caracterizado porque si el número de bit de la al menos una célula resistiva (111-11N, 211-21N, 411-41N) de memoria de acceso aleatorio de formación pesada es impar, el código de opción es un primer valor lógico, y si el número de bit de la al menos una célula resistiva (111-11N, 211-21N, 411-41N) de memoria de acceso aleatorio de formación pesada es par, el código de opción es un segundo valor lógico, siendo el primer valor lógico diferente del segundo valor lógico.

2. El circuito (200) de provisión de código de opción según la reivindicación 1, que comprende, además: un sensor (230) de número de bit, acoplado con las células resistivas (211-21N) de memoria de acceso aleatorio, que lee, respectivamente, una pluralidad de datos almacenados en las células resistivas (211-21N,) de memoria de acceso aleatorio, y genera el código de opción según los datos almacenados.

3. El circuito (200) de provisión de código de opción según la reivindicación 2, en el que el sensor (230) de número de bit es un circuito lógico (310), y el circuito lógico realiza una operación lógica en la pluralidad de datos almacenados para generar el código de opción (OPC).

4. El circuito (200) de provisión de código de opción según la reivindicación 3, en el que el circuito lógico (310) comprende:

una puerta XOR (310), que tiene una pluralidad de terminales de entrada que recibe respectivamente la pluralidad de datos almacenados, y un terminal de salida para generar el código de opción (OPC).

5. El circuito (200) de provisión de código de opción según la reivindicación 2, en el que se obtiene cada uno de los datos almacenados según una resistencia de la correspondiente célula resistiva (211-21N) de memoria de acceso aleatorio.

6. El circuito (400) de provisión de código de opción según la reivindicación 1, que comprende, además:

una pluralidad de células resistivas (431-43N) de memoria de acceso aleatorio de redundancia, acopladas con el controlador (420), en el que el controlador (420) inhabilita las células resistivas (411-41N) de memoria de acceso aleatorio y forma al menos una de la pluralidad de células resistivas (431-43N) de memoria de acceso aleatorio de redundancia para actualizar el código de opción (OPC).

7. Un procedimiento de provisión de código de opción, que comprende:

determinar (S510) si hay que proporcionar una señal de control para realizar una operación de formación pesada en una pluralidad de células resistivas de memoria de acceso aleatorio;

llevar a cabo (S520) una operación de lectura de las células resistivas de memoria de acceso aleatorio para determinar un número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada; y

generar (S530) el código de opción según el número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada o un número de bit de la célula resistiva de memoria de acceso aleatorio que no es de formación pesada,

caracterizado porque la etapa (S530) de generación del código de opción según el número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada comprende:

si el número de bit es impar, el código de opción es un primer valor lógico, y si el número de bit es par, el código de opción es un segundo valor lógico, y el primer valor lógico es diferente del segundo valor lógico.

8. El procedimiento de provisión de código de opción según la reivindicación 7, en el que la etapa (S530) de generación del código de opción según el número de bit de la célula resistiva de memoria de acceso aleatorio que es de formación pesada comprende:
 - 5 leer una pluralidad de datos almacenados de las células resistivas de memoria de acceso aleatorio, respectivamente, y
generar el código de opción según los datos almacenados.
9. El procedimiento de provisión de código de opción según la reivindicación 8, en el que la etapa de generación del código de opción según los datos almacenados comprende:
 - realizar una operación lógica en la pluralidad de datos almacenados para generar el código de opción.
- 10 10. El procedimiento de provisión de código de opción según la reivindicación 7, que comprende, además:
 - proporcionar una pluralidad de células resistivas de memoria de acceso aleatorio de redundancia; e inhabilitar las células resistivas de memoria de acceso aleatorio y formar al menos una de la pluralidad de células resistivas de memoria de acceso aleatorio de redundancia para actualizar el código de opción.

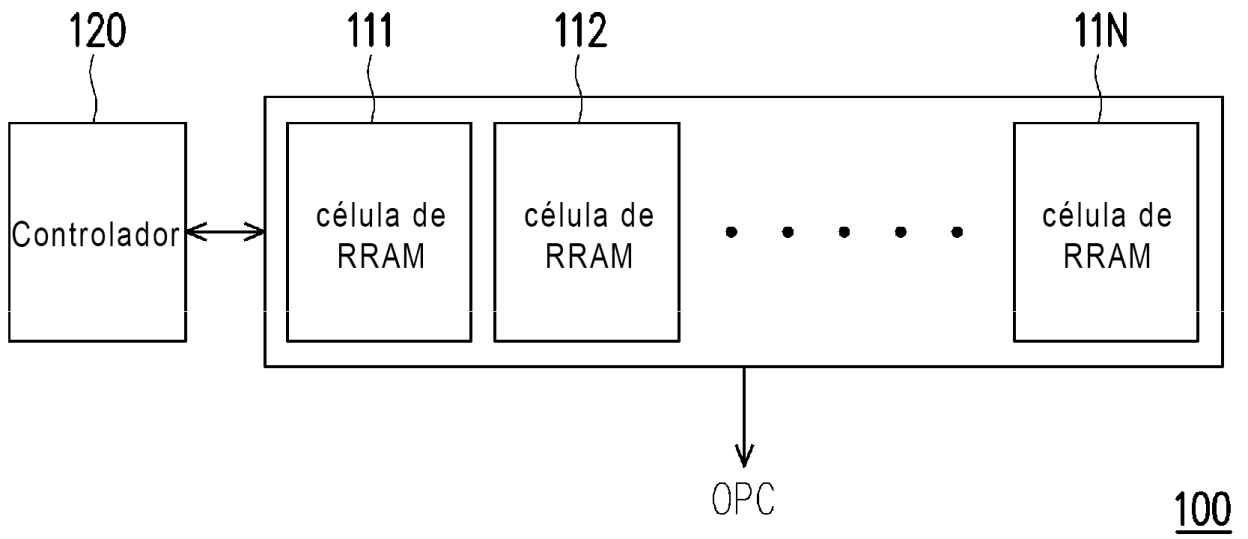


FIG. 1

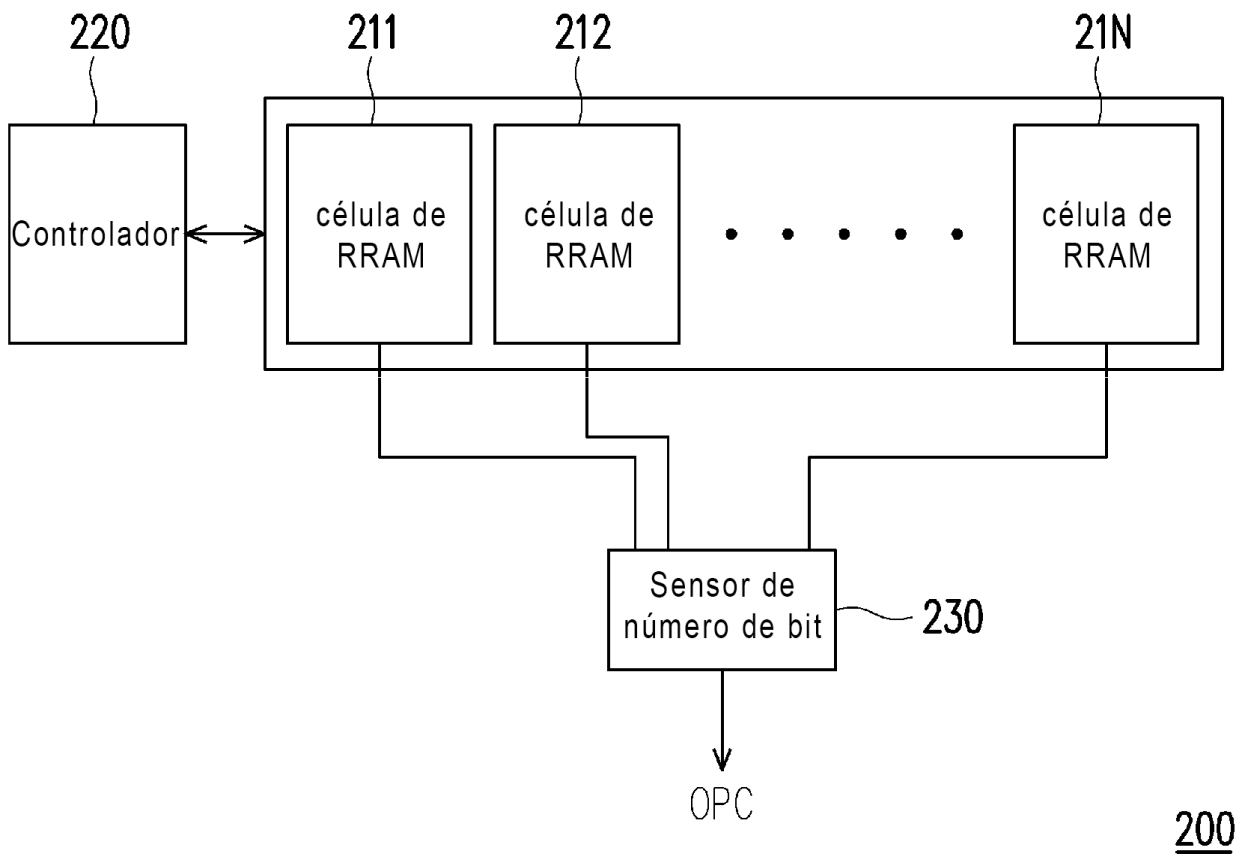


FIG. 2

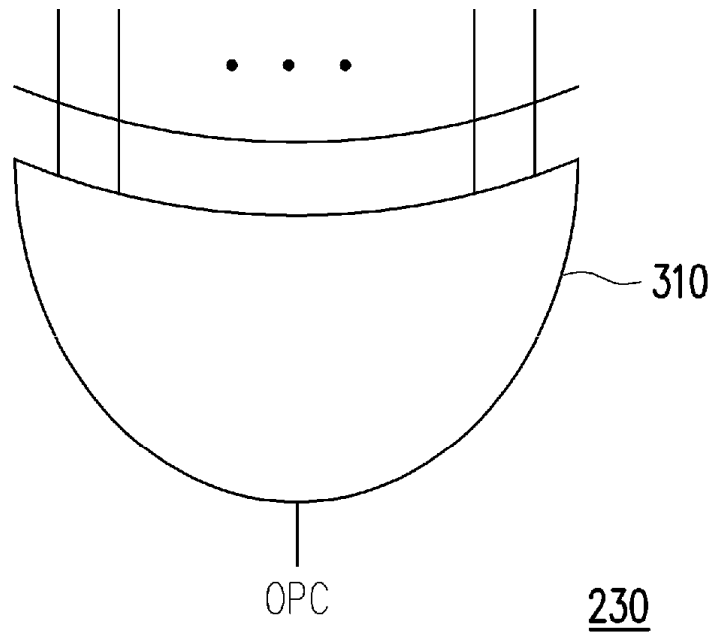


FIG. 3

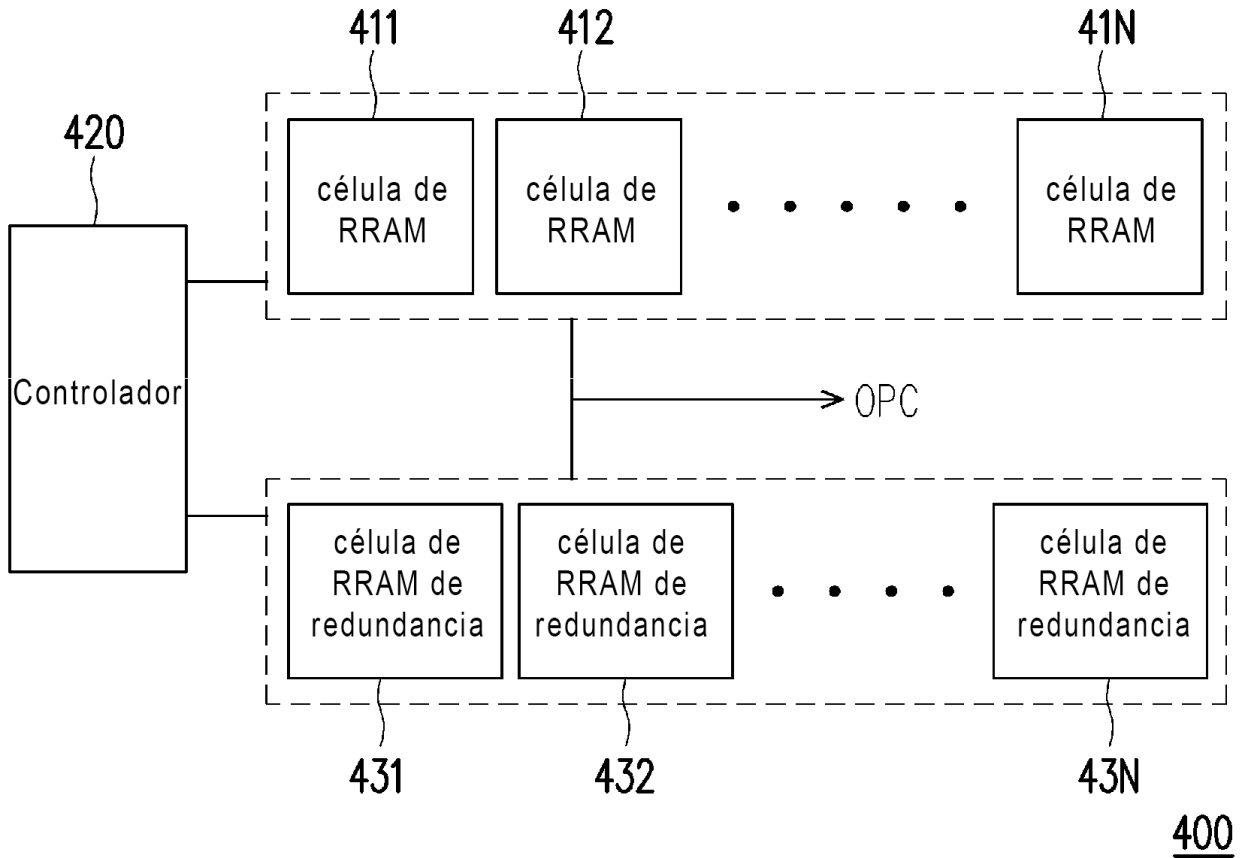


FIG. 4

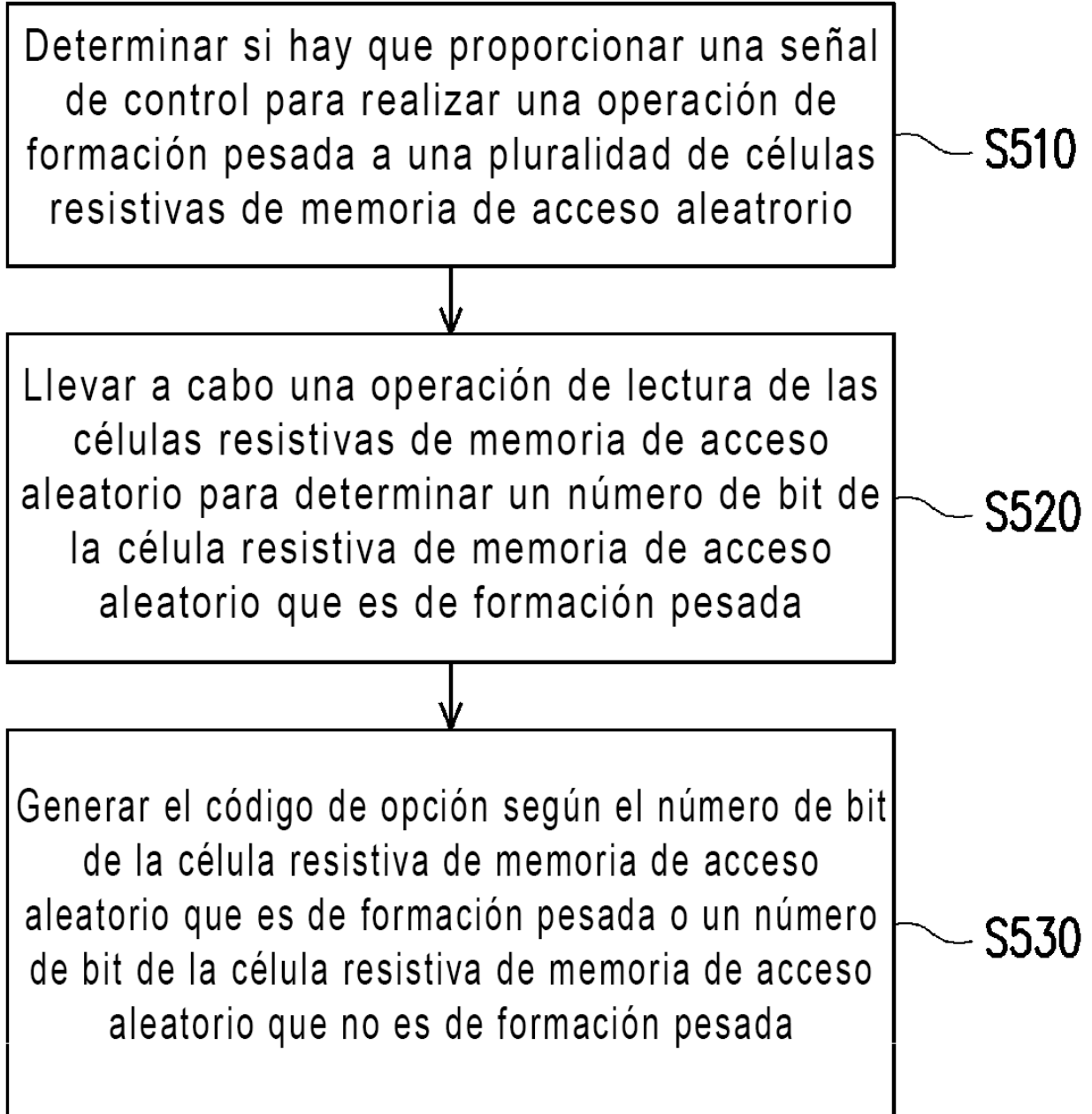


FIG. 5