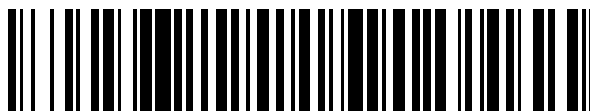


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 729 281**

51 Int. Cl.:

G01S 19/30

(2010.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **15.01.2015 PCT/EP2015/050678**

87 Fecha y número de publicación internacional: **23.07.2015 WO15107111**

96 Fecha de presentación y número de la solicitud europea: **15.01.2015 E 15700320 (3)**

97 Fecha y número de publicación de la concesión europea: **13.03.2019 EP 3094989**

54 Título: **Procesador para un receptor de radio**

30 Prioridad:

16.01.2014 GB 201400729

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

31.10.2019

73 Titular/es:

**QINETIQ LIMITED (100.0%)
Cody Technology Park Ively Road Farnborough
Hampshire GU14 0LX, GB**

72 Inventor/es:

MACLEOD, MALCOLM

74 Agente/Representante:

SÁEZ MAESO, Ana

ES 2 729 281 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procesador para un receptor de radio

5 Esta invención se refiere a métodos y sistemas relacionados con la recepción de señales de radio. Más particularmente, esta se refiere a métodos y sistemas para el procesamiento de señales de espectro ensanchado de secuencia directa (DS-SS), tal como las que se emplean comúnmente en los Sistemas Globales de Navegación por Satélite (GNSS).

10 DS-SS es un esquema de modulación utilizado para transmitir una señal de información digital utilizando un ancho de banda relativamente grande en comparación con la transmisión de la señal de información solamente. Este tiene beneficios que incluyen cierta resistencia a interferencias y la permite compartir canales entre varios usuarios, típicamente cuando cada usuario transmite uno o más códigos conocidos. Típicamente, para cada bit (un bit que comprende ± 1 , según corresponda) de la información que debe enviarse por un usuario, el bit se multiplica por un código que comprende, por ejemplo, un ruido pseudoaleatorio, diseñado para distribuir la energía a través de una banda de frecuencias más amplia, y para tener buenas características de autocorrelación. El código es conocido tanto para el transmisor como para el receptor. La demodulación comprende luego, en un nivel superior, determinar qué código se ha enviado.

20 En el caso más simple, el código comprende una secuencia de pulsos positivos y/o negativos, conocidos como chips, y se utiliza un proceso de correlación en el receptor para detectar la presencia del código en la señal recibida. El correlacionador conoce los códigos probables que se recibirán, y compara la secuencia del chip recibida (después de cualquier conversión descendente necesaria) con su propia copia interna de la secuencia. Esta técnica es bien conocida, y se describe por ejemplo en Spread Spectrum Systems for GNSS and Wireless Communications, by Jack K. Holmes; Artech House 2007; ISBN 978-1-59693-083-4. La patente de Estados Unidos 6314129 también describe un receptor basado en la recepción de un código pseudoaleatorio.

25 Algunos sistemas, tal como los que generan y reciben las señales utilizadas en los sistemas de navegación, utilizan códigos relativamente largos, que reemplazan cada bit de información que se transmite con muchos cientos de chips. Esto tiene beneficios que incluyen permitir que la señal recibida sea detectada a pesar de tener un orden de magnitud de la densidad espectral de potencia menor que el ruido térmico, y también generar un pico de correlación temporalmente muy estrecho y, por lo tanto, proporcionar información de temporización (y, por lo tanto, de posición) más precisa.

30 Sin embargo, un problema con el uso de códigos más largos es que se requiere un esfuerzo computacional adicional para implementar el proceso de correlación del sistema. Por ejemplo, en un sistema GNSS típico, tal como el Sistema de Posicionamiento Global (GPS), existen varios correlacionadores, cada uno de los cuales tiene que hacer cientos o miles de correlaciones cada segundo. Esto se ve agravado por el uso común de múltiples muestras digitales de cada chip, lo que aumenta los requisitos de procesamiento de datos.

35 Un problema adicional con los receptores GNSS modernos es el deseo creciente entre los usuarios finales de que estos funcionen con múltiples sistemas GNSS. El sistema GPS de Estados Unidos es el más común durante el uso en este momento, pero es probable que otros sistemas de navegación tales como el sistema GLONASS de fabricación rusa, el sistema BeiDou chino y el próximo sistema europeo GALILEO tengan una característica basada en usuarios ampliada en tiempo, y cada uno de estos sistemas tiene formatos de señal de transmisión ligeramente diferentes. Cada sistema GNSS tendrá su propio sistema de codificación, y múltiples códigos que representan los diversos vehículos satelitales (SV).

40 Dentro de un receptor para las señales GNSS, la correlación se utiliza en dos etapas diferentes de operación. Inicialmente, después de iniciarse (o si la señal se pierde posteriormente), el receptor debe usar el correlacionador para buscar la presencia de señales conocidas y hacer una estimación inicial de sus tiempos. Esto se llama la fase de adquisición. Las señales que están presentes dependen de qué satélites están a la vista, por lo que es posible que algunas señales conocidas no estén presentes. La temporización de las señales que están presentes se determina a partir del momento en que se produce el pico en la salida del proceso de correlación. La fase de adquisición es computacionalmente exigente, por lo que el requisito principal es maximizar el rendimiento de detección de la señal con el mínimo esfuerzo computacional.

45 Una vez que se ha adquirido cada señal, su temporización exacta debe estimarse continuamente con la mayor precisión posible. Esto se denomina fase de seguimiento. Los métodos comúnmente utilizados para hacer esto requieren que la temporización de la correlación sea ajustable para que se "aline" con la mejor estimación actual del tiempo de la señal recibida.

50 Por lo tanto, el diseño de un receptor GNSS debe por lo tanto soportar los diferentes requisitos de Adquisición y Seguimiento como se estableció anteriormente.

55 Muchos sistemas de receptores digitales emplean filtros adaptados para proporcionar una mejora de la relación señal al ruido en sus señales recibidas. Los receptores GNSS conocidos actualmente no incorporan filtros adaptados, debido a problemas con su implementación. Esto se debe a que un receptor típico necesitaría implementar muchos de estos filtros adaptados, debido a las diferentes señales posibles que podrían recibirse, por ejemplo, para tener en cuenta diferentes esquemas de codificación y tasas de chips, etc.

Para explicar los métodos utilizados actualmente, considere el caso común en el que los chips transmitidos son pulsos rectangulares.

5 Los receptores del tipo descrito en la presente descripción tienen uno o más correlacionadores, cuya tarea es comparar la señal entrante con una copia de lo que se espera recibir. El correlacionador luego proporciona una salida que es una medida de qué tan similar es la entrada para un código interno dado, como se mencionó anteriormente.

10 Considere la tarea de correlacionar con una primera secuencia conocida (la secuencia de referencia) y suponga que esta secuencia es de N chips de duración.

Una opción sería simplemente muestrear la señal de entrada a la tasa de chip. En cada tiempo de muestra sucesivo, el correlacionador realizaría la correlación de las N muestras más recientes con la secuencia de referencia almacenada. Debido a que los pulsos transmitidos son de forma rectangular, tal método funciona en la medida en que produce un pico de correlación, ya sea que los tiempos de muestra se encuentren cerca del inicio de cada pulso rectangular, cerca del final de cada pulso, o en medio. Sin embargo, este enfoque simple tiene muchas desventajas bien conocidas. Primero, el proceso de muestreo sin filtrar primero la señal para limitar su ancho de banda hace que las muestras incluyan ruido de todo el ancho de banda del receptor, lo que hace que la salida de la correlación tenga más ruido, lo que reduce la probabilidad de detectar las señales. En segundo lugar, el hecho mismo de que el proceso sea insensible al tiempo desconocido de muestreo dentro de cada pulso significa que no se puede usar para estimar el tiempo de ocurrencia de los pulsos en la señal recibida con la alta precisión requerida para la navegación por satélite.

25 Otro enfoque que podría considerarse sería preceder el proceso de muestreo con un filtro paso bajo. Esto reduciría el nivel de ruido, pero la salida de correlación dependería del tiempo dentro de cada chip recibido en el que se toman las muestras. La temporización de los chips recibidos no se conoce de antemano, e incluso más seriamente, la temporización de los chips recibidos de los diferentes satélites es diferente. Por lo tanto, este enfoque tampoco se ajusta.

Aumentar el número de muestras por chip proporciona un medio para mejorar el rendimiento, pero si se elige la tasa de muestra para que sea un múltiplo entero de la tasa de chip, esta todavía tiene deficiencias. Si el muestreo no está precedido por el filtrado paso bajo, la salida de correlación sigue siendo insensible al tiempo de muestreo, aunque en un grado reducido de incertidumbre en cuanto al tiempo. Insertar un filtro paso bajo adecuado antes del muestreador reduce este problema. La principal desventaja restante es que la cantidad de cálculo en el proceso de correlación aumenta en proporción a la tasa de muestra.

35 Una mejor solución es la base del método que ahora se usa comúnmente en los receptores GNSS. En este enfoque, la señal recibida se muestrea a una tasa igual a $K \times (M / N)$ veces la tasa de chip, donde N es un entero grande y M es otro entero grande muy cercano en valor a N (generalmente $M = N \pm 1$). Por lo tanto (M/N) es un valor cercano a uno. K es un entero pequeño. Es más fácil describir la operación de este método si N en la expresión anterior se hace igual a la longitud de la secuencia de referencia, y $K = 1$ y $M = N + 1$ se consideran primero. En ese caso, la duración de la secuencia de referencia de N chips es igual a N + 1 veces de la muestra. El intervalo entre muestras sucesivas es de $N/(N + 1)$ chips, por lo que el tiempo de las muestras sucesivas en relación con los chips recibidos sucesivos avanza en $1/(N+1)$ de un chip por chip. Fuera de los tiempos de muestra de N + 1, se estará por lo tanto muy cerca del límite entre el final de un chip en la señal recibida y el comienzo del siguiente chip. Por lo tanto, un cambio muy pequeño en el tiempo de la señal recibida con respecto a las muestras dará como resultado un cambio en la salida de correlación, y como resultado, este enfoque proporciona una variación casi homogénea de la salida de correlación para la temporización de la señal recibida, según se desee.

50 El método anterior se puede usar incluso con $K = 1$, pero como se explicó antes, el proceso de muestreo sin filtrar primero la señal para limitar su ancho de banda hace que las muestras incluyan ruido de todo el ancho de banda del receptor, lo que hace que la salida de la correlación tenga más ruido. Una opción comúnmente utilizada es hacer que K sea mayor que uno y preceder al muestreo mediante el filtrado adecuado. Sin embargo, hacer que K sea mayor que uno, lo que aumenta la tasa de muestra, nuevamente aumenta la carga de cálculo en la correlación.

55 Una complicación adicional en la implementación del método anterior es que la alineación exacta de las muestras M con los N chips, que es la cantidad que el receptor debe estimar, afecta la correcta asignación de los valores del código de referencia N a los valores del coeficiente M del correlacionador. Las soluciones prácticas requieren una pluralidad de funciones de mapeo si se logra un rendimiento óptimo.

60 Si se requiere un único receptor que pueda manejar todos estos diversos formatos, entonces se ejerce una presión enorme sobre la función del correlacionador de código del receptor. Una dificultad particular es que las tasas de chip de diferentes señales difieren, por lo que cualquier tasa de muestreo única tendrá relaciones diferentes a las diferentes tasas de chip. Usar una pluralidad de muestreadores que funcionen a diferentes tasas sería muy poco atractivo, ya que esto resultaría en un mayor tamaño, peso, costo y potencia del receptor. Por lo tanto, el enfoque descrito anteriormente tiene que usar una pluralidad adicional de funciones de mapeo para ajustar las diferentes tasas de chip a la única tasa de muestreo elegida.

Es un objeto de la presente invención proporcionar un método alternativo para procesar las señales DS-SS.

De acuerdo con un primer aspecto de la presente invención, se proporciona un sistema procesador para un receptor de radio, el sistema procesador está adaptado para procesar señales de Espectro Ensanchado de Secuencia Directa, dicho sistema procesador tiene un demodulador, el demodulador comprende un digitalizador para digitalizar un señal a una tasa de muestra predeterminada, dicha señal recibida comprende una secuencia de chips que llegan al procesador a una tasa conocida; y al menos un correlacionador para correlacionar la señal digitalizada con una señal conocida, el correlacionador se dispone para tener un pulso por chip; el digitalizador se dispone para tomar una pluralidad de muestras de cada chip, en diferentes puntos del mismo en comparación con los puntos de muestra en un chip adyacente, y tener una tasa de muestra que no sea un múltiplo entero de la tasa de chip; caracterizado porque el procesador incorpora además un filtro adaptado en chip (CMF) dispuesto para filtrar la salida del digitalizador y para proporcionar una muestra de salida para cada muestra de entrada, y una unidad de selección de muestra (SSU) dispuesta para recibir salidas del CMF y para seleccionar, para la entrada a cada toma del correlacionador, la salida del CMF más cercana en el tiempo a un tiempo ideal deseado en relación con un punto de referencia de temporización en el chip, y en donde el CMF se ajusta a una forma de onda del chip predeterminada esperada en el procesador.

El procesador, el demodulador y el digitalizador pueden formarse ventajosamente como un único componente, o puede comprender dos o más componentes.

Preferentemente, el digitalizador está dispuesto para tomar al menos 4, 8, 16 o 32 muestras por chip. El receptor puede, en algunas modalidades de la invención, proporcionar canales separados en fase (I) y en cuadratura (Q), como es bien conocido. En ese caso, cada canal puede tener digitalizadores separados, cada uno dispuesto para tomar al menos el número de muestras mencionadas anteriormente. Al tener una mayor cantidad de muestras por chip aumentan las opciones de qué muestra se elige para la entrada al correlacionador, y por lo tanto reduce el error entre el tiempo de la muestra y el tiempo ideal deseado.

Para que se cumplan las limitaciones en el muestreo de los chips, como se mencionó anteriormente, significa que no habrá, en promedio, un número entero exacto de muestras por chip. Por ejemplo, algunos chips tendrán en general n muestras tomadas, mientras que otros solo tendrán $(n-1)$ muestras tomadas. Por lo tanto, los puntos de muestreo en un chip dado serán ligeramente diferentes en comparación con los de un chip adyacente.

Es esta posición de muestreo cambiante en cada chip, junto con el filtrado de la entrada utilizando un filtro adaptado (o un enfoque al mismo, como se explica a continuación), y la selección de una muestra única para la entrada al correlacionador que proporciona un beneficio clave de la invención. Sin la posición de muestreo diferente, al elegir la muestra más cercana a la posición ideal deseada, la SSU siempre elegiría una muestra con un error de posición constante. Esto llevaría a una función de correlación que tiene una característica escalonada, que no es ideal para el seguimiento de un pico de correlación. Tener una variación en este error de chip a chip redondea efectivamente las etapas en la función de correlación, conllevando a un rendimiento de seguimiento mejorado.

Además, tener un único pulso por chip del correlacionador reduce la carga de trabajo del correlacionador, en comparación con la técnica anterior en donde típicamente se ingresan muchas muestras digitales del chip al correlacionador. Esto proporciona beneficios al reducir las demandas de suministro de energía del correlacionador.

El "filtro adaptado a chip" puede ser un filtro adaptado, que se adapta al chip que se está recibiendo. El uso de filtros adaptados es común en los sistemas de recepción sofisticados, un filtro adaptado es un filtro cuya respuesta de impulso es el tiempo inverso de la señal conocida. Este tipo de filtro es muy difícil de implementar en tecnología análogas para las señales DS-SS típicas. Sin embargo, la implementación de un filtro adaptado para señales del tipo considerado aquí puede simplificarse teniendo en cuenta el hecho de que la señal deseada es una secuencia de pulsos idénticos. Se puede mostrar entonces que, en teoría, se podría implementar un filtro adaptado filtrando primero la señal recibida utilizando un filtro adaptado a un único pulso y luego muestreando la salida de ese filtro y correlacionándola con la secuencia de referencia conocida, la separación de las muestras en el correlacionador es de una por chip. No es posible implementar exactamente un filtro inicial de este tipo (debido a la forma rectangular de su respuesta de impulso requerida), pero se puede implementar un enfoque cercano, siendo este un filtro adaptado a chip. Se debe tener en cuenta que los términos "filtro adaptado" y "filtro adaptado a chip" se usan como sinónimos en la presente descripción.

Los filtros adaptados a chip pueden implementarse como filtros digitales de Respuesta Finita al Impulso (FIR) (también conocidos como de alimentación anticipada). Debido a que las formas de chip que se usan generalmente en GNSS se pueden aproximar bien mediante formas de onda que toman solo los valores $+1$ o -1 , los filtros adaptados a chip típicamente no requieren circuitos multiplicadores de propósito general, sino que solo requieren circuitos que puedan multiplicar las muestras de señal por $+1$ o -1 (el primero no requiere efectivamente ninguna operación y el último es una simple operación de negación). Esto requiere sustancialmente menos circuitos que los circuitos multiplicadores de propósito general. Ahorros adicionales son posibles debido a las formas típicamente simples de los chips. Por ejemplo, un filtro adaptado a un chip rectangular cuya duración es de aproximadamente n tiempos de muestra a primera vista requeriría n adiciones (para sumar las n muestras consecutivas) y un búfer que contenga $n-1$ muestras (para contener las

muestras históricas necesarias). Sin embargo, un método eficiente bien conocido denominado algoritmo de Suma Consecutiva Recursiva hace posible realizar el filtrado usando una resta y una suma junto con un búfer que contiene n muestras.

- 5 El filtro adaptado a chip puede disponerse para tener una respuesta de impulso cercana a la de un filtro adaptado para un chip. Como se explicó anteriormente, la combinación de un filtro adaptado, el muestreo de su salida en una muestra por chip, y la correlación del resultado con la secuencia de referencia conocida puede proporcionar una detección casi óptima de la señal deseada en el ruido.
- 10 Si la tasa de muestra se eligiera para que sea igual o muy cercana a un múltiplo entero de la tasa de chip, entonces la temporización de cada muestra seleccionada en relación con el inicio o el final de cada chip sería exactamente o casi el mismo. Esto tendría la consecuencia, como se mencionó anteriormente, de hacer que la salida del correlacionador sea insensible al cambio de tiempo en los rangos de cambio de tiempo, proporcionando una característica escalonada no deseada en la respuesta del correlacionador.
- 15 Si, por el contrario, se elige que la tasa de muestra no sea igual o muy cercana a un múltiplo entero de la tasa de chip, entonces la operación de la SSU hace que haya una variación en esta temporización de la muestra de chip a chip, lo que tiene el efecto de suavizar las etapas en la función de correlación, conllevando a un rendimiento de seguimiento mejorado.
- 20 La determinación de si una elección de la tasa de muestra es aceptable requiere el conocimiento del número de chips, N , en la secuencia de referencia. La determinación continúa luego simulando la señal, el proceso de muestreo inicial, el filtro digital y la SSU, para una pluralidad de retardos supuestos de la señal entrante. Esto produce una estimación de la respuesta de correlación en función de la retardo de la señal. Si esto contiene etapas más allá de algún umbral predeterminado (por ejemplo, más del 2 % de la duración del chip), entonces la tasa de muestreo se considera inaceptable.
- 25 Este proceso se aplica a todas las tasas de chips que el receptor debe manejar. Por supuesto, otros umbrales pueden ser aplicables en varias aplicaciones, tales como 4 %, 6 % o 10 %, y un experto medio podrá determinar un umbral adecuado para sus propósitos particulares.
- 30 Los expertos en la técnica conocerán que los distintos sistemas GNSS difieren en cuanto a sus características de señal transmitida, y que algunos sistemas GNSS actuales no emplean un chip simple como símbolo de propagación transmitido (un chip es un pulso rectangular simple multiplicado por ± 1 como se explicó anteriormente). En su lugar, algunos usan un símbolo más complejo, elegido para tener las características de distribución de ancho de banda deseadas, tal como con el esquema de modulación del Portadora de Desplazamiento Binario (BOC). Por supuesto, en este caso, el filtro adaptado se adaptaría a este símbolo de propagación. Sin embargo, para los fines de esta solicitud, todos los símbolos de propagación de este tipo se denominan chips en la presente descripción.
- 35 Se pueden implementar múltiples filtros adaptados a chip digitales, todos tomando la misma señal muestreada como entrada, y cada uno de ellos se adapta a uno de los tipos de señal requeridos (es decir, formas de chip). Es una ventaja de la presente invención que un único filtro adaptado a chip digital pueda realizar la función requerida de filtrado adaptado simultáneamente para toda la pluralidad de señales de satélite recibidas que utilizan esa forma de chip.
- 40 Dicho filtro adaptado digital produce salidas a la misma tasa que la tasa de muestreo de entrada. Durante la fase de seguimiento, como se explicó anteriormente, los correlacionadores que se utilizan para rastrear cada señal requieren cada uno una temporización diferente, que se corresponde con la señal. Cada correlacionador está precedido por su propia SSU, que se suministra con los tiempos de muestra ideales deseados en relación con un punto de referencia (como el inicio o el final de cada chip) de esa señal. Cada SSU selecciona de manera independiente las muestras producidas por el filtro adaptado digital que están más cerca del tiempo ideal deseado. Una ventaja de la presente invención es que la SSU es una función simple de implementar, de modo que el requisito de implementar un gran número de correlacionadores de seguimiento se satisface con un bajo esfuerzo computacional.
- 50 Las modalidades de la invención tienen una ventaja particular cuando se usan en la demodulación de señales moduladas BOC. Se sabe que las señales moduladas BOC tienen una función de correlación que tiene múltiples picos y, por lo tanto, tiene problemas de ambigüedad al intentar usar la función de correlación con fines de seguimiento. Existen métodos para superar tales ambigüedades. Ver por ejemplo "A Design Technique to Remove the Correlation Ambiguity in Binary Offset Carrier (BOC) Spread Spectrum Signals", Philip W. Ward, ION, NTM 2004, que utiliza una disposición relativamente compleja para producir una función de autocorrelación más suave con ambigüedades más pequeñas. Sin embargo, esta técnica no es compatible con la práctica común de usar un reloj de muestreo que no sea un múltiplo entero de la tasa de chip, como también se emplea en la presente invención.
- 55 Por lo tanto, ventajosamente, para la demodulación de las señales moduladas BOC, una modalidad de la invención tiene un filtro adaptado a chip, que tiene una respuesta al impulso en forma de un único chip BOC. Para una señal deseada dada (por ejemplo, una señal "Temprana"), las salidas del CMF se utilizan para producir una señal de correlación como se describió anteriormente. El resultado de esto es un valor complejo. Luego se realiza una segunda correlación con un retardo conocido aplicado a la selección de la señal deseada, de un cuarto de un chip. Esto se puede hacer de manera muy simple con la arquitectura propuesta actualmente, simplemente agregando el retardo requerido a la selección de la señal deseada. Las salidas de estas dos correlaciones se combinan para producir una salida de correlación que es mucho
- 60
- 65

más suave que la producida en la primera etapa del procesamiento en Ward, y que es significativamente menos compleja que la segunda etapa paralela del procesamiento en Ward. La salida combinada proporciona una función discriminadora cercana a la lineal, que por lo tanto se puede usar para propósitos de seguimiento de manera tradicional. En una implementación, el proceso de combinación utilizado genera el módulo de la suma compleja de las dos salidas de correlación, y la separación de retardo entre las compuertas Temprana y Tardía se establece a $19/16$ de la duración del chip. Esto produce una curva de respuesta discriminadora convenientemente suave.

Se apreciará que la demodulación de señales BOC utilizando la técnica descrita anteriormente difiere de la técnica de Ward citada, ya que la técnica anterior tiene su señal de entrada multiplicada por una subportadora BOC y una subportadora en cuadratura BOC.

Como lo apreciaría un experto medio en la técnica, las señales BOC comprenden una señal de subportadora multiplicada por la señal de chip. Normalmente, se supone que esta señal de subportadora es una onda cuadrada. Sin embargo, cuando la señal se transmite, la señal pasa a través de circuitos limitadores de banda, tales como los transmisores y las antenas, que tienen el efecto de redondear la señal de la subportadora. Por lo tanto, en la práctica, la señal recibida en un receptor nunca es una verdadera señal de onda cuadrada. También se pueden prever futuras señales BOC donde la subportadora difiere intencionalmente de ser una onda cuadrada.

Las modalidades de la invención también tienen utilidad cuando se procesan señales que son similares a las señales BOC habituales, pero en las que se usan intencionalmente ondas no cuadradas, tales como ondas sinusoidales, etc. como subportadora. Por lo tanto, el término "BOC", como se usa en esta solicitud, debe considerarse que incluye estas otras formas de onda de subportadora, así como la subportadora de onda cuadrada teórica habitual.

De acuerdo con un segundo aspecto de la invención, se proporciona un método de procesamiento de una señal de espectro de propagación de secuencia directa (DS-SS) que comprende una secuencia de chips recibidos en un receptor, dichos chips se reciben a una tasa conocida, el método que comprende las etapas de:

- a) digitalizar la señal a una tasa de muestra al menos el doble de la tasa de chip, en donde la tasa de muestra es un múltiplo no entero de la tasa de chip, de manera que se muestrean chips sucesivos en diferentes puntos de la misma;
 - b) filtrar las muestras;
 - c) seleccionar una salida única del filtro para cada chip para la entrada a un correlacionador;
 - d) correlacionar las entradas proporcionadas por la etapa de selección c) con una señal de referencia;
- caracterizado porque el filtrado de la etapa b) se realiza con un filtro adaptado a chip (CMF) (62), en donde el filtro adaptado a chip (62) se ajusta sustancialmente a la forma de chip esperada, el CMF (62) proporciona una muestra de salida para cada muestra de entrada, y la salida única del CMF más cercano a un punto de temporización deseado ideal para cada chip se elige para la entrada al correlacionador.

Las características en un aspecto de la invención pueden aplicarse a otros aspectos de la invención, en cualquier combinación apropiada. En particular, los aspectos del método pueden aplicarse a aspectos del aparato, y viceversa.

La presente invención se describirá ahora en más detalle, a modo de ejemplo solamente, con referencia a las figuras que siguen, en las cuales:

La Figura 1 muestra un diagrama de bloques simplificado de un receptor adecuado para implementar modalidades de la presente invención;

La Figura 2 muestra una serie de funciones de correlación de diferentes arquitecturas de demodulación;

La Figura 3 muestra funciones de correlación en sistemas de filtros adaptados teóricamente ideales pero no prácticos para ayudar a comprender la presente invención;

La Figura 4 muestra las formas de onda de un sistema de la técnica anterior utilizando el muestreo $k(P \pm 1)/P$ junto con un CMF;

La Figura 5 ilustra esquemáticamente un diagrama de bloques simplificado de una modalidad de la presente invención;

La Figura 6 muestra formas de onda de una modalidad de la presente invención, donde se emplea el muestreo $k(P \pm 1)/P$, junto con un CMF; y

La Figura 7 muestra una función de correlación y una función discriminadora de una modalidad de la invención diseñada para demodular señales BOC.

La Figura 1 muestra un diagrama de bloques simplificado de un extremo frontal del receptor de radio (100) que incorpora un demodulador (101) para señales DS-SS, como se puede usar en las implementaciones de GNSS de la técnica anterior. Una antena (102) está conectada a un amplificador de bajo ruido (103) y desde allí al convertidor reductor (104) de manera convencional, para proporcionar señales de banda base en fase (I) y cuadratura (Q) en sus salidas (105). Las señales I y Q se digitalizan luego utilizando el par de convertidores analógico a digital (ADC) (106) a una tasa que dependerá de la arquitectura de demodulación particular utilizada en el sistema, pero es probable que sea al menos una vez por chip, y es, en muchos receptores GNSS, muchas veces más que esto.

Las señales digitales generadas por los ADC (106) se envían a los correlacionadores (108).

El correlacionador (108) es un correlacionador convencional del tipo comúnmente empleado en los receptores DS-SS. El correlacionador comprende un conjunto de multiplicadores y elementos de retardo, y tiene una entrada (no mostrada) que proporciona una señal de referencia que se multiplica por la señal recibida digitalizada.

Las características del correlacionador son un elemento clave para el rendimiento de los sistemas GNSS. Esto se debe a que la salida del correlacionador se utiliza no solo para detectar la presencia de una señal deseada, sino también para rastrear su hora de llegada. Por lo tanto, es altamente deseable que la salida del correlacionador tenga una característica que permita que dicho seguimiento tenga lugar. En los sistemas GNSS, el seguimiento se realiza comúnmente mediante el uso de múltiples correlaciones, una de las cuales es una correlación "Instantánea" en la que la temporización de la señal de referencia se ajusta para igualar el estimado actual del tiempo de llegada de la señal, y otros pueden ser una correlación "Temprana" en la que la temporización de la señal de referencia se ajusta para ser anterior al estimado actual del tiempo de llegada de la señal y una correlación "Tardía" en la que la temporización de la señal de referencia se ajusta para ser posterior al estimado actual del tiempo de llegada de la señal. Las salidas de estos correlacionadores pueden procesarse para proporcionar una señal de retroalimentación de bucle, que ajusta la temporización de las tomas utilizadas para alimentar a los correlacionadores, para brindar un mejor estimado del tiempo de llegada de la señal de entrada y, por lo tanto, conducir a una mejor precisión de posición.

El sistema de la Figura 1 no es adecuado para implementar las modalidades de la presente invención, pero se verá en la Figura 5 que las modalidades de la invención requieren adiciones relativamente menores, tales como la adición de una función CMF y una función SSU.

La Figura 2 muestra las salidas procesadas simuladas de un correlacionador que proporciona salidas Tempranas, Instantáneas y Tardías. La Figura 2a representa el pico de correlación de una salida de correlacionador de un sistema analógico idealizado, con chips cuadrados, como una función del retardo de entrada de señal. Esto tiene una forma triangular en el lapso de tiempo particular que se muestra. Sobrepuestas en la placa se encuentran las salidas de las compuertas Temprana, Instantánea, Tardía. La salida Temprana se muestra como un triángulo con el vértice hacia abajo, la salida Instantánea es un círculo y la salida Tardía es un triángulo con el vértice hacia arriba, para tres casos. Los marcadores con el sufijo 1 indican las salidas en el primer caso, donde el estimado del receptor del tiempo pico es correcta. Los marcadores con el sufijo 2 indican las salidas si el estimado de la hora pico del receptor es temprana, y los marcadores con el sufijo 3 indican las salidas si el estimado de la hora pico del receptor es tardía.

Mediante el procesamiento adecuado de las salidas Temprana, Instantánea y Tardía, se puede producir una función "discriminadora" que, en este caso ideal, es una señal monotónica lineal a través de la duración de un único chip. Esto se muestra en la Figura 2b. Esta es una representación idealizada generada por la ecuación $(\text{Temprana} - \text{Tardía}) / (2 \times \text{Instantánea} + \text{Temprana} + \text{Tardía})$, donde Temprana es $\frac{1}{2}$ chip antes del punto de referencia, Tardía es $\frac{1}{2}$ chip detrás del punto de referencia e Instantánea está en el punto de referencia. El gráfico se traza como una función del error de estimación del tiempo de llegada, en chips. Como es bien sabido, se pueden usar otras funciones discriminadoras, como la ecuación $(\text{Temprana} - \text{Tardía}) / (\text{Temprana} + \text{Tardía})$, que es más simple de calcular pero da un resultado ligeramente más ruidoso.

Es un objetivo en la mayoría de los diseños de receptores GNSS procesar sus señales de entrada para producir una función discriminadora que se aproxima a las propiedades básicas de linealidad y monotonidad de la función mostrada en la Figura 2b, en un grado suficiente para sus propósitos.

Una de las opciones de diseño disponibles al diseñar correlacionadores para los receptores DS-SS es la cantidad de tomas que tienen por chip. Los correlacionadores utilizados en los dispositivos GNSS utilizan típicamente varios pulsos por chip y, por lo tanto, cada correlación correlaciona típicamente varias muestras de cada chip, y se incluyen muchos chips en cada correlación. De este modo, el trabajo realizado y la energía consumida por el correlacionador se multiplican por el número de muestras por chip.

Antes de esta invención, los expertos en la técnica entenderían que tener una tasa de muestra igual a la tasa de chip no proporcionaba una función discriminadora práctica; la función, sin que estuviera presente un filtro adaptado, se asemejaría a un pulso plano como se muestra en Figura 3a que no puede proporcionar retroalimentación de seguimiento en un bucle de seguimiento. Tener un número entero fijo de muestras por chip mejora esto, pero da como resultado una función discriminadora que es un pulso de amplitud escalonada, como se muestra en 3b, con el número de etapas igual al número de muestras por pulso (por ejemplo, 4 muestras por chip en el caso ilustrado en la Figura 3b). Nuevamente, esta no es una función de seguimiento útil para la mayoría de los propósitos, a menos que el número de muestras y los pulsos por chip del correlacionador sean lo suficientemente altos, pero esto también aumenta los requisitos de trabajo y potencia del correlacionador.

Los receptores GNSS de la técnica anterior superan este problema utilizando un muestreo espaciado regularmente que tiene un número promedio no entero de muestras por chip. Aquí, el espaciado de la muestra de las tomas del correlacionador se elige para que tenga la forma $k(P \pm 1)/P$ veces la tasa de chip, donde P es un número grande, tal como el número de chips en la función de referencia utilizada para la correlación. Esto da como resultado aproximadamente k tomas por chip del correlacionador, pero la temporización de las tomas del correlacionador sucesivas en relación con los límites de las tomas sucesivas cambia progresivamente.

Esto produce una forma mejorada en gran medida (casi ideal) para la característica de la función de rastreo, que se aproxima al ideal que se muestra en la Figura 2b en forma básica. Sin embargo, como los filtros adaptados no se utilizan, la magnitud de la función de salida de seguimiento se reduce, conllevando a un peor rendimiento y a una mayor susceptibilidad al ruido. El factor k (es decir, el número aproximado de muestras por chip y tomas al correlacionador) proporciona un aumento de la magnitud de la señal de $\sqrt{k}$, pero nuevamente con el consiguiente esfuerzo de procesamiento adicional. Se sabe que los sistemas existentes usan esta técnica.

Como se ha sugerido anteriormente, la inclusión de un filtro adaptado a chip mejoraría el rendimiento de ruido de las disposiciones de muestreo y correlación de la técnica anterior analizadas anteriormente. Sin embargo, las implementaciones conocidas anteriores tienen problemas que hacen que el uso de un filtro adaptado sea problemático y, por lo tanto, ningún receptor conocido implementa un filtro adaptado antes del correlacionador.

En primer lugar, considere el caso en el que la tasa de muestra de ADC de entrada es un múltiplo entero exacto de la tasa de chip entrante. Se apreciará que los tiempos en los que se puede muestrear el filtro adaptado son los mismos que los tiempos de las muestras de entrada. Por lo tanto, esto cuantifica los retardos del correlacionador que pueden seleccionarse, lo que también cuantifica la precisión de temporización que puede lograrse desde el correlacionador hasta un grado (con intervalos de muestreo prácticos) que hace que la resolución de temporización del correlacionador no sea suficiente para la mayoría de los propósitos. Por ejemplo, si la tasa de muestreo es cuatro veces mayor que la tasa de chip, la propia función de correlación solo puede calcularse con valores de retardo separados entre sí por un cuarto de un chip. El aumento de la tasa de muestra reduce la gravedad de este problema, pero reducirlo en un grado suficientemente grande requeriría una tasa de muestreo mucho más alta de lo que se desea. Alternativamente, para aproximar la salida del correlacionador a un retardo intermedio deseado, se podría considerar el uso de filtros de interpolación, pero eso aumentaría la complejidad.

Como resultado, los receptores prácticos para rastrear las señales GNSS no utilizan tasas de muestreo que son múltiplos enteros de la tasa de chip.

En segundo lugar, considere el caso en el que nuevamente se usa un CMF con los métodos de muestreo de la técnica anterior donde la tasa de muestra de entrada es típicamente $k(P \pm 1)/P$ veces la tasa de chip, donde P es igual al número de chips en la función de señal de referencia (típicamente 1023).

La Figura 4 muestra un conjunto de formas de onda de una simulación que ilustra el problema con la implementación de un filtro adaptado a chip con los métodos de muestreo de la técnica anterior descritos.

Con referencia a la Figura 4, la fila superior muestra una simulación de cuatro extractos cortos de una señal de entrada recibida. En este ejemplo, la secuencia de referencia para la correlación tiene una longitud de 1023 chips, y se asume que la señal de entrada no tiene ruido para mayor claridad de la presentación.

La sección de la señal de entrada (a) está al inicio de la señal de referencia de 1023 chips; la sección (b) es un cuarto del recorrido a través de esta (256 chips) y la sección (c) está a mitad del recorrido a través de esta (512 chips).

Las muestras de ADC correspondientes se ilustran en la segunda fila (marcada (d)) de la Figura 4; la tasa de muestra de entrada se toma como $10 \times 1.024\text{MHz}$, con una tasa de chip de 1023/ms en esta simulación. Por lo tanto, la tasa de muestra es $10 \times 1024/1023$ veces la tasa de chip. Durante la mayoría de los chips, por lo tanto, hay 10 muestras de entrada, como puede observarse. Por lo tanto, el filtro adaptado a chip se implementaría digitalmente sumando las 10 muestras anteriores. La salida del filtro adaptado a chip, la línea (e) nuevamente tendría aproximadamente forma de diente de sierra (aunque en realidad se muestrearían).

Ahora considere qué sucede cuando se muestrea la salida del filtro adaptado regularmente en cada décima muestra de entrada (es decir, a una tasa de 1.024 MHz) de acuerdo con los métodos de la técnica anterior. Estas muestras se ilustran mediante el diagrama de tallo (círculos) en la fila (e).

A la izquierda de la fila (e) (es decir, el inicio de la secuencia de referencia), las muestras seleccionadas están bien alineadas con el final de cada tiempo de chip de la señal de entrada, y el funcionamiento es casi ideal. Pero en la sección central de la gráfica, que corresponde a aproximadamente un cuarto del recorrido a través de la secuencia de referencia, la alineación de tiempo de las muestras utilizadas (los círculos) es aproximadamente un cuarto de un chip antes del tiempo ideal. La magnitud de estos valores muestreados es, por lo tanto, proporcionalmente más pequeña que la ideal, como se puede ver, porque aproximadamente un cuarto de las muestras de entrada presentes en el filtro adaptado en el momento en que se toma la muestra de salida son del chip anterior.

En la sección de la derecha de la gráfica, correspondiente a aproximadamente una mitad del recorrido a través de la secuencia de referencia, la alineación de tiempo de las muestras utilizadas (los círculos) es aproximadamente la mitad de un chip antes del tiempo ideal. Este es el peor momento posible para muestrear la salida del filtro adaptado porque aproximadamente la mitad de las muestras de entrada presentes en el filtro adaptado en el momento en que se toma la

muestra de salida son del chip anterior. En el ejemplo ilustrado, el chip anterior tiene la polaridad opuesta al chip actual, por lo que la magnitud de salida es cero.

A medida que la forma de onda continúa hasta el final de la señal de referencia, la alineación volverá a su valor óptimo una vez más, pero una parte significativa de ella se habrá muestreado en momentos significativamente diferentes del ideal.

El rendimiento es, por lo tanto, significativamente inferior al verdadero filtrado adaptado.

La fuente de la pérdida de rendimiento es que las muestras de la salida de CMF (es decir los círculos en la fila marcada (e) en el gráfico) se producen (con una excepción) cuando su entrada es una mezcla del chip anterior y el chip actual. Debido a que la tasa de muestras en el correlacionador es $(P \pm 1)/P$ veces la tasa de chip, el desplazamiento entre los tiempos de muestra reales y los tiempos de fin de chip (ideales) corresponde a cada múltiplo posible de $1/(P \pm 1)$ chips, donde cada uno ocurre una vez.

Otra manera de explicar por qué hay una pérdida de rendimiento es reiterar que la combinación de un filtro adaptado a chip seguido de un correlacionador solo es teóricamente igual al correlacionador óptimo si las muestras se toman del filtro adaptado a chip a una tasa de una muestra por chip. No hay garantía de que esto sea lo óptimo en otras circunstancias, y como se ha demostrado, en realidad no se ha logrado.

Los problemas ilustrados anteriormente son la razón por la cual el CMF no se ha utilizado hasta la fecha en los sistemas GNSS o en cualquier otro sistema DS-SS conocido por el inventor.

Los sistemas conocidos de la técnica anterior, por lo tanto, logran un rendimiento razonable utilizando un número no exacto de muestras por chip (por ejemplo, $k(P \pm 1)P$ (donde P es un número grande, y k es un número entero que suele estar entre 2 y 8) y correlacionar las muestras con la función de señal de referencia, utilizando un correlacionador con k tomas por chip.

Sin embargo, los inventores de la presente invención se han dado cuenta de que el rendimiento a menudo se puede mejorar, con requisitos de procesamiento generalmente más bajos, de acuerdo con las modalidades de la invención.

Una modalidad de la invención se muestra en la Figura 5, y comprende un receptor que tiene un mezclador (60) que proporciona salidas I y Q, cada canal del cual está digitalizado por un ADC (61) a una tasa de muestra que no es un múltiplo entero de la tasa de chip. Tenga en cuenta que solo se muestra el procesamiento del canal I, ya que el procesamiento del canal Q es funcionalmente idéntico.

Las muestras digitales de ADC (61) se introducen en un CMF (62) que se adapta a la forma del chip que se está recibiendo. Es decir, su respuesta de impulso es la misma que la inversión de tiempo de la entrada de chip esperada. Hay aproximadamente 10 (o más generalmente, k) muestras por chip en la salida del CMF en esta modalidad, igual en número a las muestras del ADC. La salida (digital) del CMF se suministra luego a un selector de muestra (63), que se dispone para seleccionar, para cada chip, la muestra que más se acerque al tiempo de muestra ideal deseado y, durante un proceso de seguimiento, solo esta muestra seleccionada se proporciona al correlacionador (64) para ese chip. Por lo tanto, el correlacionador (64) tiene, cuando realiza el seguimiento, una única entrada para cada chip, en oposición a muchas implementaciones de la técnica anterior de k entradas por chip.

Tenga en cuenta que el selector de muestra (63) y el correlacionador (64) se replicarán en la mayoría de las modalidades de la invención, para proporcionar, por ejemplo, procesamiento temprano y tardío como se describió anteriormente, pero se muestra uno solo en la Figura 6 para mayor claridad.

Los tiempos de muestra deseados se definen con referencia a un reloj interno, que es un componente necesario de cualquier receptor GNSS. Como parte de su funcionamiento, el receptor GNSS eventualmente calcula la relación de tiempo entre ese reloj interno y la hora real del día, como se deriva de las señales satelitales, pero no es necesario conocer esa relación para usar el reloj interno para los propósitos descritos aquí.

Es más sencillo explicar el funcionamiento de la selección de muestra si se asume que el reloj de muestra se utiliza como reloj interno; se podrían elegir otras opciones, pero dar lugar a cálculos más complicados. Para una explicación más clara, el término "un tictac" del reloj se usará para referirse a la cantidad en la que el reloj aumenta por muestra de entrada. Para realizar una correlación con la forma de onda de referencia que tiene un valor de retardo deseado (medido con referencia al reloj interno y, por lo tanto, expresado en forma de tictacs), se pueden calcular los tiempos exactos de las muestras de señales que se adaptarían a la forma de onda de referencia retardada (también medido con referencia al reloj interno, y expresado en forma de tictacs).

El selector de muestra (63) selecciona, para cada chip, la muestra que más se acerque al tiempo de muestra ideal deseado. Cuando este último se expresa en forma de tictacs de reloj, esto se logra redondeando cada tiempo de muestra ideal al número entero más cercano. Dado que los valores enteros de los tictacs del reloj corresponden a los tiempos de

muestreo de entrada, y por lo tanto también a los tiempos de muestra de las salidas de CMF, estos tiempos redondeados (en tictacs) corresponden a muestras reales fuera del CMF, que son las muestras seleccionadas.

Una manera conveniente de implementar la función anterior es usar un dispositivo bien conocido que se conoce como oscilador controlado numéricamente. Este contiene un registro o almacén que se carga inicialmente con el primer tiempo de muestra deseado y un segundo registro o almacén que se carga con el estimado actual de la duración del chip (1/tasa de chip) de la señal. Ambas cantidades se expresan en tictacs, incluyendo una parte fraccionaria para garantizar que se expresen con suficiente precisión. El valor del primer registro se redondea para producir el tiempo (en tictacs exactos) de la primera muestra que se requiere para la correlación. Cuando el tiempo de la última muestra disponible fuera del CMF (en tictacs) coincide con ese valor redondeado, la muestra correspondiente se pasa al correlacionador. El valor en el segundo registro se agrega luego al valor en el primer registro y el proceso se repite. Esto continúa hasta que el número definido de muestras (igual en longitud al código de referencia) se haya pasado al correlacionador.

Si el correlacionador está tratando de seguir, por ejemplo, la señal de "a tiempo", entonces el punto de muestreo ideal del CMF estará al final de cada chip. Por lo tanto, el muestreador vecino más cercano (65) elegirá la muestra más cercana en el tiempo al borde supuesto del chip, pero, debido al proceso de redondeo, la muestra real seleccionada puede ocurrir antes del final o después del final del borde supuesto del chip. Se debe recordar de lo anterior que la modalidad (y de hecho todas las modalidades de la invención) tiene un número no exacto de muestras por chip, por lo que la separación temporal entre el instante de muestreo real y el instante de muestreo ideal deseado variará de un chip a otro.

Se apreciará que es trivial ajustar los puntos de muestreo ideales, para proporcionar, por ejemplo, una compuerta Temprana o Tardía, y esto puede hacerse agregando las compensaciones de tiempo constante apropiadas a los tiempos de muestreo deseados.

La Figura 6 muestra un gráfico que es similar al de la Figura 4, pero en cambio tiene una forma de onda revisada (e), como se encuentra en esta modalidad de la invención, y por lo tanto muestra los beneficios proporcionados por esta y otras modalidades de la invención. Las formas de onda (a) a (d) son las mismas que las de la Figura 4 y, por lo tanto, no se describirán nuevamente en detalle.

La forma de onda (e) de la Figura 6 es una salida simulada de un filtro adaptado, bastante similar a la forma de onda (e) de la Figura 4, pero en su lugar muestra los tiempos de muestra (es decir, la muestra elegida para suministrarse al correlacionador para cada chip) que se eligen por la SSU en las modalidades de la presente invención. Aquí, en este ejemplo, el tiempo de muestreo "ideal deseado" está al final de cada chip. Por lo tanto, el muestreador vecino más cercano de la Figura 6 está programado para seleccionar la muestra más cercana a ese punto ideal y, por lo tanto, elige los puntos de muestreo como lo indican los círculos en la forma de onda (e). En (e_1), es decir, al inicio del período de correlación, la muestra coincide exactamente con el punto deseado. Debido al muestreo múltiple no entero, el intervalo de muestreo varía ligeramente del ideal, pero, dado que hay una pluralidad de muestras (aproximadamente 10 en este caso) fuera del CMF por chip, el error temporal máximo entre el punto de muestreo ideal y real se reduce de la mitad de un período de chip en los sistemas de la técnica anterior a la mitad del intervalo entre muestras adyacentes. Así, en el punto (e_2), que es un cuarto del recorrido a través de la señal de referencia, la magnitud reducida de la muestra es evidente, pero el error se reduce mucho en comparación con el de la forma de onda (e) de la Figura 4 que muestra un sistema de la técnica anterior. En el punto (e_3), que se encuentra a mitad de camino a través de la forma de onda de referencia, la alineación en el tiempo de las muestras utilizadas está nuevamente cerca del ideal.

Por lo tanto, las modalidades de la invención permiten muestrear la salida del filtro adaptado en tiempos de muestra cercanos a los tiempos de muestra ideales, proporcionando así una mayor amplitud de señal para el correlacionador, y haciendo por lo tanto que la salida del correlacionador sea más grande en relación con su salida de ruido, mejorando así el rendimiento del sistema.

Tenga en cuenta que durante la adquisición de la señal de navegación (a diferencia de su seguimiento), es necesario buscar la señal y durante esta fase la correlación debe realizarse repetidamente. Existe una pérdida de rendimiento si el tiempo real de la señal recibida se encuentra entre los tiempos seleccionados para las correlaciones reales sucesivas. Esta pérdida es peor si el tiempo real de la señal recibida está aproximadamente a mitad del recorrido entre los tiempos seleccionados para las correlaciones reales sucesivas. El error de tiempo resultante da como resultado una salida de señal más pequeña desde el correlacionador y, por lo tanto, una probabilidad reducida de detección de la señal. Si los tiempos sucesivos de correlaciones están separados por un chip, la pérdida es significativa (típicamente 3-4 dB), por lo que es normal que el intervalo entre los tiempos de inicio de las correlaciones sea la mitad de la duración de un chip o menos.

Para lograr la función de adquisición de manera eficiente utilizando la presente invención, el selector de muestra (63) se usa para seleccionar las muestras fuera del CMF que están separadas por la mitad de la duración de un chip (o, si se desea, un tercio o un cuarto de la duración de un chip) para reducir aún más la pérdida de rendimiento del peor de los casos). Esto se puede lograr en modalidades de la invención cargando en el segundo registro de la NCO la mitad (o la tercera o cuarta parte) del estimado inicial de la duración de chip de la señal (expresada en tictacs). El resultado es que el selector de muestra hace que se seleccione una secuencia de muestras del CMF que se emiten al doble (o 3 o 4 veces respectivamente) de la tasa de chip estimada.

Estas muestras se suministran a un almacén (lo más conveniente es una "memoria cíclica") y, a medida que llega cada nueva muestra, el correlacionador de adquisición realiza una correlación entre el código de referencia conocido y las muestras de la señal almacenada espaciada a intervalos de un chip. En el caso en que las muestras se hayan seleccionado para tener el doble de tasa de chip, esto significa que la muestra recién llegada (se denomina a esta muestra 1) junto con las muestras 3, 5, 7, etc. sería utilizada por el correlacionador. Para cada muestra recién llegada, se realiza la correlación y se calcula su valor de salida.

Estas salidas de correlación sucesivas se procesan de la misma manera que en los receptores GNSS de la técnica anterior, para detectar la presencia de la señal y proporcionar un primer estimado de su tiempo de ocurrencia.

Se apreciará que debido a que es muy fácil cambiar los valores cargados en los registros NCO del selector de muestra (63), es muy fácil cambiar tanto la temporización de la muestra inicial como la duración supuesta del chip. En los sistemas de la técnica anterior que utilizan las tasas de muestreo que son de la forma $k \times (P \pm 1)/P$ veces la tasa de chip, típicamente se requiere un bloque de cálculo (a veces denominado "mapeador de códigos") para asociar los valores P de la forma de onda de referencia con las muestras de señales $k \times (P \pm 1)$ correspondientes. Además, la función lógica calculada por el mapeador de códigos debe ser diferente para diferentes tasas de chip y diferentes opciones de tasa de muestra de entrada.

La presente invención es ventajosa porque permite que las modalidades de la misma soporten cualquier tasa de chip y (sujeto a ciertas restricciones, que se explican a continuación) un rango muy amplio de tasas de muestra, simplemente cambiando los dos valores pasados al selector de muestra NCO. Un dispositivo implementado usando la presente invención puede por lo tanto ajustar fácilmente las tasas de muestreo elegidas para cumplir con otras restricciones del receptor. Por lo tanto, esto también proporciona flexibilidad para manejar señales futuras que tienen diferentes tasas de chip de las señales actuales.

El análisis ha demostrado que existen ciertos criterios que deben cumplir las modalidades de la presente invención para obtener un buen rendimiento. Estos son:

1. El intervalo de muestreo T_s debe ser lo suficientemente pequeño en relación con el intervalo de tiempo del chip T_{CHIP} para evitar el exceso de suavizado de la función de correlación de salida. El suavizado se produce porque las muestras reales seleccionadas por el selector de muestra (63) son a veces diferentes de los tiempos ideales, con el error de tiempo en el rango de $-0.5 T_s$ y $+0.5 T_s$. Cuando se selecciona una muestra en el momento "incorrecto", su contribución individual al resultado de la correlación global es equivalente a uno de una correlación "ideal" que tiene un tiempo de retardo ligeramente diferente del tiempo deseado. El efecto general de todos estos errores es similar al suavizado de la curva de salida del correlacionador, lo que hace que su pico se vuelva más redondeado. Dado que determinar el tiempo exacto del pico es el propósito del receptor, esto resulta en una ligera pérdida de rendimiento, por lo tanto, para limitar esa pérdida, el valor de T_s debe ser elegido para ser lo suficientemente pequeño. Tenga en cuenta que si un grado dado de suavizado de la función de correlación de salida es excesivo, este variará según la aplicación en la que se va a utilizar. El modelado de un sistema propuesto puede usarse para determinar el grado de suavizado que es probable que ocurra.

2. El error medio entre los tiempos de las muestras seleccionadas por el selector de muestra (63) y los tiempos de muestra ideales debe ser lo suficientemente cercano a cero, para evitar que el resultado del correlacionador global se desvíe, y este criterio debe cumplirse para cualquier desplazamiento de los tiempos de muestra ideales en relación con el inicio de chips sucesivos. Esto se explica mejor considerando un contra-ejemplo; a saber, el caso en el que la tasa de muestra es un múltiplo exacto de la tasa de chip. Dado que en ese caso los tiempos de retardo de las muestras disponibles en relación con el inicio de cada chip son los mismos en relación con el inicio de cada chip, y dado que los tiempos de muestreo ideales también tienen los mismos retardos en relación con el inicio de los chips sucesivos, cada operación del selector de muestra (63) selecciona una muestra cuyo retardo relativo al inicio del chip correspondiente es el mismo. El error (es decir, la diferencia) entre los tiempos de muestra ideales y los tiempos de muestra seleccionados es, por lo tanto, el mismo para cada chip y puede ser distinto de cero. El valor promedio del error (es decir, la desviación) puede, por lo tanto, ser distinto de cero. La consecuencia es que las muestras utilizadas para formar la correlación se corresponden con un retardo de tiempo diferente al ideal. Esto crea el "brusquedad" en la respuesta del correlacionador descrita anteriormente, que es un error no deseado. El problema se produce no solo para frecuencias de muestreo exactamente iguales a un múltiplo de la tasa de muestra, sino también para frecuencias de muestreo lo suficientemente cercanas a un múltiplo de la tasa de muestra, como se explica en detalle a continuación. Nuevamente, se puede usar el modelado para analizar un sistema propuesto para ver si cumple con los requisitos.

Los criterios anteriores proporcionan una gran flexibilidad en la implementación de un sistema GNSS utilizando la presente invención. Estos permiten analizar un sistema GNSS candidato, con una frecuencia de muestreo, una tasa de chip y una longitud de correlación P particulares para verificar si cumple con una especificación de rendimiento determinada. Por supuesto, se pueden llevar a cabo modalidades de la invención que no cumplan los criterios anteriores, pero que todavía tengan un rendimiento suficiente para un propósito determinado. Por lo tanto, estas no deben considerarse esenciales para la invención, sino apenas preferibles.

El primer criterio se satisface fácilmente si la relación f_s/F_{CHIP} es mayor que aproximadamente 2. En este valor, la pérdida de rendimiento en el peor de los casos es de aproximadamente 1 dB y se reduce aún más al aumentar la relación a

más de 2. El valor 2 es, en cualquier caso, el valor mínimo utilizado en los sistemas GNSS prácticos, para evitar una pérdida excesiva del rendimiento de detección durante la etapa de adquisición.

La prueba del segundo criterio se basa en el siguiente análisis. Los tiempos de muestra ideales (en tictacs) en la salida del CMF se definen por

$$t_0 + p \times (f_s/f_{CHIP}), p = 0 \dots P-1$$

donde T_0 Es el tiempo de la primera muestra ideal (en tictacs) f_s es la frecuencia de muestreo y f_{CHIP} es la tasa de chip.

El funcionamiento del selector de muestras (63) selecciona las muestras en los tiempos

$$\text{round}(t_0 + p \times (f_s/f_{chip})), p = 0 \dots P-1.$$

Los errores de tiempo de muestreo (en tictacs) son por lo tanto

$$\varepsilon_p = \text{round}(t_0 + p \times (f_s/f_{chip})) - (t_0 + p \times (f_s/f_{chip})), p = 0 \dots P-1$$

y el valor de "desviación" b se define como el error medio en el tiempo de muestreo, que es la media de ε_p .

Se puede mostrar que la desviación del caso más desfavorable se produce si se elige el tiempo de muestra ideal inicial para que sea exactamente la mitad de un intervalo de muestra antes de un tiempo de muestra real, es decir, $t_0 = \langle \text{entero} \rangle - 0.5$. (Esto resulta en $\varepsilon_0 = -0.5$.) Aunque otras opciones de tiempo de muestra ideal inicial también pueden resultar en la misma desviación del peor caso, por lo tanto, solo es necesario probar el caso definido en este párrafo.

Explotando el hecho de que

$$\text{round}(a) - a = 0.5 - \text{mod}(a+0.5, 1)$$

y por lo tanto

$$\text{round}(a - 0.5) - (a - 0.5) = 0.5 - \text{mod}(a, 1),$$

por lo tanto, el valor de desviación b (en unidades de tictacs) puede calcularse convenientemente de la siguiente manera

$$b = 0.5 - \text{mean}(\text{mod}(p \times (f_s/f_{chip}), 1), p = 0 \dots P-1).$$

El valor de desviación b debe estar por debajo de un límite que se deriva de la precisión de tiempo requerida de las mediciones de correlación individuales. En un sistema de navegación por satélite que a su vez se deriva de la precisión de posición requerida del sistema y las características del procesamiento que sigue las mediciones de correlación. Típicamente, ese procesamiento tiene un efecto de "suavizado" que resulta en un error de salida inferior al error de las mediciones de correlación individuales.

La desviación varía entre las mediciones de correlación. El valor de la raíz cuadrada media (rms) de la desviación sobre una sucesión de mediciones de correlación es, por lo tanto, menor que la desviación del caso más desfavorable calculado con la fórmula anterior.

Si, por ejemplo, la máxima precisión de posición del sistema requiere que las mediciones de retardo individuales se realicen con una precisión de 1 ns (correspondiente a 30 cm de recorrido de una onda de radio), y si el efecto de suavizado del procesamiento posterior a la correlación reduce el error rms en un factor de 4, entonces una desviación en el peor de los casos de 4 ns logrará cómodamente el requisito. Para expresar la desviación en unidades de tictacs, el límite de tiempo (4 ns) debe multiplicarse por la tasa de muestra. Si, por ejemplo, la tasa de muestra es de 20 MHz, el límite de 4 ns corresponde a 0.08 tictacs (intervalos de muestreo).

El procedimiento para probar si una tasa de muestra propuesta es adecuada, por lo tanto, consiste en (i) verificar que f_s/f_{CHIP} es mayor que aproximadamente 2 usando el mayor valor de f_{CHIP} para ser manejado por el receptor, y (ii) verificar que el valor de desviación del caso más desfavorable b , calculado como se describió anteriormente, sea más pequeño que el límite requerido para cualquier valor de f_{CHIP} y P que serán manejados por el receptor.

Aunque el procedimiento de prueba definido en el párrafo anterior es, en principio, todo lo que se requiere, ahora se proporciona información adicional sobre la aplicación de los criterios (1) y (2). Se deja que la relación f_s/f_{CHIP} se exprese como $K + (Q + \delta)/P$, donde K y Q son enteros positivos y δ se encuentra en el rango de 0 a 1. P , la longitud de la secuencia de referencia utilizada en la correlación, es un entero grande (muchos cientos o miles en aplicaciones prácticas). El criterio (1) requiere que K sea al menos 2.

Se puede mostrar que si δ es cero y Q es mayor que cero, la desviación es muy cercana a cero. Esto se debe a que los errores de muestreo se esparcen casi uniformemente entre $-0,5$ y $+0,5$ tictacs (es decir, intervalos de muestreo de entrada). También se puede mostrar que la desviación en el peor de los casos es mayor cuando δ está cerca de $0,5$; su magnitud en tictacs es entonces de aproximadamente $0,125/(Q + 0,5)$.

No es conveniente confiar en una relación exacta entre f_s y f_{CHIP} debido a que el movimiento tanto del transmisor (un satélite en el caso de la navegación por satélite) como de la plataforma de recepción causa cambios en el valor exacto de f_{CHIP} . Por lo tanto, en la mayoría de los casos, la estrategia preferible es garantizar que Q sea lo suficientemente grande como para que la desviación en el peor de los casos sea aceptablemente pequeña, sea cual sea el valor de δ . Por ejemplo, si el límite de desviación en el peor de los casos es de 4 ns, la tasa de chip máxima es de $10,23$ Mchip/s, y se considera que $K = 2$ (haciendo que la tasa de muestreo sea ligeramente superior a $20,46$ MHz) primero se soluciona la ecuación

$$0,125/(Q + 0,5) < \{ 4\text{ns} \times 20,46\text{MHz} \approx 0,082 \}$$

que se cumple siempre que el número entero Q sea al menos 2 . Por lo tanto, cualquier frecuencia de muestreo que difiera de $2 \times 10,23 = 20,46$ MHz en al menos $(2/P) \times f_{CHIP}$ produce una desviación en el peor de los casos aceptablemente pequeña. Para un valor típico de P , tal como 1023 , la consecuencia es que cualquier frecuencia de muestreo que difiera de $20,46$ MHz en al menos 20 kHz produce una desviación aceptablemente pequeña en el peor de los casos.

La siguiente banda de frecuencias que debe evitarse es de aproximadamente $3 \times 10,23 = 30,69$ MHz. La ecuación que ahora se debe cumplir es

$$0,125/(Q + 0,5) < \{ 4\text{ns} \times 30,69\text{MHz} \approx 0,143 \}$$

que se cumple siempre que el número entero Q sea al menos 1 . Por lo tanto, cualquier frecuencia de muestreo que difiera de $30,69$ MHz en al menos 10 kHz produce una desviación aceptablemente pequeña en el peor de los casos.

Es posible que se requiera un receptor GNSS versátil de múltiples constelaciones para manejar señales GNSS que tengan un número de diferentes tasas de chip, por ejemplo, $0,5115$ MHz, $1,023$ MHz, $2,046$ MHz, $2,5575$ MHz, $5,115$ MHz y $10,23$ MHz. Como se ha explicado, la elección de la tasa de muestra debe evitar los múltiplos enteros de cualquiera de esas tasas de chips, o pequeñas bandas alrededor de esos múltiplos enteros.

Para ilustrar las opciones alcanzables, los criterios descritos anteriormente se han aplicado simultáneamente a todas las tasas de chips enumeradas anteriormente, para calcular todas las bandas permitidas de tasa de muestra dentro del rango general ilustrativo de 20 MHz a 35 MHz. Se encontró que el $98,5\%$ de ese rango de frecuencia de muestra es permisible, de acuerdo con los criterios. Se permiten todos los múltiplos enteros de 1 MHz o $1,024$ MHz. Solo 15 de 1500 múltiplos enteros de 10 kHz no están permitidos.

Por lo tanto, se puede ver que el método de esta invención admite intervalos muy amplios de tasa de muestra.

Las modalidades simuladas de la invención han funcionado bien. La forma exacta de la salida del correlacionador en el simulador se ha investigado en términos de los efectos de cuantificación generados por el proceso de muestreo de ADC. Estos efectos ponen un límite fundamental en la precisión con la que se puede usar el correlacionador para estimar el retardo de la señal (y, por lo tanto, la precisión de navegación).

Se ha encontrado que este límite de cuantificación inherente es casi exactamente el mismo para las modalidades exploradas por simulación que para un esquema de mapeador de códigos de la técnica anterior que funciona en las mismas condiciones en términos de la tasa de muestra, la tasa de chips y la duración de la secuencia de referencia en chips), donde ambos son simulados en un entorno silencioso.

A medida que se agrega ruido a las simulaciones, y la relación señal a ruido (SNR) se reduce a niveles realistas, los dos esquemas siguen siendo equivalentes siempre que el mapeador de códigos de la técnica anterior y su proceso correlacionador asociado procesen todas las muestras de entrada. Las modalidades de la invención que emplean un enfoque de filtrado adaptado siempre explotan todas las muestras de entrada. Si se implementa un esquema de mapeador de código que procesa solo un subconjunto de muestras de entrada, su ganancia de SNR y, por lo tanto, su rendimiento, se reduce. Esto se puede apreciar al observar que el procesamiento de menos de todas las muestras hizo que se generara un alias en el ruido. En la práctica, los esquemas conocidos del mapeador de códigos de la técnica anterior siempre procesan muestras a una tasa demasiado baja para lograr una SNR óptima. En contraste, el enfoque de filtrado adaptado como se usa en las modalidades de la presente invención siempre explota todas las muestras de entrada.

Se ha encontrado que la presente invención es significativamente menos exigente de implementar, en términos de carga computacional, que un enfoque del mapeador de código de la técnica anterior de rendimiento similar.

Como se indicó anteriormente, la invención es muy adecuada para el procesamiento de señales moduladas BOC. Una modalidad de la invención comprende un receptor que tiene un filtro adaptado a chip, y un par de correlacionadores para

cada una de las salidas Temprana, Instantánea y Tardía. Los CMF se adaptan a la forma particular del chip BOC que se recibe.

Cada correlacionador tiene una SSU asociada, con todas las SSU tomando sus entradas del CMF. Para un par dado, una de las SSU está organizada para seleccionar una salida del CMF en su punto deseado (es decir, Temprana, Instantánea o Tardía), mientras que la otra está dispuesta para seleccionar una salida un cuarto de chip más adelante. Cada SSU suministra su muestra seleccionada a su correlacionador asociado. La selección de la salida del CMF se realiza de manera similar a la de las modalidades descritas anteriormente, es decir, seleccionando la muestra más cercana en el tiempo deseado.

Las salidas de cada par de correlacionadores se combinan, este valor combinado representa la salida para las señales Temprana, Instantánea o Tardía, según corresponda.

Tanto el proceso de combinación como la separación de retardo entre las puertas Tempranas y Tardías pueden ajustarse para producir la curva discriminadora más suave. Se encuentra que las mejores opciones tanto del proceso de combinación como de la separación de retardo dependen de la relación entre la tasa de muestra y la tasa de chip. La simulación se puede utilizar para explorar el resultado y elegir las combinaciones más satisfactorias.

Para un primer caso en el que la tasa de chip es 1,023 MHz y la tasa de muestra es 30,0 MHz, un proceso de combinación preferido genera el módulo de la suma compleja de las dos salidas de correlación, y la separación de retardo entre las puertas Temprana y Tardía se establece en 19/16 de la duración del chip. Se encuentra que esto produce una curva de respuesta discriminadora deseablemente suave.

Para un segundo caso en el que la tasa de chips es de 10,23 MHz y la tasa de muestra es de 30,0 MHz, un proceso de combinación preferido genera la raíz cuadrada de los módulos sumados de las dos salidas de correlación, y la separación de retardo entre las puertas Temprana y Tardía es nuevamente ajustado a 19/16 de la duración del chip. Esto nuevamente produce una curva de respuesta discriminatoria deseablemente suave para este caso

El modelado de este enfoque ha demostrado que la salida combinada de un par correlacionador tiene una función como se muestra en la Figura 7a, el gráfico que muestra la magnitud de salida del correlacionador combinada contra el retardo. Esto tiene un aspecto ligeramente ondulado. Sin embargo, la función más importante es la función discriminadora, que se muestra en la Figura 7b. Esto muestra $(E-L)/(E+L)$ como una función de error de retardo. La naturaleza relativamente suave, lineal y monótonica de la función la hace adecuada para su uso en el seguimiento GNSS.

La modalidad descrita anteriormente en relación con la demodulación de señales BOC se puede adaptar como lo entendería un experto en la técnica. Por ejemplo, esta puede adaptarse para tener más salidas (por ejemplo, Muy temprano y Muy tarde), o puede tener retardos diferentes del % de retardo del chip como se usó anteriormente entre las SSU de cada par. Además, el proceso de combinación puede modificarse para proporcionar, por ejemplo, una función discriminadora más lineal. Los diversos cambios que pueden hacerse pueden modelarse para investigar sus efectos y adaptar las propiedades de la función discriminadora o la función de correlación.

Las modalidades de la invención pueden implementarse, por ejemplo, en una matriz de puerta programable de campo (FPGA), un Circuito Integrado específico de aplicación (ASIC), o en cualquier otra forma adecuada. El FPGA o ASIC, etc. pueden incorporar circuitos de muestreo analógico a digital, o pueden estar dispuestos para recibir señales digitales de una unidad de digitalización separada. Para las aplicaciones GNSS, el FPGA, el ASIC, etc. pueden disponerse además para implementar un algoritmo de seguimiento completo utilizando las salidas del procesador, y así proporcionar como salida una señal de navegación. Alternativamente, el algoritmo de seguimiento puede implementarse en un procesador separado utilizando las salidas proporcionadas por las modalidades de la invención.

La invención se ha descrito con referencia específica a los sistemas GNSS. Se entenderá que esto no pretende ser limitativo y la invención se puede usar de manera más general en aplicaciones que se presentarán al experto en la materia.

Reivindicaciones

1. Un sistema de procesador para un receptor de radio, el sistema de procesador se adapta para procesar señales de Espectro Ensanchado de Secuencia Directa (DS-SS), dicho sistema de procesador tiene un demodulador, el demodulador comprende un digitalizador (61) para digitalizar una señal recibida a una tasa de muestra predeterminada, dicha señal recibida comprende una secuencia de chips que llegan al procesador a una tasa conocida; y al menos un correlacionador (64) para correlacionar la señal digitalizada con una señal conocida, el correlacionador se dispone para tener un pulso por chip; el digitalizador (61) está dispuesto para tomar una pluralidad de muestras de cada chip, en diferentes puntos del mismo en comparación con los puntos de muestra en un chip adyacente, y para tener una tasa de muestra que no sea un múltiplo entero de la tasa de chip; caracterizado porque el procesador incorpora además un filtro adaptado a chip (CMF) (62) dispuesto para filtrar la salida del digitalizador (61) y para proporcionar una muestra de salida para cada muestra de entrada y una unidad de selección de muestra (SSU) (65) dispuestas para recibir las salidas del CMF y para seleccionar, para la entrada a cada toma del correlacionador, la salida del CMF más cercana a un tiempo ideal deseado en relación con un punto de referencia de temporización en el chip, y donde el CMF (62) se adapta a una forma de onda de chip predeterminada esperada en el procesador.
2. Un procesador de acuerdo con la reivindicación 1, en donde el número promedio de muestras por chip tomadas por el digitalizador es al menos 2
3. Un procesador de acuerdo con la reivindicación 2, en donde el número promedio de muestras por chip tomadas por el digitalizador es al menos 8.
4. Un procesador de acuerdo con cualquiera de las reivindicaciones anteriores, en donde el punto de referencia de temporización se toma con referencia a un sistema de reloj interno.
5. Un procesador de acuerdo con cualquiera de las reivindicaciones anteriores, en donde el procesador tiene una pluralidad de correlacionadores (64) dispuestos en pares, donde un primer correlacionador en un par dado se adapta para tener un primer tiempo ideal deseado en un primer punto con referencia al punto de referencia de temporización, y el segundo correlacionador en el par adaptado para tener un segundo tiempo ideal deseado en un segundo punto con referencia al punto de referencia de temporización,
6. Un procesador de acuerdo con la reivindicación 5, en donde la separación temporal entre el primer y el segundo tiempo ideal deseado se establece en un cuarto de la duración de un chip.
7. Un procesador de acuerdo con la reivindicación 5 o la reivindicación 6, en donde las salidas del primer y segundo correlacionadores se combinan en una única salida
8. Un procesador como se reivindica en cualquiera de las reivindicaciones 5 a 7, en donde el procesador se usa para procesar señales Portadoras de Desplazamiento Binario (BOC).
9. Un procesador como se reivindica en cualquiera de las reivindicaciones anteriores, en donde el procesador se usa en el procesamiento de señales de un Sistema Global de Navegación por Satélite (GNSS).
10. Un receptor que incorpora un procesador de acuerdo con cualquiera de las reivindicaciones anteriores.
11. Un receptor de acuerdo con la reivindicación 10, en donde dicho receptor tiene un extremo frontal adaptado para proporcionar una señal de conversión descendente al procesador.
12. Un método para procesar una señal de espectro de propagación de secuencia directa (DS-SS) que comprende una secuencia de chips recibidos en un receptor, dichos chips se reciben a una tasa conocida, el método que comprende las etapas de:
 - a) digitalizar (61) la señal a una tasa de muestra al menos el doble de la tasa de chip, en donde la tasa de muestra es un múltiplo no entero de la tasa de chip, de modo que se muestrean chips sucesivos en diferentes puntos de la misma;
 - b) filtrar las muestras;
 - c) seleccionar (63) una única salida del filtro (62) para cada chip para ingresar a un correlacionador (64);
 - d) correlacionar (64) las entradas proporcionadas por la etapa de selección c) con una señal de referencia; caracterizado porque el filtrado de la etapa b) se realiza con un filtro adaptado a chip (CMF) (62), en donde el filtro adaptado a chip (62) se ajusta sustancialmente a la forma de chip esperada, el CMF (62) proporciona una muestra de salida para cada muestra de entrada, y la única salida del CMF (62) más cercana a un punto de temporización ideal deseado para cada chip se elige para la entrada al correlacionador.

13. El método como se reivindica en la reivindicación 12 que comprende además las etapas de:
- e) para cada chip, seleccionar una segunda salida del CMF más cercana en el tiempo a un segundo punto de temporización ideal deseado, y proporcionar la salida a un segundo correlacionador;
 - f) correlacionar las salidas seleccionadas con la señal de referencia en el correlacionador;
 - g) combinar las salidas de los dos correlacionadores para producir una salida única.
- 5

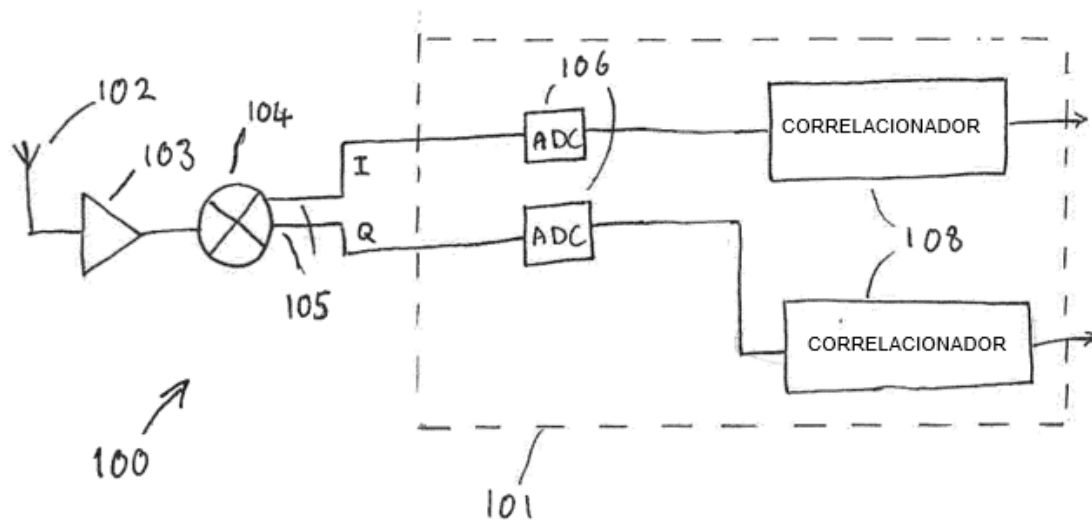


Figura 1

Figura 2a

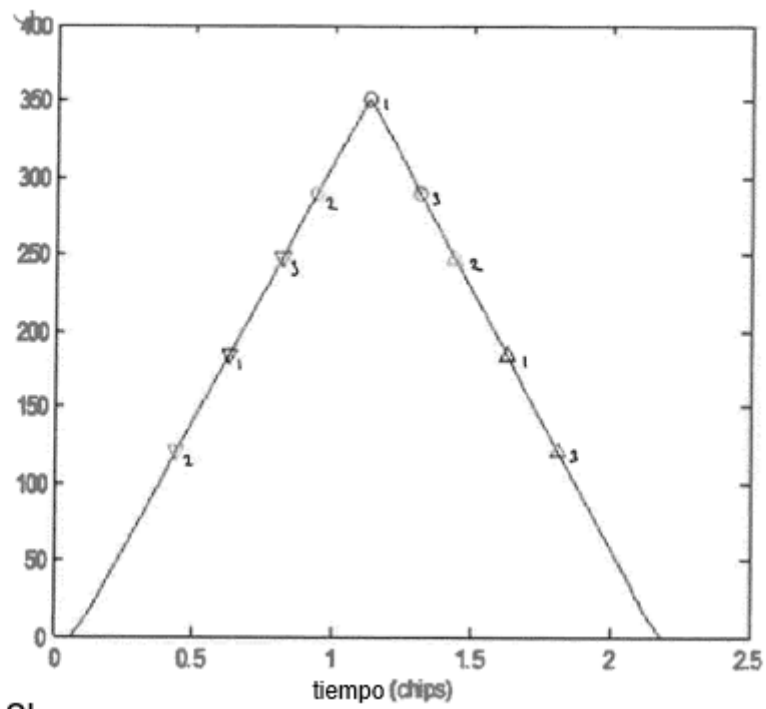


Figura 2b

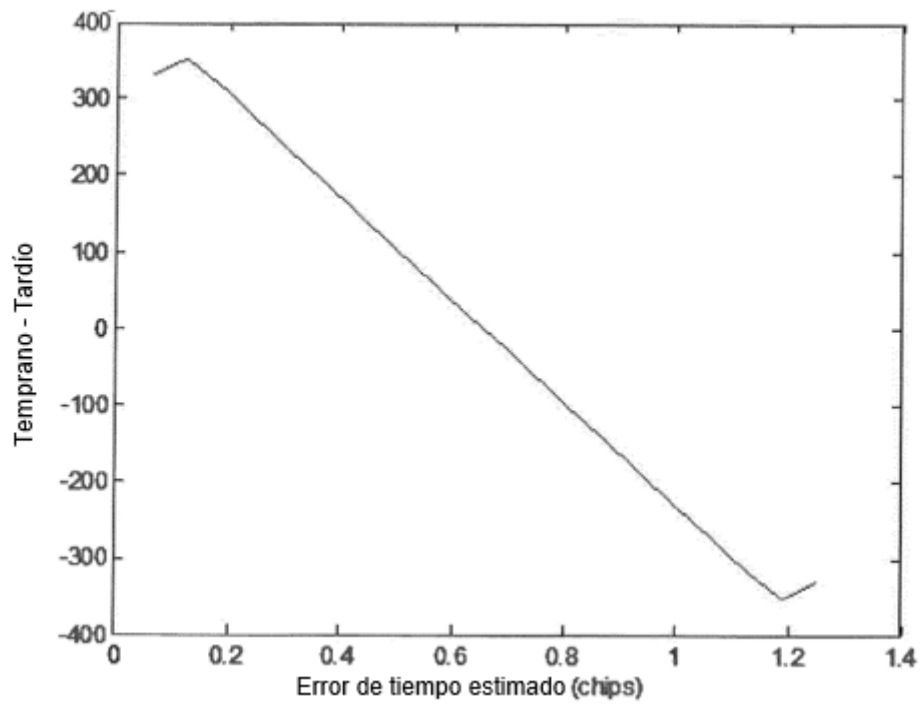


Figura 3a

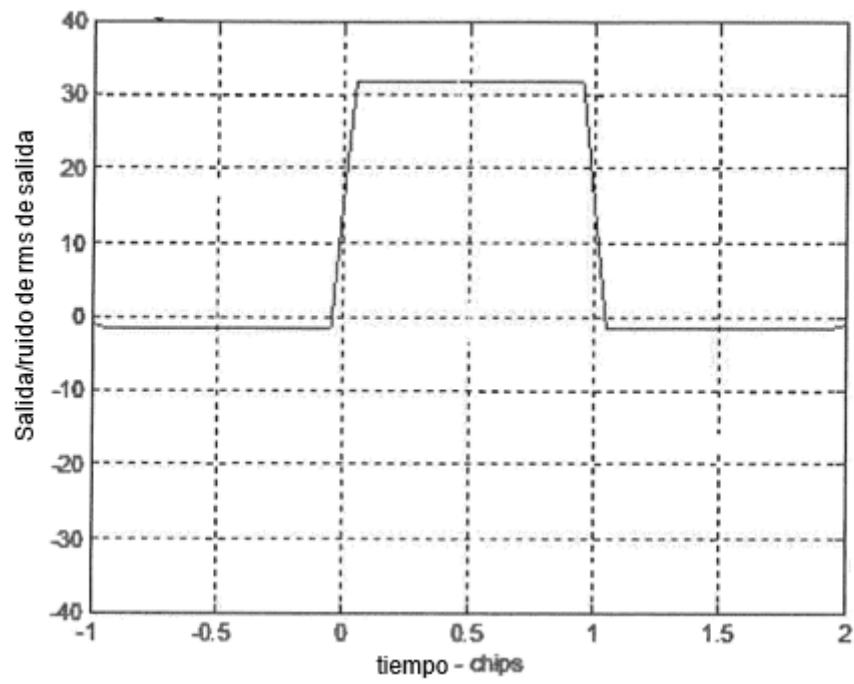
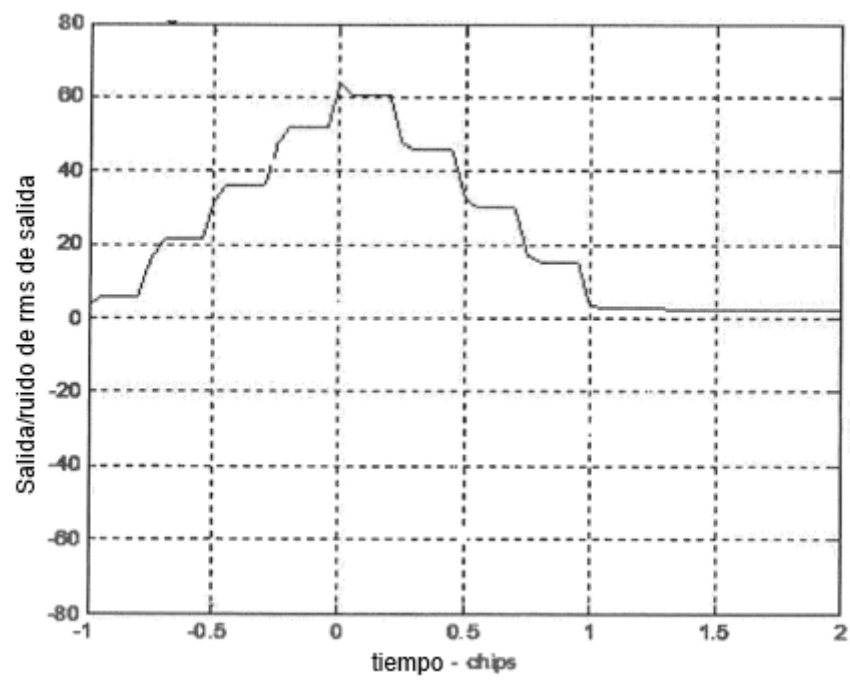
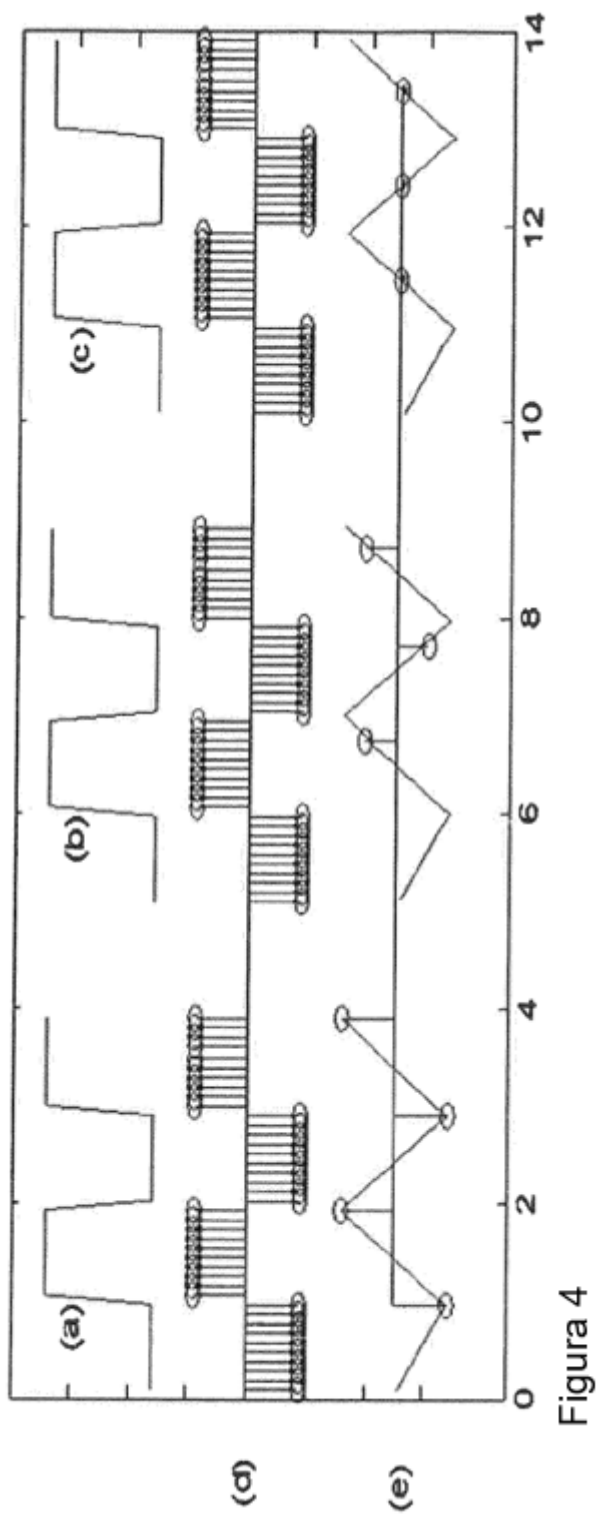
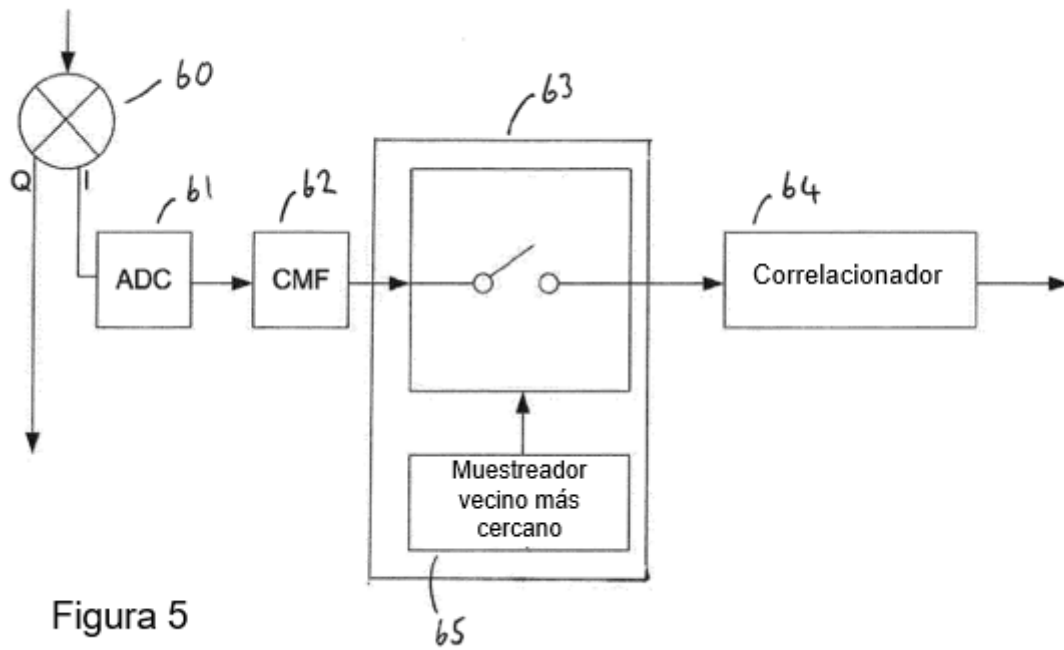


Figura 3b







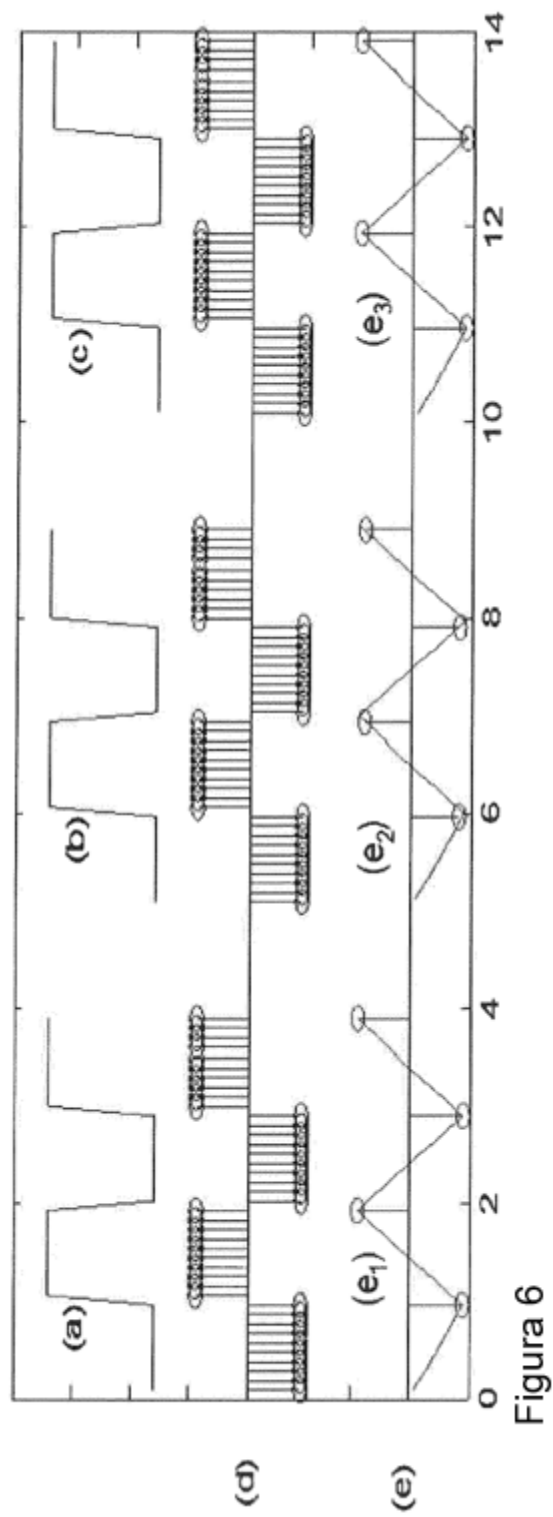


Figura 6

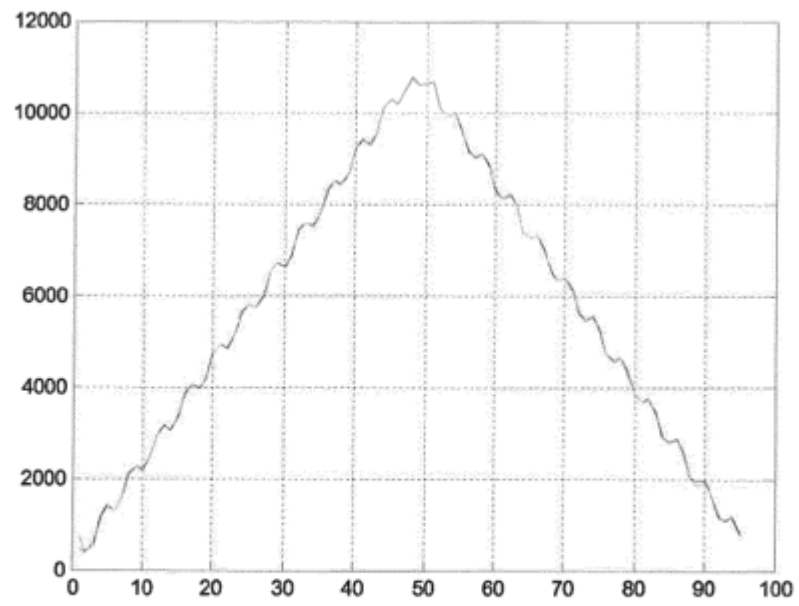


Figura 7a

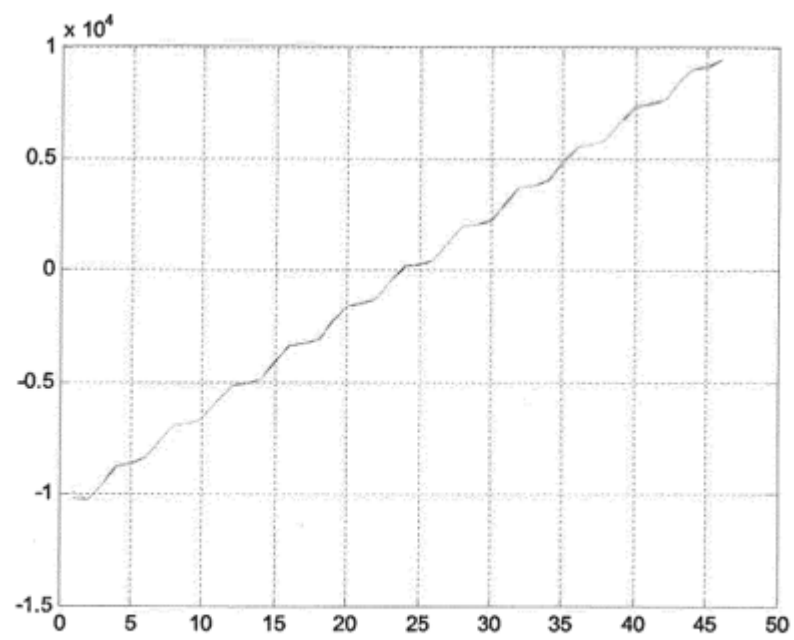


Figura 7b