(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 729 497**

(51) Int. CI.:

H04N 5/374 (2011.01)
H04N 5/367 (2011.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **19.04.2016 E 16166037 (8)**

(97) Fecha y número de publicación de la concesión europea: **10.04.2019 EP 3236653**

(54) Título: **Disposición de transistores de efecto de campo, métodos para hacer y usar una disposición de transistores de efecto de campo y un programa informático asociado**

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
04.11.2019

(73) Titular/es:

NOKIA TECHNOLOGIES OY (100.0%)
Karakaari 7
02610 Espoo, FI

(72) Inventor/es:

ALLEN, MARK LEE;
VOUTILAINEN, MARTTI KALEVI y
KALLIOINEN, SAMI SEPPO ANTERO

(74) Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Disposición de transistores de efecto de campo, métodos para hacer y usar una disposición de transistores de efecto de campo y un programa informático asociado

Campo técnico

La presente divulgación se refiere a disposiciones de componentes, métodos y aparatos asociados. Ciertos ejemplos se refieren a sensores para, por ejemplo, la detección de radiación electromagnética. Ciertos ejemplos se refieren a un aparato que comprende una disposición de transistores de efecto de campo, en el que un componente de limitación de corriente de dos terminales respectivo (por ejemplo, diodo) se acopla al electrodo de la puerta de cada transistor de efecto de campo. Algunos ejemplos pueden relacionarse con dispositivos electrónicos portátiles, en particular, los llamados dispositivos electrónicos portátiles que pueden ser de uso manual (aunque pueden colocarse en una cuna en uso). Dichos dispositivos electrónicos portátiles de mano incluyen los llamados asistentes digitales personales (PDA, por sus siglas en inglés) y tabletas.

Los dispositivos/aparatos electrónicos portátiles de acuerdo con uno o más ejemplos divulgados pueden proporcionar una o más funciones de comunicación de audio/texto/vídeo (por ejemplo, telecomunicación, videocomunicación, y/o transmisión de texto, servicio de mensajes cortos (SMS)/servicio de mensajes multimedia (MMS)/funciones de correo electrónico, funciones de visualización interactiva/no interactiva (por ejemplo, navegación web, navegación, funciones de visualización de programas/TV), funciones de grabación/reproducción de música (por ejemplo, MP3 u otro formato y/o grabación/reproducción de radio (FM/AM)), funciones de descarga/envío de datos, función de captura de imágenes (por ejemplo, mediante una cámara digital (por ejemplo, incorporada)) y funciones de juego.

Antecedentes

Actualmente se están realizando investigaciones para desarrollar nuevos conjuntos de sensores, tales como disposiciones que pueden utilizarse como fotodetectores.

El documento US 2014/103413 describe un sensor de imagen CMOS que incluye una disposición de píxeles que tiene una pluralidad de píxeles. Cada uno de la pluralidad de píxeles incluye: una estructura de fotopuerta configurada para ser controlada basándose en una primera tensión de la puerta; y un transistor de detección que incluye una región de bolsillo de carga formada en una región de sustrato, el transistor de detección está configurado para ser controlado basándose en una segunda tensión de la puerta. Basado en la primera tensión de la puerta, la estructura del fotopuerta está configurada para integrar las cargas generadas en respuesta a la luz incidente en la región del sustrato. El transistor de detección está configurado para ajustar al menos uno de una tensión de umbral del transistor de detección y un flujo de corriente en el transistor de detección de acuerdo con las cargas transferidas desde la estructura del fotopuerta a la región de la bolsa de carga en función de la diferencia entre la tensión de la primera puerta y la tensión de la segunda puerta.

El listado o discusión de un documento publicado anteriormente o cualquier fondo en esta especificación no debe tomarse necesariamente como un reconocimiento de que el documento o el fondo es parte del estado de la técnica o es de conocimiento general común.

Sumario

La invención está definida por las reivindicaciones independientes. Las reivindicaciones dependientes definen realizaciones ventajosas.

De acuerdo con un primer aspecto, se proporciona un aparato que comprende una disposición de transistores de efecto de campo, cada transistor de efecto de campo que comprende un canal, los electrodos de fuente y drenaje configurados para permitir un flujo de corriente eléctrica a través del canal, y un electrodo de la puerta configurado para permitir que el flujo de corriente eléctrica (a través del canal) varíe, el electrodo de la puerta separado del canal por un material dieléctrico configurado para inhibir un flujo de corriente eléctrica entre el canal y el electrodo de la puerta, en el que el electrodo de la puerta de cada transistor de efecto de campo está conectado en paralelo a los electrodos de la puerta de los otros transistores de efecto de campo en la disposición, y en el que un componente de limitación de corriente de dos terminales respectivo está acoplado a cada electrodo de la puerta de manera tal que, en el caso de que un defecto en el material dieléctrico de un transistor de efecto de campo particular permita que fluya una corriente de fuga entre el canal y el electrodo de la puerta de ese transistor de efecto de campo, el componente de limitación de corriente respectivo de dos terminales limita la magnitud de la corriente de fuga, de modo que los otros transistores de efecto de campo en la disposición no se ven afectados sustancialmente por la corriente de fuga.

El componente limitador de corriente puede considerarse un diodo limitador de corriente, en realizaciones específicas. Por ejemplo, la funcionalidad de diodo limitador de corriente puede implementarse mediante la tecnología JFET como un diodo limitador de corriente comercial (CLD) típico. La funcionalidad de diodo limitador de corriente también se puede implementar mediante transistores y resistencias (figura 2a, 2b, 2c, figura 4, figura 7).

La disposición puede comprender dos o más transistores de efecto de campo.

Cada electrodo de la puerta se puede conectar a un terminal de la puerta común. Cada componente limitador de corriente de dos terminales puede acoplarse entre un electrodo de la puerta respectivo y el terminal de la puerta común.

Los electrodos de drenaje de los transistores de efecto de campo pueden estar conectados a un terminal de drenaje común. En otras realizaciones, los electrodos de la fuente se pueden conectar a una tierra común y los electrodos de drenaje se pueden accionar mediante un multiplexor.

Los electrodos de origen de los transistores de efecto de campo pueden conectarse cada uno a las entradas respectivas de un multiplexor, el multiplexor configurado para permitir la lectura de las señales de los transistores de efecto de campo.

Cada componente limitador de corriente de dos terminales puede comprender el primer y el segundo componente limitador de corriente conectados en paralelo, el primer y el segundo componente limitador de corriente están configurados para permitir que la corriente de fuga fluya en direcciones opuestas, de modo que la magnitud de la corriente de fuga se pueda limitar independientemente de si se aplican voltajes de la puerta positivos o negativos al electrodo de la puerta del efecto de campo correspondiente transistor.

El aparato puede comprender además un filtro de paso bajo respectivo acoplado a cada electrodo de la puerta, los respectivos filtros de paso bajo configurados para reducir el ruido asociado con la corriente de fuga.

Cada filtro de paso bajo se puede conectar entre el electrodo de la puerta y el componente limitador de corriente de dos terminales del respectivo transistor de efecto de campo.

Cada filtro de paso bajo puede comprender un conductor (o un condensador metálico de aislante metálico) a cada lado del componente limitador de corriente de dos terminales del respectivo transistor de efecto de campo, Cada conductor tiene una capacitancia parásita relativa a tierra que es lo suficientemente grande como para reducir el ruido asociado con la corriente de fuga.

Cada transistor de efecto de campo puede comprender un material funcionalizador configurado para interactuar con un estímulo físico para causar un cambio detectable en el flujo de corriente eléctrica a través del canal que es indicativo de una o más de la presencia y magnitud del estímulo físico.

El material funcionalizador de al menos uno de los transistores de efecto de campo puede comprender una pluralidad de puntos cuánticos configurados para generar pares de orificios de electrones en la exposición a la radiación electromagnética incidente para producir el cambio detectable en el flujo de corriente eléctrica a través del canal.

Los transistores de efecto de campo pueden disponerse de manera tal que el cambio en el flujo de corriente eléctrica se convierta en una señal de tensión correspondiente.

Los transistores de efecto de campo pueden estar dispuestos para formar uno o más circuitos de medio puente configurados para convertir el cambio en el flujo de corriente eléctrica en una señal de tensión de un solo extremo.

Los transistores de efecto de campo pueden estar dispuestos para formar uno o más circuitos de puente completo configurados para convertir el cambio en el flujo de corriente eléctrica en una señal de tensión diferencial.

Cada circuito puente puede comprender primero y segundo transistores de efecto de campo configurados de tal manera que la interacción con el estímulo físico provoque un aumento y una disminución en el flujo de corriente eléctrica a través de los canales de los transistores de efecto de campo primero y segundo, respectivamente.

Cada componente limitador de corriente de dos terminales puede comprender:

- un transistor de efecto de campo de la puerta de unión de tipo n, o un transistor de efecto de campo de semiconductor de óxido de metal de tipo n; que comprende una puerta, una fuente, y un electrodo de drenaje, los electrodos de la puerta y fuente acoplados entre sí con una resistencia, la resistencia configurada para determinar el flujo de corriente máximo permitido a través del componente limitador de corriente de dos terminales.

Los transistores de efecto de campo pueden estar dispuestos para formar una, dos o tres disposiciones tridimensionales.

El canal de cada transistor de efecto de campo puede comprender grafeno.

El aparato puede ser uno o más de un dispositivo electrónico, un dispositivo electrónico portátil, un dispositivo de telecomunicaciones portátil, un teléfono móvil, un asistente digital personal, una tableta, un phablet, un ordenador de

sobremesa, un ordenador portátil, un servidor, un teléfono inteligente, un reloj inteligente, gafas inteligentes, un dispositivo de formación de imagen óptico, un detector de infrarrojos, un detector de rayos X, un dispositivo de identificación biométrica, una nariz electrónica, un sensor, un sensor de radiación electromagnética, un sensor químico, un sensor de calor, un sensor de humedad, y un módulo para uno o más de los mismos.

De acuerdo con otro aspecto, se proporciona un método para hacer un aparato que comprende una disposición de transistores de efecto de campo,

cada transistor de efecto de campo que comprende un canal, los electrodos de fuente y drenaje configurados para permitir un flujo de corriente eléctrica a través del canal, y un electrodo de la puerta configurado para permitir que el flujo de corriente eléctrica varíe, el electrodo de la puerta separado del canal por un material dieléctrico configurado para inhibir un flujo de corriente eléctrica entre el canal y el electrodo de la puerta, en el que el electrodo de la puerta de cada transistor de efecto de campo está conectado en paralelo a los electrodos de la puerta de los otros transistores de efecto de campo en la disposición,
el método comprende el acoplamiento de un componente respectivo de limitación de corriente de dos terminales a cada electrodo de la puerta de manera que, en el caso de que un defecto en el material dieléctrico de un transistor de efecto de campo particular permita que fluya una corriente de fuga entre el canal y el electrodo de la puerta de ese transistor de efecto de campo, el componente de limitación de corriente respectivo de dos terminales limita la magnitud de la corriente de fuga, de modo que los otros transistores de efecto de campo en la disposición no se ven afectados sustancialmente por la corriente de fuga. De acuerdo con otro aspecto, se proporciona un método de uso de un aparato,
el aparato que comprende una disposición de transistores de efecto de campo, cada transistor de efecto de campo que comprende un canal, los electrodos de fuente y drenaje configurados para permitir un flujo de corriente eléctrica a través del canal, y un electrodo de la puerta configurado para permitir que el flujo de corriente eléctrica varíe, el electrodo de la puerta separado del canal por un material dieléctrico configurado para inhibir un flujo de corriente eléctrica entre el canal y el electrodo de la puerta, en el que el electrodo de la puerta de cada transistor de efecto de campo está conectado en paralelo a los electrodos de la puerta de los otros transistores de efecto de campo en la disposición, y en el que un componente de limitación de corriente de dos terminales respectivo está acoplado a cada electrodo de la puerta de manera tal que, en el caso de que un defecto en el material dieléctrico de un transistor de efecto de campo particular permita que fluya una corriente de fuga entre el canal y el electrodo de la puerta de ese transistor de efecto de campo, el componente de limitación de corriente de dos terminales respectivo limita la magnitud de la corriente de fuga, de modo que los otros transistores de efecto de campo en la disposición no se ven afectados sustancialmente por la corriente de fuga;
el método comprende la detección del flujo de corriente eléctrica a través del canal de uno o más transistores de efecto de campo de la disposición.

Las etapas de cualquier método aquí descrito no tienen que realizarse en el orden exacto descrito, a menos que esté explícitamente indicado o entendido por la persona experta.

En un aspecto adicional, se proporciona un programa informático que comprende un código informático configurado para realizar dicho método de uso del aparato. Los programas informáticos correspondientes para implementar una o más etapas de los métodos descritos en este documento también están dentro de la presente divulgación y están abarcados por uno o más de los ejemplos descritos.

Uno o más de los programas informáticos pueden, cuando se ejecuta en un ordenador, hacer que el ordenador configure cualquier aparato, incluyendo una batería, circuito, controlador, o dispositivo descrito en este documento o realizar cualquier método descrito en este documento. Uno o más de los programas informáticos pueden ser implementaciones de software, y el ordenador puede considerarse como cualquier hardware apropiado, incluyendo un procesador de señal digital, un microcontrolador y una implementación en memoria de solo lectura (ROM), memoria de solo lectura programable borrable (EPROM) o memoria de solo lectura programable borrable electrónicamente (EEPROM), a modo de ejemplos no limitativos. El software puede ser un programa de ensamblaje.

Uno o más de los programas informáticos pueden proporcionarse en un medio legible por ordenador, que puede ser un medio físico legible por ordenador, como un disco o un dispositivo de memoria, o puede estar incorporado como una señal transitoria. Tal señal transitoria puede ser una descarga de red, incluyendo una descarga de internet.

La presente divulgación incluye uno o más aspectos correspondientes, ejemplos o características de forma aislada o en varias combinaciones, ya sea que se indique o no específicamente (incluida la reivindicación) en esa combinación o de forma aislada. Los medios correspondientes para realizar una o más de las funciones discutidas también están dentro de la presente divulgación.

El resumen anterior pretende ser meramente a modo de ejemplo y no limitativo.

Breve descripción de las figuras

Ahora se da una descripción, a modo de ejemplo únicamente, con referencia a los dibujos adjuntos, en el cual:-

La figura 1 muestra una disposición de transistores de efecto de campo (FET);
La figura 2a muestra un diodo limitador de corriente de dos terminales JFET de tipo n;
La figura 2b muestra un diodo limitador de corriente de dos terminales JFET de tipo n conectado a un FET;
La figura 2c muestra un diodo limitador de corriente de dos terminales MOSFET de tipo n conectado a un FET;
La figura 3 muestra una disposición de FET conectados a los respectivos diodos limitadores de corriente de dos terminales de acuerdo con la presente divulgación;
La figura 4 muestra un FET conectado a dos diodos limitadores de corriente de dos terminales paralelos de acuerdo con la presente divulgación;
La figura 5 muestra una disposición de FET conectados a los respectivos diodos limitadores de corriente de dos terminales a través de los respectivos filtros de paso bajo de acuerdo con la presente divulgación;
La figura 6 muestra un FET conectado a dos diodos y condensadores paralelos de dos terminales limitadores de corriente que actúan como un filtro de paso bajo de acuerdo con la presente divulgación;
La figura 7 muestra una simulación por ordenador de un aparato de acuerdo con la presente divulgación;
La figura 8 muestra una disposición de FET conectados a diodos limitadores de corriente de dos terminales en configuraciones de medio puente de acuerdo con la presente divulgación;
La figura 9 muestra una disposición de FET conectados a diodos limitadores de corriente de dos terminales en configuraciones de puente completo de acuerdo con la presente divulgación;
Las figuras 10 muestran otro ejemplo del presente aparato;
La figura 11 muestra un método para hacer el presente aparato;
La figura 12 muestra un método de uso del presente aparato; y
La figura 13 muestra un medio legible por ordenador que comprende un programa informático configurado para realizar, controlar o habilitar un método descrito aquí.

Descripción de aspectos/ejemplos específicos

Ciertos ejemplos descritos aquí se refieren a disposiciones de sensores. En tales disposiciones, la detección puede realizarse utilizando transistores de efecto de campo (FET). Por ejemplo, se puede realizar un fotodetector utilizando una disposición de FET de grafeno de puntos cuánticos (QD GFET).

Para disposiciones FET, tales como disposiciones QD GFET, los electrodos de la puerta de los FET se pueden conectar en paralelo. De esta manera, los FET pueden estar sesgados desde una fuente común. En el caso de un FET defectuoso, la corriente puede "filtrarse" del FET defectuoso y afectar el rendimiento de los otros FET en la disposición. Ciertos ejemplos descritos aquí pueden reducir los problemas causados por dichas fugas de corriente.

Un FET puede tener una capa dieléctrica ubicada entre el canal y el electrodo de la puerta para reducir el flujo de corriente entre el canal y el electrodo de la puerta. Con disposiciones FET, tales como disposiciones GFET de área grande, es posible que existan algunos orificios u otros defectos en las capas dieléctricas de uno o más de los FET en la disposición. Dichos defectos pueden hacer que la corriente pueda fluir entre el canal y los electrodos de la puerta. Dicha corriente puede denominarse una corriente de fuga de la puerta.

En ejemplos donde el FET es un FET de grafeno (GFET), por lo general, al menos dos electrodos de contacto (un electrodo de drenaje y un electrodo de fuente) entran en contacto con un canal de grafeno. El canal se puede activar aplicando una tensión a un electrodo de la puerta separado del canal a través de un dieléctrico de la puerta. Se pueden usar varios materiales dieléctricos de la puerta, incluido el dióxido de silicio (Si02), óxido de aluminio (Al2O3) y nitruro de silicio (SiN). La tensión de la puerta requerida para inducir un campo eléctrico dado en el canal de grafeno se escala linealmente con el grosor de la capa dieléctrica. Por ejemplo, si la puerta dieléctrica tiene un espesor de 25 nm, un rango de operación de tensión de la puerta de -5 V a +5 V suele ser suficiente para capturar el punto de Dirac y encontrar el nivel óptimo de polarización operativa de tensión de la puerta GFET. En comparación, la tensión de la fuente de drenaje es normalmente del orden de 100 mV.

Un inconveniente con el uso de una capa dieléctrica de la puerta delgada es el aumento de la posibilidad de defectos, como orificios en la capa dieléctrica, que pueden causar una fuga de corriente en la puerta. En mediciones de laboratorio, por lo general, se aplica un límite de cumplimiento de la corriente a la unidad de medición de fuente (SMU) que impulsa el electrodo de la puerta para evitar dañar el GFET en caso de fuga en la puerta. Se ha encontrado que una densidad de corriente de cumplimiento de 10 pA · μm^2 es suficientemente baja para evitar cualquier daño a los GFET; es decir, para un GFET con dimensiones de canal de 100 µm x 100 µm, la corriente máxima permitida para que fluya hacia la puerta sería de 0,1 µA y la tensión se reduce antes de que se supere este nivel.

Cuando una gran cantidad de GFET se organizan en una disposición con puertas conectadas paralelas, la probabilidad de que uno o más GFET exhiban fugas en la puerta es considerable. Como un ejemplo, de un lote de 100 muestras, cada una de las cuales comprende una disposición de > 100 GFET con dimensiones de canal, por ejemplo, 50 µm x 50 µm, es probable que al menos una disposición falle debido a una fuga de la puerta en al menos uno de los GFET.

Ciertos ejemplos descritos en el presente documento se refieren a un aparato que comprende una disposición de FET en los que un diodo limitador de corriente de dos terminales respectivo está acoplado al electrodo de la puerta de cada FET. Los diodos limitadores de corriente son ejemplos de componentes limitadores de corriente.

Las corrientes de fuga de la puerta pueden ser muy ruidosas (y posiblemente inestables), y por lo tanto pueden afectar negativamente el rendimiento de otros FET en la disposición. Si las puertas de una disposición completa (o subporción de una disposición) están conectadas en paralelo a una fuente de tensión común, un defecto en la capa dieléctrica de un FET en la disposición puede causar que todos los FET asociados conectados en paralelo fallen. Asimismo, si una corriente de fuga de la puerta es ruidosa o inestable, esta corriente ruidosa puede transferirse a toda la disposición de FET conectados en paralelo con el FET defectuoso y reducir el rendimiento de la disposición.

El control de la activación de cada FET en una gran disposición individualmente puede aumentar significativamente la complejidad de los circuitos de control y puede ser poco práctico.

La figura 1 ilustra un aparato 100 que comprende una disposición de FET 102a-d. En este ejemplo, los FET son QD GFET 102a-d, sin embargo, en otros ejemplos pueden ser otros tipos de FET (esto es cierto de otros ejemplos descritos aquí). Cada FET 102a-d puede denominarse "píxel" o elemento sensor. El conjunto de FET 102a-d puede verse afectado por la conexión de sus respectivos electrodos de drenaje 104a-d a un terminal de tensión de "drenaje" común V_D 112 y la conexión de sus respectivos electrodos de la puerta 106a-d a un terminal de tensión de "puerta" común V_G 114. Los FET/píxeles se pueden leer midiendo la corriente del electrodo de fuente 108a-d de cada FET 102a-d. La figura 1 muestra cada electrodo de fuente 108a-d conectado a una entrada respectiva V_{S_IN1} - V_{S_IN4} de un multiplexor MUX 110. Este ejemplo no incluye ningún diodo limitador de corriente de dos terminales. Así, si una corriente de fuga de la puerta estaba presente, por ejemplo, debido a una capa dieléctrica de la puerta defectuosa de uno de los FET 102a-d, luego, el rendimiento de los otros FET 102a-d puede reducirse debido a la corriente de fuga de la puerta o el rendimiento de la disposición 100 puede fallar por completo.

Un diodo de corriente constante es un componente de dos terminales que limita la corriente que fluye a través de él a un valor máximo especificado. También puede denominarse diodo limitador de corriente de dos terminales. Se puede lograr un diodo limitador de corriente de dos terminales, por ejemplo, con un JFET-transistor de tipo n 200 como se muestra en la figura 2a con la puerta G cortocircuitada a la fuente S para que permita el flujo de corriente a través del canal hasta un nivel específico (controlado con una resistencia Rs 220) después de lo cual la corriente puede ya no aumentar.

La figura 2b muestra un diodo limitador de corriente de dos terminales JFET tipo n 200 conectado a un FET 202. La puerta 206 del FET 202 está conectada a la fuente S (a través de la resistencia Rs 220) y a la puerta G del diodo limitador de corriente de dos terminales 200. El FET 202 en este ejemplo se muestra como un QD GFET 202, sin embargo, en otros ejemplos puede ser un FET/sensor diferente. El drenaje V_{GFET} 204 del QD GFET 202 se puede conectar a un terminal de drenaje común cuando el QD GFET 202 está dispuesto en una disposición paralela a otros FET QD. La fuente V_{S_IN} 208 del QD GFET 204 se muestra a 0 V. La tensión de la puerta aplicado para esta configuración sería positivo $V_{GG} > 0$ V).

Un diodo limitador de corriente de dos terminales también se puede realizar de manera similar utilizando un transistor de efecto de campo de semiconductores de óxido de metal de tipo n (MOSFET). Un diodo limitador de corriente de dos terminales puede comprender una puerta, una fuente y un electrodo de drenaje (por ejemplo, del JFET/MOSFET), donde los electrodos de la puerta y fuente se acoplan entre sí con una resistencia (figura 2a/2c). La resistencia está configurada para determinar el flujo de corriente máximo permitido a través del diodo limitador de corriente de dos terminales.

Mediante el uso de un diodo limitador de corriente que tiene dos terminales, no hay necesidad de líneas de enrutamiento adicionales para conectar el diodo limitador de corriente en el circuito. La disposición de circuito que se muestra en la figura 2b se puede usar para una disposición de FET, como se muestra, por ejemplo, en la figura 3, y puede aislar efectivamente cada puerta FET, de modo que si un FET exhibe una fuga en la puerta, solo se verá afectado ese FET particular. La tensión de la puerta para un FET defectuoso se acopla a través del diodo limitador de corriente de dos terminales para ese FET en particular y evita que la corriente de fuga de la puerta vuelva a los otros FET de la disposición.

La figura 3 muestra un aparato 300 que comprende una disposición de FET 302a-d. Cada FET 302a-d comprende un canal, electrodos de fuente y drenaje 304a-d, 308a-d configurados para permitir un flujo de corriente eléctrica a través del canal, y un electrodo de la puerta 306a-d configurado para permitir que el flujo de corriente eléctrica varíe. El electrodo de la puerta 306a-d está separado del canal por un material dieléctrico configurado para inhibir un flujo de corriente eléctrica entre el canal y el electrodo de la puerta 306a-d. El electrodo de la puerta 306a-d de cada FET 302a-d está conectado en paralelo a los electrodos de la puerta 306a-d de los otros FET 302a-d en la disposición 300.

Un respectivo diodo limitador de corriente de dos terminales 316a-d está acoplado/conectado a cada electrodo de la puerta 306a-d de cada FET 302a-d de tal manera que, en el caso de que un defecto en el material dieléctrico de un FET 302a-d particular permita que fluya una corriente de fuga entre el canal y el electrodo de la puerta 306a-d de ese

FET 302a-d, el respectivo diodo limitador de corriente de dos terminales 316a-d limita la magnitud de la corriente de fuga, de modo que los otros FET 302a-d en la disposición no se ven afectados sustancialmente por la corriente de fuga.

Los electrodos de drenaje 304a-d de cada FET 302a-d están conectados a un terminal de drenaje común/compartido Vgfet 312. Los electrodos de la puerta 306a-d están conectados a un terminal de la puerta común/compartida V_{GG} 314. Cada diodo limitador de corriente de dos terminales 316a-d está acoplado entre un electrodo de la puerta respectivo 306a-d y el terminal de la puerta común V_{GG} 314.

Los electrodos de fuente 308a-d de los FET 302a-d están conectados cada uno a las entradas respectivas de un multiplexor MUX 310, el multiplexor MUX 310 configurado para permitir la lectura de las señales de los FET 302a-d. Es decir, los electrodos de fuente 308a-d están conectados como salidas de fuente conmutada V_{S_IN1} - V_{S_IN4} para su lectura en el multiplexor MUX 310.

Cuando V_{GG} 314 se incrementa, la densidad de carga de la portadora se modula en los canales de cada FET 302a-d. En el caso ideal de que ninguno de los FET 302a-d muestre fugas en la puerta, la corriente total que fluye hacia V_{GG} 314 será despreciablemente pequeña. Sin embargo, si uno o más de los FET 302a-d tienen puertas con fugas 308a-d, la corriente que fluye hacia las puertas 308a-d de esos FET 302a-d aumentará hasta el nivel definido por el diodo limitador de corriente 316a-d, después de lo cual V_{GG} 314 se acopla a través del diodo limitador de corriente 308a-d en lugar del correspondiente FET 302a-d para ese FET defectuoso. Los FET 302a-d restantes no deben verse afectados por la fuga en el (los) FET(s) 302a-d adyacentes, asumiendo que la corriente de la puerta máxima establecida es significativamente más baja que la corriente de la fuente de drenaje. Para un sensor QD GFET a modo de ejemplo con dimensiones de canal de 100um x 100um, la densidad de corriente se puede limitar, por ejemplo, a 10 $pA \cdot \mu m^2$, de modo que la corriente máxima permitida para que fluya hacia la puerta sería, en este caso, de 0,1 μA. Si el QD GFET se opera con una tensión de polarización de la fuente de drenaje V_{GFET} = 100 mV, Cada GFET llevará una corriente de fuente de drenaje del orden de I_{ds} = 100 uA. Como una “regla de diseño” general, los diodos limitadores de corriente pueden diseñarse de modo que con una tensión V_{ds} operativa dada, la corriente de fuga será al menos 1000 veces menor que la corriente de la fuente-drenaje.

Los diodos limitadores de corriente de dos terminales 200, 316a-d en las figuras 2b y 3 están conectados a los FET 302a-d en una configuración que actúa para limitar la corriente de fuga de la puerta en el caso de que la tensión de la puerta sea positiva con respecto a la fuente.

La figura 4 muestra un circuito limitador de corriente 430 que comprende dos diodos limitadores de corriente de dos terminales 400, 450. El diodo 400 limitador de corriente superior de dos terminales está configurado para voltajes de la puerta positivos V_{GG} similar al diodo limitador de corriente 200 de dos terminales en la figura 2b, y comprende un componente de diodo 418 para indicar/determinar el flujo de corriente permitido desde el terminal de la puerta común 414 a la puerta FET 406 (es decir, una tensión de la puerta positiva V_{GG}). El diodo limitador de corriente de dos terminales inferior 450 está configurado para voltajes de la puerta negativos V_{GG}, y comprende un componente de diodo 452 para indicar/determinar el flujo de corriente permitido al terminal de la puerta común 414 desde la puerta FET 406 (es decir, una tensión de la puerta negativa V_{GG}). Este circuito limitador de corriente 430 (que puede denominarse un diodo limitador de corriente de dos terminales) está configurado para evitar fugas en la puerta tanto para voltajes de la puerta negativos como positivos V_{GG} mientras sigue siendo un "componente"/circuito de dos terminales sin la necesidad para circuitos de enrutamiento adicionales.

El diodo limitador de corriente de dos terminales 430 en este ejemplo comprende los primeros 400 y los segundos 450 diodos limitadores de corriente conectados en paralelo, el primer 400 y el segundo 450 diodos limitadores de corriente configurados para permitir que la corriente de fuga fluya en direcciones opuestas de manera que la magnitud de la corriente de fuga se pueda limitar independientemente de si se aplican voltajes de la puerta positivos o negativos V_{GG} al electrodo de la puerta 406 del correspondiente FET 402.

En el caso de que uno o varios de los FET en la disposición muestren una fuga en la puerta, la corriente de fuga puede ser extremadamente ruidosa e inestable. Por tanto, incluso cuando un circuito limitador de corriente como los discutidos 200, 316a-d, 430 se introduce en las puertas, la corriente de la puerta limitada aún puede introducir ruido en el sistema. Para reducir los efectos del ruido restante, los filtros de paso bajo pueden incluirse adicionalmente en la puerta de cada GFET como se muestra en la figura 5. Los elementos de la figura 5 que ya se han discutido en relación con la figura 3 no se tratarán nuevamente en detalle aquí.

La figura 5 muestra que un filtro de paso bajo 520a-d respectivo puede acoplarse a cada electrodo de la puerta 506a-d de cada FET 502a-d. Los respectivos filtros de paso bajo 520a-d están configurados para reducir el ruido asociado con la corriente de fuga. Cada filtro de paso bajo 520a-d se muestra conectado entre el electrodo de la puerta 506a-d y el diodo limitador de corriente de dos terminales 516a-d del respectivo FET 502a-d. En este ejemplo, cada filtro de paso bajo 520a-d se incluye junto (en disposición con) el diodo limitador de corriente de dos terminales asociado 516a-d en la puerta 506a-d de cada FET 502a-d.

La figura 6 ilustra que un filtro de paso bajo puede, en una caso simple, debe disponerse (implementando

condensadores metálicos-aislantes) o utilizando conductores 622, 624 que muestren capacitancia parásita a tierra en ambos lados del diodo limitador de corriente de dos terminales 630. Los elementos de la figura 6 que ya se han discutido en relación con la figura 3 no se tratarán nuevamente en detalle aquí. En otros ejemplos, cada diodo limitador de corriente de dos terminales 630 puede tener un conductor 622 ubicado entre el electrodo de la puerta FET y el diodo limitador de corriente de dos terminales 630, y la disposición puede tener un solo conductor 624 ubicado entre el terminal de tensión de la puerta común V_{gg} y todos los diodos limitadores de corriente de dos terminales 630 en la disposición.

Los conductores 622, 624 pueden ser conductores anchos, por ejemplo, de modo que la superposición o el posicionamiento entre el conductor 622, 624 y la conexión a tierra de la señal (que también es una capa metálica) sea lo suficientemente grande para que con el material aislante utilizado (que podría ser por ejemplo SiN de 100 nm de espesor) entre estas dos capas conductoras, la capacitancia formada a través del campo eléctrico superpuesto o perdido, se obtiene una capacitancia suficientemente grande para permitir el filtrado deseado. En la disposición de la figura 6, cada conductor 622, 624 tiene una capacitancia parásita en relación con la tierra de señal 626 que es lo suficientemente grande como para reducir el ruido asociado con la corriente de fuga (es decir, filtrar el ruido de la corriente de fuga). Los condensadores 622, 624 pueden denominarse condensadores "agrupados". Este término implica que es posible modelar la capacitancia parásita (que en realidad es una capacitancia distribuida) como un solo capacitor "concentrado". Cuando los cambios de señal son lentos (baja frecuencia) en comparación con el tiempo que necesitan los cambios de señal para viajar (a la velocidad de la luz) a todas las partes del circuito, La capacitancia de la estructura puede considerarse igual a un condensador, y este es el caso aquí. No es necesario tener en cuenta el hecho de que cada condensador de la vida real tiene algunas dimensiones y las señales de alta frecuencia necesitan algo de tiempo para viajar entre las diferentes partes del condensador.

Por supuesto, los conductores de filtro de paso bajo 626 que se muestran en la figura 6 en relación con un diodo limitador de corriente de dos derivaciones de dos derivaciones se pueden usar en el caso de un diodo limitador de corriente de dos terminales de derivación única como se muestra en la figura 2b y la figura 3. De manera similar, el filtro de paso bajo en disposición que se muestra en la figura 5 en relación con un diodo limitador de corriente de dos terminales de una sola rama se puede usar en el caso de un diodo limitador de corriente de dos terminales de dos derivaciones, como se muestra en la figura 4.

La figura 7 muestra una simulación por ordenador utilizando las reglas de diseño del proceso XFAB usando el software Cadence® Virtuoso®. La simulación utiliza un diodo limitador de corriente de dos terminales MOSFET. Un diodo limitador de corriente de dos terminales MOSFET puede filtrar el ruido de manera muy efectiva, puede actuar para mantener una corriente muy estable con poca fluctuación/ruido, y puede ser fabricado lo suficientemente pequeño para incluirla en un solo píxel como se muestra en la figura 7. En algunos ejemplos, el uso de diodos limitadores de corriente de dos terminales MOSFET puede proporcionar una reducción de ruido y una estabilidad de la corriente tan efectivas que no es necesario usar el dieléctrico de la puerta de la más alta calidad y aún así obtener una disposición que funcione bien.

La pantalla izquierda 700 muestra un MOSFET 702 configurado como un diodo limitador de corriente de dos terminales con la puerta MOSFET en corto a la fuente MOSFET a través de una resistencia 704 de 500 kΩ. La pantalla derecha 750 muestra las dimensiones relativas del MOSFET 752 y la resistencia 754. Utilizando un pequeño MOSFET 702, 752 (por ejemplo, 1 µm x 2 µm) y una resistencia de 500 kΩ 704, 754, la corriente está limitada a aproximadamente 180 nA. El tamaño de la resistencia de 500 kΩ 704, 754 es de aproximadamente 20 µm x 20 µm, mientras que el MOSFET 702, 752 es significativamente más pequeño. El nivel límite actual puede ajustarse ajustando el valor de la resistencia 704, 754 y cambiando los parámetros del MOSFET 702, 752.

Las disposiciones que se muestran en las figuras 3 y 5 muestran algunos ejemplos de cómo se pueden organizar y leer los FET. En ejemplos adicionales mostrados en las figuras 8 y 9, el conjunto de FET puede comprender FET conectados en puente (medio puente como en la figura 8 o puente completo como en la figura 9). Tales arreglos de disposición de puente de FET proporcionan una salida de tensión en lugar de una salida de corriente como lo hacen los arreglos de las figuras 3 y 5. Es decir, Los arreglos de disposición de puentes, como los de las figuras 8 y 9, comprenden FET que están dispuestos de tal manera que un cambio en el flujo de corriente eléctrica a través de un canal FET se convierte en una señal de tensión correspondiente. En las disposiciones que comprenden disposiciones de puentes de FET de las figuras 8 y 9, al igual que en las disposiciones paralelas de las figuras 3 y 5, limitar/reducir las corrientes de fuga de la puerta puede mejorar el rendimiento de la disposición.

La figura 8 muestra un aparato 800 que comprende dos circuitos de medio puente 850, 860. Los FET 802a-d están dispuestos para formar dos circuitos de medio puente configurados para convertir un cambio en el flujo de corriente eléctrica en los canales de los FET 802a-d de un medio puente particular 850, 860 en una señal de tensión de un solo extremo.

Cada circuito de medio puente 850, 860 comprende dos FET 802a-b; 802c-d. En este ejemplo, ambos componentes de puente 802a-b; 802c-d en medio puente son FET y en cada medio puente, los dos FET 802a-b; 802c-d están sesgados de forma opuesta. En otros ejemplos, uno de los componentes de cada medio puente puede ser una resistencia y el otro componente puede ser un FET. En los ejemplos que se muestran con FET sesgados opuestos

dispuestos en un medio puente, desde el primer FET 802a, 802c muestra una respuesta opuesta al segundo FET 802b, 802d, la señal de salida del medio puente 850, 860 puede ser hasta dos veces más grande que un circuito de medio puente similar que no se usa con FET con polarización opuesta (por ejemplo, teniendo un FET y una resistencia en lugar de dos FET).

Cada FET 802a-d comprende un canal, el electrodo de fuente 808a-d y el electrodo de drenaje 804 están configurados para permitir un flujo de corriente eléctrica a través del canal, y un electrodo de la puerta 806a-d configurado para permitir que se varíe el flujo de corriente eléctrica. El electrodo de la puerta 806a-d está separado del canal por un material dieléctrico (no mostrado) configurado para inhibir un flujo de corriente eléctrica entre el canal y el electrodo de la puerta 806a-d.

El electrodo de la puerta 806a-d de cada FET 802a-d está conectado en paralelo a los electrodos de la puerta 806a-d de los otros FET 802a-d en la disposición 300. En este ejemplo, FET sesgados en un primer sentido 802a, 802c tienen electrodos de la puerta 806a, 806c que están conectados a un primer terminal de la puerta común V_{GG1} 814a. FET sesgados en un segundo sentido 802b, 802d opuesto al primer sentido tiene electrodos de la puerta 806b, 806d que están conectados a un segundo terminal de la puerta común V_{GG2} 814b. Es decir, V_{GG1} 814a y V_{GG2} 814b corresponden a FET con polarización opuesta, de modo que, como V_{GG1} 814a, aplica una tensión de la puerta de primera magnitud a los primeros FET 802a, 802c, V_{GG2} 814b puede aplicar una tensión de la puerta igual y opuesto a los segundos FET 802b, 802d.

En otros ejemplos, V_{GG1} 814a y V_{GG2} 814b no necesariamente tienen que ser iguales y opuestas, Por ejemplo, en el caso de que los FET sean QD GFET, dos voltajes de la puerta positivos diferentes para V_{GG1} 814a y V_{GG2} 814b pueden causar respuestas optoelectrónicas opuestas debido a diferentes alineaciones de banda entre los puntos cuánticos y los canales de los FET en la disposición. Por ejemplo, para un GFET QD que comprende un canal de grafeno dopado con p, la respuesta optoelectrónica puede variar con el tensión de la puerta aplicada. En un experimento con diferentes grosores dieléctricos de la puerta y material, la tensión de la puerta se varió de 20 V a 30 V y luego a 40 V, lo que provocó los cambios correspondientes en la alineación de banda entre el canal y los puntos cuánticos. Cuando se aplicó una tensión de 20 V al electrodo de la puerta, la alineación de la banda resultó en la transferencia de electrones al canal, y los orificios restantes en los puntos cuánticos causaron una disminución en la corriente de drenaje de la fuente (es decir, una respuesta optoelectrónica negativa). Cuando la tensión se incrementó a 30 V, la alineación de la banda se aplanó para permitir la transferencia de igual número de electrones y orificios por unidad de tiempo, lo que no produce un cambio neto en la corriente de drenaje de la fuente (es decir, respuesta optoelectrónica cero). Cuando la tensión se incrementó a 40 V, la alineación de la banda dio lugar a la transferencia de orificios al canal, y los electrones restantes en los puntos cuánticos causaron un aumento en la corriente de drenaje de la fuente (es decir, una respuesta optoelectrónica positiva). Los valores de tensión absolutos mencionados aquí pueden variar de acuerdo con las realizaciones particulares.

La conexión VDD 812 de cada puente 850, 860 (en este caso de los electrodos de fuente 804a y 804c) se conecta a una fuente de tensión de drenaje compartida VDD 812. Sin embargo, en una configuración de disposición de puente, no son las corrientes de drenaje las que se miden (como en los arreglos de las figuras 3 y 5) sino la tensión de salida de cada puente 850, 860. Por lo tanto, las salidas de puente 852, 862 están conectadas al multiplexor MUX 810. El electrodo de fuente 804a del primer FET 802a y el electrodo de drenaje 808b del segundo FET 802b del primer circuito de medio puente 850 están conectados entre sí en la salida del puente 852 y en la entrada de MUX V_{S_IN1}. El electrodo de fuente 804c del primer FET 802c y el electrodo de drenaje 808d del segundo FET 802d del segundo circuito 860 de medio puente están conectados entre sí en la salida del puente 862 y en la entrada MUX V_{S_IN2}.

La conexión a tierra de cada puente 850, 860 (en este caso de los electrodos de fuente 804b y 804d) está conectada a una tierra de circuito compartido GND, ya que estos están simplemente hundiendo la corriente. El electrodo de fuente 804b del segundo FET 802b del primer circuito de medio puente 850, y el electrodo de fuente 804d del segundo FET 802d del segundo circuito de medio puente 860 están conectados a tierra GND.

Un respectivo diodo limitador de corriente de dos terminales 816a-d está acoplado/conectado al electrodo de la puerta 806a-d de cada FET 802a-d de tal manera que, en el caso de que un defecto en el material dieléctrico de un FET 802a-d particular permita que fluya una corriente de fuga entre el canal y el electrodo de la puerta 806a-d de ese FET 802a-d, el respectivo diodo limitador de corriente de dos terminales 816a-d limita la magnitud de la corriente de fuga, de modo que los otros FET 802a-d en la disposición no se ven afectados sustancialmente por la corriente de fuga. Cada diodo limitador de corriente de dos terminales 816a-d está acoplado entre un electrodo de la puerta respectivo 806a-d y un terminal de la puerta común correspondiente V_{GG1} 814a, V_{GG2} 814b.

La figura 9 muestra un aparato 900 que comprende dos circuitos de puente completo 950, 960. El uso de una configuración de puente completo puede proporcionar una señal de salida diferencial que puede ayudar a eliminar muchas perturbaciones de la señal, como las derivadas de la tensión de alimentación y las perturbaciones externas.

Los FET 902a-h están dispuestos para formar uno o más circuitos de puente completo configurados para convertir un cambio en el flujo de corriente eléctrica en los canales de los FET 802a-h de un puente completo en particular 950, 960 en una señal de tensión diferencial. Las conexiones entre la fuente y los electrodos de drenaje de los FET 902a-

h, y las conexiones de los diodos limitadores de corriente de dos terminales 916a-h a los electrodos de la puerta de los respectivos FET 902a-h, son similares a los que se muestran en la figura 8.

El electrodo de la puerta 906a-h de cada FET 902a-h está conectado en paralelo a los electrodos de la puerta 906a-h de los otros FET 902a-h en la disposición 900. En este ejemplo, FET sesgados en un primer sentido 902a, 902c, 902e, 902g tienen electrodos de la puerta 906a, 906c, 906e, 906g que están conectados a un primer terminal de la puerta común V_{GG1} 914a. FET sesgados en un segundo sentido 902b, 902d, 902f, 902h opuesto al primer sentido tiene electrodos de la puerta 906b, 906d, 906f, 906h que están conectados a un segundo terminal de la puerta común V_{GG2} 914b. Es decir, V_{GG1} 914a y V_{GG2} 914b corresponden a FET con polarización opuesta, de modo que, como V_{GG1} 914a, aplica una tensión de la puerta de primera magnitud a los primeros FET 902a, 902c, 902e, 902g, V_{GG2} 914b puede, en algunos ejemplos, aplicar una tensión de la puerta igual y opuesto al segundo FET 902b, 902d, 902f, 902h. En otros ejemplos, se pueden aplicar diferentes voltajes positivos o negativos desde V_{GG1} y V_{GG12} respectivamente, como se discutió anteriormente en referencia a la figura 8.

En este ejemplo hay dos multiplexores (no mostrados): uno para las salidas VN 952, 956 y otro para las salidas VP 954, 958 de los circuitos de puente completo 950, 960. El electrodo fuente del primer FET 902a y el electrodo de drenaje del segundo FET 902b del primer circuito de puente completo 950 están conectados entre sí en VN 952 y a la entrada N-MUX $V_{S_IN1_N}$. El electrodo de drenaje del tercer FET 902c y el electrodo fuente del cuarto FET 902d del primer circuito de puente completo 950 están conectados entre sí en VP 954 y en la entrada P-MUX $V_{S_IN1_P}$. El electrodo fuente del primer FET 902e y el electrodo de drenaje del segundo FET 902f del segundo circuito de medio puente 960 están conectados entre sí en VN 956 y a la entrada N-MUX $V_{S_IN2_N}$. El electrodo de drenaje del tercer FET 902g y el electrodo fuente del cuarto FET 902h del segundo circuito de medio puente 960 están conectados entre sí a VP 958 y a la entrada P-MUX $V_{S_IN2_P}$.

En el ejemplo de disposición de puente completo que se muestra en la figura 9, la lectura de la diferencia de tensión entre VN 952, 956 y VP 954, 958 se logra al enrutar VN y VP por separado a través de dos MUX a un amplificador diferencial (no mostrado). En otros ejemplos de puente completo, VN y VP pueden enrutarse a través de un solo MUX y la salida del MUX puede pasarse a un amplificador diferencial. En otros ejemplos, puede haber un amplificador diferencial en cada puente completo 950, 960 (es decir, en cada "píxel") y luego las salidas del amplificador se pueden enrutar a un MUX.

Tener un amplificador diferencial en cada píxel y luego enrutar la salida del amplificador a un MUX puede proporcionar una buena calidad de señal, pero esta configuración requiere varios transistores para cada píxel. En algunos ejemplos, el área de píxeles disponible puede no ser suficiente para varios transistores adicionales debido a los otros componentes ya presentes en cada píxel. Al enrutar VN y VP por separado a través de un MUX o dos MUX a un amplificador diferencial, Se requieren menos transistores en cada píxel, por lo que este enfoque puede ser una solución preferida para dimensiones de píxeles más pequeñas.

Ambas figuras 8 y 9 muestran circuitos de puente 850, 860, 950, 960 que comprenden el primer 802a, 802c; 902a, 902c, 902e, 902g y segundo 802b, 802d; 902b, 902d, 902f, 902h FET que pueden configurarse de manera que la interacción con un estímulo físico, por ejemplo, la luz, calor, o una especie química particular dependiendo de los FET utilizados, provoca un aumento y una disminución en el flujo de corriente eléctrica a través de los canales del primer y segundo FET, respectivamente.

En cualquiera de las disposiciones discutidas anteriormente, uno o más de los FET pueden comprender un material funcionalizador. El material funcionalizador puede configurarse para interactuar con un estímulo físico para causar un cambio detectable en el flujo de corriente eléctrica a través del canal de un FET, el cambio en el flujo de corriente eléctrica indicativo de una o más de la presencia y magnitud del estímulo físico.

Por ejemplo, el material funcionalizador de al menos uno de los transistores de efecto de campo puede comprender una pluralidad de puntos cuánticos configurados para generar pares de orificios de electrones en la exposición a la radiación electromagnética incidente para producir el cambio detectable en el flujo de corriente eléctrica a través del canal. Uno o más del material, el tamaño y la forma de dichos puntos cuánticos pueden configurarse de tal manera que los pares de orificios de electrones se generen al exponerse al menos a uno de los siguientes tipos de radiación electromagnética: rayos X, luz visible, infrarrojo, ultravioleta, ondas de radio, microondas, rayos gamma y radiación térmica. Dichos puntos cuánticos pueden comprender uno o más de PbS, CdSe, CdS, PbSe, ZnO, ZnS, CZTS, CU_2S, Bi_2S_3, Ag_2S, Ag_2S, HgTe, CdHgTe, InAs, InSb, Ge y CIS.

En cualquiera de las disposiciones discutidas anteriormente, uno o más de los FETS pueden comprender un canal que, a su vez, comprende grafeno. El grafeno exhibe una movilidad del portador de carga relativamente alta que es particularmente sensible al campo eléctrico generado por el (los) electrodo(s) de la puerta (y en el caso de funcionalización fotosensible del FET, sensible al material fotosensibilizante). En otros ejemplos, no obstante, el miembro(s) de canal puede comprender diferentes materiales bidimensionales tales como un material similar al grafeno (por ejemplo, óxido de grafeno, fosforeno, silicona, germaneno, estaneno, h-BN, AlN, GaN, InN, InP, InAs, BP, BaS o GaP) o un dicalcogenuro de metales de transición (por ejemplo, WX_2, $M0X_2$, ScX_2, TiX_2, HfX_2, ZrX_2, VX_2, CrX_2, MnX_2, FeX_2, $C0X_2$, NiX_2, NbX_2, TcX_2, ReX_2, PdX_2 o PtX_2, donde X = S, Se o Te).

En toda la presente memoria descriptiva, los términos "electrodo fuente" y "electrodo de drenaje" se usan para denotar electrodos en lados opuestos de un canal entre los cuales puede fluir la carga. En algunos ejemplos, por ejemplo, donde los FET son FET de grafeno de puntos cuánticos (QD GFET), tales dispositivos pueden ser descritos como ambipolares. Los portadores de carga en tal aparato pueden ser electrones u orificios dependiendo de, por ejemplo, la puerta trasera o el dopaje químico de la capa de canal, y los tipos de portadores de carga pueden cambiar de uso dependiendo de cómo se esté utilizando el aparato. En algunos ejemplos, se puede tomar que el electrodo etiquetado como el electrodo de la fuente está a una tensión más baja que el electrodo etiquetado como el electrodo de drenaje.

La figura 10 muestra otro ejemplo del presente aparato 1014. El aparato 1014 puede ser uno o más de un dispositivo electrónico, un dispositivo electrónico portátil, un dispositivo de telecomunicaciones portátil, un teléfono móvil, un asistente digital personal, una tableta, un phablet, un ordenador de sobremesa, un ordenador portátil, un servidor, un teléfono inteligente, un reloj inteligente, gafas inteligentes, un sensor, un sensor de radiación electromagnética, un fotodetector, un sensor de rayos X, un sensor químico, un sensor de calor, un sensor de humedad, y un módulo para uno o más de los mismos. En el ejemplo mostrado, el aparato 1014 comprende varios componentes como se describió anteriormente (denotados colectivamente por el número de referencia 1015), un amperímetro 1016, un voltímetro 1017, una fuente de alimentación 1018, un procesador 1019 y un medio de almacenamiento 1020, que están conectados eléctricamente entre sí por un bus de datos 1021.

El procesador 1019 está configurado para el funcionamiento general del aparato 1014 proporcionando señalización a, y recibiendo señalización de, los otros componentes para gestionar su funcionamiento. El medio de almacenamiento 1020 está configurado para almacenar el código informático configurado para realizar, controlar o habilitar el funcionamiento del aparato 1014. El medio de almacenamiento 1020 también puede configurarse para almacenar configuraciones para los otros componentes. El procesador 1019 puede acceder al medio de almacenamiento 1020 para recuperar la configuración de los componentes con el fin de gestionar el funcionamiento de los otros componentes.

Bajo el control del procesador 1019, la fuente de alimentación 1018 está configurada para aplicar una tensión entre la fuente y los electrodos de drenaje de cada FET en la disposición para permitir un flujo de corriente eléctrica a través de los canales FET respectivos. Además, la fuente de alimentación 918 puede configurarse para aplicar una tensión adicional al electrodo de la puerta para controlar el movimiento de los portadores de carga en el canal de un FET particular.

El amperímetro 1016 está configurado para medir la corriente eléctrica a través de los canales de los FET respectivos, de modo que cualquier cambio en la corriente, por ejemplo, causado por estímulos externos como la radiación electromagnética, puede ser determinado. De manera adicional o de manera alternativa, el voltímetro 1017 está configurado para medir la señal de tensión correspondiente a un cambio en la corriente eléctrica.

El procesador 1019 puede ser un microprocesador, incluyendo un circuito integrado de aplicación específica (ASIC). El medio de almacenamiento 1020 puede ser un medio de almacenamiento temporal tal como una memoria de acceso aleatorio volátil. Por otro lado, el medio de almacenamiento 1020 puede ser un medio de almacenamiento permanente tal como una unidad de disco duro, una memoria flash, o una memoria de acceso aleatorio no volátil. La fuente de alimentación 1018 puede comprender una o más de una batería primaria, una batería secundaria, un condensador, un supercapacitor y un híbrido batería-condensador.

La figura 11 muestra esquemáticamente la etapa principal 1100 de un método para hacer el presente aparato. El método generalmente comprende: acoplar un diodo limitador de corriente de dos terminales respectivo a cada electrodo de la puerta de cada FET en la disposición de tal manera que, en el caso de que un defecto en el material dieléctrico de un transistor de efecto de campo particular permita que fluya una corriente de fuga entre el canal y el electrodo de la puerta de ese transistor de efecto de campo, el diodo limitador de corriente de dos terminales respectivo limita la magnitud de la corriente de fuga, de modo que los otros transistores de efecto de campo en la disposición no se ven afectados sustancialmente por la corriente de fuga.

La figura 12 muestra esquemáticamente la etapa principal 1200 de un método para usar el presente aparato. El método generalmente comprende detectar el flujo de corriente eléctrica a través del canal de uno o más transistores de efecto de campo de la disposición.

La figura 13 ilustra esquemáticamente un medio legible por ordenador/procesador 1300 que proporciona un programa informático según un ejemplo. El programa informático puede comprender un código informático configurado para realizar, controlar o habilitar uno o más de las etapas del método 1100 y/o 1200 de la figura 11 o 12. En este ejemplo, el medio legible por ordenador/procesador 1300 es un disco como un disco versátil digital (DVD) o un disco compacto (CD). En otros ejemplos, el medio legible por ordenador/procesador 1300 puede ser cualquier medio que haya sido programado de tal manera que lleve a cabo una función inventiva. El medio legible por ordenador/procesador 1300 puede ser un dispositivo de memoria extraíble, como una tarjeta de memoria o tarjeta de memoria (SD, mini SD, micro SD o nano SD).

Otros ejemplos representados en las figuras han sido provistos con números de referencia que corresponden a

características similares de los ejemplos descritos anteriormente. Por ejemplo, la función número 1 también puede corresponder a los números 101, 201, 301, etc. Estas funciones numeradas pueden aparecer en las figuras, pero es posible que no se hayan mencionado directamente en la descripción de estos ejemplos en particular. Estos todavía se han proporcionado en las figuras para ayudar a comprender los ejemplos adicionales, particularmente en relación con las características de ejemplos similares descritos anteriormente.

El lector experto apreciará que cualquier aparato/dispositivo mencionado y/u otras características de un aparato/dispositivo mencionado en particular pueden ser proporcionados por un aparato dispuesto de tal forma que se configuren para realizar las operaciones deseadas solo cuando están habilitados, por ejemplo, encendido, o similar. En tales casos, es posible que no tengan necesariamente el software apropiado cargado en la memoria activa en el estado no habilitado (por ejemplo, apagado) y solo carguen el software apropiado en el habilitado (por ejemplo, en el estado). El aparato puede comprender circuitos de hardware y/o firmware. El aparato puede comprender software cargado en la memoria. Dichos programas de software/ordenador pueden grabarse en la misma memoria/procesador/unidades funcionales y/o en una o más memorias/procesadores/unidades funcionales.

En algunos ejemplos, un aparato/dispositivo mencionado en particular puede preprogramarse con el software apropiado para llevar a cabo las operaciones deseadas, y en el que el software apropiado puede habilitarse para que un usuario descargue una "clave", por ejemplo, para desbloquear/habilitar el software y su funcionalidad asociada. Las ventajas asociadas con dichos ejemplos pueden incluir un requisito reducido para descargar datos cuando se requiere una funcionalidad adicional para un dispositivo, y esto puede ser útil en ejemplos en los que se percibe que un dispositivo tiene la capacidad suficiente para almacenar dicho software programado previamente para una funcionalidad que no puede ser habilitado por un usuario.

Se apreciará que cualquier aparato/circuito/elementos/procesador mencionado puede tener otras funciones además de las funciones mencionadas, y que estas funciones pueden ser realizadas por el mismo aparato/circuito/elementos/procesador. Uno o más aspectos divulgados pueden abarcar la distribución electrónica de programas informáticos asociados y programas informáticos (que pueden estar codificados en origen/transporte) grabados en un soporte apropiado (por ejemplo, memoria, señal).

Se apreciará que cualquier "ordenador" aquí descrito puede comprender una colección de uno o más procesadores individuales/elementos de procesamiento que pueden estar o no ubicados en la misma placa de circuitos, o la misma región/posición de una placa de circuitos o incluso el mismo dispositivo. En algunos ejemplos, uno o más de los procesadores mencionados pueden distribuirse en una pluralidad de dispositivos. El mismo o diferentes elementos de procesador/procesamiento pueden realizar una o más funciones descritas en este documento.

Se apreciará que el término "señalización" puede referirse a una o más señales transmitidas como una disposición de señales transmitidas y/o recibidas. La disposición de señales puede comprender una, dos, tres, cuatro o incluso más componentes de señal individuales o señales distintas para componer dicha señalización. Algunas o todas estas señales individuales pueden transmitirse/recibirse simultáneamente, en secuencia, y/o tal que se superponen temporalmente entre sí.

Con referencia a cualquier discusión de cualquier ordenador y/o procesador y memoria mencionados (por ejemplo, incluyendo ROM, CD-ROM etc.), los mismos pueden comprender, además, un procesador informático, un circuito integrado de aplicación específica (ASIC), una disposición de la puerta programable en campo (FPGA), y/u otros componentes de hardware que se han programado de tal manera para llevar a cabo la función inventiva.

REIVINDICACIONES

1. Un aparato (300, 500, 800, 900) que comprende una disposición de transistores de efecto de campo (302a-d, 502a-d, 802a-d, 902a-h),

comprendiendo cada transistor de efecto de campo un canal, una fuente (308a-d, 508a-d, 808a-d, 908a-h) y electrodos de drenaje (304a-d, 504a-d, 804a-d, 904a-h) configurados para permitir un flujo de corriente eléctrica a través del canal y un electrodo de la puerta (306a-d, 506a-d, 806a-d, 906a-h) configurado para permitir que se varíe el flujo de corriente eléctrica, el electrodo de la puerta separado del canal por un material dieléctrico configurado para inhibir un flujo de corriente eléctrica entre el canal y el electrodo de la puerta,
en donde el electrodo de la puerta de cada transistor de efecto de campo está conectado en paralelo a los electrodos de la puerta de los otros transistores de efecto de campo en la disposición y a un terminal de la puerta común (314, 514, 814a-b, 914a-b), y
en donde, para cada transistor de efecto de campo, un componente de limitación de corriente de dos terminales (316a-d, 516a-d, 816a-d, 906a-h) respectivo está acoplado entre un electrodo de la puerta respectivo y el terminal de la puerta común de manera que, en el caso de que un defecto en el material dieléctrico de un transistor de efecto de campo particular permita que fluya una corriente de fuga de la puerta entre el canal y el electrodo de la puerta de ese transistor de efecto de campo, el componente de limitación de corriente respectivo de dos terminales limita la magnitud de la corriente de fuga de la puerta a un nivel predeterminado de modo que los otros transistores de efecto de campo en la disposición no se vean afectados sustancialmente por la corriente de fuga de la puerta.

2. El aparato (300, 500, 800, 900) de la reivindicación 1, en el que los electrodos de drenaje (304a-d, 504a-d, 804a-d, 904a-h) de los transistores de efecto de campo (302a-d, 502a-d, 802a-d, 902a-h) están conectados a un terminal de drenaje común (312).

3. El aparato (300, 500, 800, 900) de cualquier reivindicación anterior, donde los electrodos de fuente de los transistores de efecto de campo (302a-d, 502a-d, 802a-d, 902a-h) están conectados a las entradas respectivas de un multiplexor (310), el multiplexor configurado para permitir la lectura de las señales de los transistores de efecto de campo.

4. El aparato (300, 500, 800, 900) de cualquier reivindicación anterior, en el que cada componente limitador de corriente de dos terminales comprende primero y segundo componentes limitadores de corriente (400, 450) conectados en paralelo, los componentes limitadores de corriente primero y segundo configurados para permitir que la corriente de fuga de la puerta fluya en direcciones opuestas, de modo que la magnitud de la fuga de la puerta se pueda limitar independientemente de si se aplican voltajes de la puerta positivos o negativos al electrodo de la puerta del transistor de efecto de campo correspondiente (302a-d, 502a-d, 802a-d, 902a-h).

5. El aparato (300, 500, 800, 900) de cualquier reivindicación anterior, que comprende además un filtro de paso bajo (520a-d) respectivo acoplado a cada electrodo de la puerta, los respectivos filtros de paso bajo configurados para reducir el ruido asociado a la corriente de fuga de la puerta.

6. El aparato (300, 500, 800, 900) de la reivindicación 5, en el que cada filtro de paso bajo está conectado entre el electrodo de la puerta y el componente limitador de corriente de dos terminales del respectivo transistor de efecto de campo (302a-d, 502a-d, 802a-d, 902a-h).

7. El aparato (300, 500, 800, 900) de las reivindicaciones 5 o 6, en el que cada filtro de paso bajo comprende un conductor (622, 624) a cada lado del componente limitador de corriente de dos terminales (630) del respectivo transistor de efecto de campo (302a-d, 502a-d, 802a-d, 902a-h), teniendo cada conductor una capacitancia parásita relativa a tierra que es lo suficientemente grande como para reducir el ruido asociado a la corriente de fuga de la puerta.

8. El aparato (300, 500, 800, 900) de cualquier reivindicación anterior, en el que cada transistor de efecto de campo (302a-d, 502a-d, 802a-d, 902a-h) comprende un material funcionalizador configurado para interactuar con un estímulo físico para causar un cambio detectable en el flujo de corriente eléctrica a través del canal, que es indicativo de una o más de la presencia y la magnitud del estímulo físico.

9. El aparato (300, 500, 800, 900) de la reivindicación 8, en el que los transistores de efecto de campo (302a-d, 502a-d, 802a-d, 902a-h) están dispuestos de tal manera que el cambio en el flujo de corriente eléctrica se convierte en una señal de tensión correspondiente.

10. El aparato (300, 500, 800, 900) de la reivindicación 9, en el que uno o más de:

los transistores de efecto de campo (802a-d) están dispuestos para formar uno o más circuitos de medio puente (850, 860) configurados para convertir el cambio en el flujo de corriente eléctrica en una señal de tensión de un solo extremo; y
los transistores de efecto de campo (902a-h) están dispuestos para formar uno o más circuitos de puente completo

(950, 960) configurados para convertir el cambio en el flujo de corriente eléctrica en una señal de tensión diferencial.

11. El aparato (300, 500, 800, 900) de 10, en el que cada circuito de puente (850, 860; 950, 960) comprende primero y segundo transistores de efecto de campo (802a-d; 902a-h) configurados de tal manera que la interacción con el estímulo físico provoca un aumento y una disminución en el flujo de corriente eléctrica a través de los canales del primer y segundo transistores de efecto de campo, respectivamente.

12. El aparato (300, 500, 800, 900) de cualquier reivindicación anterior, en el que cada componente limitador de corriente de dos terminales comprende:

un transistor de efecto de campo de la puerta de unión tipo n, o
un transistor de efecto de campo de semiconductor de óxido de metal de tipo n;
que comprenden una puerta, una fuente y un electrodo de drenaje, los electrodos de la puerta y la fuente acoplados entre sí con una resistencia, la resistencia configurada para determinar el flujo de corriente máximo permitido a través del componente limitador de corriente de dos terminales.

13. Un método (1100) de fabricación de un aparato (300, 500, 800, 900) que comprende una disposición de transistores de efecto de campo,

cada transistor de efecto de campo que comprende un canal, una fuente (308a-d, 508a-d, 808a-d, 908a-h) y electrodos de drenaje (304a-d, 504a-d, 804a-d, 904a-h) configurado para permitir un flujo de corriente eléctrica a través del canal, y un electrodo de la puerta (306a-d, 506a-d, 806a-d, 906a-h) configurado para permitir que se varíe el flujo de corriente eléctrica, el electrodo de la puerta separado del canal por un material dieléctrico configurado para inhibir un flujo de corriente eléctrica entre el canal y el electrodo de la puerta, en donde el electrodo de la puerta de cada transistor de efecto de campo está conectado en paralelo a los electrodos de la puerta de los otros transistores de efecto de campo en la disposición y a un terminal de la puerta común (314, 514, 814a-b, 914a-b),
comprendiendo el método acoplar, para cada transistor de efecto de campo, un componente de limitación de corriente de dos terminales (316a-d, 516a-d, 816a-d, 906a-h) respectivo entre un electrodo de la puerta respectivo y el terminal de la puerta común de manera que, en el caso de que un defecto en el material dieléctrico de un transistor de efecto de campo particular permita que fluya una corriente de fuga de la puerta entre el canal y el electrodo de la puerta de ese transistor de efecto de campo, el componente de limitación de corriente de dos terminales respectivo limita la magnitud de la corriente de fuga de la puerta a un nivel predeterminado de modo que los otros transistores de efecto de campo en la disposición no se vean afectados sustancialmente por la corriente de fuga de la puerta.

14. Un método (1200) de uso de un aparato (300, 500, 800, 900),

comprendiendo el aparato una disposición de transistores de efecto de campo, comprendiendo cada transistor de efecto de campo un canal, una fuente (308a-d, 508a-d, 808a-d, 908a-h) y electrodos de drenaje (304a-d, 504a-d, 804a-d, 904a-h) configurados para permitir un flujo de corriente eléctrica a través del canal y un electrodo de la puerta (306a-d, 506a-d, 806a-d, 906a-h) configurado para permitir que se varíe el flujo de corriente eléctrica, el electrodo de la puerta separado del canal por un material dieléctrico configurado para inhibir un flujo de corriente eléctrica entre el canal y el electrodo de la puerta, en donde el electrodo de la puerta de cada transistor de efecto de campo está conectado en paralelo a los electrodos de la puerta de los otros transistores de efecto de campo en la disposición y a un terminal de la puerta común (314, 514, 814a-b. 914a-b), y en donde, para cada transistor de efecto de campo, un componente de limitación de corriente de dos terminales (316a-d, 516a-d, 816a-d, 906a-h) respectivo está acoplado entre un electrodo de la puerta respectivo y el terminal de la puerta común de manera que, en el caso de que un defecto en el material dieléctrico de un transistor de efecto de campo particular permita que fluya una corriente de fuga de la puerta entre el canal y el electrodo de la puerta de ese transistor de efecto de campo, el componente de limitación de corriente de dos terminales respectivo limita la magnitud de la corriente de fuga de la puerta a un nivel predeterminado de modo que los otros transistores de efecto de campo en la disposición no se vean afectados sustancialmente por la corriente de fuga de la puerta;
comprendiendo el método la detección del flujo de corriente eléctrica a través del canal de uno o más transistores de efecto de campo de la disposición.

15. Un programa informático que comprende instrucciones para hacer que un procesador (1019), acoplado a al menos uno de un amperímetro (1016) y un voltímetro (1017) y acoplado a la disposición de la reivindicación 1, ejecute la etapa de detectar el flujo de corriente eléctrica a través del canal de uno o más transistores de efecto de campo de la disposición.

Figura 1

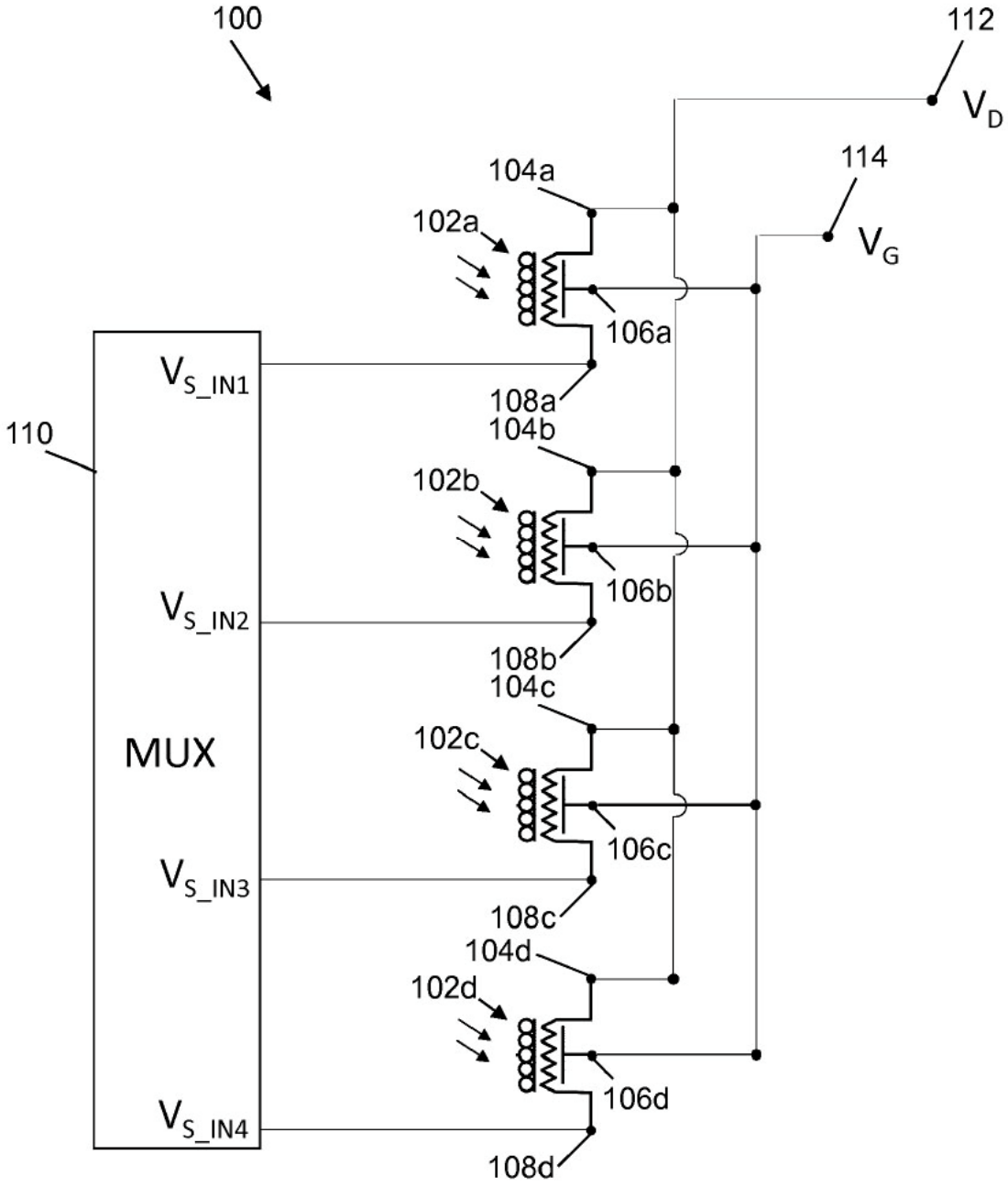
100
112
V_D
114
V_G
104a
102a
106a
108a
110
V_{S_IN1}
104b
102b
106b
V_{S_IN2}
108b
104c
102c
MUX
106c
V_{S_IN3}
108c
104d
102d
106d
V_{S_IN4}
108d

Figura 2a

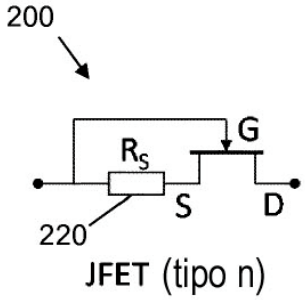

Figura 2b

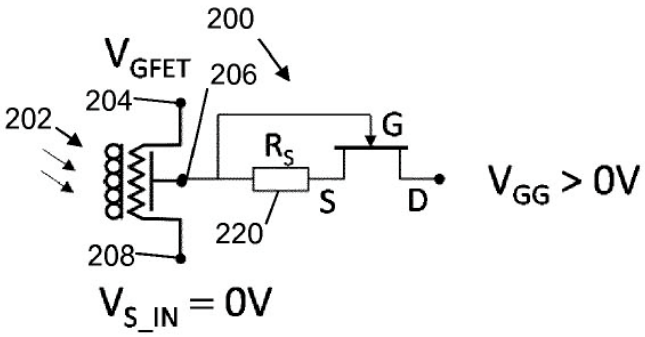

Figura 2c

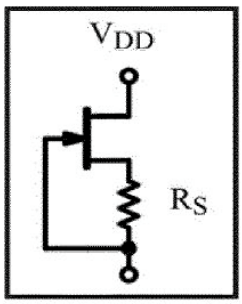

Figura 3

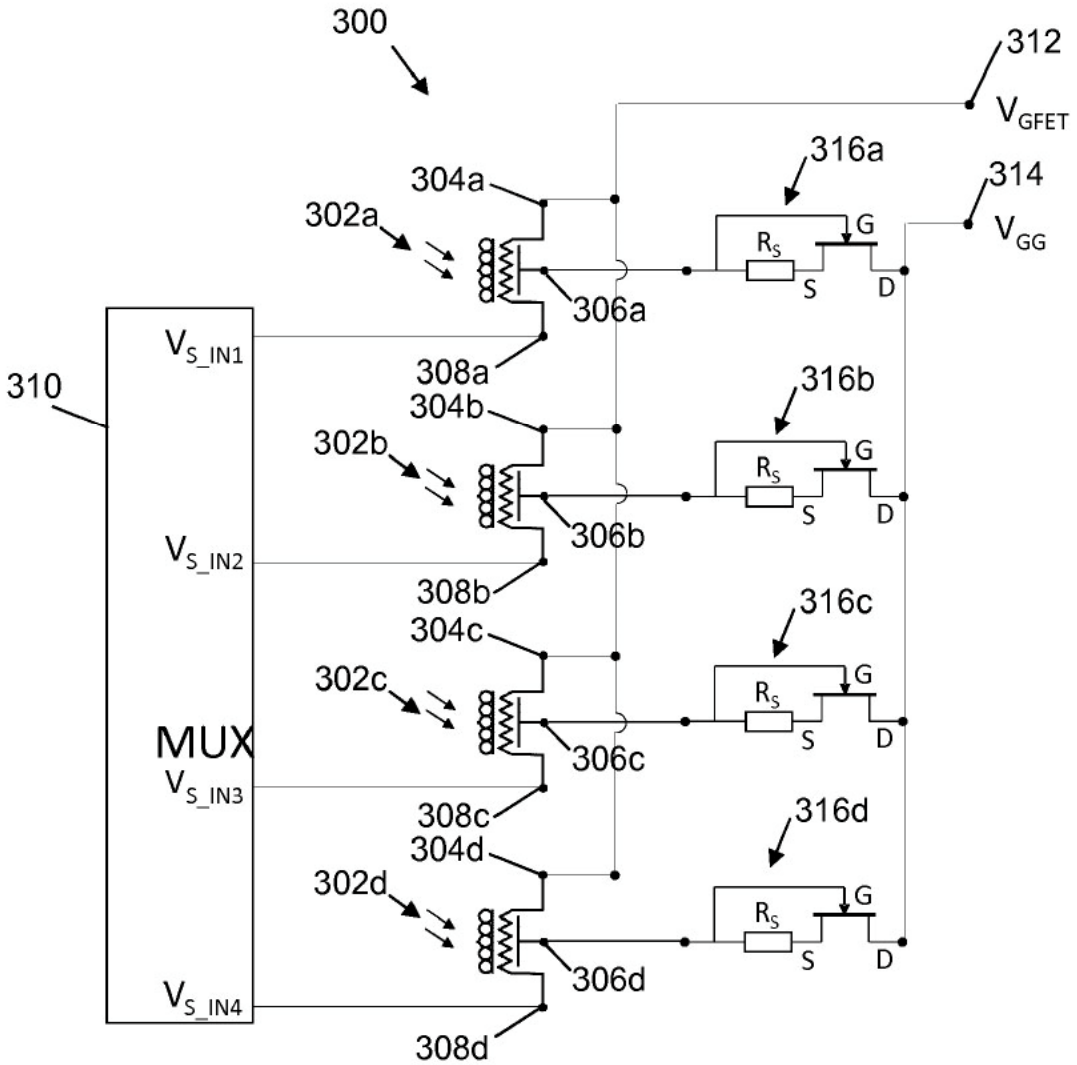
300
312
V_{GFET}
316a
314
304a
302a
V_{GG}
R_S
G
S
D
306a
V_{S_IN1}
310
308a
316b
304b
302b
306b
V_{S_IN2}
308b
316c
304c
302c
306c
MUX
V_{S_IN3}
308c
316d
304d
302d
306d
V_{S_IN4}
308d

Figura 4

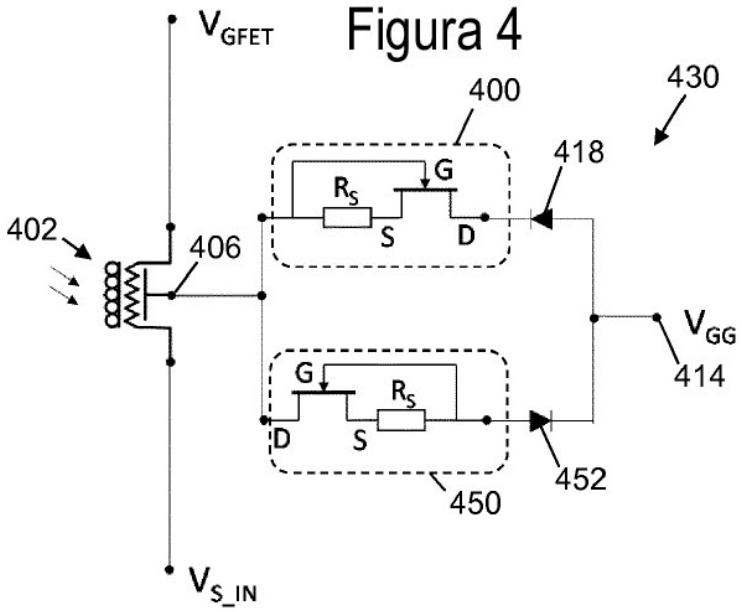

Figura 5

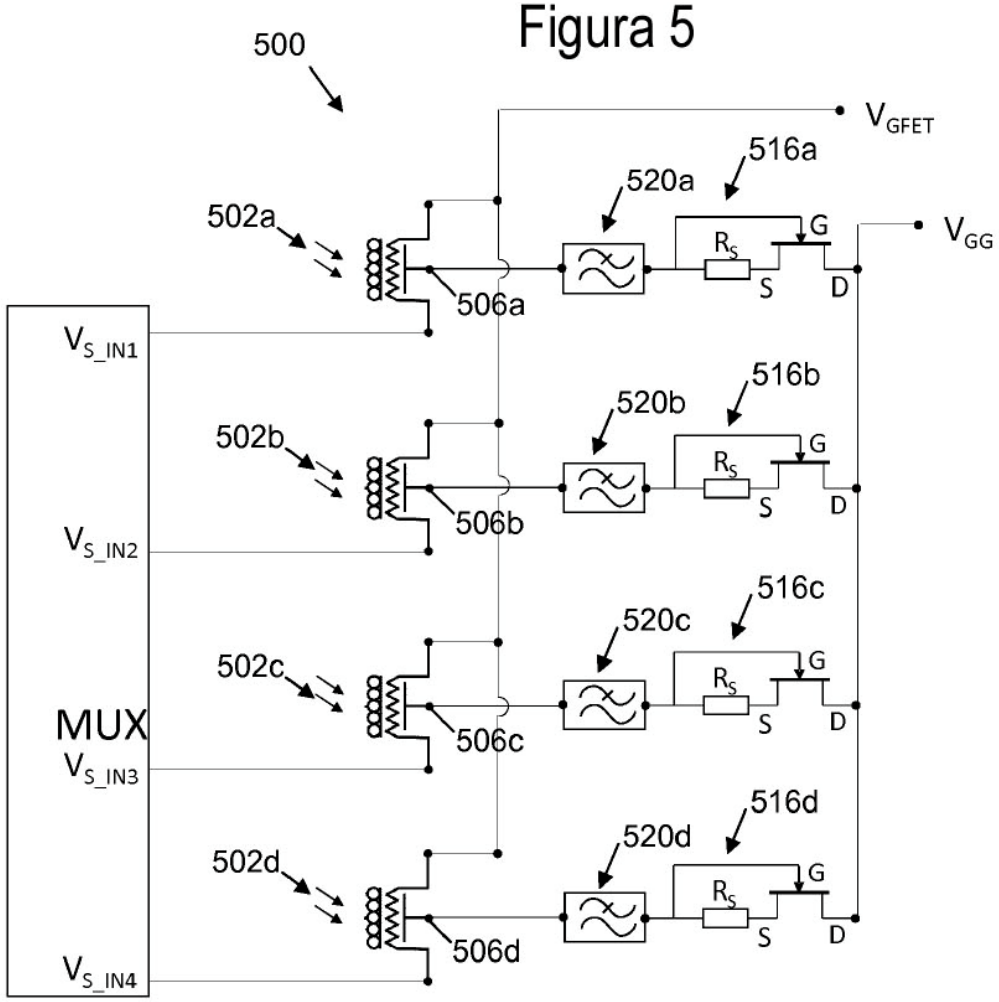

Figura 6

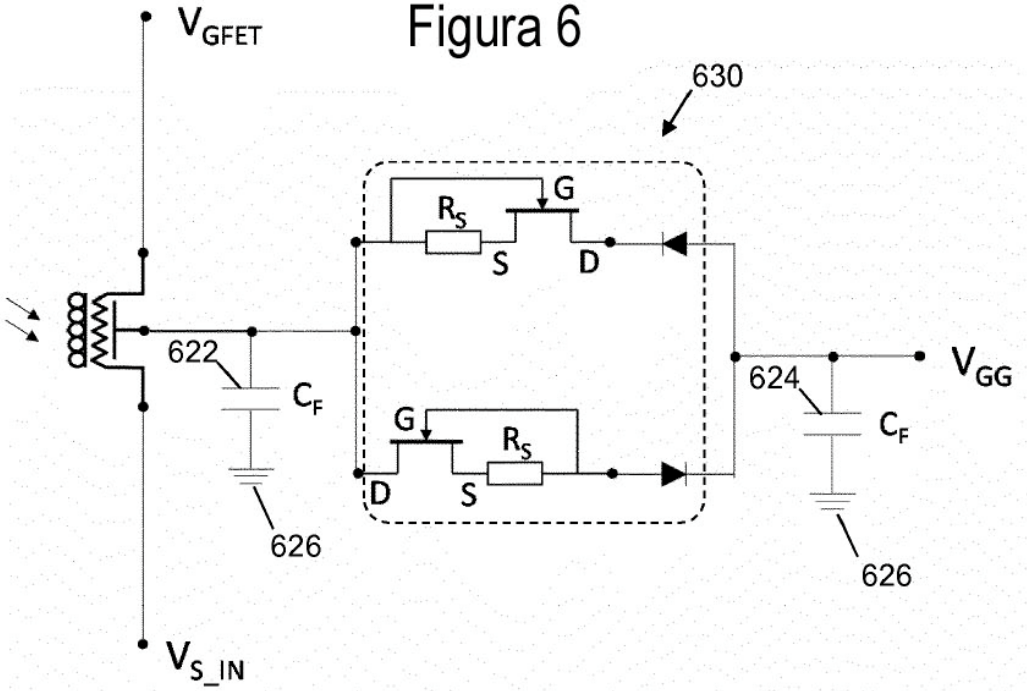

Figura 7

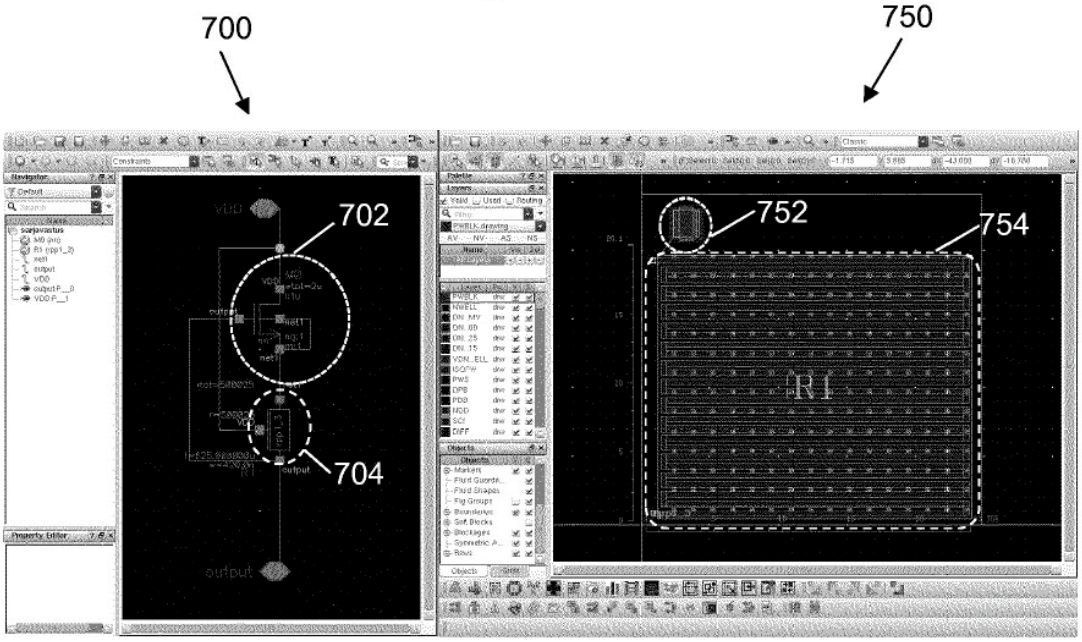

Figura 8

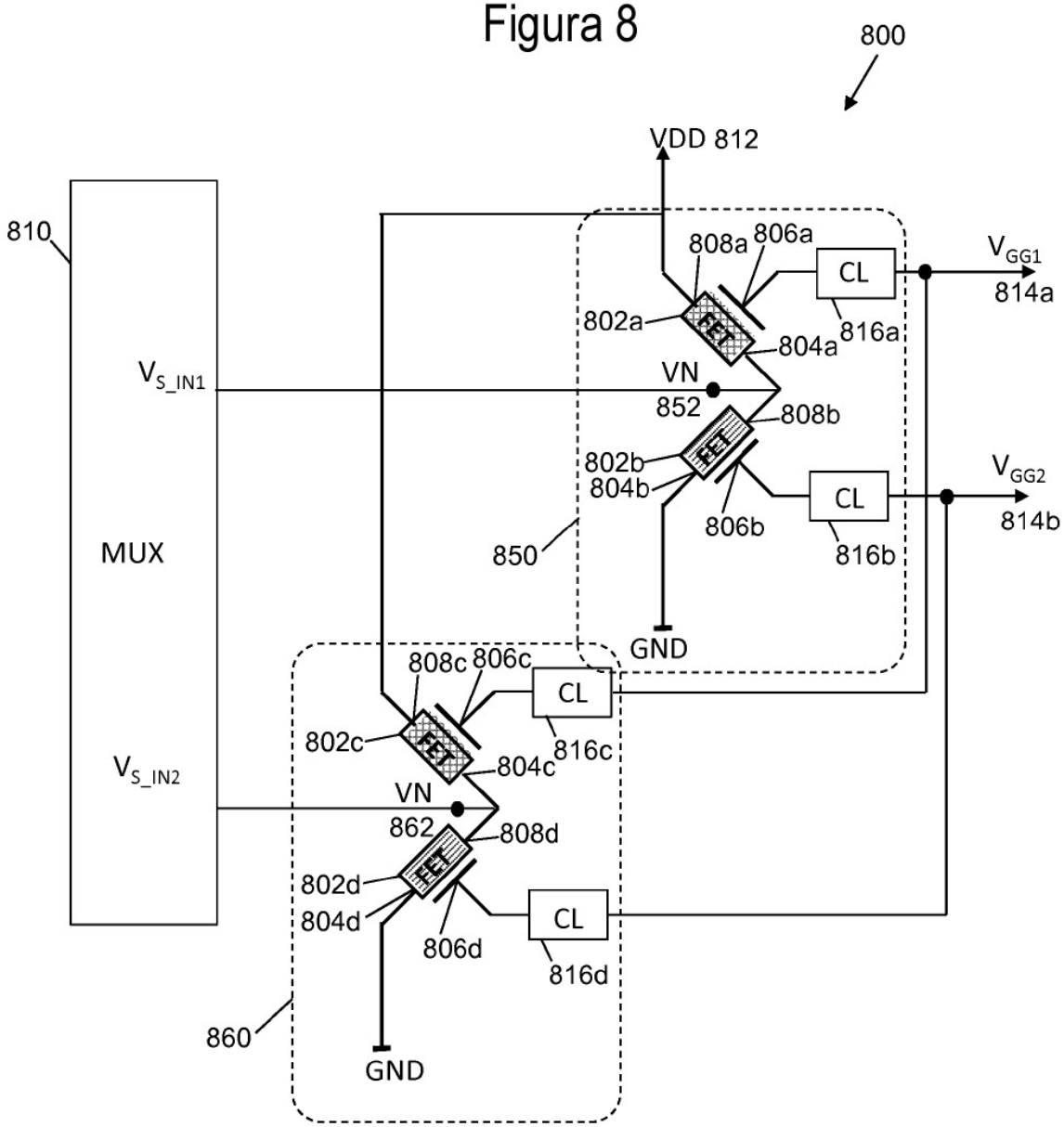
800
VDD 812
810
MUX
V_{S_IN1}
V_{S_IN2}
808a
806a
CL
816a
802a
FET
804a
VN
852
808b
802b
804b
806b
816b
850
V_{GG1}
814a
V_{GG2}
814b
GND
808c
806c
816c
802c
804c
862
808d
802d
804d
806d
816d
860
GND

Figura 9

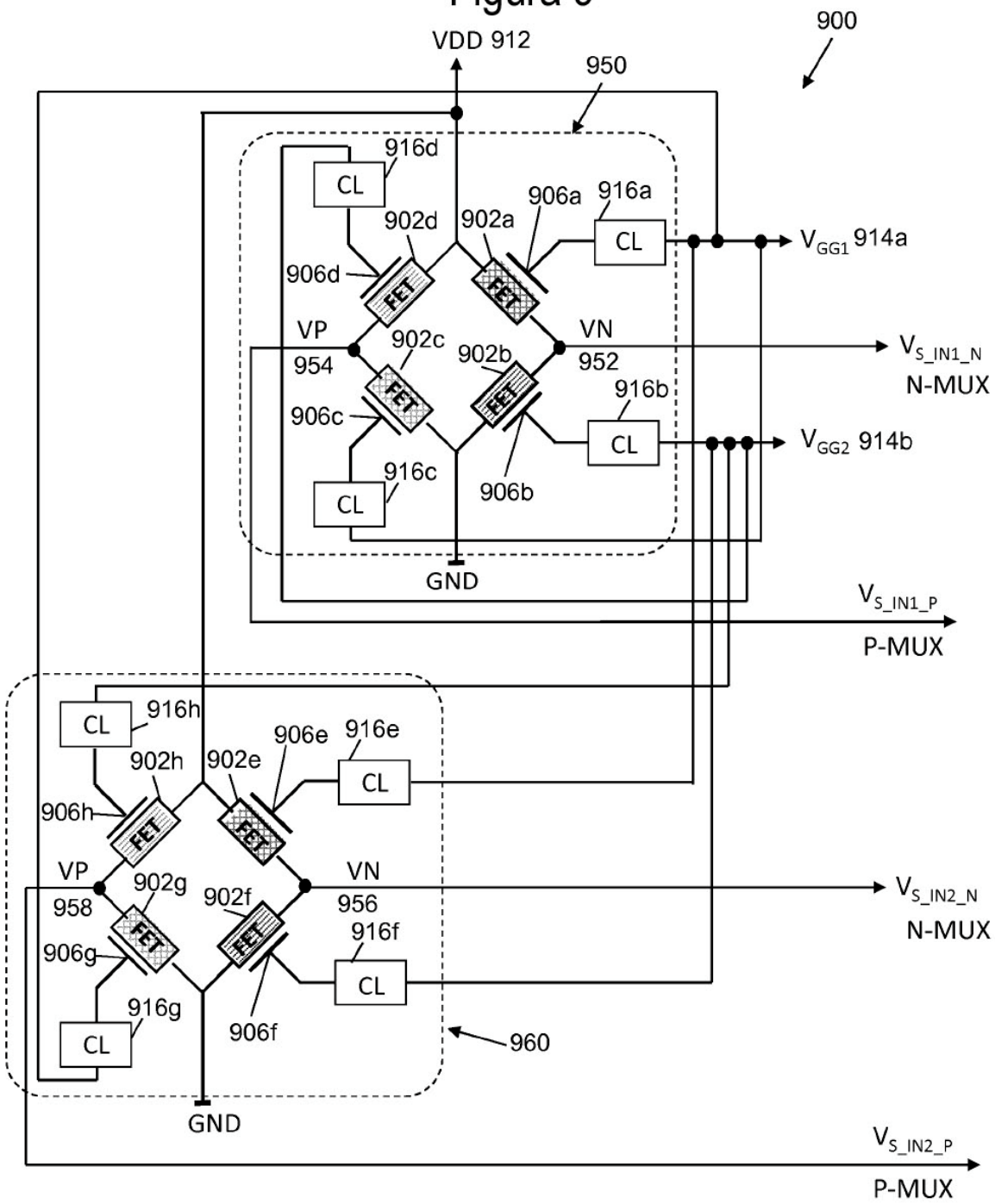
900
VDD 912
950
916d
CL
902d
902a
906a
916a
CL
906d
FET
FET
V_{GG1} 914a
VP
954
902c
902b
VN
952
$V_{S_IN1_N}$
N-MUX
916b
906c
FET
FET
CL
V_{GG2} 914b
916c
CL
906b
GND
$V_{S_IN1_P}$
P-MUX
916h
CL
906e
916e
902h
902e
CL
906h
FET
FET
VP
902g
VN
$V_{S_IN2_N}$
958
902f
956
N-MUX
916f
906g
FET
FET
CL
916g
CL
906f
960
GND
$V_{S_IN2_P}$
P-MUX

Figura 10

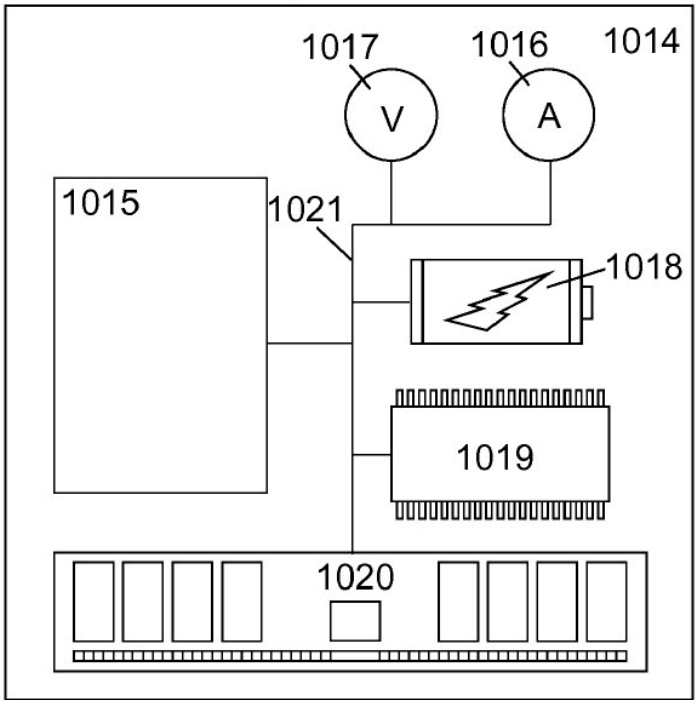

Figura 11

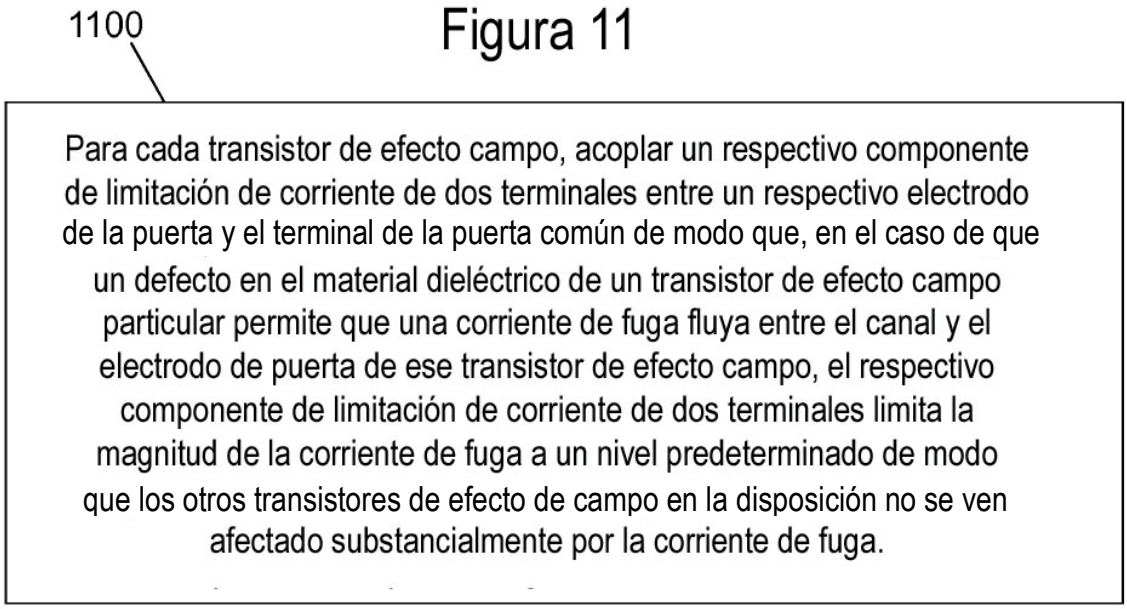

Figura 12

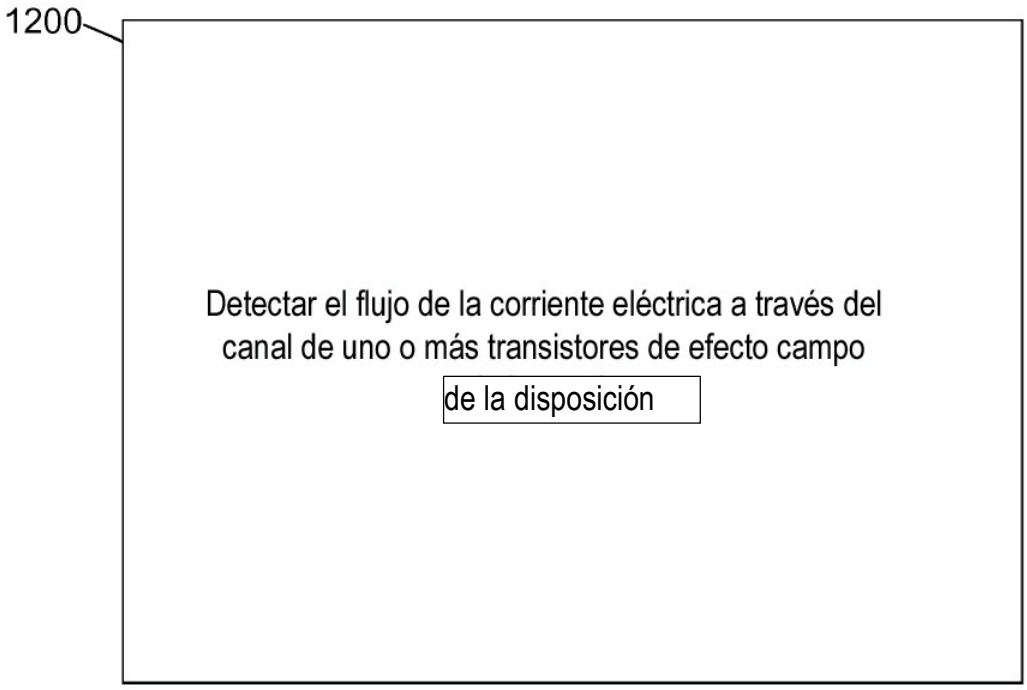
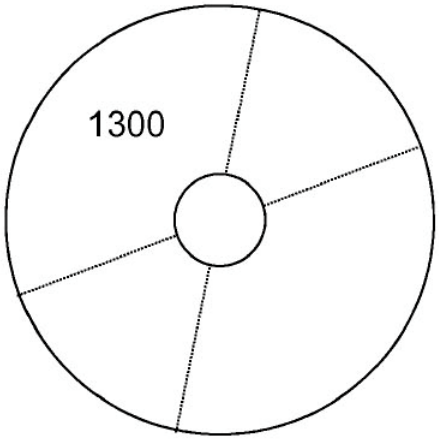
Figura 13