

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 729 660**

51 Int. Cl.:

H04B 1/00 (2006.01)

H04B 1/28 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.05.2016 E 16170930 (8)**

97 Fecha y número de publicación de la concesión europea: **20.03.2019 EP 3098972**

54 Título: **Arquitectura de receptor de radio versátil**

30 Prioridad:

26.05.2015 FR 1554720

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

05.11.2019

73 Titular/es:

**COMMISSARIAT À L'ÉNERGIE ATOMIQUE ET
AUX ÉNERGIES ALTERNATIVES (50.0%)
Bâtiment "Le Ponant D", 25, Rue Leblanc
75015 Paris, FR y
AIRBUS DS SAS (50.0%)**

72 Inventor/es:

**PELLISSIER, MICHAËL;
AUDEBERT, PATRICK y
LOLIS, LUIS**

74 Agente/Representante:

SUGRAÑES MOLINÉ, Pedro

ES 2 729 660 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Arquitectura de receptor de radio versátil

5 **Campo**

La presente divulgación se refiere al campo de receptores de radiofrecuencia (RF), y en particular a un receptor de RF que puede seleccionar un canal a partir de una pluralidad de subbandas.

10 **Antecedentes**

Los microteléfonos móviles a menudo se requiere que traten con múltiples normas de RF, tales como 2G (segunda generación), 3G, 4G, GPS (sistema de posicionamiento global), WiFi (fidelidad inalámbrica), Bluetooth, etc. Para mantener los costes de fabricación y de pruebas tan bajo como sea posible, el número de dispositivos discretos usados para implementar un receptor de RF para una norma dada tiene que reducirse de varios cientos a solo unas pocas decenas. También hay un movimiento hacia soluciones completamente integradas.

Una solución clásica es usar una arquitectura súper-heterodina para convertir de manera descendente la señal de RF a una frecuencia intermedia dada (IF). La selección de canal de RF en arquitecturas de este tipo podría realizarse usando uno de dos enfoques diferentes.

Un enfoque sería usar un sintetizador de reloj de RF para convertir de manera descendente la señal a la IF dada, y usar un componente de VCO (oscilador controlado por tensión) fuera del chip externo, para proporcionar un oscilador local para mezclar la señal y realizar conversión descendente. Además, es típico usar un filtro de cuarzo, centrado en la IF, para filtrar cualesquiera interferencias. La limitación principal de esta solución es que un requisito de ruido de fase alta evita la integración del mismo VCO. Adicionalmente, la ausencia de capacidad de reconfiguración del componente fuera del chip evita que se traten varias normas que tienen diferentes anchos de banda de canal con un único componente.

Un enfoque alternativo sería usar un sintetizador de frecuencia fija para realizar la conversión descendente, y realizar la filtración usando un filtro versátil. Sin embargo, la capacidad de reconfiguración de la frecuencia central es prácticamente imposible de conseguir en un caso de este tipo, y la restricción en términos de ancho de banda es extremadamente alta.

La publicación por Pui-In Mak et al. titulada "Two-step Channel Selection-A Novel Technique for Reconfigurable Multistandard Transceiver Front-Ends", IEEE transactions on circuits and systems-I: Regular papers, Vol. 52, N.º 7, julio de 2005, propone una partición del proceso de selección de canal entre extremos frontales analógicos de RF e IF, de manera que únicamente es necesaria una selección aproximada en la RF, y se completa una selección precisa en la IF.

Sin embargo, mientras que la solución descrita por Mak et al. proporciona una buena compensación entre las dos soluciones previamente descritas, tiene desventajas en términos de la precisión de la selección de frecuencia, y el factor de calidad que puede conseguirse.

Existe por lo tanto una necesidad de una arquitectura de receptor alternativa que proporcione selección de canal con precisión mejorada y un factor de calidad superior con respecto a las soluciones existentes, y de una solución que permita capacidad de reconfiguración para la operación de múltiples normas.

La publicación por Latiri et al. "A reconfigurable RF sampling receiver for multistandard applications" en Comptes Rendus - Physique, Elsevier, París, FR, vol. 7, N° 7, septiembre de 2006, páginas 785-793, presenta la arquitectura de un receptor de radio reconfigurable.

La solicitud de patente US2010/093301 se refiere a un receptor heterodino.

55 **Sumario**

Es un objeto de las realizaciones de la presente descripción tratar al menos parcialmente una o más necesidades en la técnica anterior.

De acuerdo con un aspecto, se proporciona un receptor de RF que comprende: un circuito de conversión descendente y muestreo adaptado para: recibir una señal de entrada de RF que tiene una banda de señal que comprende una pluralidad de subbandas, comprendiendo cada subbanda una pluralidad de canales separados por espacios de canal de frecuencia; realizar transposición y muestreo de frecuencia para generar una señal de tiempo discreta en la que una seleccionada de la pluralidad de subbandas se lleva de una banda de frecuencia inicial a una banda de frecuencia inferior; y un filtro de tiempo discreto que tiene una banda de paso variable, siendo controlable la frecuencia central (f_0) del filtro de tiempo discreto para seleccionar uno cualquiera de la pluralidad de canales de la

subbanda seleccionada.

De acuerdo con una realización, el filtro de tiempo discreto puede controlarse para seleccionar un primer canal de la subbanda seleccionada llevando la frecuencia central del filtro de tiempo discreto a una frecuencia del primer canal.

5 De acuerdo con una realización, el circuito de conversión descendente y muestreo comprende: un primer circuito de transposición adaptado para transponer la subbanda seleccionada de la banda de frecuencia inicial a una banda de frecuencia intermedia basándose en una primera señal de frecuencia; un circuito de generación de señal de frecuencia adaptado para generar la primera señal de frecuencia basándose en una señal de frecuencia inicial generada como una función de la subbanda a seleccionarse; y un segundo circuito de transposición adaptado para transponer la subbanda seleccionada de la banda de frecuencia intermedia a la banda de frecuencia inferior.

15 De acuerdo con una realización, el primer circuito de transposición comprende un mezclador adaptado para mezclar la señal de entrada de RF con la primera señal de frecuencia para generar una señal intermedia; el circuito de conversión descendente y muestreo comprende un circuito de muestreo accionado por una segunda señal de frecuencia para muestrear la señal intermedia y para generar una señal de tiempo discreta intermedia; y la segunda señal de frecuencia se genera por el circuito de generación de señal de frecuencia basándose en la señal de frecuencia inicial.

20 De acuerdo con una realización, el circuito de generación de señal de frecuencia está adaptado para generar la segunda señal de frecuencia dividiendo la señal de frecuencia inicial por un número entero.

25 De acuerdo con una realización, el segundo circuito de transposición comprende: un diezmador adaptado para diezmar la señal en la frecuencia central de la banda de frecuencia intermedia y transponer la banda de frecuencia intermedia a la banda de frecuencia inferior, en el que el diezmado reduce la tasa de muestreo a $f_d=f_s/M_d$, donde f_s es la frecuencia de la segunda señal de frecuencia, y M_d es el orden de diezmado del diezmador igual a un número entero impar de 3 o mayor; y un filtro de anti-solapamiento adaptado para realizar filtración de anti-solapamiento anterior al diezmado, en el que el filtro de anti-solapamiento está adaptado para tener una banda de paso de un ancho de banda igual o mayor que el ancho de banda combinado de la pluralidad de canales.

30 De acuerdo con una realización, el filtro de anti-solapamiento comprende: una etapa de filtro IIR adaptada para recibir la subbanda seleccionada en la banda de frecuencia intermedia; y un filtro FIR acoplado a una salida del filtro IIR.

35 De acuerdo con una realización, el filtro de anti-solapamiento está configurado para tener: una frecuencia central en $f_s/4$, donde f_s es la frecuencia de la segunda señal de frecuencia; un ancho de banda de paso igual o mayor que el ancho de banda de la subbanda seleccionada; y características de banda de rechazo que rechazan la señal en $IF1_0+m*f_d$, donde $IF1_0$ es la frecuencia central del filtro de anti-solapamiento, m es un número entero igual o mayor que 1, y f_d es igual a la frecuencia f_s/M_d .

40 De acuerdo con una realización, el circuito de generación de señal de frecuencia comprende un bucle de enganche de fase que tiene una ruta de realimentación que comprende un circuito de división adaptado para dividir la señal de frecuencia inicial por un número entero N , en el que el valor de N se ajusta basándose en la subbanda a seleccionarse.

45 De acuerdo con una realización, el filtro de tiempo discreto es un filtro de procesamiento de tiempo discreto de IIR que tiene una función de transferencia $H_c(z)$ basándose en la ecuación:

$$H_c(z) = Gv \frac{(1 - \beta)}{1 - (\alpha + j\gamma) \cdot z^{-1}}$$

50 donde Gv es una ganancia de tensión del filtro, y α , β y γ son coeficientes, y en el que los coeficientes α y γ son variables y se seleccionan de manera que $\alpha+\gamma>1$.

55 De acuerdo con una realización, el coeficiente β es ajustable para controlar el ancho de banda del filtro de tiempo discreto.

De acuerdo con una realización, el filtro de tiempo discreto comprende una pluralidad de condensadores conmutados de los cuales al menos uno tiene una variable de capacitancia para seleccionar uno de la pluralidad de canales de la subbanda seleccionada.

60 De acuerdo con una realización, el filtro de tiempo discreto está adaptado para tener un ancho de banda de paso banda variable entre una pluralidad de valores, comprendiendo adicionalmente la pluralidad de condensadores conmutados al menos un condensador adaptado para tener una capacitancia variable para seleccionar uno de la pluralidad de anchos de banda de paso banda.

65

De acuerdo con una realización, el filtro de tiempo discreto comprende: un primer amplificador de trans-impedancia operacional que tiene una primera entrada acoplada mediante un primer condensador conmutado a una primera entrada para recibir un primer componente de señal del circuito de conversión descendente y muestreo; y un
5 segundo amplificador de trans-impedancia operacional que tiene una segunda entrada acoplada mediante un segundo condensador conmutado a una segunda entrada para recibir un segundo componente de señal del circuito de conversión descendente y muestreo.

De acuerdo con una realización, el filtro de tiempo discreto comprende adicionalmente: un tercer condensador acoplado entre la entrada y una salida del primer amplificador de trans-impedancia operacional; un cuarto
10 condensador acoplado conmutado entre la entrada y la salida del primer amplificador de trans-impedancia operacional; un quinto condensador acoplado entre la entrada y una salida del segundo amplificador de trans-impedancia operacional; un sexto condensador acoplado conmutado entre la entrada y la salida del segundo amplificador de trans-impedancia operacional; un séptimo condensador acoplado conmutado entre la entrada del
15 primer amplificador de trans-impedancia operacional y la salida del segundo amplificador de trans-impedancia operacional; un octavo condensador acoplado conmutado entre la salida del primer amplificador de trans-impedancia operacional y la entrada del segundo amplificador de trans-impedancia operacional; y un circuito de control para generar señales de selección para controlar la capacidad de al menos uno del segundo, tercero, cuarto, quinto, sexto, séptimo y octavo condensadores basándose en el canal a seleccionarse.

De acuerdo con un aspecto adicional, se proporciona un método de recepción de RF que comprende: recibir por un receptor de RF una señal de entrada de RF que tiene una banda de señal que comprende una pluralidad de
20 subbandas, comprendiendo cada subbanda una pluralidad de canales separados por espacios de canal de frecuencia; realizar transposición y muestreo de frecuencia para generar una señal de tiempo discreta en el que una seleccionada de la pluralidad de subbandas se lleva desde una banda de frecuencia inicial a una banda de frecuencia inferior; y controlar una frecuencia central (f_0) de un filtro de tiempo discreto para seleccionar uno
25 cualquiera de la pluralidad de canales de la subbanda seleccionada.

Breve descripción de los dibujos

Las anteriores y otras características y ventajas se harán evidentes a partir de la siguiente descripción detallada de las realizaciones, proporcionada por medio de ilustración y no limitación con referencia a los dibujos adjuntos, en los
30 que:

La Figura 1 ilustra esquemáticamente un receptor de RF de acuerdo con una realización de ejemplo de la presente divulgación;

La Figura 2 muestra gráficos de frecuencia que representan selección de canal por el receptor de RF de la Figura 1 de acuerdo con una realización de ejemplo;

La Figura 3A ilustra esquemáticamente un circuito de conversión descendente y muestreo del receptor de RF de la Figura 1 en más detalle de acuerdo con una realización de ejemplo;

Las Figuras 3B, 3C y 3D ilustran esquemáticamente implementaciones de ejemplo del circuito de la Figura 3A;

La Figura 4 ilustra esquemáticamente el receptor de RF de la Figura 1 en más detalle de acuerdo con una realización de ejemplo de la presente divulgación;

La Figura 5A ilustra esquemáticamente el receptor de RF de la Figura 4 en más detalle aún de acuerdo con una realización de ejemplo de la presente divulgación;

La Figura 5B ilustra gráficos que representan parámetros en el receptor de la Figura 4 para un intervalo de frecuencias de RF de acuerdo con una realización de ejemplo;

La Figura 6 es un diagrama espectral que ilustra un ejemplo de la función de transferencia de un filtro de anti-solapamiento de las Figuras 4 y 5A;

La Figura 7A ilustra esquemáticamente el filtro de anti-solapamiento de las Figuras 4 y 5A en más detalle de acuerdo con una realización de ejemplo;

La Figura 7B es un diagrama de respuesta de frecuencia de filtro que representa la respuesta de FIR-IIR y filtros IIR-FIR de acuerdo con una realización de ejemplo;

La Figura 8 ilustra esquemáticamente un filtro de paso banda de tiempo discreto variable de la Figura 1 en más detalle de acuerdo con una realización de ejemplo;

La Figura 9 es un gráfico que representa deslizamiento de frecuencia del filtro de paso banda de tiempo discreto variable de la Figura 1 de acuerdo con una realización de ejemplo de la presente divulgación; y

La Figura 10 es un gráfico que representa un ejemplo de la función de transferencia de un circuito de diezmado y filtro de tiempo discreto de la Figura 5A de acuerdo con una realización de ejemplo.

Descripción detallada

A través de toda la presente divulgación, el término "conectado" se usa para designar una conexión eléctrica directa entre componentes, mientras que el término "acoplado" se usa para designar una conexión eléctrica que puede dirigirse, o puede ser mediante uno o más componentes intermedios, tal como resistencias, condensadores o
65 transistores. El término "aproximadamente" se usa para designar un intervalo de más o menos el 10 por ciento del valor en cuestión.

La Figura 1 ilustra esquemáticamente un receptor de RF 100 de acuerdo con una realización de ejemplo.

El receptor 100 comprende una antena de RF 102 para recibir una frecuencia de señal de entrada de radio RF_{IN} . El receptor de RF 100 puede por ejemplo recibir y demodular un canal seleccionado de una de una pluralidad de subbandas. En particular, como se describirá en más detalle a continuación, la señal de RF RF_{IN} por ejemplo comprende una banda de señal BW_{RF} que comprende una pluralidad de subbandas BW_{IF} , comprendiendo cada subbanda 2K canales, donde K es un número entero igual o mayor que 1. Al llamar el espaciado de frecuencia entre cada canal Δf_{CH} , cada subbanda BW_{IF} por lo tanto, por ejemplo, tiene un ancho de banda de $2K\Delta f_{CH}$.

La antena 102 está acoplada a un circuito de conversión descendente y muestreo (CONVERSIÓN-DESCENDENTE y MUESTREO) 104. El circuito 104 por ejemplo realiza transposición de frecuencia en la señal de entrada de RF para proporcionar una seleccionada de las subbandas de su banda de frecuencia inicial hasta una banda de frecuencia inferior igual a $IF_{20} \pm K\Delta f_{CH}$, donde IF_{20} es una frecuencia central de la banda de frecuencia inferior. La frecuencia central IF_{20} por ejemplo permanece a aproximadamente la misma frecuencia independientemente de cuál de las subbandas se seleccione.

El circuito de conversión descendente y muestreo 104 también realiza por ejemplo muestreo en una frecuencia de muestreo f_s para generar una señal de tiempo discreta. La frecuencia de muestreo f_s se genera por ejemplo por un circuito de bucle de enganche de fase (CIRCUITO de PLL) 106 basándose en una señal de frecuencia generada por un oscilador local (LO) 107, que es por ejemplo un VCO o similares. Como se representa por una flecha discontinua en la Figura 1, en algunas realizaciones el circuito de PLL 106 también genera una señal de frecuencia f_{LORF} usada por el circuito 104 para convertir de manera descendente una subbanda seleccionada de la señal de RF, por ejemplo usando un mezclador (no ilustrado en la Figura 1).

La conversión descendente aplicada a la señal de RF RF_{IN} es por ejemplo variable basándose en la subbanda a seleccionarse. Esta variación se consigue por ejemplo variando la frecuencia de la señal f_s y/o de la señal f_{LORF} proporcionada por el bucle de enganche de fase 106. En particular, el circuito 106 por ejemplo recibe una señal de control SB que indica una subbanda a seleccionarse, y el circuito de PLL 106 genera la frecuencia de la señal f_s y/o f_{LORF} como una función de la señal de control SB. La variación en la señal de frecuencia f_s y/o f_{LORF} se realiza por ejemplo en etapas aproximadas. De hecho, el tamaño de etapa entre niveles de frecuencia debería permitir la selección de una subbanda que comprende una pluralidad 2K de canales, en lugar de cualquier canal sencillo. Esta relajación en la precisión con respecto al caso en el que se realiza selección de canal en el lado de PLL permite por ejemplo que al menos parte del circuito de PLL 106, tal como su oscilador controlado por tensión (no ilustrado en la Figura 1) se integre en el chip.

La salida del circuito de conversión descendente y muestreo 104 está acoplada a un filtro de tiempo discreto (DTF) 108, que por ejemplo tiene una banda de paso que se desliza basándose en una señal de selección de canal CH. La frecuencia central f_0 del filtro 108 puede controlarse para seleccionar uno de los 2K canales de una subbanda seleccionada. En particular, la frecuencia central f_0 del filtro 108 se sintoniza a un canal de orden k deseado de los 2K canales que forman la subbanda seleccionada para realizar selección de canal y filtrar interferentes. En algunas realizaciones, el ancho de banda del filtro 108 también puede ajustarse para cubrir aplicaciones de múltiples normas. Por lo tanto, como se representa por una flecha discontinua en la Figura 1, el DTF 108 también recibe por ejemplo una señal de selección de ancho de banda BW, y está adaptado para variar el ancho de banda de su banda de paso como una función de esta señal.

El DTF 108 es por ejemplo un filtro IIR (respuesta de impulsos infinita), por ejemplo implementado por un circuito de condensador conmutado que comprende uno o más condensadores variables para ajustar la frecuencia central y ancho de banda del DTF. En algunas realizaciones descritas en más detalle a continuación, el DTF 108 es un circuito de tiempo discreto bi-cuádruple que comprende dos OTA (Amplificadores de Trans-impedancia Operacionales - no ilustrados en la Figura 1).

La salida del DTF 108 está acoplada por ejemplo a un convertidor de analógico a digital 110, que convierte la señal de tiempo discreta analógica en una señal digital. La señal digital se demodula, por ejemplo, por circuitos de procesamiento digital bien conocidos por los expertos en la materia y no ilustrados en las figuras. Por ejemplo, tales circuitos de procesamiento digitales pueden comprender uno o más de un circuito de diezmado de números enteros variable, un filtro de canal de banda base variable y un circuito de interpolación variable/diezmado de números no enteros.

La Figura 2 muestra gráficos de frecuencia que representan selección de canal por el receptor de RF 100 de la Figura 1. Como se ilustra, en un ejemplo, la señal de RF comprende subbandas vecinas SB1 y SB2, que por ejemplo corresponden a una norma de comunicaciones, y las subbandas vecinas SB3 y SB4. Cada subbanda por ejemplo comprende 2K canales, aunque en realizaciones alternativas una o más de las subbandas podría tener un número diferente de canales de las otras. En un caso de este tipo, el ancho de banda BW_{IF} es igual al ancho de banda de la subbanda más grande. En el ejemplo de la Figura 2, cada subbanda comprende 10 canales, es decir K es igual a 5. En realizaciones alternativas, K es igual a al menos 10, y es por ejemplo igual a aproximadamente 50. Cada canal está espaciado, por ejemplo, por un espaciado de frecuencia Δf_{CH} de entre 1 y 50 kHz, por ejemplo de alrededor de

10 KHz.

5 Una seleccionada de las subbandas se transpone a la banda de frecuencia $IF_{20} \pm K\Delta f_{CH}$. Por ejemplo, cada una de las subbandas SB1 a SB4 se centra en frecuencias de RF que caen en el intervalo de 400 MHz a 3 GHz. En un ejemplo, las subbandas SB1 y SB2 se centran en frecuencias de aproximadamente 400 MHz y las subbandas SB3 y SB4 se centran en frecuencias de aproximadamente 800 MHz, aunque serían posibles muchas otras frecuencias. La frecuencia central IF_{20} de la banda de frecuencia inferior está por ejemplo en el intervalo de 1 MHz a 10 MHz, y en una realización es igual a aproximadamente 5 MHz.

10 Una curva 202 en la Figura 2 representa la función de transferencia del filtro de tiempo discreto 108 de la Figura 1, que se analiza en más detalle a continuación en relación a la Figura 10. La frecuencia central de este filtro se desliza para seleccionar uno de los 2K canales de la subbanda seleccionada, y en algunos casos se ajusta el ancho de banda del filtro.

15 La Figura 3A ilustra el circuito de conversión descendente y muestreo 104 de la Figura 1 en más detalle de acuerdo con un ejemplo de acuerdo con el que comprende una pluralidad de circuitos de transposición para proporcionar progresivamente una subbanda seleccionada desde su banda de frecuencia inicial a la banda de frecuencia inferior. Por ejemplo, el circuito 104 comprende un circuito de transposición (TRANSP01) 302 para proporcionar la subbanda hasta una banda de frecuencia intermedia $IF1 = IF_{10} \pm K\Delta f_{CH}$, donde IF_{10} es una frecuencia central de la banda de frecuencia intermedia, y un circuito de transposición (TRANSP02) 304 para proporcionar la banda de frecuencia intermedia hasta la banda de frecuencia inferior $IF2 = IF_{20} \pm K\Delta f_{CH}$. El muestreo se realiza, por ejemplo, en cualquiera o ambos de los circuitos de transposición 302, 304, como se describirá a continuación con referencia a las Figuras 3B a 3D.

25 Las Figuras 3B a 3D ilustran esquemáticamente realizaciones de ejemplo de los circuitos de transposición 302 y 304. Únicamente las funciones de transposición principales de estos circuitos se ilustran, y los expertos en la materia podrán seleccionar filtros apropiadas para implementar estos circuitos.

30 Como se ilustra en la Figura 3B, en una realización el circuito de transposición 302 comprende un mezclador 306, que mezcla la señal de entrada RF_{IN} con una señal de frecuencia f_{LORF} generada basándose en una señal f_{LO} desde el oscilador de referencia 107 para generar la señal en la banda intermedia IF1. El circuito de transposición 304 comprende un circuito de muestreo 308 para muestrear la señal en una frecuencia f_s , igual por ejemplo a aproximadamente cuatro veces la frecuencia central de la señal de banda intermedia IF1, y un diezmador 310 para reducir el número de muestras por un factor M_d , y convertir de manera descendente por lo tanto la banda de frecuencia intermedia IF1 a la banda de frecuencia inferior IF2.

40 Como se ilustra en la Figura 3C, en otra realización el circuito de transposición 302 comprende un circuito de muestreo 312, que muestrea de manera descendente la señal de entrada RF_{IN} . Por lo tanto la frecuencia de muestreo f_s en este caso es igual, por ejemplo, a menor que la frecuencia central f_{RF} de la subbanda seleccionada. La operación de muestreo de esta manera genera la señal a la banda de frecuencia intermedia IF1. El circuito de transposición 304 comprende un diezmador 314 para reducir el número de muestras en un factor M_d , y por lo tanto convertir de manera descendente la banda de frecuencia intermedia IF1 a la banda de frecuencia inferior IF2.

45 Como se ilustra en la Figura 3D, en otra realización, el circuito de transposición 302 comprende un circuito de muestreo 316, que muestrea de manera descendente la señal de entrada RF_{IN} . Por lo tanto la frecuencia de muestreo f_{s1} es en este caso igual, por ejemplo, a menor que la frecuencia central f_{RF} de la subbanda seleccionada. La operación de muestreo de esta manera genera la señal en la banda intermedia IF1. El circuito de transposición 304 comprende un circuito de muestreo adicional 318, que por ejemplo muestrea de manera descendente la señal a la banda de frecuencia intermedia IF1 aplicando una frecuencia de muestreo f_{s2} . La frecuencia de muestreo f_{s2} es por ejemplo igual a menor que la frecuencia central IF_{10} de la banda de frecuencia intermedia IF1. La banda de frecuencia intermedia IF1 se convierte de manera descendente por lo tanto a la banda de frecuencia inferior IF2.

55 En realizaciones alternativas, las características de las realizaciones de la Figura 3B a 3D podrían combinarse en diferentes combinaciones. Por ejemplo, el circuito de muestreo 308 y el diezmador 310 de la Figura 3B podrían sustituirse por el circuito de muestreo de manera descendente 318.

60 Como un ejemplo adicional, el mezclador 306 de la Figura 3B, o los circuitos de muestreo 312 o 316 de las Figuras 3C y 3D, podrían sustituirse por circuitos de muestreo de tiempo discreto y paso de banda que realizan conversión descendente basándose en la relación $f_{RF-0} = (L + \zeta) f_s$, donde f_{RF-0} es la frecuencia central de RF de la subbanda a seleccionarse y convertirse de manera descendente, f_s es la frecuencia de muestreo, L es el armónico usado para conseguir la conversión descendente, y $\zeta = 0, 1/2, 1/4$, es la relación que indica dónde ha de centrarse el filtro de la banda de frecuencia intermedia IF1, respectivamente en $f_s, f_s/2$ o $f_s/4$.

65 La Figura 4 ilustra el receptor de RF 100 de la Figura 1 en más detalle en el caso de que el circuito de conversión descendente y muestreo 104 se implemente de acuerdo con la realización de la Figura 3B.

Un filtro de anti-solapamiento 402 se proporciona por ejemplo entre el mezclador 306 y el circuito de muestreo 308. Este filtro 402 es por ejemplo un filtro de paso banda analógico o podría estar directamente embebido en un muestreo actual. Proporciona filtración de anti-solapamiento en la frecuencia $N \cdot f_s$, así como filtración de la señal de imagen IMG_{IF1} . Este filtro tiene por ejemplo un paso de banda centrada en la frecuencia IF_{10} , y un ancho de banda de aproximadamente 20 MHz.

Adicionalmente, se proporciona un filtro de tiempo discreto (DTF) 404 por ejemplo antes del diezmador 310, y proporciona filtración de anti-solapamiento para la operación de diezmado así como rechazo de imagen $IF1$ en vista de la banda de frecuencia inferior $IF2$. Esta imagen se sitúa en $-IF_{10} + 2IF_{20}$. Adicionalmente, el ancho de banda BW_{IF1} del filtro se adapta para cubrir el intervalo de frecuencia total de la subbanda seleccionada, en otras palabras el intervalo de frecuencia $2K\Delta f_{CH}$, para no filtrar la misma señal. Típicamente, $BW_{IF1} > 2K\Delta f_{CH}$. El DTF 404 se implementa por ejemplo por uno o más filtros IIR (respuesta de impulsos infinita) y/o uno o más filtros de FIR (respuesta de impulsos finita) dependiendo del requisito de nivel de rechazo de solapamiento.

Aunque no se ilustra en la Figura 4, en algunas realizaciones podría añadirse una o más etapas de diezmado y anti-solapamiento adicionales para reducir adicionalmente la frecuencia f_{ADC} en la que se está ejecutando el convertidor de analógico a digital 110.

El oscilador de referencia 107 se implementa por un oscilador de cuarzo en el ejemplo de la Figura 4, aunque podrían usarse en realizaciones alternativas diferentes tipos de osciladores. El bucle de enganche de fase 106 por ejemplo comprende un divisor 406 para dividir la señal de frecuencia generada por el oscilador 107 por un factor R. La señal dividida se proporciona a un mezclador 408 para mezclarla con una señal de frecuencia de realimentación f_{FB} . La salida del mezclador 408 está acoplada, por ejemplo mediante un filtro de paso bajo variable 410, a un oscilador controlado por tensión 412, que genera una señal de frecuencia f_{PLL} . La señal f_{PLL} por ejemplo tiene su frecuencia dividida por un número entero N por un divisor de frecuencia 414 para generar la señal de realimentación f_{FB} . Como se muestra en la Figura 4, la señal f_{PLL} puede proporcionar directamente la señal de frecuencia f_{LORF} al mezclador 306. Como alternativa, la señal f_{PLL} puede dividirse por un divisor de frecuencia adicional (no ilustrado en la Figura 4) para generar la señal f_{LORF} . La señal de muestreo f_s se genera por ejemplo dividiendo la señal f_{PLL} por un número entero variable M por un divisor de frecuencia 416. Por lo tanto, ambas de las señales de frecuencia f_{LORF} y f_s se generan, por ejemplo, usando un bucle de enganche de fase común.

El número entero N es por ejemplo variable para proporcionar una selección de frecuencia aproximada. Por ejemplo, en una realización, un cambio incremental en el número entero N da como resultado un desplazamiento BW_{ch} de la señal f_{LORF} igual al ancho de banda de una subbanda, es decir $2K\Delta f_{CH}$.

La Figura 5A ilustra en detalle adicional esquemáticamente partes del receptor de RF 100 de la Figura 4. Como se ilustra en la Figura 5A, las conexiones en serie de un conmutador 502, un filtro de paso banda 504, amplificador de ruido bajo (LNA) 506 y filtro de paso banda 508 adicional están acopladas por ejemplo entre la antena 102 y el mezclador 306, y forman un extremo frontal de radio. El conmutador 502 por ejemplo permite que se use la antena 102 tanto por un receptor 100, como por un transmisor (no ilustrado en las figuras). En algunas realizaciones, el filtro de paso banda 504 es un componente fuera del chip que tiene una banda de paso de un ancho de banda que es compatible con las subbandas SB1, SB2, etc., y es típicamente igual a aproximadamente 20 MHz. El mezclador 306 comprende los circuitos 306A y 306B respectivamente que reciben componentes I y Q de cuadratura de la señal de RF. El circuito 306A mezcla el componente I con la señal de frecuencia f_{LORF} retardada en 90 grados por un circuito de retardo de fase 510. El circuito 306B mezcla el componente Q con la señal de frecuencia f_{LORF} . En el ejemplo de la Figura 5A, la señal f_{LORF} se genera dividiendo la frecuencia de la señal f_{PLL} por un número entero R' , que en algunas realizaciones se establece igual a 4. Una división de frecuencia de este tipo es ventajosa ya que aumenta la frecuencia de operación del VCO, conduciendo a un factor de calidad superior.

La salida del circuito 306A se proporciona por ejemplo al filtro de paso banda 402 mediante un amplificador de ganancia variable 514A. De manera similar, la salida del circuito 306B se proporciona por ejemplo al filtro de paso banda 402 mediante un amplificador de ganancia variable 514B. El circuito de muestreo 308 por ejemplo comprende un circuito de muestreo 308A para muestrear la señal de componente I, y un circuito de muestreo adicional 308B para muestrear la señal de componente Q. Adicionalmente, el diezmador 310 por ejemplo comprende un circuito de diezmado 310A que recibe la señal de componente I, y un circuito de diezmado 310B que recibe la señal de componente Q. El ADC 110 por ejemplo comprende un ADC 110A para realizar conversión digital de la señal de componente I, y un ADC 110B para realizar conversión digital de la señal de componente Q.

Se observará que el convertidor de analógico a digital 110 se ejecuta a una frecuencia $f_{ADC} = f_s / M_d$, donde M_d es el orden de diezmado aplicado por el diezmador 310. En algunas realizaciones, la frecuencia central IF_{10} del DTF 404 se establece a $f_s / 4$.

Una ventaja de usar una frecuencia de muestreo relativamente alta f_s es que relaja las restricciones sobre el rechazo de imagen realizado por el filtro de RF 402. Una ventaja de usar una frecuencia de muestreo relativamente baja f_s es que reduce el consumo de potencia de los filtros de tiempo discretos 404 y 108 y posibilita que se aplique un orden de diezmado inferior M_d por el diezmador 310.

Adicionalmente, la frecuencia $IF2_0$ es igual a $IF1_0/M_d$, y por lo tanto aumentando M_d , puede reducirse la frecuencia $IF2_0$. En una realización, M_d es un número entero impar.

5 En un ejemplo, las compensaciones anteriores conducen a una frecuencia de muestreo central f_{s0} que se establece a aproximadamente 126 MHz, y el orden de diezmo M_d por ejemplo que se establece igual a 7. Adicionalmente, la frecuencia central $IF1_0$ de la banda de frecuencia intermedia se selecciona, por ejemplo, para que sea aproximadamente igual a 31,5 MHz, y por lo tanto la frecuencia de muestreo de ADC central f_{ADC0} es igual a $f_{s0}/M_d=18$ MHz. Sin embargo, serían posibles muchos otros valores.

10 La frecuencia de muestreo f_s se genera, por ejemplo, por el mismo PLL que el usado para generar la señal f_{LORF} , de manera que únicamente se realiza una síntesis de frecuencia. En una realización, $f_s=f_{PLL}/M$. El PLL por ejemplo se ejecuta a R' veces la frecuencia deseada, y por lo tanto $f_{LORF}=f_{PLL}/R'$.

15 La banda de frecuencia intermedia $IF1$ podría generarse basándose en una frecuencia de oscilador local f_{LORFup} que es más alta que la frecuencia de canal f_{RF} , de manera que $IF1_{up}=f_{LORFup}-f_{RF}$, o basándose en una frecuencia de oscilador local f_{LORFdw} que es menor que la frecuencia de canal f_{RF} , de manera que $IF1_{dw}=f_{RF}-f_{LORFdw}$. Se deduce que:

$$IF1_{dw}=f_{RF}-f_{PLL}/R'=f_{PLL}/4 \cdot M \quad (1)$$

$$20 \Rightarrow f_{PLL}=(4 \cdot R' \cdot M)f_{RF}/(4 \cdot M+R') \quad (2)$$

$$\Rightarrow IF1_{dw}=R' \cdot f_{RF}/(4 \cdot M+R') \quad (3)$$

$$25 \Rightarrow f_{LORFdw}=4 \cdot M \cdot f_{RF}/(4 \cdot M+R') \quad (4)$$

$$IF1_{up}=f_{PLL}/R'-f_{RF}=f_{PLL}/4 \cdot M \quad (5)$$

$$\Rightarrow f_{PLL}=(4 \cdot R' \cdot M)f_{RF}/(4 \cdot M-R') \quad (6)$$

$$30 \Rightarrow IF1_{up}=R' \cdot f_{RF}/(4 \cdot M-R') \quad (7)$$

$$\Rightarrow f_{LORFup}=4 \cdot M \cdot f_{RF}/(4 \cdot M-R') \quad (8)$$

35 La frecuencia central $IF2_0$ de la banda de frecuencia inferior $IF2$ es el resultado de la conversión descendente resultante del producto de convolución entre el armónico de orden L de f_{ADC} y la banda de frecuencia intermedia $IF1$. Esta $IF2_0$ puede expresarse como sigue:

$$IF2_0 = \min_L \left[\left(IF1 - \frac{L \cdot f_s}{M_d} \right) \right] = IF1 - \frac{2 \cdot f_s}{7} = \frac{-f_s}{28} \quad (9)$$

40 La frecuencia de la señal f_{PLL} generada por el bucle de enganche de fase tiene una etapa finita dependiendo de la relación de división de PLL N . La primera conversión descendente proporciona una selección de subbanda de RF de K canales espaciados por Δf_{CH} y realiza una selección de canal aproximada:

$$45 f_{PLL}=N \cdot R' \cdot 2K \cdot \Delta f_{CH} \quad (10)$$

En un ejemplo, el producto $R' \cdot 2K \cdot \Delta f_{CH}$ es fijo a un valor de aproximadamente 4 MHz, que implica que $2K \cdot \Delta f_{CH}=1$ MHz. En el caso de que $K=50$, esto implica un espaciado de canal Δf_{CH} de 10 KHz.

50 El valor de la frecuencia central f_{RF} de la subbanda seleccionada de la señal de entrada de RF puede definirse como sigue basándose en el caso infradino de la ecuación (4) anterior:

$$f_{RF}=N \cdot 2K \cdot \Delta f_{CH} \cdot (4 \cdot M+R')/4 \cdot M \quad (11)$$

donde M y N son los números enteros del PLL de la Figura 4. El intervalo de M es por ejemplo como sigue:

$$55 M = \frac{R'}{4} \left[\frac{f_{RF}}{IF1_{dw}} - 1 \right], \text{ con } [\cdot] \text{ la parte entera (redondeada)} \quad (12)$$

$$M = \frac{R'}{4} \left[\frac{f_{RF}}{IF1_0} - 1 \right], \text{ con } [\cdot] \text{ la parte entera (redondeada)} \quad (13)$$

60 El número entero N se determina por ejemplo como:

$$N = \lceil f_{RF} \cdot (4 \cdot M/2K \cdot \Delta f_{CH} \cdot (4 \cdot M+R')) \rceil \quad (14)$$

La Figura 5B muestra:

un gráfico 520 que proporciona valores de ejemplo del número entero N para un intervalo de frecuencia de 380 a 430 MHz;
 un gráfico 522 que proporciona valores de ejemplo del número entero M para el intervalo de frecuencia de 380 a 430 MHz;
 5 un gráfico 524 que proporciona valores de ejemplo de la frecuencia f_{LORF} para el intervalo de frecuencia de 380 a 430 MHz;
 un gráfico 526 que proporciona valores de ejemplo de la frecuencia de muestreo f_s para el intervalo de frecuencia de 380 a 430 MHz;
 un gráfico 528 que proporciona valores de ejemplo de la frecuencia central $IF1_0$ de la banda de frecuencia intermedia $IF1$ para el intervalo de frecuencia de 380 a 430 MHz;
 10 un gráfico 530 que proporciona valores de ejemplo de la frecuencia central $IF2_0$ de la banda de frecuencia inferior $IF2$ para un intervalo de frecuencia de 380 a 430 MHz; y
 un gráfico 532 que proporciona valores de ejemplo de la frecuencia de operación f_{ADC} del convertidor de analógico a digital 110A, 110B para un intervalo de frecuencia de 380 a 430 MHz.

La Figura 6 es un diagrama de frecuencia que ilustra un ejemplo de la respuesta de frecuencia del filtro de tiempo discreto 404. Este filtro, por ejemplo, proporciona rechazo de anti-solapamiento antes del diezmado a múltiplos de la frecuencia de ADC. Por ejemplo, las bandas de rechazo $BW_{rej-IF1}$ de este filtro están localizadas en $IF1_0+m \cdot f_d$, siendo m números enteros positivos y negativos. En el ejemplo de la Figura 6, el orden M_d de la operación de diezmado es igual a 7. Por lo tanto la frecuencia de muestreo f_s se divide en 7 intervalos de frecuencia cada uno de anchura f_d , donde $f_d=f_s/M_d$. Más en general, se elige por ejemplo un valor impar de M_d de manera que la frecuencia $IF2_0$ se vuelve igual a $\pm f_d/4$. De hecho, la frecuencia $IF2_0$ puede definirse como sigue:

$$IF2_0 = \min_{\tau} L [(IF1_0 - (L \cdot f_s) / M_d)]$$

Suponiendo que $IF1_0$ es igual a $f_s/4$, y que M_d es impar y por lo tanto es igual a $2n+1$, donde n es un número entero, se deduce que: $IF2_0 = f_s/4M_d \cdot \min(2n+1-4L)$, en el que L es un número entero.

El mínimo es cuando $2n=4L$, y por lo tanto $n=2L$. En el caso de que n sea par, $n=2p$, donde p es un número entero, y por lo tanto el mínimo es cuando $L=p$. Por lo tanto $IF2_0 = f_s/4M_d = f_d/4$. Como alternativa, en el caso de que n sea impar, $n=2p+1$, donde p es un número entero, y tomando $L=p+1$, se deduce que $IF2_0 = f_s/4M_d \cdot (2(2p+1)+1-4p)$, y por lo tanto $IF2_0 = -f_s/4M_d = -f_d/4$.

Por ejemplo, el filtro 404 aplica la función cardinal seno, que presenta un corte en cada una de las frecuencias de solapamiento, y por lo tanto está particularmente bien adaptada a tales fines de anti-solapamiento. La función cardinal seno se implementa, por ejemplo, por un filtro FIR (respuesta de impulsos finita). Para aumentar adicionalmente la selectividad de filtro y mejorar el rechazo, el filtro FIR se combina, por ejemplo, con una función de filtración de IIR (respuesta de impulsos infinita).

La Figura 7A ilustra esquemáticamente una realización de ejemplo del filtro de tiempo discreto 404, en el que una pluralidad de etapas de filtro IIR están en cascada, comprendiendo por ejemplo cada etapa de filtro IIR uno o más filtros de primer orden. Las etapas de filtro IIR en cascada son seguidas por una etapa de FIR. Una solución de este tipo tiene la ventaja de limitar problemas de desajuste, posibilitando que se use una única relación de capacitancia durante las etapas del filtro. En el ejemplo de la Figura 7A, tres filtros IIR, IIR1 a IIR3 están en cascada, pero en realizaciones alternativas la selectividad de filtro podría aumentarse adicionalmente añadiendo uno o más filtros IIR, y/o aumentando el orden de uno o más de estos filtros del filtro FIR.

La Figura 7B es un diagrama de respuesta de frecuencia de filtro que representa, por una línea discontinua 702, un ejemplo de la respuesta de un tipo diferente de filtro de el de la Figura 7A formado por una etapa de FIR seguido por una etapa de IIR, y por una línea continua 704, un ejemplo de la respuesta obtenida por el filtro de la Figura 7A. Como se ilustra, el uso de un filtro IIR seguido por un filtro FIR, en ese orden, proporciona ventajosamente una respuesta particularmente bien adaptada a la arquitectura de IF de deslizamiento descrita en el presente documento. De hecho, el ancho de banda de rechazo es alto y por lo tanto proporciona buen corte de filtración a través de la banda de IF de deslizamiento completa.

La función de transferencia equivalente de paso bajo para P etapas de IIR en cascada y la etapa de FIR de orden M_d se proporciona como sigue:

$$H(z) = \frac{(1 - \beta)^P}{(1 - \beta \cdot z^{-1})^P} \cdot \frac{1}{M_d} \sum_{m=0}^{M_d-1} z^{-m}$$

donde β es un parámetro de selectividad.

En algunas realizaciones, el filtro se centra en $f_s/4$. El orden de diezmado M_d es un número impar, que significa que en la etapa de diezmado, la señal se convierte de manera descendente de nuevo a una frecuencia que es igual a $IF2=f_d/4$. La frecuencia desplazada de 0 a $f_s/4$ se hace por sustitución en el operador z como sigue:

$$z^{-m} \Rightarrow z^{-m} e^{j2\pi f_0 m / f_s}$$

5 donde f_0 es el desplazamiento de frecuencia. Por lo tanto, en el caso de que $f_0 = f_s/4$, $z^m \Rightarrow z^{mj^m}$. Por lo tanto en el caso de que el número P de etapas de IIR sea igual a 3, la función de transferencia del filtro es por ejemplo:

$$H_c(z) = \frac{(1 - \beta)^3}{(1 - j\beta \cdot z^{-1})^3} \cdot \frac{1}{M_d} \sum_{m=0}^{M_d-1} z^{-mj^m}$$

10 La Figura 8 ilustra esquemáticamente el filtro de tiempo discreto 108 de acuerdo con una realización de ejemplo. Este filtro por ejemplo realiza filtración de banda estrecha para proporcionar preselección de canal entre los 2K canales en una subbanda seleccionada. Una preselección de canal de este tipo se realiza por ejemplo desplazando la función de transferencia del filtro de manera que la frecuencia central f_0 del filtro está por encima el canal deseado. Por ejemplo, en una realización, la frecuencia central f_0 de la banda de frecuencia inferior IF2 es a aproximadamente 4,5 MHz. Por ejemplo, en el caso de que haya 100 canales en la subbanda de frecuencia
15 seleccionada, y que el espaciado de canal sea igual a 10 KHz, la frecuencia central f_0 del filtro puede deslizarse hasta $\pm 0,5$ MHz, para seleccionar un canal deseado.

20 El DTF 108 por ejemplo comprende dos amplificadores de trans-impedancia operacionales (OTA) 802, 804. Sin embargo, el circuito de la Figura 8 es simplemente un ejemplo de implementación, y será evidente para los expertos en la materia cómo adaptar el circuito de la Figura 8 para implementar una estructura diferencial para proporcionar rango dinámico mejorado, o para implementar una estructura de biestable para permitir que se reduzca la frecuencia de reloj y permitir una conexión a modo común para controlar el potencial durante la fase de reseteo.

25 Una entrada negativa del OTA 802 está acoplada a una entrada 806A del DTF 108 que recibe la señal de componente I VinI mediante un condensador 808A de capacitancia C1. Un conmutador 810A está acoplado entre el condensador 808A y la entrada 806A, y un conmutador 812A está acoplado entre el condensador 808A y la entrada negativa del OTA 802, controlándose los conmutadores 810A, 812A por una señal de fase $\Phi 1$. Adicionalmente, los conmutadores 814A, 816A, controlados por una señal de fase $\Phi 2$, están acoplados entre los respectivos nodos del condensador 808A y la tierra. La entrada negativa del OTA 802 también está acoplada a una salida del OTA 802
30 mediante un primer ramal que comprende un condensador 818A de capacitancia variable C3, y mediante un segundo ramal que comprende un condensador 820A de capacitancia variable C2 y conmutadores 822A, 824A que acoplan respectivamente el condensador 820A a la entrada negativa y a la salida del OTA 802, controlándose los conmutadores 822A, 824A por la señal de fase $\Phi 1$. Un conmutador 826A, controlado por la señal de fase $\Phi 2$, está acoplado por ejemplo a través de los nodos del condensador 820A.

35 La salida del OTA 802 por ejemplo proporciona la señal de componente I de salida V_{outI} del filtro 108.

40 De manera similar, una entrada negativa del OTA 804 está acoplada a una entrada 806B del DTF 108 que recibe el componente Q VinQ, mediante un condensador 808B de capacitancia C1. Un conmutador 810B está acoplado entre el condensador 808B y la entrada 806B, y un conmutador 812B está acoplado entre el condensador 808B y la entrada negativa del OTA 802, controlándose los conmutadores 810B, 812B por una señal de fase $\Phi 1$. Adicionalmente, los conmutadores 814B, 816B, controlados por una señal de fase $\Phi 2$, están acoplados entre los respectivos nodos del condensador 808B y la tierra. La entrada negativa del OTA 804 también está acoplada a una salida del OTA 804 mediante un primer ramal que comprende un condensador 818B de capacitancia variable C3, y
45 mediante un segundo ramal que comprende un condensador 820B de capacitancia variable C2 y conmutadores 822B, 824B que acoplan respectivamente el condensador 820B a la entrada negativa y la salida del OTA 804, controlándose los conmutadores 822B, 824B por la señal de fase $\Phi 1$. Un conmutador 826B, controlado por la señal de fase $\Phi 2$, está acoplado por ejemplo a través de los nodos del condensador 820B.

50 La salida del OTA 804 por ejemplo proporciona la señal de componente Q de salida V_{outQ} Del filtro 108.

55 La salida del OTA 802 está acoplada a la entrada negativa del OTA 804 mediante un condensador 828 de capacitancia variable Cx y los conmutadores 830 y 832 que acoplan respectivamente el condensador 828 a la salida del OTA 802 y a la entrada negativa del OTA 804, controlándose el conmutador 830 por la señal de fase $\Phi 1$ y controlándose el conmutador 832 por la señal de fase $\Phi 2$. Los conmutadores 834, 836, respectivamente controlados por las señales de fase $\Phi 1$ y $\Phi 2$, están acoplados entre los respectivos nodos del condensador 828 y la tierra.

60 La entrada negativa del OTA 802 está acoplada a la salida del OTA 804 mediante un condensador 848 de capacitancia variable Cx y los conmutadores 850 y 852 que acoplan respectivamente el condensador 848 a la entrada negativa del OTA 802 y a la salida del OTA 804, controlándose el conmutador 850 por la señal de fase $\Phi 1$ y controlándose el conmutador 852 por la señal de fase $\Phi 2$. Los conmutadores 854, 856, respectivamente controlados por las señales de fase $\Phi 2$ y $\Phi 1$, están acoplados entre los respectivos nodos del condensador 848 y la tierra.

5 En la operación, las señales de fase $\Phi 1$ y $\Phi 2$ se insertan en una forma alterna. Por ejemplo, la señal de fase $\Phi 1$ se evalúa durante periodos impares de una señal de reloj, y se baja durante los periodos pares de la señal de reloj, donde se evalúa la señal de fase $\Phi 2$ durante los periodos pares de una señal de reloj, y se baja durante los periodos impares de la señal de reloj. El uso de los dos OTA 802, 804 y las dos señales de fase $\Phi 1$ y $\Phi 2$ permite que se divida por dos la frecuencia de operación del filtro 108 con respecto a la frecuencia nominal de la señal de muestreo f_s .

10 El DTF 108 también comprende por ejemplo un circuito de control 860 que recibe señales CH y BW que indican un canal deseado a seleccionarse, y un ancho de banda deseado del filtro, y que genera correspondientes señales de selección S1, S2, S3 y Sx para controlar los valores de las respectivas capacitancias variables C2, C3 y Cx. De hecho, en la realización de ejemplo de la Figura 8, todos los condensadores son variables excepto C1. Sin embargo, en realizaciones alternativas, el condensador C1 podría ser variable y/o uno o más de los otros condensadores C2, C3 y Cx podrían ser de capacitancia fijada.

15 La función de transferencia compleja del filtro, para una frecuencia central f_0 , puede expresarse en la siguiente forma:

$$H_c(z) = Gv \frac{(1 - \beta)}{1 - (\alpha + j\gamma) \cdot z^{-1}}$$

20 donde α , β y γ son coeficientes, y Gv es un valor de ganancia de tensión. Los coeficientes α y γ pueden expresarse como:

$$\alpha = \beta \cdot \cos(2\pi f_0 / f_d)$$

25
$$\gamma = \beta \cdot \sin(2\pi f_0 / f_d)$$

donde $f_d = f_s / M_d$, siendo M_d el orden de diezmado.

30 En el circuito de la Figura 8, la frecuencia central f_0 del filtro se desliza alrededor del valor nominal f_{0n} , centrado en $f_d/4$. Por lo tanto $f_0 = f_{0n} + \Delta f$, con $f_{0n} = f_d/4$. Por lo tanto la suma $\alpha + \gamma$ puede expresarse como sigue:

$$\alpha + \gamma = \beta \cdot \left[-\sin\left(2\pi \frac{\Delta f}{f_d}\right) + \cos\left(2\pi \frac{\Delta f}{f_d}\right) \right]$$

35 La Figura 9 es un gráfico que representa el intervalo de frecuencia de deslizamiento de la frecuencia central f_0 como una función de la suma de los coeficientes $\alpha + \gamma$ basándose en la ecuación anterior. Puede observarse que la frecuencia central f_0 puede deslizarse en la dirección negativa cuando la suma $\alpha + \gamma > 1$.

40 En el circuito de la Figura 8, los coeficientes α , γ y G_{vc} puede definirse como sigue, donde $G_{vc} = Gv(1 - \beta)$ representa la ganancia de tensión de entrada por conversión durante cada periodo de reloj igual a:

$$\alpha = C3 / (C2 + C3)$$

$$\gamma = Cx / (C2 + C3)$$

45
$$G_{vc} = C1 / (C2 + C3)$$

Adicionalmente, los tamaños de las capacidades C2, C3 y Cx, y sus relaciones con respecto a C1 pueden definirse como sigue:

50
$$C3 = C1 \alpha / (1 - \beta) G_v$$

$$Cx = C1 \gamma / (1 - \beta) G_v$$

55
$$C2 = C1 x (1 - \alpha) / (1 - \beta) G_v$$

Por lo tanto el valor de C3, Cx y C2 puede establecerse para conseguir una frecuencia central deseada f_0 del filtro 108, como se determina por la suma de los coeficientes α y γ , y un ancho de banda deseado del filtro 108, como se determina por el valor de β . Se observará que C1 permanece con un grado de libertad. A partir de este conjunto de ecuaciones, puede mostrarse que la suma $\alpha + \gamma$ puede expresarse como:

60
$$\alpha + \gamma = (C3 + Cx) / (C2 + C3)$$

ES 2 729 660 T3

Por lo tanto, puede conseguirse un deslizamiento negativo de la frecuencia central f_0 haciendo $C_x > C_2$.

En algunas realizaciones, todos los condensadores C_1 , C_2 , C_3 y C_x en la Figura 8 son iguales en un múltiplo entero n_i de una unidad de capacitancia común C_u , donde $i=\{1,2,3,x\}$. Esto tiene la ventaja de que los coeficientes de filtro se vuelven independientes de la dispersión analógica, que significa que el circuito es robusto contra dispersión tecnológica y variaciones de temperatura. Los coeficientes por lo tanto se vuelven:

$$\alpha = n_3 / (n_2 + n_3)$$

$$\gamma = n_x / (n_2 + n_3)$$

$$G_{vc} = n_1 / (n_2 + n_3)$$

$$\alpha + \gamma = (n_3 + n_x) / (n_2 + n_3)$$

Por ejemplo, para un valor de ganancia de tensión G_v de 40, y para una unidad de capacitancia común C_u de $2,2 \times 10^{-13}$ F, la siguiente tabla proporciona ejemplos de los múltiplos de número entero n_i para cada una de las capacidades para las frecuencias centrales f_0 de 4,5 y 4 MHz, y para valores de β de 0,967 (β_{max} en la tabla) y de 0,9157 (β_{min} en la tabla), que por ejemplo corresponden respectivamente a anchos de banda de 2×95 kHz y 2×255 kHz.

	f_0	β_{max}	β_{min}	$f_0 + 1$ MHz	B_{max}	β_{min}
f_0	4,5 MHz	0,967	0,9157	4 MHz	0,967	0,9157
n_{fb}		217	85		217	85
n_3		0	0		38	15
n_2		217	85		180	70
N_x		210	78		207	77
n_1		287	287		287	287

La Figura 10 es un gráfico que representa un ejemplo de la función de transferencia global H_c del filtro de tiempo discreto 404, el circuito de diezmado 310 y el filtro de tiempo discreto 108, basándose en el filtro de la Figura 8, y suponiendo una frecuencia de muestreo f_s de 126 MHz, una frecuencia intermedia IF_{10} de 31,5 MHz, un valor de M_d de 7, y un ancho de banda selectivo en IF_{20} de 95 kHz. Como se ilustra por las seis curvas etiquetadas 1002, 1004, 1006, 1008, 1010 y 1012, la banda de paso puede deslizarse por incrementos de aproximadamente 200 kHz en el intervalo de 31 MHz a 32 MHz. Los presentes inventores han hallado que el factor de calidad Q_{IF2} es igual a 23,7, y que el factor de calidad global equivalente a IF_{10} es $Q_{\{IF1-IF2\}} = 166$. Este factor de calidad alto es particularmente destacable en vista de las restricciones de integración a la frecuencia de 31,5 MHz.

Una ventaja de realizar procesamiento de muestreo y tiempo discreto es que se economiza el área de chip en comparación con una solución de tiempo continua.

Una ventaja de usar un filtro de condensador conmutado para implementar el filtro de paso banda variable 108 es que proporciona una función de transferencia que es robusta a variaciones tecnológicas puesto que únicamente depende de relaciones de capacitancia.

Una ventaja de realizar el diezmado anterior al procesamiento de tiempo discreto es que permite reducir adicionalmente la frecuencia de operación del filtro de paso banda variable 108 y de esta manera reduce el consumo de potencia.

Habiendo descrito por lo tanto al menos una realización ilustrativa, se les ocurrirán fácilmente a los expertos en la materia diversas alteraciones, modificaciones y mejoras.

Por ejemplo, será evidente para los expertos en la materia que mientras que se ha descrito un ejemplo en el que el circuito de generación de señal de frecuencia 106 comprende un bucle de enganche de fase, sería posible usar otros tipos de circuitos para generar las señales de frecuencia f_{LORF} y f_s .

Adicionalmente, será evidente para los expertos en la materia que las diversas características descritas en relación con las diversas realizaciones podrían combinarse, en realizaciones alternativas, en cualquier combinación.

REIVINDICACIONES

1. Un receptor de RF que comprende:

5 un circuito de conversión descendente y muestreo (104) adaptado para:

- recibir una señal de entrada de RF (RF_{IN}) que tiene una banda de señal (BW_{RF}) que comprende una pluralidad de subbandas (BW_{IF}), comprendiendo cada subbanda una pluralidad ($2K$) de canales separados por espacios de canal de frecuencia (Δf_{CH});
- 10 - realizar transposición de frecuencia y muestreo para generar una señal de tiempo discreta en la que una seleccionada de la pluralidad de subbandas se lleva desde una banda de frecuencia inicial a una banda de frecuencia inferior ($IF2_0 \pm K\Delta f_{CH}$); y

15 un filtro de tiempo discreto (108) que tiene una banda de paso variable, siendo controlable la frecuencia central (f_0) del filtro de tiempo discreto para seleccionar uno cualquiera de la pluralidad ($2K$) de canales de la subbanda seleccionada.

2. El receptor de RF de la reivindicación 1, en el que el filtro de tiempo discreto (108) es controlable para seleccionar un primer canal de la subbanda seleccionada llevando la frecuencia central (f_0) del filtro de tiempo discreto (108) a una frecuencia del primer canal.

3. El receptor de RF de la reivindicación 1 o 2, en el que el circuito de conversión descendente y muestreo comprende:

25 un primer circuito de transposición (302) adaptado para transponer la subbanda seleccionada de la banda de frecuencia inicial a una banda de frecuencia intermedia ($IF1_0 \pm K\Delta f_{CH}$) basándose en una primera señal de frecuencia (f_{LORF});
 un circuito de generación de señal de frecuencia (106) adaptado para generar la primera señal de frecuencia (f_{LORF}) basándose en una señal de frecuencia inicial (f_{PLL}) generada como una función de la subbanda a
 30 seleccionarse; y
 un segundo circuito de transposición (304) adaptado para transponer la subbanda seleccionada de la banda de frecuencia intermedia ($IF1_0 \pm K\Delta f_{CH}$) a la banda de frecuencia inferior ($IF2_0 \pm K\Delta f_{CH}$).

4. El receptor de RF de la reivindicación 3, en el que:

35 - el primer circuito de transposición (302) comprende un mezclador (306) adaptado para mezclar la señal de entrada de RF (RF_{IN}) con la primera señal de frecuencia (f_{LORF}) para generar una señal intermedia;
 - el circuito de conversión descendente y muestreo (104) comprende un circuito de muestreo (308) accionado por una segunda señal de frecuencia (f_s) para muestrear la señal intermedia y para generar una señal de tiempo
 40 discreta intermedia; y
 - la segunda señal de frecuencia (f_s) se genera por el circuito de generación de señal de frecuencia (106) basándose en la señal de frecuencia inicial.

5. El receptor de RF de la reivindicación 4, en el que el circuito de generación de señal de frecuencia (106) está adaptado para generar la segunda señal de frecuencia (f_s) dividiendo la señal de frecuencia inicial (f_{PLL}) por un número entero (M).

6. El receptor de RF de la reivindicación 4 o 5, en el que el segundo circuito de transposición (304) comprende:

50 un diezmador (310) adaptado para diezmar la señal a la frecuencia central ($IF1_0$) de la banda de frecuencia intermedia ($IF1$) y transponer la banda de frecuencia intermedia a la banda de frecuencia inferior ($IF2_0 \pm K\Delta f_{CH}$), en el que el diezmado reduce la tasa de muestreo a $f_d = f_s / M_d$, donde f_s es la frecuencia de la segunda señal de frecuencia, y M_d es el orden de diezmado del diezmador igual a un número entero impar de 3 o mayor; y
 un filtro de anti-solapamiento (404) adaptado para realizar filtración de anti-solapamiento anterior al diezmado, en
 55 el que el filtro de anti-solapamiento (404) está adaptado para tener una banda de paso de un ancho de banda igual o mayor que el ancho de banda combinado de la pluralidad ($2K$) de canales.

7. El receptor de RF de la reivindicación 6, en el que el filtro de anti-solapamiento (404) comprende:

60 una etapa de filtro IIR adaptada para recibir la subbanda seleccionada a la banda de frecuencia intermedia ($IF1_0 \pm K\Delta f_{CH}$); y
 un filtro FIR acoplado a una salida del filtro IIR.

8. El receptor de RF de la reivindicación 6 o 7, en el que el filtro de anti-solapamiento (404) está configurado para tener:

65

una frecuencia central ($IF1_0$) a $f_s/4$, donde f_s es la frecuencia de la segunda señal de frecuencia; un ancho de banda de paso igual o mayor que el ancho de banda de la subbanda seleccionada ($IF1_0 \pm K\Delta f_{CH}$); y características de banda de rechazo que rechazan la señal a $IF1_0 + m \cdot f_d$, donde $IF1_0$ es la frecuencia central ($IF1_0$) del filtro de anti-solapamiento (404), m es un número entero igual o mayor que 1, y f_d es igual a la frecuencia f_s/M_d .

9. El receptor de RF de cualquiera de las reivindicaciones 3 a 8, en el que el circuito de generación de señal de frecuencia (106) comprende un bucle de enganche de fase que tiene una ruta de realimentación que comprende un circuito de división (414) adaptado para dividir la señal de frecuencia inicial por un número entero N , en el que el valor de N se ajusta basándose en la subbanda a seleccionarse.

10. El receptor de RF de cualquiera de las reivindicaciones 1 a 9, en el que el filtro de tiempo discreto (108) es un filtro de procesamiento de tiempo discreto IIR que tiene una función de transferencia $H_c(z)$ basándose en la ecuación:

$$H_c(z) = Gv \frac{(1 - \beta)}{1 - (\alpha + j\gamma) \cdot z^{-1}}$$

donde Gv es una ganancia de tensión del filtro, y α , β y γ son coeficientes, y en el que los coeficientes α y γ son variables y se seleccionan de manera que $\alpha + \gamma > 1$.

11. El receptor de RF de la reivindicación 10, en el que el coeficiente β es ajustable para controlar el ancho de banda del filtro de tiempo discreto (108).

12. El receptor de RF de cualquiera de las reivindicaciones 1 a 11, en el que el filtro de tiempo discreto (108) comprende una pluralidad de condensadores conmutados de los cuales al menos uno tiene una variable de capacitancia para seleccionar uno de la pluralidad (2K) de canales de la subbanda seleccionada.

13. El receptor de RF de la reivindicación 12, en el que el filtro de tiempo discreto (108) está adaptado para tener un ancho de banda de paso banda variable entre una pluralidad de valores, la pluralidad de condensadores conmutados comprende adicionalmente al menos un condensador adaptado para tener una capacitancia variable para seleccionar uno de la pluralidad de anchos de banda de paso banda.

14. El receptor de RF de la reivindicación 12 o 13, en el que el filtro de tiempo discreto (108) comprende:

un primer amplificador de trans-impedancia operacional (802) que tiene una primera entrada acoplada mediante un primer condensador conmutado (808A) a una primera entrada (806A) para recibir un primer componente de señal (I) del circuito de conversión descendente y muestreo (104); y un segundo amplificador de trans-impedancia operacional (804) que tiene una segunda entrada acoplada mediante un segundo condensador conmutado (808B) a una segunda entrada (806B) para recibir un segundo componente de señal (Q) del circuito de conversión descendente y muestreo (104).

15. El receptor de RF de la reivindicación 14, en el que el filtro de tiempo discreto (108) comprende adicionalmente:

un tercer condensador (818A) acoplado entre la entrada y una salida del primer amplificador de trans-impedancia operacional (802); un cuarto condensador conmutado (820A) acoplado entre la entrada y la salida del primer amplificador de trans-impedancia operacional (802); un quinto condensador (818B) acoplado entre la entrada y una salida del segundo amplificador de trans-impedancia operacional (804); un sexto condensador conmutado (820B) acoplado entre la entrada y la salida del segundo amplificador de trans-impedancia operacional (804); un séptimo condensador conmutado (848) acoplado entre la entrada del primer amplificador de trans-impedancia operacional (802) y la salida del segundo amplificador de trans-impedancia operacional (804); un octavo condensador conmutado (828) acoplado entre la salida del primer amplificador de trans-impedancia operacional (802) y la entrada del segundo amplificador de trans-impedancia operacional (804); y un circuito de control (860) para generar señales de selección (S_2 a S_x) para controlar la capacitancia de al menos uno del segundo, tercero, cuarto, quinto, sexto, séptimo y octavo condensadores basándose en el canal a seleccionarse.

16. Un método de recepción de RF que comprende:

recibir por un receptor de RF una señal de entrada de RF (RF_{IN}) que tiene una banda de señal (BW_{RF}) que comprende una pluralidad de subbandas (BW_{IF}), comprendiendo cada subbanda una pluralidad (2K) de canales separados por espacios de canal de frecuencia (Δf_{CH}); realizar transposición de frecuencia y muestreo para generar una señal de tiempo discreta en la que una

seleccionada de la pluralidad de subbandas se lleva de una banda de frecuencia inicial a una banda de frecuencia inferior ($f_0 \pm K\Delta f_{CH}$); y controlar una frecuencia central (f_0) de un filtro de tiempo discreto (108) para seleccionar uno cualquiera de la pluralidad (2K) de canales de la subbanda seleccionada.

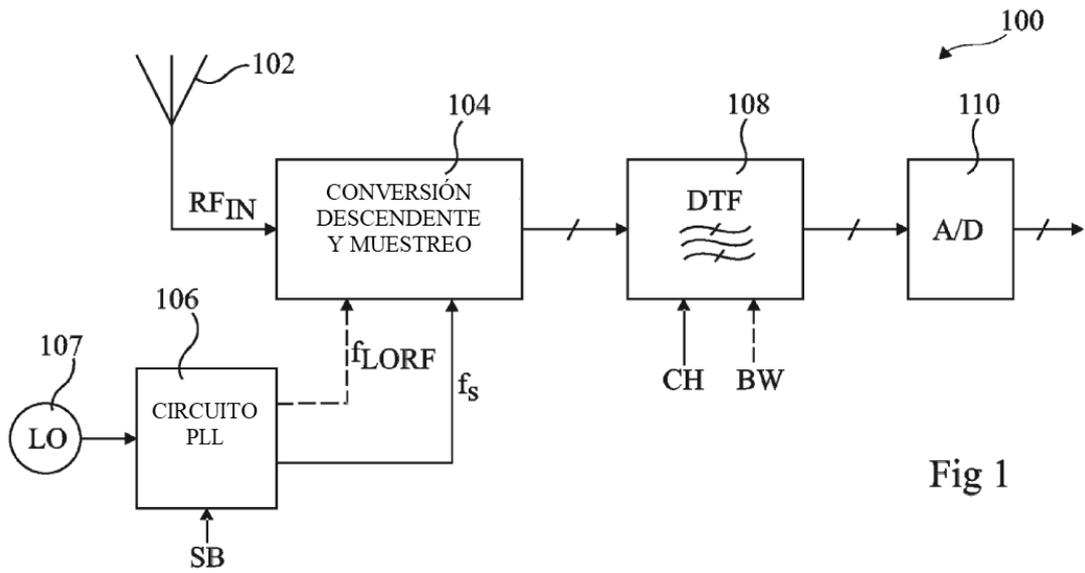


Fig 1

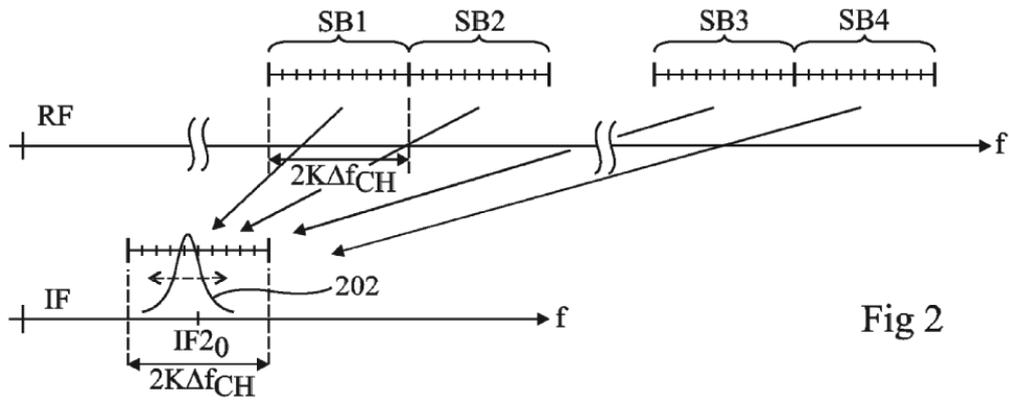


Fig 2

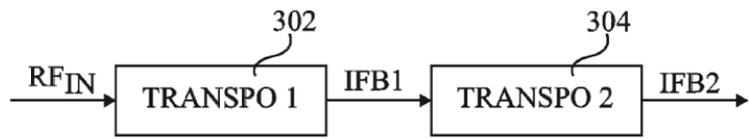


Fig 3A

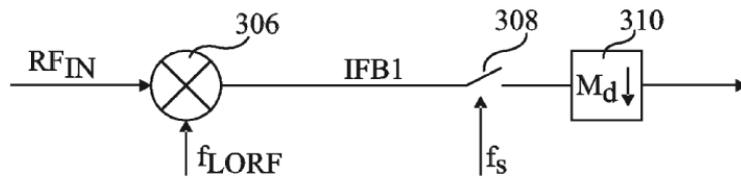


Fig 3B

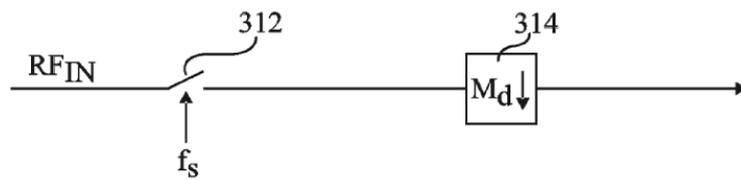


Fig 3C



Fig 3D

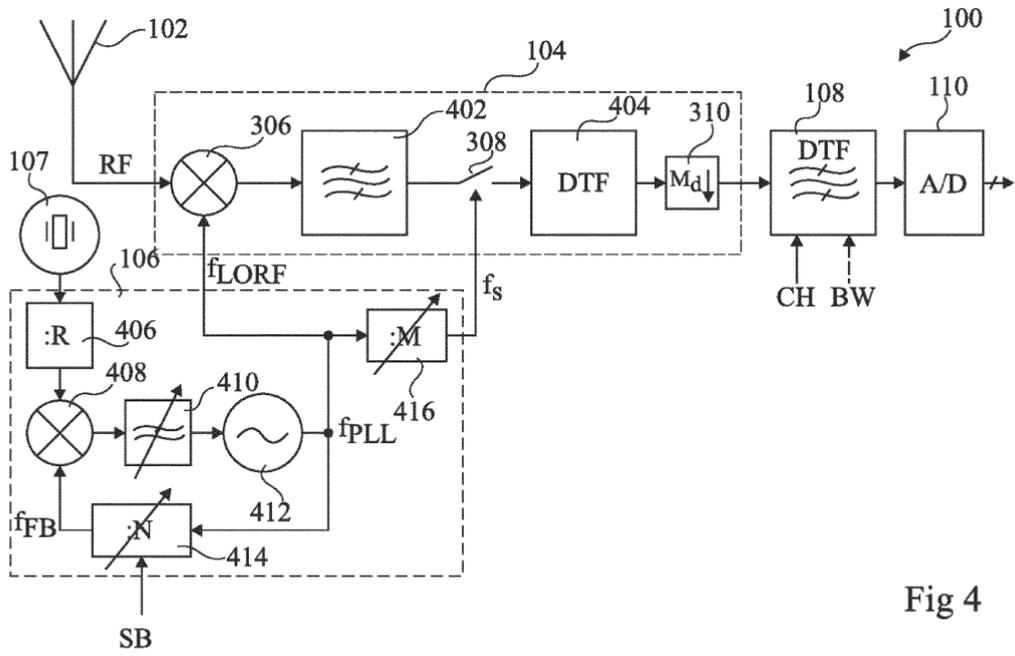


Fig 4

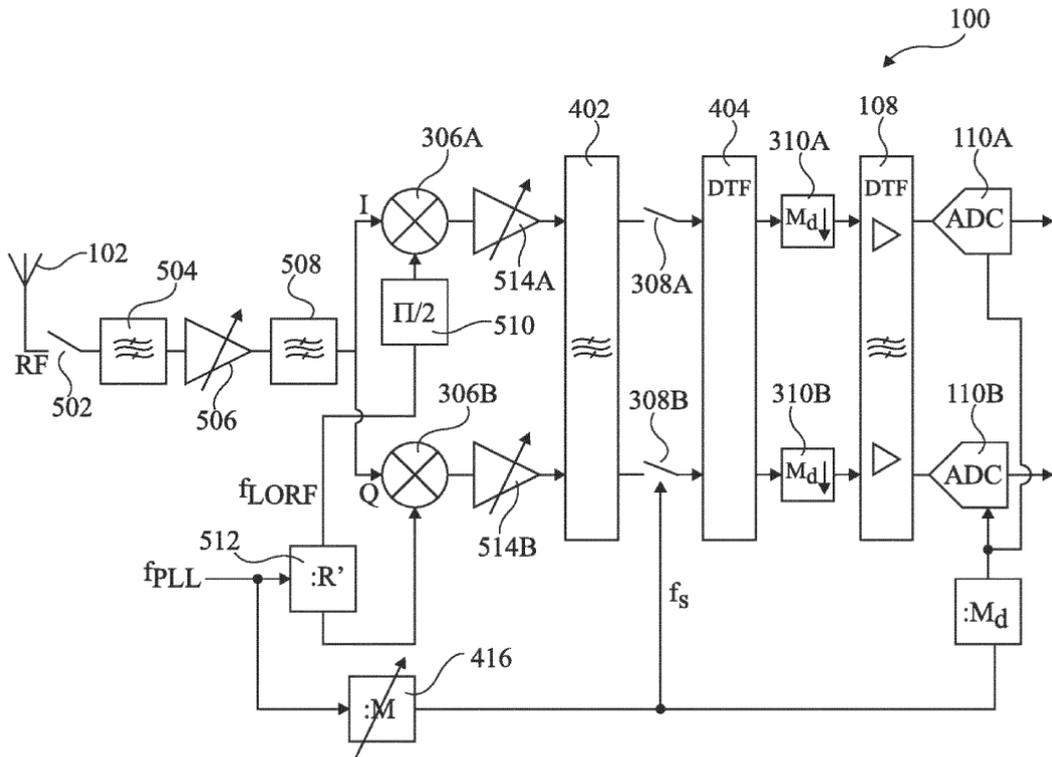


Fig 5A

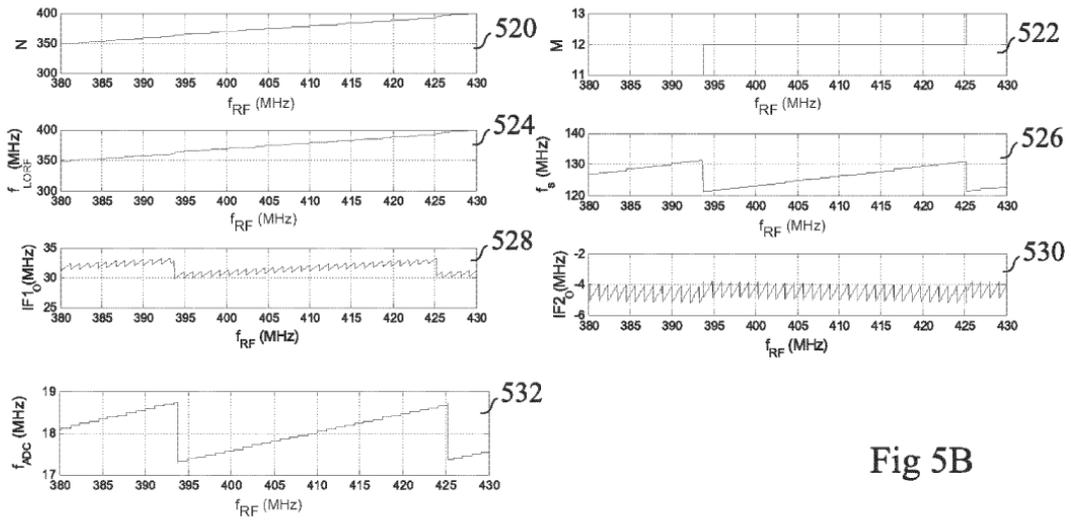


Fig 5B

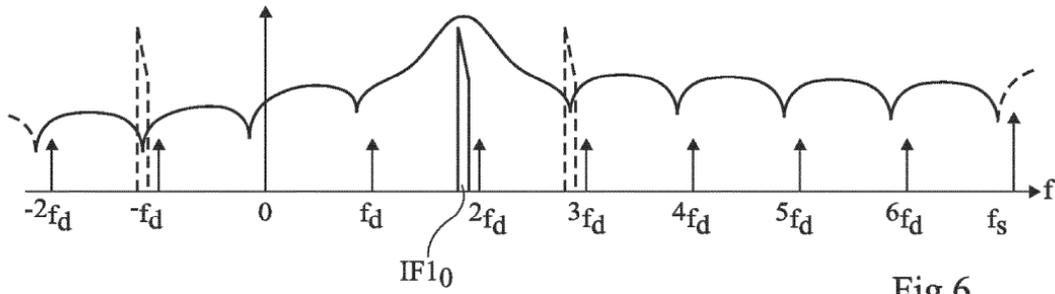


Fig 6

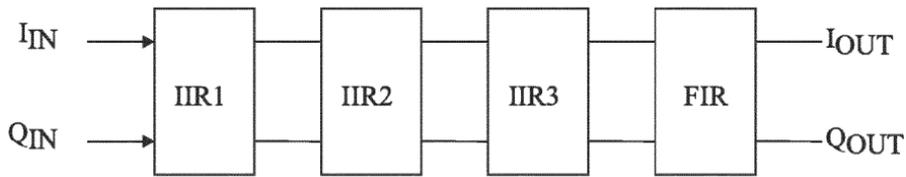


Fig 7A

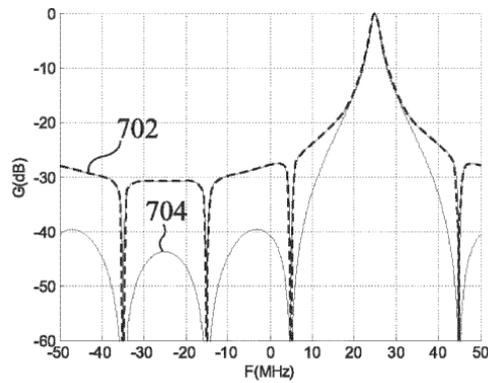


Fig 7B

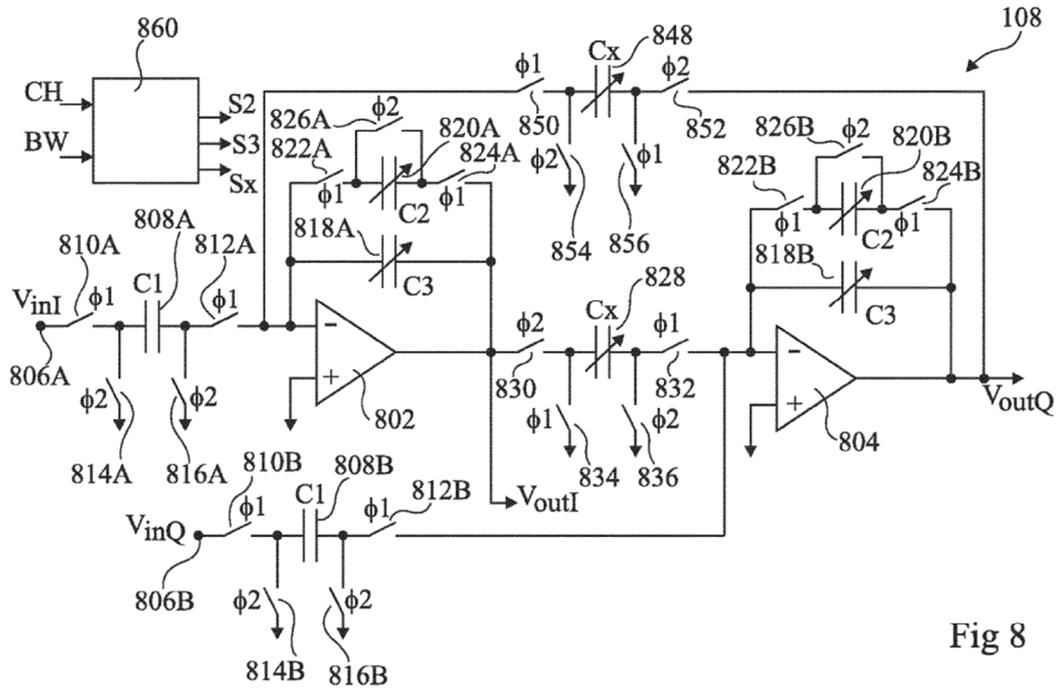


Fig 8

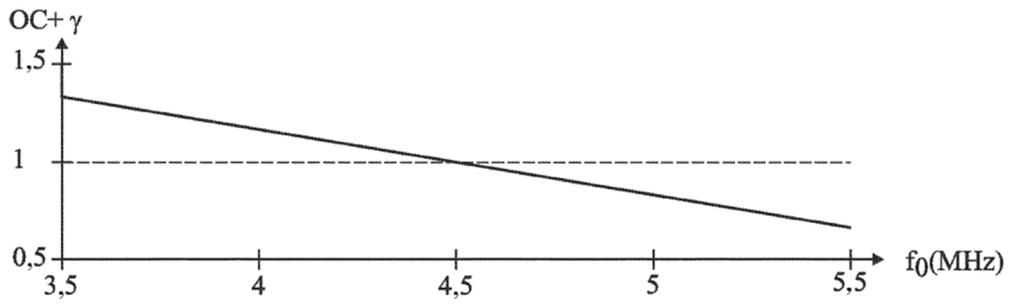


Fig 9

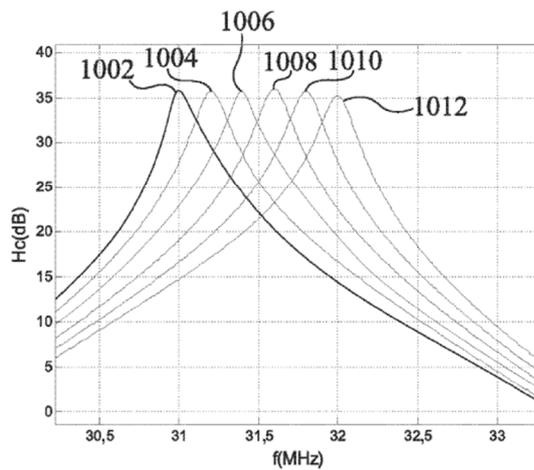


Fig 10