

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 729 942**

51 Int. Cl.:

G06F 13/24 (2006.01)

G06F 13/10 (2006.01)

H03M 1/78 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **25.10.2016 PCT/US2016/058715**

87 Fecha y número de publicación internacional: **15.06.2017 WO17099897**

96 Fecha de presentación y número de la solicitud europea: **25.10.2016 E 16791241 (9)**

97 Fecha y número de publicación de la concesión europea: **10.04.2019 EP 3387538**

54 Título: **Agrupación digital de interrupciones desde dispositivos periféricos**

30 Prioridad:

10.12.2015 US 201514965511

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

07.11.2019

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:

**MISHRA, LALAN JEE;
WIETFELDT, RICHARD DOMINIC y
SHAH, PETER**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 729 942 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Agrupación digital de interrupciones desde dispositivos periféricos

5 CAMPO TÉCNICO

[0001] Esta aplicación se refiere a la señalización de circuitos integrados y, más particularmente, a una agrupación digital de interrupciones desde dispositivos periféricos.

10 ANTECEDENTES

[0002] Un circuito integrado anfitrión, tal como un sistema en un chip (SoC), por lo general, se integra con una pluralidad de dispositivos periféricos que pueden desencadenar, cada uno, una interrupción al procesador del SoC. Para asimilar el procesamiento de interrupciones, se puede usar una arquitectura de entrada / salida de propósito general (GPIO) en la que el SoC incluye una clavija única de GPIO para la señal de interrupción de cada dispositivo periférico. El SoC determina luego inmediatamente la identidad del periférico que interrumpe mediante la identidad de la correspondiente clavija de GPIO. Aunque la latencia del procesamiento de interrupciones se reduce de tal modo, las realizaciones directas de GPIO acusan la resultante cantidad acrecentada de clavijas, ya que el SoC debe tener una clavija dedicada de GPIO para cada dispositivo periférico.

[0003] El recuento de clavijas del SoC puede reducirse a costa de aumentar la latencia en una realización convencional de drenaje abierto para un circuito integrado en anfitrión, en el que las interrupciones desde una pluralidad de dispositivos periféricos se agrupan todas en una clavija común al SoC. El estado predeterminado de la clavija común suele ser lógico alto, tal como a través de un dispositivo de recuperación débil. Si un dispositivo periférico deseara activar una interrupción a través de la clavija común, el dispositivo periférico supera al dispositivo de recuperación débil para descargar la tensión de la clavija común a tierra. Aunque solo una única clavija común puede atender así a múltiples periféricos en una implementación de drenaje abierto, el SoC debe sondear luego los dispositivos periféricos para determinar qué dispositivo originó la interrupción, lo que aumenta la latencia del procesamiento de interrupciones.

[0004] Para reducir la latencia de interrupción, se puede utilizar un enfoque de matriz de fila-columna, en el que los dispositivos periféricos están dispuestos con respecto a una matriz de cables o conductores de señal de fila y columna. Cada dispositivo periférico se acopla entre un correspondiente conductor de fila y uno de columna. Por ejemplo, una matriz de conductores potenciales, formada con tres filas y tres columnas, puede acoplarse a nueve dispositivos periféricos. Un primer dispositivo periférico se acopla a la intersección de una primera fila y una primera columna, un segundo dispositivo periférico se acopla a la intersección de la primera fila y una segunda columna, y así sucesivamente, de manera que un noveno dispositivo periférico se acople a la intersección de una tercera fila y una tercera columna. Cada fila se acopla a una correspondiente clavija de GPIO en el dispositivo anfitrión. De manera similar, cada columna se acopla a una correspondiente clavija de GPIO en el dispositivo anfitrión. En una matriz que tenga m columnas y n filas, el dispositivo anfitrión necesitaría así dedicar la suma de (m + n) clavijas de GPIO para acoplarse a la matriz. Aunque el número de clavijas de GPIO necesarias se reduce en comparación con una arquitectura de GPIO directa, las arquitecturas matriciales de fila y columna aún consumen una cantidad significativa de clavijas de GPIO. Además, solo dos dispositivos periféricos pueden desencadenar una interrupción en cualquier momento dado, ya que las interrupciones adicionales desde otros dispositivos periféricos no se pueden identificar de forma única en un enfoque de matriz de fila-columna. En definitiva, el procesamiento de las señales de GPIO de fila y columna en el dispositivo anfitrión es complejo y consume una significativa cantidad de energía.

[0005] En consecuencia, existe la necesidad en la técnica de arquitecturas de agrupación de entrada digital que asimilen el procesamiento de interrupciones desde múltiples dispositivos periféricos con latencia reducida y también recuento de clavijas reducido.

[0006] Se reclama atención al documento JP S60 68450 A, que se refiere a la recuperación de alta velocidad de una fuente de solicitud de interrupción y la prioridad ante las solicitudes de interrupción, utilizando una resistencia que tiene una razón de resistencia específica para conectar líneas de solicitud de interrupción de varios dispositivos periféricos en una conexión en escala y dando la conversión de Analógico a Digital a la tensión de salida de un circuito de resistencia en escala.

SUMARIO

[0007] La invención se expone en el conjunto adjunto de reivindicaciones. Las reivindicaciones dependientes estipulan realizaciones particulares. Se considera que los modos de realización o los ejemplos de la siguiente descripción que no están abarcados por las reivindicaciones adjuntas no forman parte de la presente invención de acuerdo a esta descripción.

[0008] Se proporciona un agrupador de interrupciones para que un circuito integrado en anfitrión agrupe

interrupciones cualesquiera desde una pluralidad de dispositivos periféricos. El agrupador de interrupciones se acopla a un extremo de señal de una escala de resistores R-2R a través de un terminal de señal de circuito integrado en anfitrión. De manera similar, el agrupador de interrupciones se acopla a un extremo de tierra de la escala de resistores R-2R a través de un terminal de tierra de circuito integrado en anfitrión. La escala de resistores R-2R tiene una pluralidad de peldaños que corresponden a la pluralidad de dispositivos periféricos. Cada dispositivo periférico se acopla a la escala de resistores R-2R a través de su peldaño correspondiente. En un estado predeterminado, cada dispositivo periférico carga su peldaño de la escala R-2R hasta una tensión de referencia. En caso de que un dispositivo periférico necesitara activar una interrupción a un procesador, el dispositivo periférico conecta a tierra su peldaño. Por lo tanto, cada dispositivo periférico puede estar representado por un correspondiente bit de interrupción que tiene un valor binario de cero o uno que depende de si el dispositivo periférico está en el estado predeterminado o de interrupción. Por lo tanto, hay una pluralidad de bits de interrupción correspondientes a la pluralidad de dispositivos periféricos.

[0009] El agrupador de interrupciones incluye un convertidor de analógico a digital configurado para digitalizar una señal de interrupción obtenida de una tensión del terminal de señal, para recuperar los bits de interrupción en respuesta a si cada dispositivo periférico se encuentra en el estado predeterminado o en el estado de interrupción. El agrupador de interrupciones está configurado para procesar los bits de interrupción para identificar si al menos uno de los dispositivos periféricos está en el estado de interrupción. Si la identificación fuera positiva, el agrupador de interrupciones está configurado para interrumpir el procesador con la identidad del al menos un dispositivo periférico en el estado de interrupción.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0010]

La Figura 1A ilustra un sistema integrado ejemplar de agrupación de interrupciones que tiene una sola escala de resistores, de acuerdo a un aspecto de la divulgación.

La Figura 1B ilustra un sistema integrado ejemplar de agrupación de interrupciones que tiene un par de escalas de resistores, de acuerdo a un aspecto de la divulgación.

La Figura 2 ilustra un sistema distribuido ejemplar de agrupación de interrupciones, de acuerdo a un aspecto de la divulgación.

La Figura 3 es un diagrama de flujo para un procedimiento ejemplar de agrupación de interrupciones, de acuerdo a un aspecto de la divulgación.

[0011] Las realizaciones de la divulgación y sus ventajas se comprenden óptimamente refiriéndose a la descripción detallada a continuación. Debería apreciarse que los mismos números de referencia se usan para identificar elementos iguales ilustrados en una o más de las figuras.

DESCRIPCIÓN DETALLADA

[0012] Para reducir el recuento de clavijas y la latencia de procesamiento de interrupciones, se proporciona un circuito integrado en anfitrión que agrupa una o más interrupciones desde una pluralidad de dispositivos periféricos a través de una red externa de escalas R-2R, a un terminal de señal de circuito integrado en anfitrión. Después de agrupar las interrupciones, el circuito integrado del anfitrión procede a desencadenar una interrupción a un procesador y proporcionar al procesador la identidad del dispositivo (o dispositivos) que interrumpe(n) entre los dispositivos periféricos. El procesador interrumpido puede integrarse dentro del circuito integrado del anfitrión, tal como en un sistema en un chip (SoC). Dicha realización se designa en este documento como un sistema integrado de agrupación de interrupciones. Alternativamente, el procesador puede ubicarse por separado del circuito integrado del anfitrión, en lo que se indica en este documento como un sistema distribuido de agrupación de interrupciones. Por ejemplo, el circuito integrado en anfitrión puede ser un circuito integrado de administración de energía (PMIC) que agrupa las interrupciones previstas desde los dispositivos periféricos y desencadena una interrupción a un procesador en un SoC y también identifica el dispositivo (o dispositivos) que interrumpe(n), entre los dispositivos periféricos, al procesador.

[0013] Cada dispositivo periférico se acopla a la escala de resistores R-2R mediante un correspondiente peldaño o terminal. Por lo tanto, hay un peldaño único en la escala de resistores R-2R para cada dispositivo periférico. Cada dispositivo periférico tiene un estado predeterminado en el que el dispositivo periférico no pretende desencadenar una interrupción a un procesador. Mientras se encuentra en el estado predeterminado, cada dispositivo periférico está configurado para cargar su peldaño de la escala de resistores R-2R hasta una tensión de referencia, tal como una tensión de fuente de alimentación que es esencialmente la misma para todos los dispositivos periféricos. A la inversa, cada dispositivo periférico tiene un estado de interrupción en el cual el dispositivo periférico pretende desencadenar una interrupción al procesador. Mientras se encuentra en estado de interrupción, cada dispositivo periférico está configurado para conectar a tierra su peldaño de la escala de

resistores R-2R. Por ejemplo, un dispositivo periférico puede incluir un sensor que ha detectado una condición ante la que el procesador necesita ser alertado mediante una interrupción. El dispositivo periférico correspondiente cambiaría entonces, desde su estado predeterminado de carga de su peldaño de la escala de resistores R-2R, a la conexión a tierra de su peldaño. Ventajosamente, la agrupación de interrupciones expuesta en este documento puede identificar de manera única cada uno de tales dispositivos periféricos que interrumpen, independientemente de cuántos dispositivos periféricos, en cualquier momento dado, estén en el estado predeterminado o hayan pasado al estado de interrupción. Además, esta identificación de todos los dispositivos periféricos que interrumpen requiere solo dos clavijas o terminales en el circuito integrado del anfitrión para acoplarse a los dos extremos de la escala de resistores R-2R.

[0014] Con respecto a los extremos de la escala de resistores R-2R, hay un extremo de señal y un extremo de tierra. El circuito integrado del anfitrión incluye un terminal de señal para el acoplamiento al extremo de señales de la red de resistencias R-2R y un terminal de tierra para el acoplamiento al extremo de tierra de la red de resistencias R-2R. Cuando todos los dispositivos periféricos están en el estado predeterminado, tanto el extremo de tierra como el extremo de señal de la escala de resistores R-2R se cargan hasta la tensión de referencia. Si un dispositivo periférico pasara al estado de interrupción, procede a conectar a tierra su peldaño de la escala de resistores R-2R. Esta conexión a tierra reduce la tensión del extremo de señal y el extremo a tierra de la escala de resistores R-2R, desde la tensión de referencia. El circuito integrado del anfitrión está configurado para monitorizar la tensión de su terminal de tierra para detectar este cambio de tensión. Si el circuito integrado del anfitrión detectara que su terminal a tierra ha caído por debajo de la tensión de referencia, procede a conectar a tierra su terminal a tierra para conectar a tierra el extremo a tierra de la escala de resistores R-2R. Si todos los dispositivos periféricos están en el estado predeterminado, el circuito integrado del anfitrión acopla su terminal a tierra a una entrada de alta impedancia de un amplificador diferencial para monitorizar la tensión del terminal a tierra, para cualquier transición posterior de los dispositivos periféricos al estado de interrupción.

[0015] La pluralidad de dispositivos periféricos puede incluir un entero positivo n de tales dispositivos periféricos, siendo n un entero positivo. La escala de resistores R-2R tiene, por lo tanto, n peldaños para acoplarse a los n dispositivos periféricos. Además, el estado de interrupción o el predeterminado de cada dispositivo periférico se pueden representar mediante un correspondiente bit de interrupción. Por ejemplo, se puede considerar que el valor del bit de interrupción es igual a un uno binario si el correspondiente dispositivo periférico está en el estado predeterminado, y es igual a un cero binario si el correspondiente dispositivo periférico está en el estado de interrupción. Dada esta representación binaria, la tensión en el extremo de señal de la escala de resistores R-2R es igual a una suma ponderada en binario de los bits de interrupción de los dispositivos periféricos. Por ejemplo, se puede considerar que los dispositivos periféricos están dispuestos desde un cero-ésimo dispositivo periférico hasta un $(n-1)$ -ésimo dispositivo periférico. Por lo tanto, se puede considerar que los correspondientes bits de interrupción de los dispositivos periféricos van desde un bit D_0 a un bit D_1 , un bit D_2 y así sucesivamente, hasta un bit D_{n-1} final. El circuito integrado del anfitrión puede incluir un amplificador sumador acoplado a su terminal de señal, para sumar todas las correspondientes contribuciones digitales desde los dispositivos periféricos a la tensión recibida en el extremo de señal de la escala R-2R. El amplificador sumador incluye un amplificador sumador que tiene una salida y una entrada negativa acoplada a través de una resistencia de realimentación R_f que tiene una resistencia de R_f . Téngase en cuenta que la impedancia de salida de la escala de resistores R-2R siempre es R , independientemente de cuántos dispositivos periféricos estén en el estado de interrupción o en el estado predeterminado. Por lo tanto, se puede mostrar que la tensión analógica sumada V_{salida} del amplificador sumador se puede representar mediante la siguiente Ecuación 1:

$$V_{\text{salida}} = (R_f / R) * (D_0/2 + D_1/4 + \dots + D_{n-1}/2^n) \quad \text{Ec. 1}$$

[0016] Como se puede obtener de la Ecuación 1, la contribución de tensión digital desde el i -ésimo dispositivo periférico es proporcional a la razón $D_i/2^{i+1}$. Este i -ésimo bit de interrupción es un 0 binario si el correspondiente dispositivo periférico correspondiente está en el estado de interrupción y es un 1 binario si el correspondiente dispositivo periférico está en el estado predeterminado (no de interrupción). El circuito integrado del anfitrión también puede incluir un convertidor analógico a digital (ADC) que digitaliza la tensión analógica para recuperar los bits de interrupción D_0 a D_{n-1} . La identidad de los dispositivos periféricos de interrupción se proporciona inmediatamente mediante el valor binario del correspondiente bit de interrupción del convertidor de analógico a digital. Esto es bastante ventajoso, ya que el circuito integrado del anfitrión requiere solo dos clavijas o terminales para acoplarse a la escala de resistores R-2R, pero sin embargo hay relativamente poca latencia y consumo de energía durante la suma y digitalización resultantes en el circuito integrado del anfitrión. El circuito integrado del anfitrión puede proceder entonces a generar una interrupción al procesador y también a proporcionar la identidad de los correspondientes uno o más dispositivos periféricos que interrumpen al procesador. En algunas realizaciones, se puede usar un único comando de interrupción, que tiene un ancho de n bits, para proporcionar tanto la interrupción como la identidad de los dispositivos periféricos que interrumpen al procesador. Alternativamente, el circuito integrado del anfitrión puede interrumpir por separado al procesador y proporcionar la identidad de los dispositivos periféricos que interrumpen. Volviendo ahora a los dibujos, se expondrá un sistema integrado ejemplar de agrupación de interrupciones, seguido de una exposición de un sistema distribuido ejemplar de agrupación de interrupciones.

Sistema Integrado de agrupación de Interrupciones

[0017] En la **Figura 1A** se muestra un sistema integrado ejemplar de agrupación de interrupciones 100. Como se ha expuesto anteriormente, un sistema integrado de procesamiento de interrupciones es aquel en el que un circuito integrado en anfitrión 101 también incluye un procesador 160, para el cual se están agrupando las interrupciones. Una escala de resistores R-2R 102 tiene un extremo de señal 103 que se acopla a un terminal de señal A en el circuito integrado en anfitrión 101. De manera similar, la escala de resistores R-2R 102 tiene un extremo de tierra 104 que se acopla a un terminal de tierra B en el circuito integrado en anfitrión 101. Como se conoce en la técnica de la escala de resistores R-2R, la escala R-2R 102 tiene una pluralidad de resistores R y una pluralidad de resistores 2R. Cada resistor R tiene una resistencia de R ohmios, mientras que la resistencia para los 2R resistores es de 2R ohmios. Por ejemplo, si cada resistor R tiene una resistencia de 10K Ω , entonces cada resistor 2R tiene una resistencia de 20K Ω .

[0018] En el ejemplo ilustrado, un cero-ésimo dispositivo periférico 165 se acopla a un cero-ésimo peldaño 166 de la escala de resistores R-2R 102. De manera similar, un primer dispositivo periférico 170 se acopla a un primer peldaño 171 de la escala de resistores R-2R 102. Un segundo dispositivo periférico 175 se acopla a un segundo peldaño 176 de la escala de resistores R-2R 102. Finalmente, un tercer y último dispositivo periférico 180 se acopla a un tercer y último peldaño 181 de la escala de resistores 102. Cada peldaño incluye un resistor 2R que puede integrarse en una placa de circuitos o dentro del correspondiente dispositivo periférico. Como se conoce en la técnica de escala de resistores R-2R, la escala de resistores R-2R 102 incluye una combinación en serie de resistores R desde el extremo de señal 103 que se acoplan a un resistor final 2R en el extremo de tierra 104. Como el sistema 100 incluye una pluralidad $n = 4$ de dispositivos periféricos, hay tres resistores R dispuestos en serie, acoplados al extremo de señal 103. En general, hay $n-1$ resistores R de ese tipo para una realización que tiene n dispositivos periféricos. Se apreciará que el número real de peldaños y dispositivos periféricos correspondientes para realizaciones alternativas puede ser más o menos que el ejemplo de cuatro utilizados en el sistema 100.

[0019] Como se ha expuesto anteriormente, cada dispositivo periférico en el sistema 100 tiene un estado binario que depende de si el dispositivo periférico está en el estado de interrupción o en el estado predeterminado. Es arbitrario si el estado predeterminado está representado por un uno binario (en cuyo caso el estado de interrupción está representado por un cero binario) o si el estado predeterminado está representado por un cero binario (en cuyo caso el estado de interrupción está representado por un uno binario) siempre que se utilice la misma convención para cada dispositivo periférico. Por lo tanto, se apreciará que una convención de usar un bit de interrupción que sea igual a un uno binario para representar el estado predeterminado para cada dispositivo periférico se usa en el sistema 100 sin pérdida de generalidad. Cada dispositivo periférico puede incluir un conmutador de tres terminales 110 que es controlado por el correspondiente bit de interrupción. Cada conmutador de tres terminales 110 está configurado para acoplar el peldaño correspondiente de la escala R-2R 102 a un nodo que suministra una tensión de referencia (V_{Ref}) o a tierra. En una realización, la tensión de referencia puede ser igual a una tensión de fuente de alimentación. Alternativamente, la tensión de referencia puede obtenerse, por ejemplo, de un circuito de brecha de banda. En el estado predeterminado para el correspondiente dispositivo periférico, cada conmutador de tres terminales 110 acopla el correspondiente peldaño a tierra. En el sistema 100, los dispositivos periféricos 165, 170 y 180 están todos en el estado predeterminado, representado por un valor binario de uno.

[0020] Como se ha expuesto anteriormente, el estado binario para el cero-ésimo dispositivo periférico 165, que identifica si el cero-ésimo dispositivo periférico está en el estado predeterminado o de interrupción, está representado por un bit de interrupción D_0 , que controla el correspondiente conmutador de 3 terminales 110. En el sistema 100, el bit de interrupción D_0 es igual a un uno binario. De manera similar, el valor binario para el primer dispositivo periférico 170 se representa mediante un bit de interrupción D_1 que también es igual a un uno binario, ya que el primer dispositivo periférico 170 está en el estado predeterminado. Además, el valor binario para el tercer dispositivo periférico 180 está representado por un bit de interrupción D_3 que es igual a un uno binario, dado que el tercer dispositivo periférico 180 está también en el estado predeterminado (no de interrupción).

[0021] Con respecto al dispositivo periférico 175, se ha producido un suceso adecuado o una condición de activación para hacer que el dispositivo periférico 175 pase al estado de interrupción para activar una interrupción al procesador 160. Por ejemplo, el dispositivo periférico 175 puede incluir un dispositivo de WiFi que ha recibido un mensaje al que el procesador 160 debe responder. Alternativamente, el dispositivo periférico 175 puede incluir un sensor que ha detectado una condición de alerta a la que el procesador 160 debe responder como disparada por primera vez mediante una interrupción. Independientemente de la condición específica de activación, el dispositivo periférico 175 está en el estado de interrupción, de modo que su correspondiente bit de interrupción D_2 es igual a un cero binario. Por lo tanto, el bit de interrupción D_2 causa que el conmutador de 3 terminales 110 en el dispositivo periférico 175 se conecte a tierra en el correspondiente peldaño 176.

[0022] Para identificar cuáles dispositivos periféricos se encuentran en el estado de interrupción, el circuito integrado en anfitrión 101 incluye un agrupador de interrupciones 105 que procesa las tensiones para el terminal de señal A y para el terminal de tierra B. Téngase en cuenta que, antes de cualquier condición de activación, tal

como la expuesta con respecto al dispositivo periférico 175, todos los dispositivos periféricos se encontraban en el estado predeterminado, de modo que cada dispositivo periférico cargó su peldaño correspondiente hasta la tensión de referencia. Si tanto el terminal de señal A como el terminal de tierra B tienen una impedancia de entrada alta en ese momento, ambos terminales se cargan hasta la tensión de referencia. El agrupador de interrupciones 105 incluye un amplificador sumador 135 que tiene una entrada negativa acoplada al terminal A. Como se conoce en las técnicas de amplificación sumadora, el amplificador sumador 135 puede comprender un amplificador operativo u otro amplificador adecuado que tenga una impedancia de entrada relativamente alta, de manera que el terminal A sea fácilmente cargado hasta la tensión de referencia cuando todos los dispositivos periféricos están en el estado predeterminado.

[0023] Con respecto al terminal de tierra B, el agrupador de interrupciones 105 puede incluir un conmutador de tres terminales 185 que puede acoplar el terminal de tierra B a tierra o bien a una entrada (por ejemplo, la entrada negativa) de un amplificador diferencial 115. El agrupador de interrupciones 105 incluye un controlador 125 configurado para controlar el estado de conmutación del conmutador de tres terminales 185, mediante una señal de control 184. Durante un estado predeterminado para el controlador 125, la señal de control 184 ordena al conmutador de tres terminales 185 que acople el terminal de tierra B a la entrada negativa de un amplificador diferencial 115. El amplificador diferencial 115 puede comprender un amplificador operativo u otro amplificador adecuado que proporcione una impedancia de entrada relativamente alta al terminal de tierra B cuando todos los dispositivos periféricos están en su estado predeterminado. Una fuente de tensión de referencia 120 proporciona la tensión de referencia a una entrada positiva del amplificador diferencial 115, de modo que una señal de salida de detección de interrupción 116 desde el amplificador diferencial 115 se afirma como bajo a tierra, mientras todos los dispositivos periféricos están en su estado predeterminado.

[0024] En respuesta a una condición de activación, el correspondiente dispositivo periférico puede conectar a tierra su peldaño de la escala R-2R 102 a fin de provocar que la tensión del terminal de tierra B caiga por debajo de la tensión de referencia. Como se ha expuesto anteriormente, el dispositivo periférico 175 ha respondido a una condición de activación y, por lo tanto, ha conectado a tierra su peldaño 176. La señal de salida de detección de interrupción 116 se afirmará entonces como alta a una tensión de fuente de alimentación. El controlador 125 está configurado para responder a esta afirmación accionando la señal de control 184 de manera que el conmutador de tres terminales 185 conecte a tierra el terminal de tierra B. El agrupador de interrupciones 105 puede luego proceder a agrupar las interrupciones previstas desde cualquier dispositivo periférico en estado de interrupción, tal como desde el dispositivo periférico 175.

[0025] Para realizar esta agrupación, el amplificador sumador 135 suma las contribuciones digitales de cada dispositivo periférico de manera análoga, según lo expuesto con respecto a la Ecuación 1. Un resistor 131 proporciona la resistencia de realimentación R_f expuesta con respecto a la Ecuación 1. El controlador 125 responde a la afirmación de la señal de detección de interrupción 116 habilitando un convertidor de analógico a digital (ADC) 130, mediante una señal de habilitación de ADC 190. El ADC 130 está configurado para digitalizar la tensión sumada a partir del amplificador sumador 135 en los bits de interrupción D_0 , D_1 , D_2 y D_3 que identifican si los correspondientes dispositivos periféricos están en el estado predeterminado o de interrupción. En el sistema 100, todos estos bits de interrupción son unos binarios, excepto el bit de interrupción D_2 , que es un cero binario. El controlador 125 puede incluir un registro de interrupción 145 para almacenar los bits de interrupción. El controlador 125 puede incluir además una compuerta lógica tal como una compuerta Y 150 para procesar los bits de interrupción, para determinar si algún bit de interrupción es igual a un cero binario. Cuando todos los dispositivos periféricos están en el estado predeterminado, una señal de salida 151 de la compuerta Y 150 es igual a un uno binario. Sin embargo, dado que el dispositivo periférico 175 está en el estado de interrupción, la señal de salida 151 es un cero binario. En una realización, la compuerta Y 150 forma un medio para procesar los bits de interrupción, para identificar si al menos uno de los dispositivos periféricos está en el estado de interrupción. Una interfaz de control de interrupción 155 responde a la señal de salida 151, cuando es igual a un cero binario, activando una interrupción del procesador 160 a través de un bus interno 195. El controlador 125 también puede dirigir el contenido de los registros de interrupción 145, a través del bus interno 195, al procesador 160, de modo que el procesador 160 pueda estar al tanto de la identidad del dispositivo (o dispositivos) periférico(s) que ha(n) activado la interrupción. Después de que el procesador 160 haya respondido a la interrupción, el controlador 125 lleva luego el conmutador de tres terminales 185 de vuelta a su estado predeterminado, en el que el terminal de tierra B está acoplado a una entrada del amplificador diferencial 115.

[0026] La resolución requerida del ADC 130 es una función de cuántos bits de interrupción debe digitalizar. En el sistema 100 hay solo cuatro bits de interrupción, de modo que la resolución requerida sea relativamente relajada. A medida que aumenta el número de dispositivos periféricos, las demandas de resolución pueden aliviarse en el ADC 130 implementando el resistor de realimentación 131 como un resistor de realimentación variable controlado por una señal de control de ganancia de multiplicador 132 desde el controlador 125. Con referencia nuevamente a la Ecuación 1, téngase en cuenta que la resistencia de realimentación es un multiplicador de la tensión sumada. Los bits de interrupción van desde el cero-ésimo bit menos significativo D_0 hasta el bit más significativo D_{n-1} . Los bits de interrupción más significativos están sujetos a una división cada vez mayor en la Ecuación 1, de modo que la resistencia de realimentación pueda aumentarse a fin de distinguir mejor estos bits, si el ADC 130 tuviera resolución insuficiente. De esta manera, los costes pueden reducirse utilizando

un ADC 130 de resolución relativamente baja, pero que se puedan distinguir todos los bits de interrupción.

[0027] A medida que aumenta el número de dispositivos periféricos para realizaciones alternativas, la resolución del ADC 130 debe aumentar en consecuencia. Por ejemplo, el ADC 130 necesitaría cinco bits de resolución para una realización que tenga treinta y dos dispositivos periféricos. Pero aumentar la resolución de conversión de analógico a digital aumenta los costes de fabricación. Para mantener baja la resolución, se pueden usar múltiples escalas de resistores R-2R, tal como se muestra en la **Figura 1B** para un sistema 106. Un circuito integrado en anfitrión 107 incluye un agrupador de interrupciones 105 que funciona como se ha expuesto con respecto al sistema 100 de la Figura 1A. En contraste con el sistema 100, el agrupador de interrupciones 105 en el sistema 106 se acopla a una primera escala R-2R 196 y a una segunda escala R-2R 197, mediante un par de multiplexores 186 y 187. Los dispositivos periféricos y los resistores para las escalas R-2R primera y segunda 196 y 197 no se muestran en la Figura 1B por claridad de ilustración. Los multiplexores 186 y 187 se controlan para seleccionar la misma escala R-2R. La división de los dispositivos periféricos entre múltiples escalas R-2R relaja el requisito de resolución para el ADC 130. Por ejemplo, supongamos que las escalas R-2R primera y segunda 196 y 197 incluyen, cada una, ocho dispositivos periféricos. Aunque entonces habría dieciséis dispositivos periféricos en total, el ADC 130 aún puede tener solo 3 bits de resolución, ya que el agrupador de interrupciones 105 monitorizaría solo una de las escalas R-2R 196 y 197 en cualquier momento dado. El agrupador de interrupciones 105 puede así accionar periódicamente los multiplexores 186 y 187 de modo que las escalas R-2R 196 y 197 puedan analizarse en serie. De esta manera, el agrupador de entrada 105 puede aumentar ventajosamente el número de dispositivos periféricos monitorizados sin requerir un aumento correspondiente en la resolución del ADC 130.

[0028] Ahora se expondrá un sistema distribuido ejemplar de agrupación de interrupciones.

Sistema distribuido ejemplar de agrupación de interrupciones.

[0029] Un sistema distribuido ejemplar de agrupación de interrupciones 200 se muestra en la **Figura 2**, en la que el circuito integrado en anfitrión 205 no incluye el procesador 160 para el cual se están agrupando las interrupciones. Por ejemplo, el circuito integrado en anfitrión 205 puede incluir un circuito integrado de administración de energía (PMIC) que incluye un agrupador de interrupciones 105, como se ha expuesto con respecto a las Figuras 1A y 1B para el acoplamiento al terminal de señal A y al terminal de tierra B. La correspondiente escala de resistores R-2R y los dispositivos periféricos no se muestran en la Figura 2 por claridad de ilustración. El circuito integrado en anfitrión 205 incluye un procesador o una máquina de estados finitos 215 para controlar una interfaz en serie 210 y el agrupador de interrupciones 105. La interfaz en serie 210 se acopla a una interfaz en serie 220 en un SoC 225 que incluye el procesador 160 y la interfaz de control de interrupciones 155. Las interfaces en serie 210 y 220 pueden ser cualquier interfaz adecuada, tal como una interfaz periférica en serie (SPI) o una interfaz de receptor / transmisor asíncrono universal (UART). De esta manera, las interfaces 220 y 210 pueden asimilar otra señalización entre el circuito integrado en anfitrión 205 y el SoC 225, además de la señalización de agrupación de interrupciones. En caso de que un dispositivo periférico pasara al estado de interrupción, la interfaz en serie 210 transmite una trama o tramas en serie a la interfaz en serie 220, que activa una interrupción al procesador 160 a través de la interfaz de control de interrupción 155 y que identifica los dispositivos periféricos que interrumpen. La interfaz de control de interrupción 155 puede entonces proceder a interrumpir al procesador 160 en consecuencia. Ahora se expondrá un procedimiento ejemplar de agrupación de interrupciones.

Procedimiento de agrupación de interrupciones

[0030] En la **Figura 3** se muestra un diagrama de flujo para un procedimiento de agrupación de interrupciones, tal como el realizado por el agrupador de interrupciones 105. El procedimiento incluye un acto 300 realizado en un circuito integrado en anfitrión e incluye recibir una señal de tensión en un terminal de señal acoplado a una pluralidad de dispositivos periféricos, a través de una escala de resistores R-2R, en donde la señal de tensión tiene un valor digital ponderado en binario que responde a si cada dispositivo periférico está en un estado de interrupción o en un estado predeterminado. La recepción de la tensión del extremo de señal de la escala R-2R 102 en el terminal de señal A en la Figura 1A es un ejemplo del acto 300. El procedimiento también incluye un acto 305 de conversión de la señal de tensión recibida en una señal de tensión analógica proporcional al valor digital. La suma en el amplificador sumador 135 de la Figura 1A es un ejemplo del acto 305. Además, el procedimiento incluye un acto 310 de digitalización de la señal de tensión analógica en una pluralidad de bits de interrupción correspondientes a la pluralidad de dispositivos periféricos. La digitalización de la tensión de salida del amplificador sumador en el ADC 130 de la Figura 1A es un ejemplo del acto 310. Finalmente, el procedimiento incluye un acto 315 de procesamiento de los bits de interrupción para identificar si al menos uno de los dispositivos periféricos está en el estado de interrupción. El procesamiento de los bits de interrupción a través de la compuerta Y 150 de la Figura 1A es un ejemplo del acto 315.

REIVINDICACIONES

1. Un circuito integrado (101) que comprende:
- 5 un convertidor de analógico a digital (130) configurado para digitalizar una tensión, recibida en un terminal de señal del circuito integrado (101) acoplable a una pluralidad de dispositivos periféricos mediante una escala de resistores R-2R (102), en una pluralidad de bits de interrupción correspondientes a la pluralidad de dispositivos periféricos, **caracterizado por que** cada bit de interrupción tiene un valor binario indicativo de un estado de interrupción de un correspondiente dispositivo periférico; y por
- 10 un circuito lógico (150) configurado para procesar la pluralidad de bits de interrupción para identificar si al menos uno de los dispositivos periféricos está en el estado de interrupción;
- 15 una interfaz de interrupción (155) configurada para interrumpir un procesador (160) que responde a una identificación del al menos un dispositivo periférico en el estado de interrupción;
- un terminal de tierra configurado para monitorizar una tensión de extremo de tierra de un extremo de tierra de la escala R-2R (102);
- 20 un amplificador diferencial (115) configurado para comparar una tensión de un nodo interno con una tensión de referencia;
- un conmutador de tres terminales (185) configurado para acoplar el terminal de tierra al nodo interno durante un estado predeterminado en el que la tensión del nodo interno es igual a la tensión de referencia; y
- 25 un controlador (125) configurado para accionar el interruptor de tres terminales para acoplar el terminal de tierra a tierra, en respuesta a que la tensión del nodo interno sea menor que la tensión de referencia.
- 30
2. El circuito integrado (101) de la reivindicación 1, en el que el procesador (160) está integrado dentro del circuito integrado (101).
3. El circuito integrado (101) de la reivindicación 1, en el que el procesador (160) es externo al circuito integrado (101), comprendiendo además un circuito integrado de gestión de energía.
- 35
4. El circuito integrado (101) de la reivindicación 1, que comprende además un registro configurado para almacenar la pluralidad de bits de interrupción.
- 40
5. El circuito integrado (101) de la reivindicación 1, en el que el circuito lógico (150) comprende una compuerta Y.
6. El circuito integrado (101) de la reivindicación 1, en el que el controlador (125) está configurado además para habilitar el convertidor de analógico a digital, en respuesta a que la tensión del nodo interno sea menor que la tensión de referencia.
- 45
7. El circuito integrado (101) de la reivindicación 1, en el que la tensión de referencia es una tensión de fuente de alimentación.
- 50
8. El circuito integrado (101) de la reivindicación 1, que comprende además:
- un terminal de señal; y
- un amplificador sumador (135) configurado para sumar una contribución digital de cada dispositivo periférico, recibida en el terminal de señal para proporcionar la señal de tensión.
- 55
9. El circuito integrado (101) de la reivindicación 8, en el que el amplificador sumador (135) incluye un resistor de realimentación variable (131) que tiene una resistencia de realimentación variable, y en el que el controlador (125) está configurado además para variar la resistencia de realimentación variable.
- 60
10. Un procedimiento, que comprende:
- en un circuito integrado en anfitrión (101) de acuerdo a la reivindicación 1, recibir (300) una señal de tensión en un terminal de señal acoplado a una pluralidad de dispositivos periféricos a través de una escala de resistores R-2R (102), en donde la señal de tensión tiene un valor digital de ponderación binaria que responde a si cada dispositivo periférico está en un estado de interrupción o en un estado
- 65

predeterminado;

5 convertir (305) la señal de tensión recibida en una señal de tensión analógica proporcional al valor digital; digitalizar (310) la señal de tensión analógica en una pluralidad de bits de interrupción correspondientes a la pluralidad de dispositivos periféricos;

 procesar (315) los bits de interrupción para identificar si al menos uno de los dispositivos periféricos está en el estado de interrupción;

10 monitorizar una tensión de extremo de tierra de un extremo de tierra de la escala R-2R (102), para determinar si la tensión de extremo de tierra es menor que una tensión de referencia; y

 conectar a tierra el extremo de tierra de la escala R-2R (102) en respuesta a una determinación de que la tensión del extremo de tierra es menor que la tensión de referencia.

15 **11.** El procedimiento de la reivindicación 10, que comprende además:
 interrumpir un procesador (160) con una identidad del al menos un dispositivo periférico que interrumpe.

20 **12.** El procedimiento de la reivindicación 10, en el que convertir la señal de tensión recibida en una señal de tensión analógica comprende amplificar la señal de tensión recibida en un amplificador sumador (135).

13. El procedimiento de la reivindicación 10, en el que monitorizar la tensión del extremo de tierra comprende monitorizar la tensión del extremo de tierra a través de un amplificador diferencial (115).

25 **14.** El procedimiento de la reivindicación 10, en el que el procesamiento de los bits de interrupción comprende una operación lógica Y.

30 **15.** El procedimiento de la reivindicación 11, en el que interrumpir al procesador (160) comprende interrumpir al procesador dentro del circuito integrado en anfitrión, o en el que interrumpir al procesador (160) comprende interrumpir al procesador externo al circuito integrado en anfitrión.

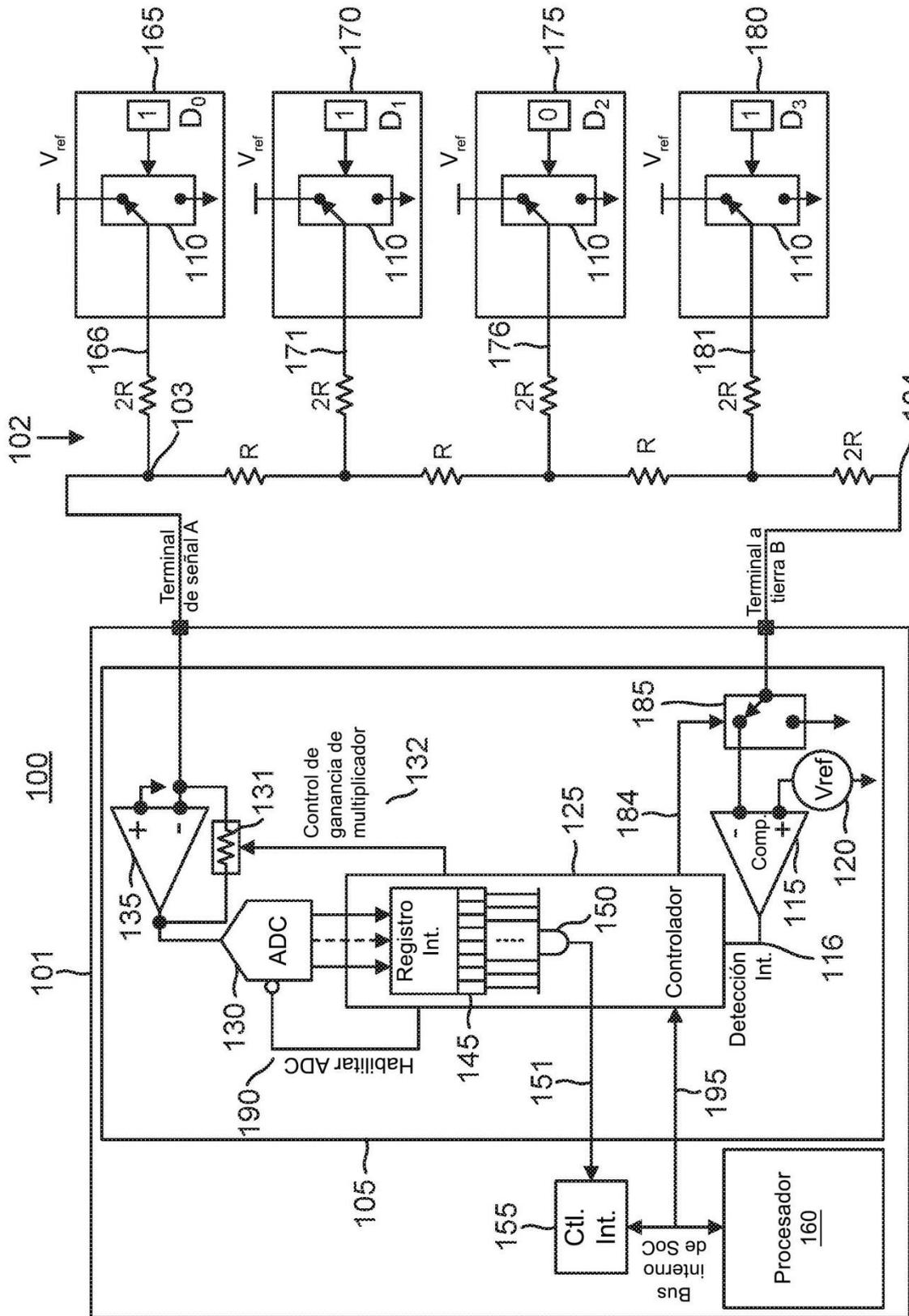


FIG. 1A

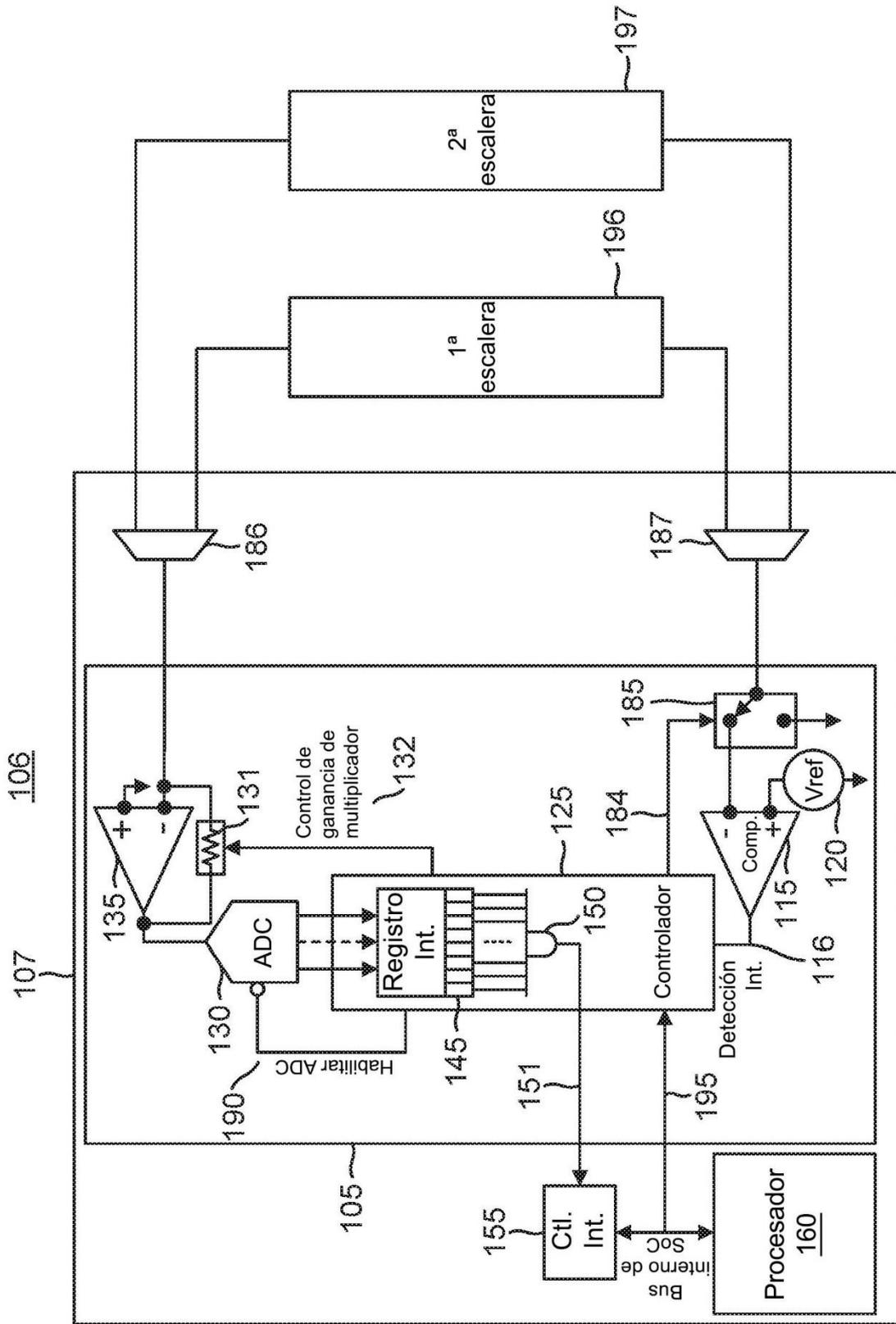


FIG. 1B

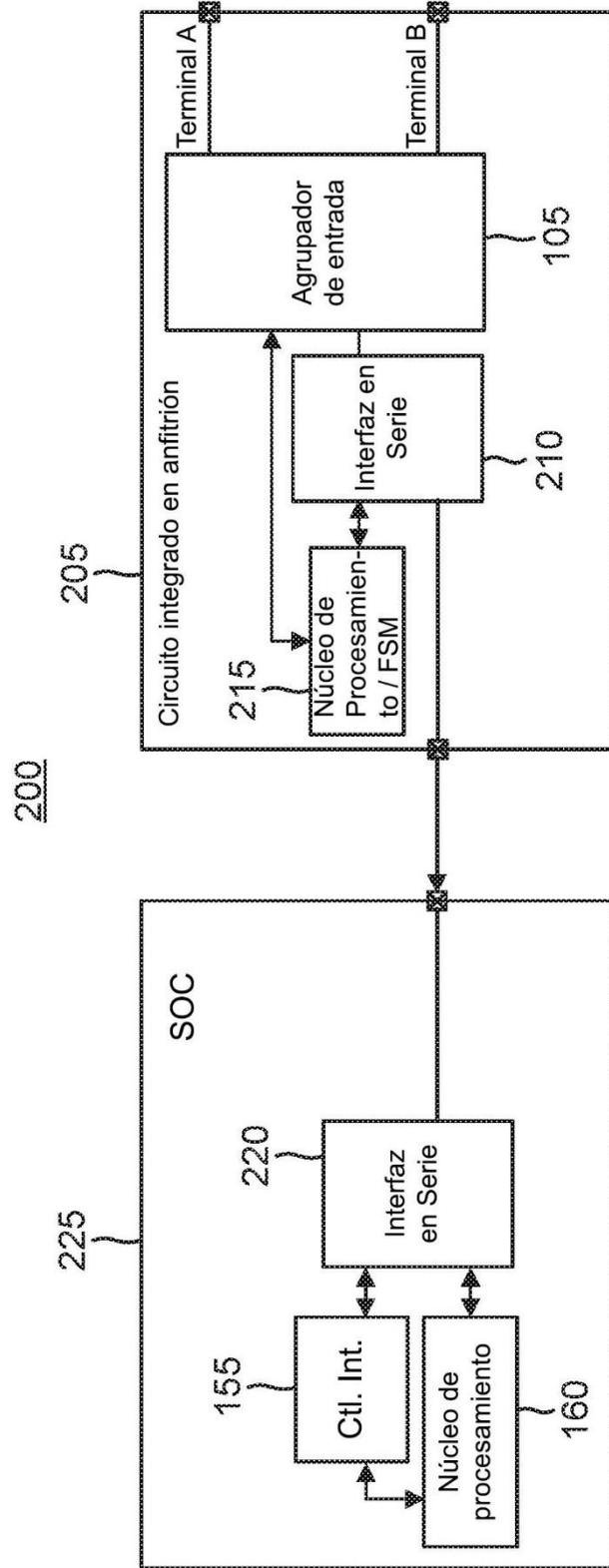


FIG. 2

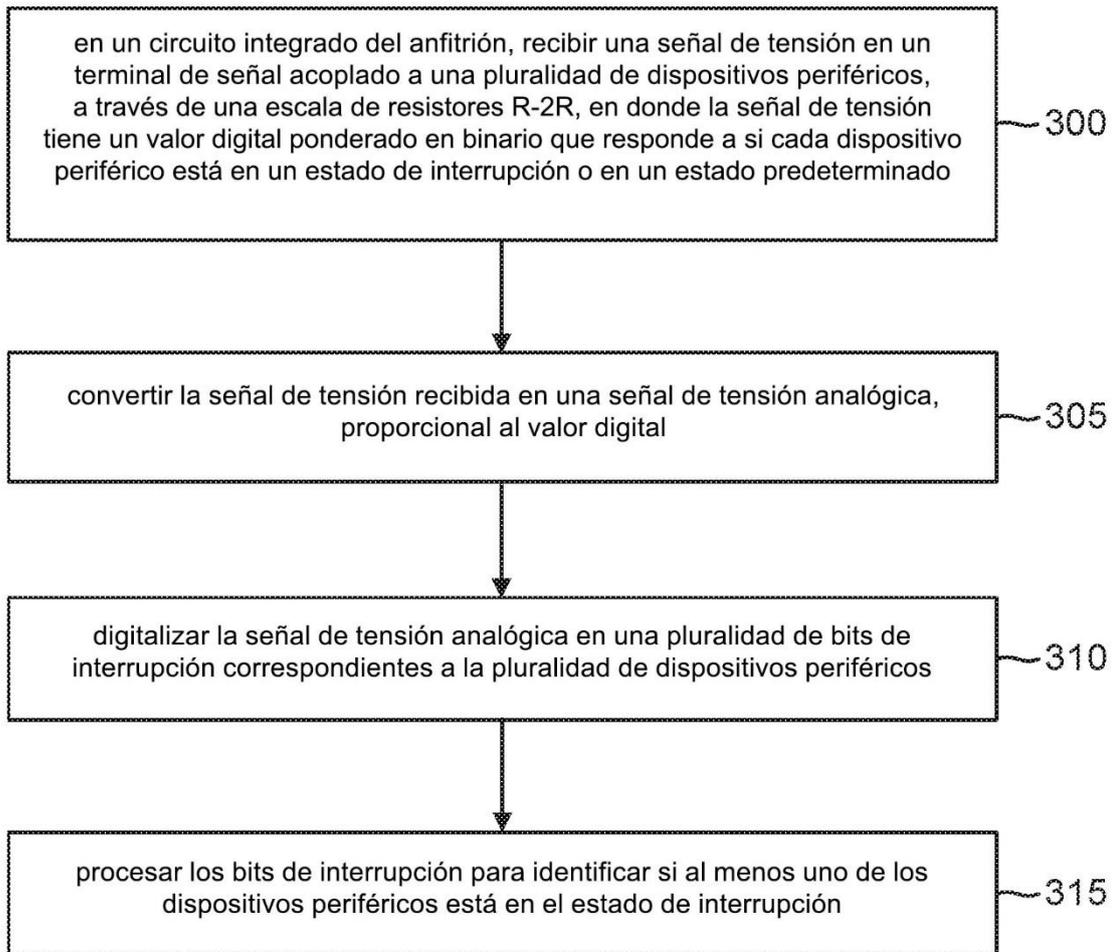


FIG. 3