

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 730 448**

21 Número de solicitud: 201930410

51 Int. Cl.:

G02B 6/43 (2006.01)

H03K 19/14 (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

09.05.2019

43 Fecha de publicación de la solicitud:

11.11.2019

71 Solicitantes:

**UNIVERSITAT POLITÈCNICA DE VALÈNCIA
(100.0%)**

**Servicio de Promoción y Apoyo a Investigación,
Innovación y Transferencia (I2T) Edificio Nexus
(6G) Camí de Vera, s/n
46022 Valencia ES**

72 Inventor/es:

**PÉREZ LÓPEZ, Daniel;
CAPMANY FRANCOY, José y
DASMAHAPATRA, Prometheus**

74 Agente/Representante:

PONS ARIÑO, Ángel

54 Título: **CHIP FOTÓNICO, MATRIZ FOTÓNICA PROGRAMABLE POR CAMPO Y CIRCUITO INTEGRADO FÓTONICO.**

57 Resumen:

Chip fotónico, matriz fotónica programable por campo y circuito integrado fotónico.

La presente invención hace referencia a un chip fotónico realizado por la combinación y la interconexión de bloques de procesamiento fotónicos programables con la misma orientación, con todos sus ejes longitudinales en paralelo, implementados sobre un chip fotónico que es capaz de implementar uno o múltiples circuitos fotónicos simultáneos con trayectorias de retroalimentación óptica y/o transformaciones lineales de múltiples puertos, por la programación apropiada de sus recursos y la selección de sus puertos de entrada y salida. La invención también hace referencia a una matriz fotónica programable (P-FPPA) paralela que comprende al menos un circuito programable en base a divisores de haz con la misma orientación /sintonizables paralelos con un acoplamiento y una configuración de desplazamiento de fase y bloques de construcción de alto rendimiento.

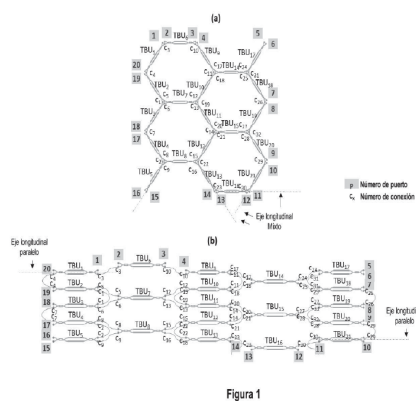


Figura 1

DESCRIPCIÓN**CHIP FOTÓNICO, MATRIZ FOTÓNICA PROGRAMABLE POR CAMPO Y CIRCUITO
INTEGRADO FOTÓNICO**

5

OBJECTO DE LA INVENCION

La presente invención hace referencia a un chip fotónico realizado por la combinación y la interconexión de bloques de procesamiento programable, con la misma orientación, con todos sus ejes longitudinales en paralelo, implementados sobre un chip
10 fotónico que es capaz de implementar uno o múltiples circuitos fotónicos simultáneos con trayectorias de retroalimentación óptica y/o transformaciones lineales multipuerto mediante la programación apropiada de sus recursos y la selección de sus puertos de entrada y salida. La invención también hace referencia a una matriz fotónica programable en campo
15 (in situ) en paralelo (P-FPPA, por sus siglas en inglés), que comprende al menos un circuito programable en base a divisores de haz sintonizables con la misma orientación con un acoplamiento y una configuración de desplazamiento de fase independientes y bloques de construcción periféricos de alto rendimiento.

20 ANTECEDENTES DE LA INVENCION

La fotónica programable multifuncional (PMP, por sus siglas en inglés) busca diseñar configuraciones comunes de hardware óptico integrado que pueden implementar una amplia variedad de funcionalidades mediante una programación adecuada. Varios autores han
25 cubierto trabajos teóricos que proponen diferentes principios de configuraciones y diseños para circuitos programables a base de divisores de haz en cascada o interferómetros Mach–Zehnder (del inglés *Mach-Zehnder interferometers*, *MZIs*). Estas propuestas ofrecen soluciones de hardware versátil para implementar circuitos programables, pero ninguna de ellas define una solución arquitectónica completa para un dispositivo fotónico que puede ser
30 programado para implementar circuitos arbitrarios simples, complejos o simultáneos.

Adicionalmente, se ha probado que la combinación de unidades de procesamiento ópticas con la capacidad de programar/sintonizar/seleccionar la relación de división de potencia entre sus puertos y la respuesta de la fase ha conducido a disposiciones de malla
35 de guía ondas con diferentes topologías de malla y una versatilidad innovadora en lo que se refiere a su funcionalidad. En particular, algunas de las topologías propuestas permiten

bucles de retroalimentación dentro de las disposiciones que permiten la formación de cavidades ópticas, bucles de tipo Sagnac y topologías de circuitos más complejas. Sin embargo, las arquitecturas propuestas están basadas en la combinación de unidades básicas sintonizables (TBU, por sus siglas en inglés) que tienen diferente orientación espacial/angular del componente. Esto significa que los ejes longitudinales de las TBU no son paralelos entre ellos, Por ejemplo, la topología cuadrada se basa en la horizontal (0° -TBUs) y 90° -TBUs; la topología triangular se base en 0° -TBU, 60° -TBU y -60° -TBUs; la topología hexagonal se basa en 0° -TBUs, 30° -TBU, -30° -TBUs y esto se mantiene para topologías arbitrarias uniformes y no uniformes. Esto impone diversas restricciones prácticas: en primer lugar, la superficie ocupada es relativamente grande para la mayoría de las topologías propuestas, lo que limita la densidad de integración y por tanto la escalabilidad de los circuitos. Este hecho es exacerbado para TBU grandes. En segundo lugar, algunos componentes fotónicos son sensibles a la orientación debido a su material y fabricación intrínsecos y las propiedades de geometría de las guía de onda. Por ejemplo, algunos actuadores de fase requieren una cierta orientación del componente, para que sea posible la realización física del dispositivo y para lograr una eficiencia de sintonización razonable junto con ello. Con los esquemas disponibles en la actualidad únicamente pueden emplearse sintonizadores de fase que soportan una orientación arbitraria del componente. Más aún, algunas TBUs emplean acopladores de 3-dB (acopladores direccionales o interferómetros multimodo), que son también sensibles a la orientación, limitando el rendimiento general del circuito.

DESCRIPCIÓN DE LA INVENCION

El objeto de la invención descrito en la presente memoria resuelve los problemas expuestos anteriormente y permite el diseño de disposiciones de malla de guíaondas programables en las que dichos componentes de procesado tienen la misma orientación espacial/angular es decir, una configuración en la que todas las TBU son paralelas entre sí, proporcionando de este modo una clara ventaja técnica con respecto a las aproximaciones actuales en términos de facilidad de fabricación, rendimiento y superficie ocupada. Esto significa que el eje longitudinal de cada TBU tiene la misma orientación.

El objeto de la invención se basa en la replicación e interconexión de unidades de bloques analógicos fotónicos programables con la misma orientación e interconexiones reconfigurables implementadas preferiblemente mediante un chip fotónico. Estos componentes proporcionan los bloques de construcción básicos para implementar

operaciones ópticas analógicas básicas (potencia óptica reconfigurable y división de energía además de un desplazamiento de fase independiente). En un sentido muy amplio, puede considerarse que el procesamiento reconfigurable, de la misma manera que los bloques lógicos programables (PLB), realizan operaciones digitales en FPGA electrónicos o bloques analógicos configurables (CBA), que realizan operaciones analógicas en matrices electrónicas programables en campo analógicas (FPAA). Por lo tanto, y en vista de lo anterior, puede observarse que el objeto de la invención permite uno o varios circuitos fotónicos simultáneos y/o transformaciones lineales multipuerto mediante la programación adecuada de sus recursos, es decir el bloque fotónico programable analógico correspondiente y la selección de sus puertos de entrada y de salida, mientras mantiene la misma orientación espacial/angular en todos los bloques fotónicos programables analógicos. Por tanto, la contribución esencial de la invención consiste en los esquemas de interconexión que permiten al diseñador mantener la orientación de los PPAB.

El objeto de la invención se describe en el juego de reivindicaciones, incluidas en el presente documento por referencia.

La propuesta de chip fotónico, matriz fotónica programable en campo (P-FPPA) con la misma orientación de la presente invención presenta una serie de ventajas inherentes a las aproximaciones con hardware programable en campo, ampliadas por las topologías de circuito introducidas por la invención. Entre estas se incluyen:

- Tiempos más cortos para la producción y la comercialización.
- Menor desarrollo para el prototipo y gastos no recurrentes de ingeniería.
- Riesgo financiero reducido a la hora de desarrollar ideas y traducirlas en ASPIC (del inglés *Application specific photonic integrated circuits*).
- Operación multifuncional y multitarea.
- Optimización de circuitos.
- Esquemas regulares y huellas reducidas.
- Mejor rendimiento y reproducibilidad de los bloques fotónicos programables analógicos.
- Mayor número de topologías de circuito alternativas no limitadas por factores geométricos.

La propuesta de chip fotónico, matriz fotónica programable en campo (P-FPPA) con la misma orientación de la presente invención es adecuada para las siguientes aplicaciones:

- Aeroespacial y Defensa (Aviónica, comunicaciones, soluciones seguras, espacio)

- Automoción (Video de alta resolución, Red de vehículos de procesamiento de imágenes y conectividad, información y ocio de automoción)
- Centros de datos (Servidores, enrutadores, conmutadores, puerta de acceso/pasarela)
- 5 • Computación de alto rendimiento (Servidores, Súper ordenadores, sistemas SIGINT, radares de gama alta, sistemas de formación de haces de alta gama, computación cuántica, redes neuronales de alta velocidad)
- Diseño de circuito integrado (Creación de prototipos ASPIC, emulación de Hardware)
- Comunicaciones por cable o inalámbricas (Redes de transporte óptico, Interfaces de
- 10 conectividad 5G de procesamiento de redes, Red de retroceso móvil (del inglés Mobile Backhaul))
- Aceleradores de Hardware.
- Aplicaciones de aprendizaje profundo y de la máquina.

15 **DESCRIPCIÓN DE LOS DIBUJOS**

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características de la invención, de acuerdo con un ejemplo preferente de realización práctica de la misma, se acompaña como parte integrante de dicha descripción, un juego de dibujos en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

La Figura 1 muestra algunos ejemplos no limitativos de un ejemplo de diagrama esquemático del chip fotónico propuesto de la invención, en donde la ilustración muestra un detalle de la interconexión del esquema de acoplamiento de la señal interna de bloques fotónicos programables analógicos con la misma orientación o Unidades básicas sintonizables (TBUs) y que siguen un patrón uniforme. (Arriba: distribución de malla de guía ondas uniforme hexagonal convencional de acuerdo con el estado de la técnica, Abajo: modelo propuesto con la misma orientación de la presente invención).

La Figura 2 muestra algunos ejemplos no limitativos de un ejemplo de diagrama esquemático del chip fotónico propuesto de la invención, en donde la ilustración muestra un detalle de la interconexión del modelo de acoplamiento de la señal interna de bloques fotónicos programables analógicos y que siguen un patrón uniforme. (Arriba: distribución de malla de guía ondas uniforme cuadrada convencional de acuerdo con el estado de la técnica, Abajo: modelo propuesto con la misma orientación de la presente invención).

La Figura 3 muestra algunos ejemplos no limitativos de un ejemplo de diagrama esquemático del chip fotónico propuesto de la invención, en donde la ilustración muestra un detalle de la interconexión del modelo de acoplamiento de la señal interna de bloques fotónicos programables analógicos y que siguen un patrón uniforme. (Arriba: distribución de malla de guía ondas uniforme triangular convencional de acuerdo con el estado de la técnica, Abajo: modelo propuesto con la misma orientación de la presente invención.

La Figura 4 muestra algunos ejemplos no limitativos de un ejemplo de diagrama esquemático del chip fotónico propuesto de la invención, en donde la ilustración muestra un detalle de la interconexión del modelo de acoplamiento de la señal interna de bloques fotónicos programables analógicos y que siguen un patrón uniforme.

La Figura 5 muestra en el lado izquierdo, las principales etapas implicadas en el flujo del diseño/configuración de un chip fotónico de la presente invención y en el lado derecho, los capas hardware y software del chip fotónico y el diseño ampliado que incluye bloques de alto rendimiento.

La Figura 6 muestra una implementación simultánea de una cavidad en anillo, un interferómetro Mach-Zehnder y un interferómetro de múltiples puertos 3x3 que utiliza un diseño del chip fotónico de la presente invención donde todas las unidades de procesamiento tienen la misma orientación.

La Figura 7 muestra una implementación de FPPA con bloques de construcción de alto rendimiento que proporciona tareas de multiplexación y demultiplexación de longitud de onda. La disposición de unidades de procesamiento puede acoplarse a este bloque permitiendo el procesamiento en diferentes canales y diferentes longitudes de onda.

REALIZACIÓN PREFERIDA DE LA INVENCION

En una realización preferida del objeto de la invención, se proporciona un dispositivo tal como se muestra en la Figura 1 donde se ve una matriz fotónica programable en campo (P-FPPA) que comprende al menos uno, pero preferiblemente un gran número de bloques fotónicos programables analógicos (PPAB) con la misma orientación, implementados a modo de una serie de elementos de guíaondas fotónicos desarrollados en un sustrato de chip fotónico. Estos bloques tienen características programables y pueden propagar la luz

en ambas direcciones. Ha de tenerse en cuenta que el diseño en la Figura 1 no adopta ninguna geometría de interconexión en particular y que el diseño resultante que se muestra es solo con la finalidad de ilustración. Aunque pueden considerarse diversas configuraciones para las PPBA, aquí se ilustra el diseño con unidades PPBA muy básicas de 4 puertos. El

5 esquema de dichos PPAB con la misma orientación y sus interconexiones se muestran en el cuadrado de la Figura 1 para una orientación del eje en particular y sin vías de acoplamiento internas. En general, se considerarán diferentes opciones, en donde todos los bloques PPAB permanecerán en la misma orientación. Las Figuras 1-4 muestran algunas de las posibles opciones de interconexión. La función de los PPBA es proporcionar relaciones de

10 acoplamiento de potencia y ajustes de fase independientes, tal como se explica a continuación.

El PPAB es un componente fotónico 2x2 capaz de configurar independientemente un desplazamiento de fase sintonizable común Δ_{PPAB} y una relación de división de la

15 potencia óptica sintonizable $K=\sin^2\theta$ ($0\leq K\leq 1$) entre sus campos de entrada de guía ondas óptica y sus campos de salida de guía ondas óptica de salida.

La Figura 5 muestra algunos ejemplos de la programación simple de RPI + PPAB que conducen a operaciones muy básicas requeridas en el procesamiento de señales

20 fotónicas. Muchas más son posibles.

Mediante la programación adecuada y la concatenación de sucesivos bloques de procesamiento con la misma orientación, el P-FPPA puede implementar circuitos autónomos complejos y/o fotónicos paralelos y transformaciones de procesamiento de señal mediante la

25 discretización de circuitos de procesamiento ópticos convencionales en unidades RPI y PPAB.

En particular, este concepto se ilustra mediante tres diseños genéricos que se representan en las Figura 5, respectivamente.

30

La matriz fotónica programable en campo (P-FPPA) en paralelo de acuerdo con la invención es una matriz de elementos con la misma orientación que pueden interconectarse de acuerdo con las especificaciones del usuario y configurarse para una amplia variedad de aplicaciones. Un P-FPPA combina la programabilidad de los circuitos integrados fotónicos

35 reconfigurables más básicos en una estructura escalable, que permite circuitos programables con una mayor densidad de procesamiento. Por tanto, la complejidad de

procesamiento proviene de la interconectividad. Además, resuelve los problemas relacionados con mallas de guías de ondas previas en las que la topología de interconexión estaba limitada por las orientaciones resultantes de las TBU. Nuestra invención propuesta resuelve diversos problemas: en primer lugar, la superficie ocupada se reduce
5 considerablemente, mejorando la densidad de integración y por tanto la versatilidad de los circuitos. En segundo lugar, algunos componentes fotónicos son sensibles a la orientación debido a las propiedades intrínsecas del material y la geometría de las guías de ondas. Por ejemplo, algunos actuadores de fase requieren una cierta orientación del componente para mantener una eficiencia de sintonización razonable. Con las actuales aproximaciones,
10 pueden emplearse únicamente unos efectos de cambio de fase que soportan una orientación arbitraria del componente. Además, algunas TBU emplean acopladores 3-dB (acopladores direccionales o interferómetros multimodo), que son también sensibles a la orientación, limitando el rendimiento global del circuito. Con la invención propuesta, se mejoran tanto el rendimiento de procesamiento como la reproducibilidad y fiabilidad del
15 circuito.

El área de la izquierda de la Figura 6 muestra las principales etapas del proceso del flujo de diseño, que se describe a continuación. El punto de partida para el flujo de diseño es la entrada de la configuración de la aplicación correspondiente que va a ser implementada.
20 Las especificaciones se procesan entonces mediante un procedimiento de optimización para mejorar el área y el rendimiento del circuito final. A continuación, las especificaciones se transforman en un circuito compatible de bloques de procesamiento FPPA (mapeo tecnológico), optimizando atributos tales como el retardo, el rendimiento o el número de bloques.

25

La fase de mapeo tecnológico transforma la red optimizada en un circuito que consiste en un conjunto restringido de elementos de circuito (bloques de procesamiento de P-FPPA). Esto se hace seleccionando partes de la red que puede cada una implementarse por uno de los elementos circuitos básicos disponibles, y a continuación especificando cómo
30 se interconectarán estos elementos. Esto determinará el número total de bloques de procesamiento requeridos para la implementación específica.

A continuación, se continúa con una decisión acerca de la colocación, asignando cada bloque de procesamiento a una localización específica en el P-FPPA. En ese
35 momento, el enrutamiento global se realiza eligiendo las unidades de procesamiento que operarán como caminos ópticos de acceso. En contraste con las FPGA, esta estructura no

diferencia físicamente entre bloques de procesamiento y recursos de interconexión. Anteriormente, las configuraciones de los bloques de procesamiento se eligen de forma correspondiente y se realiza el cálculo del rendimiento y la verificación del diseño. Puede realizarse ya sea físicamente alimentando todos los datos de configuración necesarios a las unidades de programación para configurar el chip final, o empleando modelos precisos de P-FPPA. En cada etapa es posible ejecutar un proceso de optimización que podría decidir reconfigurar cualquiera de las etapas previas.

A partir de la anterior descripción puede apreciarse que la P-FPPA implica no solamente el hardware físico del nivel fotónico y de control electrónico, sino también está compuesto de una capa de software (ver parte superior derecha de la figura 5).

Las etapas contenidas en el flujo de diseño genérico pueden ser realizadas automáticamente por la capa de software, por el usuario, o una mezcla de los dos, dependiendo de la autonomía y de las capacidades de la P-FPPA. Además, un fallo en cualquiera de las etapas requerirá un proceso iterativo hasta que se logren las especificaciones con éxito. El proceso de optimización paralelo adicional (principalmente autoconfiguración automática), permite una operación robusta, atributos de autocorrección, mejorando adicionalmente la potencia de procesamiento del dispositivo físico.

De forma similar a las familias de FPGA modernas, la FPPA puede incluir bloques periféricos e internos de alto rendimiento (HPB) para ampliar sus capacidades para incluir una funcionalidad de mayor nivel fijada en el chip. Esto se muestra esquemáticamente en la parte inferior derecha de la Figura 5. Tener estas funciones en común embebidas en el chip reduce el área requerida y proporciona a esas funciones un rendimiento aumentado en comparación con las construirlas a partir de primitivos. Más aún, algunas de ellas son imposibles de obtener en una versión discretizada de bloques de procesamiento básico. Ejemplos de estos incluyen elementos con alta dispersión, líneas de retardo de guía ondas espiral, modulación genérica y subsistemas de foto-detección, amplificadores ópticos y subsistemas de fuentes y estructuras de filtrado de alto rendimiento, por citar unos pocos.

Un caso especial de HPB es una interconexión de la disposición de unidades básicas de procesamiento con dispositivos de multiplexación/demultiplexación de la longitud de onda de entrada/salida, cualquiera de las cuales puede ser espectralmente cíclica o no cíclica. Tal como se ilustra en la Figura 7, introduce otro grado de flexibilidad, permitiendo el procesamiento de múltiples longitudes de onda. Además, el sistema permite el

procesamiento en diferentes canales/modos espaciales junto con diferentes canales/modos de frecuencia.

Además, la P-FPPA puede incorporar núcleos de procesamiento, múltiples e independientes, que pueden interconectarse entre ellos y a bloques de construcción de alto rendimiento para aumentar el rendimiento del procesamiento. Estos núcleos de procesamiento de las mallas de guía ondas pueden integrarse en el mismo sustrato o pueden integrarse en diferentes chips.

10 EJEMPLOS DE OPERACIÓN

La Figura 6 proporciona algunos ejemplos en los que la FPPA de diferentes tipos se programa para emular e implementar simultáneamente diferentes circuitos fotónicos. En cada caso, la figura incluye el esquema de FPPA con unidades de procesamiento coloreadas de acuerdo con el código definido anteriormente y los esquemas de los circuitos implementados.

IMPLEMENTACIÓN FÍSICA

La implementación física del dispositivo de P-FPPA requiere una aproximación de óptica integrada ya sea basada en una plataforma de fotónica de silicio o plataformas híbrida/heterogénea III-V y fotónica de silicio.

En cuanto a los elementos PPAB, las opciones de tecnología fotónica actualmente disponibles están basadas en cualquier efecto de sintonización de fase como: sistemas MEMS, efectos termo-ópticos, efectos electro-ópticos, optomecánicos, efectos electro-capacitivos o actuadores de fase no volátiles. Estos actuadores y/o desfasadores se integran en cualquier estructura interferométrica con más de dos puertos. Finalmente, tal como se ha mencionado anteriormente, pueden diseñarse esquemas de FPPFA más complejos ajustando diferentes esquemas de interconexiones entre los bloques de procesamiento con la misma orientación, algunos ejemplos se muestran en la parte inferior de las figuras 1-4.

REIVINDICACIONES

1. Un chip fotónico, que comprende al menos dos bloques fotónicos programables analógicos (PPABs), implementados a través de un chip fotónico, caracterizado por que los al menos dos bloques fotónicos programables analógicos (PPABs) tienen la misma orientación y son paralelos entre sí.
2. Un chip fotónico según la reivindicación 1, en donde cada uno de los al menos dos bloques fotónicos programables analógicos (PPABs) comprende un eje longitudinal, en donde los ejes longitudinales de los al menos dos bloques fotónicos programables analógicos (PPABs) son paralelos.
3. Un chip fotónico según cualquiera de las reivindicaciones anteriores, en donde el bloque fotónico programable analógico (PPAB) comprende al menos dos elementos de guía ondas fotónicos.
4. Un chip fotónico según la reivindicación 3, en donde el elemento de guía ondas fotónico está configurado para permitir la propagación en ambas direcciones.
5. Un chip fotónico según la reivindicación 3, en donde el elemento de guía ondas fotónico está configurado para ser programable para ajustar el camino óptico a la disposición deseada.
6. Un chip fotónico según una cualquiera de las reivindicaciones anteriores, en donde el bloque fotónico programable analógico (PPAB) comprende al menos dos puertos de entrada y al menos dos puertos de salida y se describe mediante al menos una matriz de rotación 2x2 unitaria del grupo especial unitario con diferentes relaciones de fase entre sus cuatro componentes.
7. Un chip fotónico según la reivindicación 6, en donde está programado ajustar una relación de división arbitraria de potencia óptica K ($0 \leq K \leq 1$) además de ajustar un desplazamiento de fase común Δ_{PPAB} entre al menos un puerto de entrada y al menos un puerto de salida.
8. Un chip fotónico según cualquiera de las reivindicaciones anteriores, en donde al menos dos bloques fotónicos programables analógicos (PPABs) con la misma orientación se

configuran por una serie de elementos de guía ondas fotónicos desarrollados en un chip fotónico.

5 9. Una matriz fotónica programable que comprende al menos dos elementos fotónicos con la misma orientación según cualquiera de las reivindicaciones anteriores.

10 10. Un circuito fotónico integrado que comprende acopladores sintonizables programables para la interconexión de al menos dos elementos fotónicos programables con la misma orientación según se define en la reivindicación 9 que utiliza los acopladores
10 programables sintonizables como su elemento primitivo para configurar estructuras interferométricas.

15 11. Un circuito fotónico integrado, según la reivindicación 10, en donde los acopladores programables sintonizables con la misma orientación se pueden interconectar de tal manera que permiten la configuración de cavidades ópticas, bucles ópticos, y estructuras interferométricas tanto de alimentación directa como alimentación de retorno que utilizan los
15 acopladores sintonizables con una configuración de fase adicional como su elemento primitivo.

20 12. Un circuito fotónico integrado, según la reivindicación 10, en donde este se interconecta con bloques de construcción de alto rendimiento configurados para realizar tareas de procesamiento óptico básicas tales como: amplificación óptica, fuentes ópticas, modulación electro-óptica, foto-detección opto-electrónica, absorción óptica, atenuadores
20 ópticos variables, elementos de procesamiento no lineales y matrices de líneas de retardo, longitud de onda óptica, (de)multiplexación espacial, modal y de polarización, enrutamiento
25 óptico.

30 13. Un circuito fotónico integrado, según la reivindicación 10, en donde este se interconecta con bloques de construcción de alto rendimiento configurados para realizar multiplexación/demultiplexación de la longitud de onda de división espacial de la luz, ya sea
30 en una forma cíclica o no cíclica.

35 14. Un circuito fotónico integrado, según la reivindicación 10, que además comprende componentes primitivos con la misma orientación, implementados por un interferómetro de Mach-Zehnder no resonante.

15. Un circuito fotónico integrado, según la reivindicación 10, que además comprende componentes primitivos con la misma orientación, implementados por un interferómetro de Mach-Zehnder no resonante con dos brazos de igual longitud.
- 5 16. Un circuito fotónico integrado, según la reivindicación 10, que además comprende componentes primitivos con la misma orientación, implementados por un interferómetro resonante.
- 10 17. Un circuito fotónico integrado, según la reivindicación 10, que además comprende componentes primitivos con la misma orientación, implementados por acoplador direccional de doble accionamiento.
18. Un circuito fotónico integrado, según la reivindicación 10, que además comprende componentes primitivos con la misma orientación con un número arbitrario de puertos.
- 15 19. Un circuito fotónico integrado, según la reivindicación 10, que además comprende componentes primitivos con la misma orientación, implementados en los que los sintonizadores de la fase y la amplitud se basan en: sistemas nano-electromecánicos (NEMS), y sistemas micro-electromecánicos (MEMS), efectos termo-ópticos, efectos electro-ópticos, opto-mecánica, electro-absorción, efectos electro-capacitivos, efectos electro-inductivos, elementos memristores o actuadores de fase no volátiles.
- 20 20. Un circuito fotónico integrado, según la reivindicación 10, en donde las disposiciones de malla de guía ondas con la misma orientación de los PPAB se distribuyen en una topología uniforme.
- 25 21. Un circuito fotónico integrado, según la reivindicación 10, en donde las disposiciones de malla guía ondas con la misma orientación de los PPAB se distribuyen en una topología no uniforme.
- 30 22. Un circuito fotónico integrado, según la reivindicación 10, en donde las disposiciones de malla guía ondas con la misma orientación de las interconexiones de los PPAB mantienen la misma longitud entre todos los nodos.
- 35 23. Un circuito fotónico integrado, según la reivindicación 10, en donde las disposiciones de malla de guía ondas con la misma orientación de las interconexiones de los PPAB

mantienen longitudes arbitrarias entre todos los nodos.

24. Un circuito fotónico integrado, según la reivindicación 12, en donde al menos dos disposiciones de mallas de guía ondas están interconectadas entre ellas, permitiendo una
5 plataforma multi-etapas o multi-núcleo.

25. Un circuito fotónico integrado, según la reivindicación 12, en donde la disposición de malla de guía ondas está conectada a un subsistema eléctrico que acciona los actuadores o a actuadores/receptores en el chip, a un subsistema eléctrico que monitoriza las lecturas y a
10 un microprocesador que ejecuta los programas de optimización y configuración.

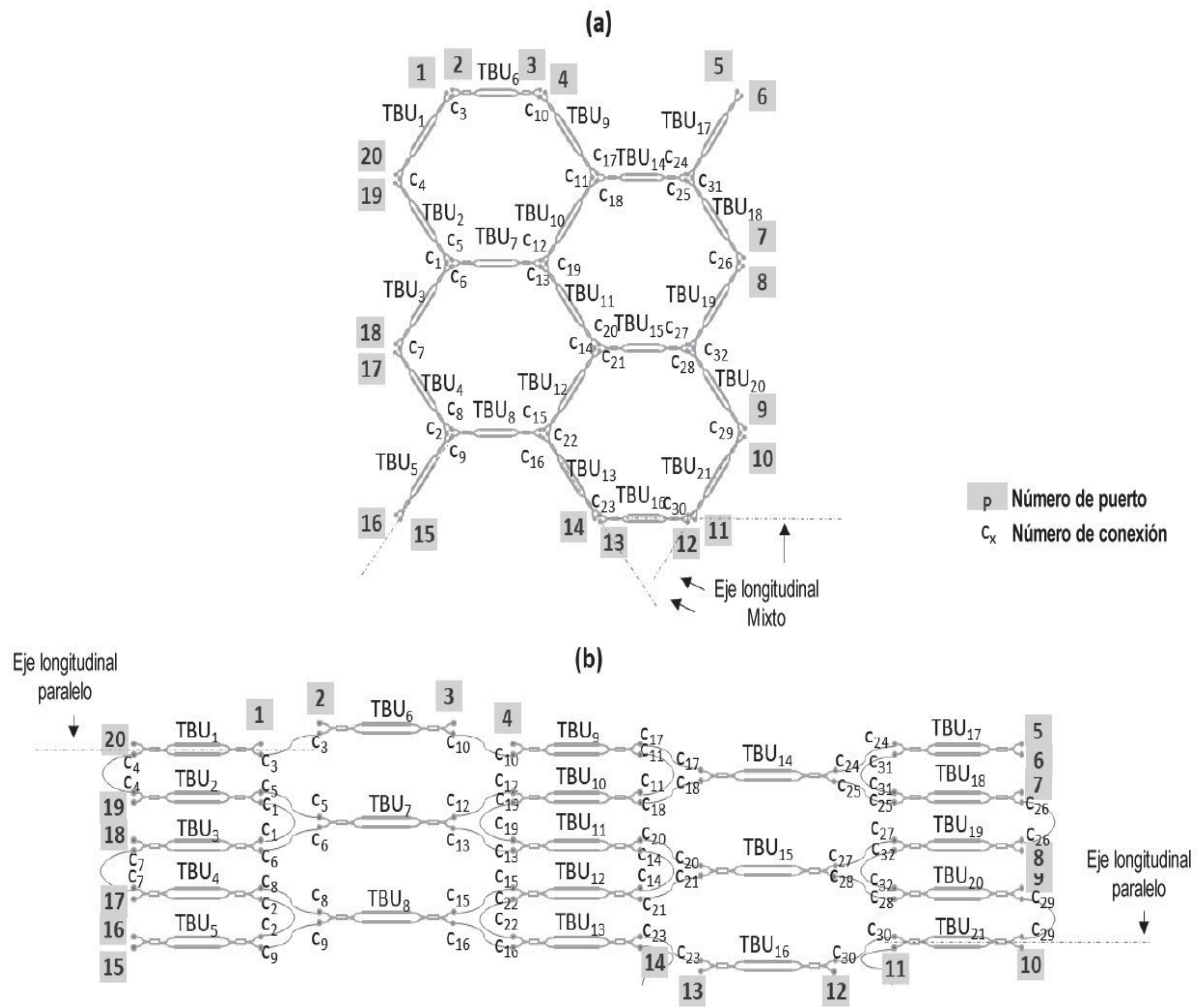


Figura 1

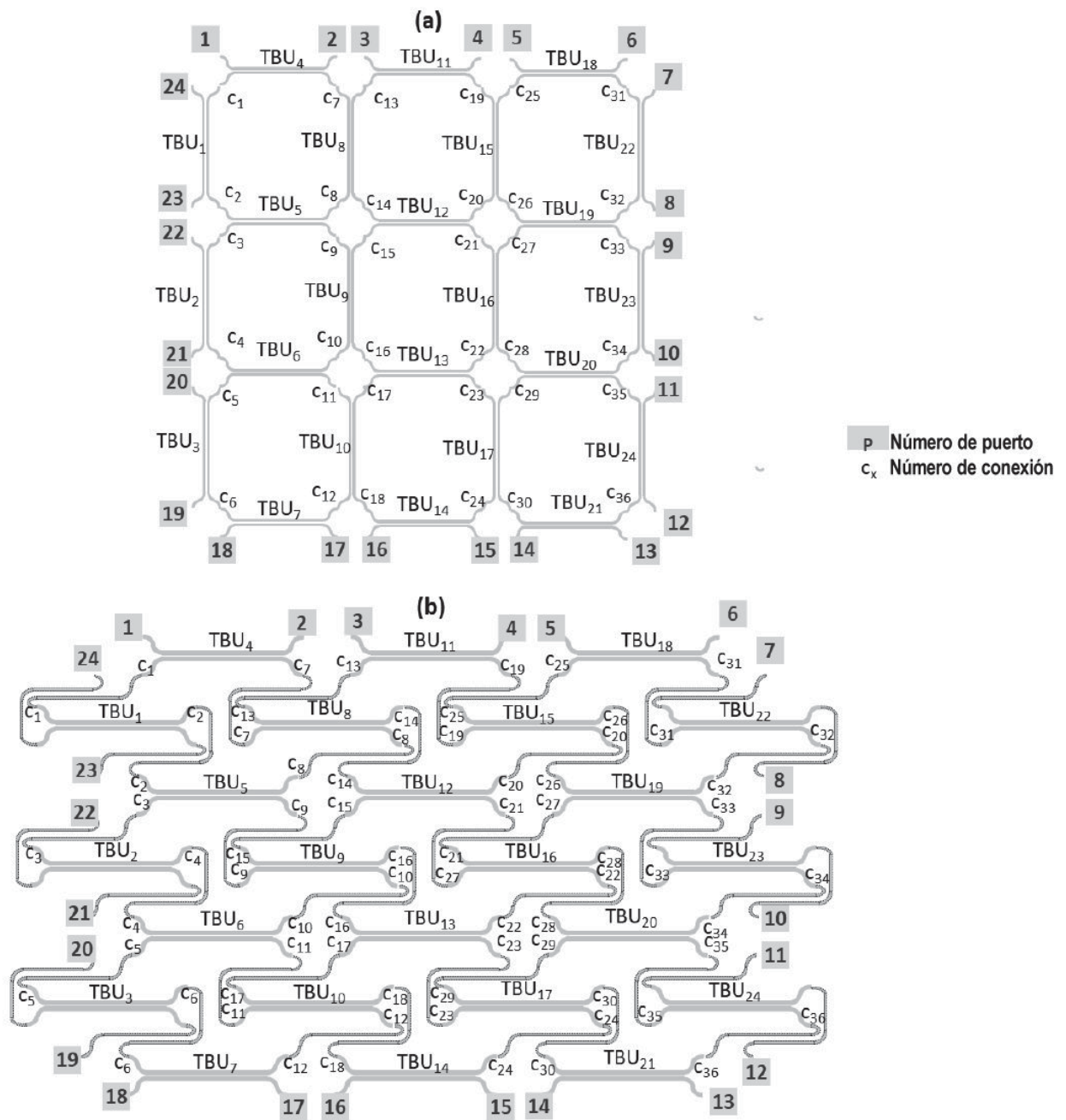


Figura 2

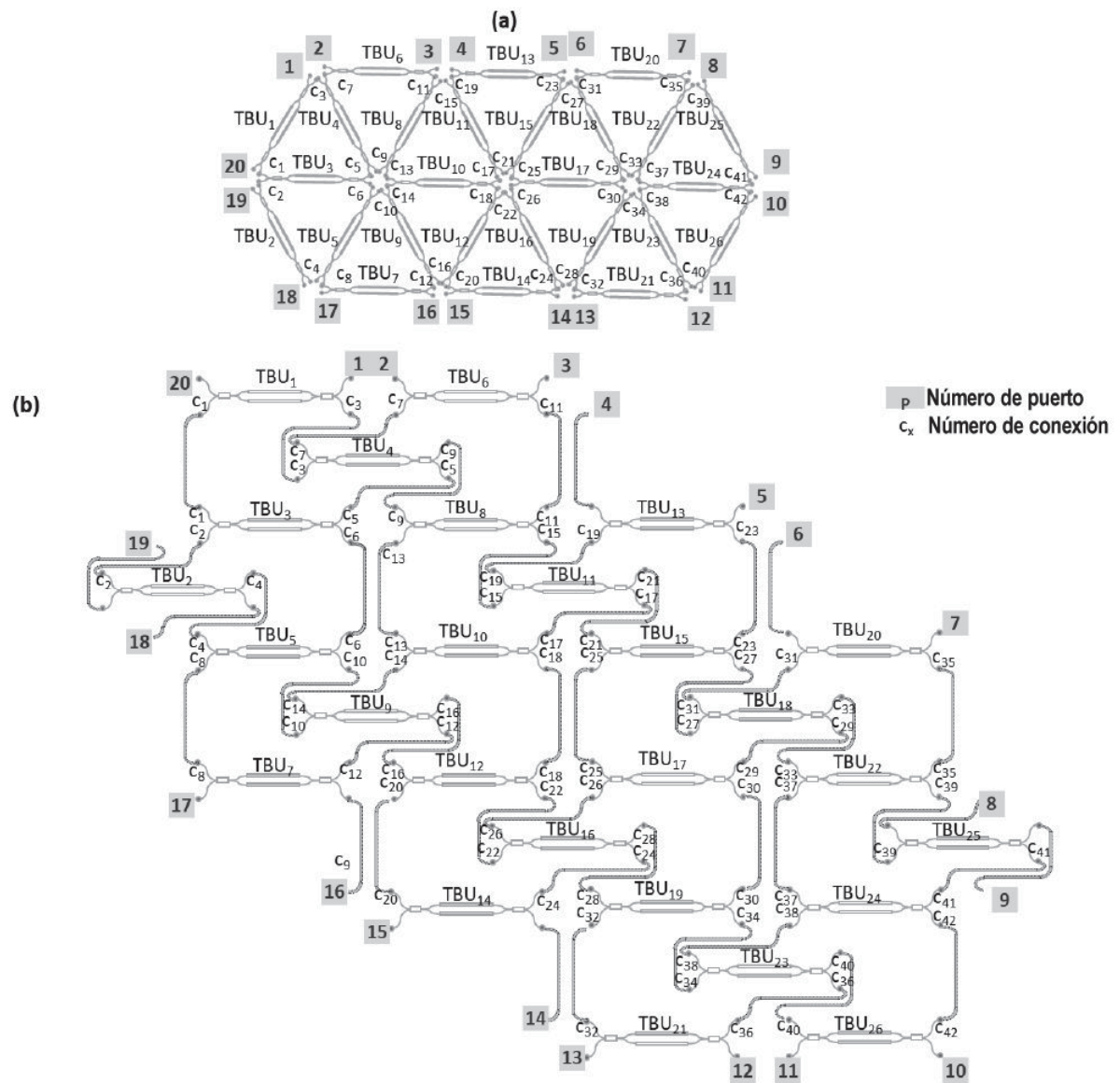


Figura 3

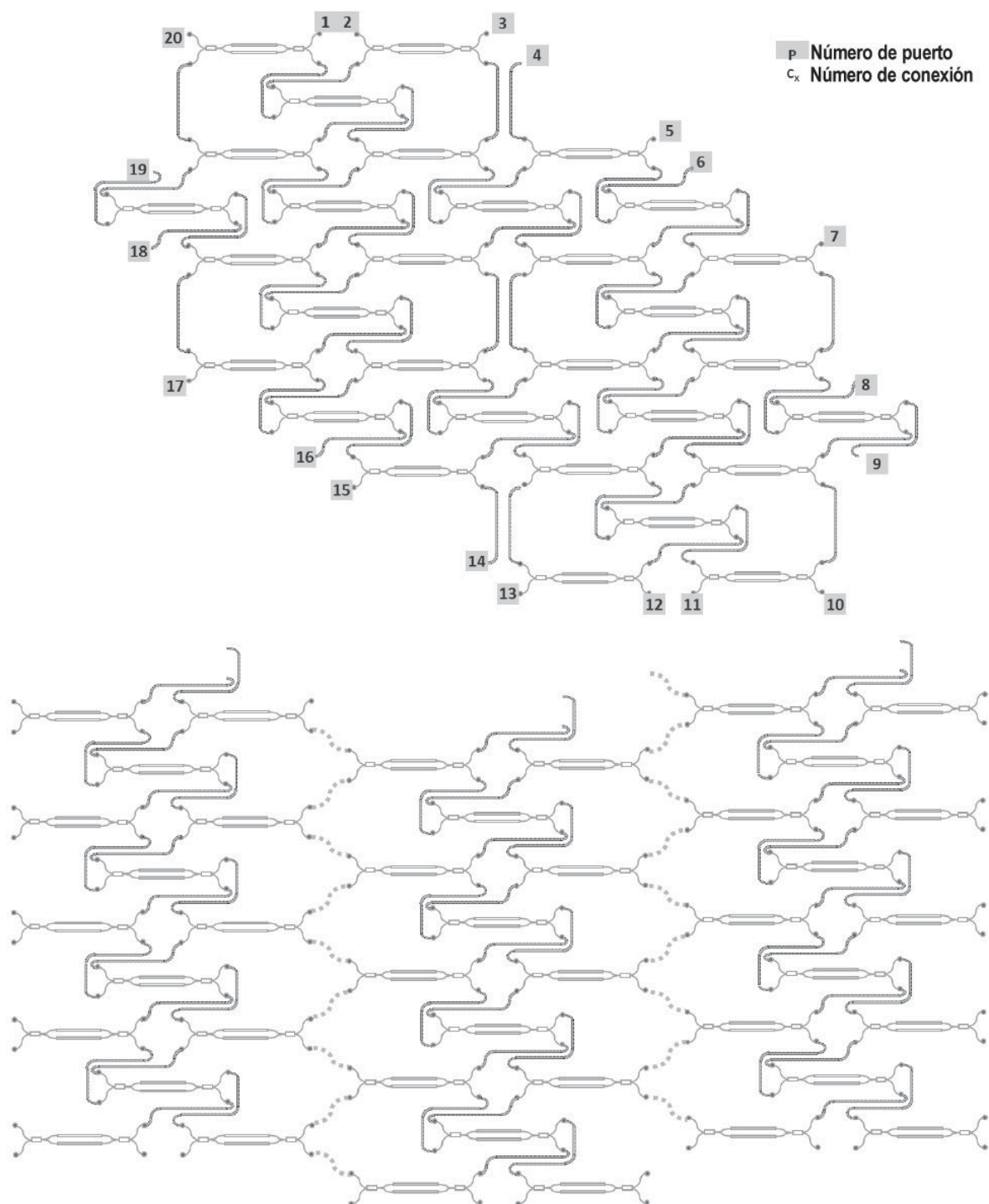


Figura 4

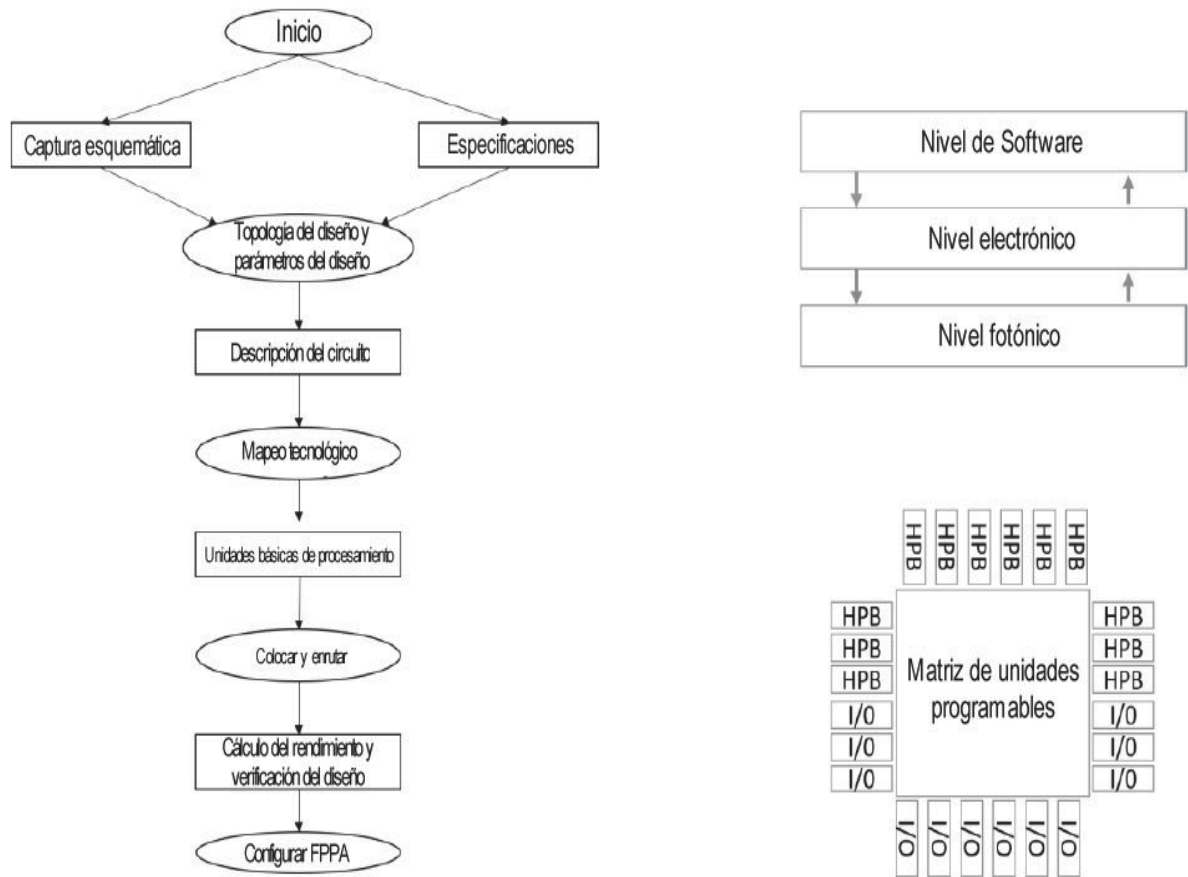


Figura 5

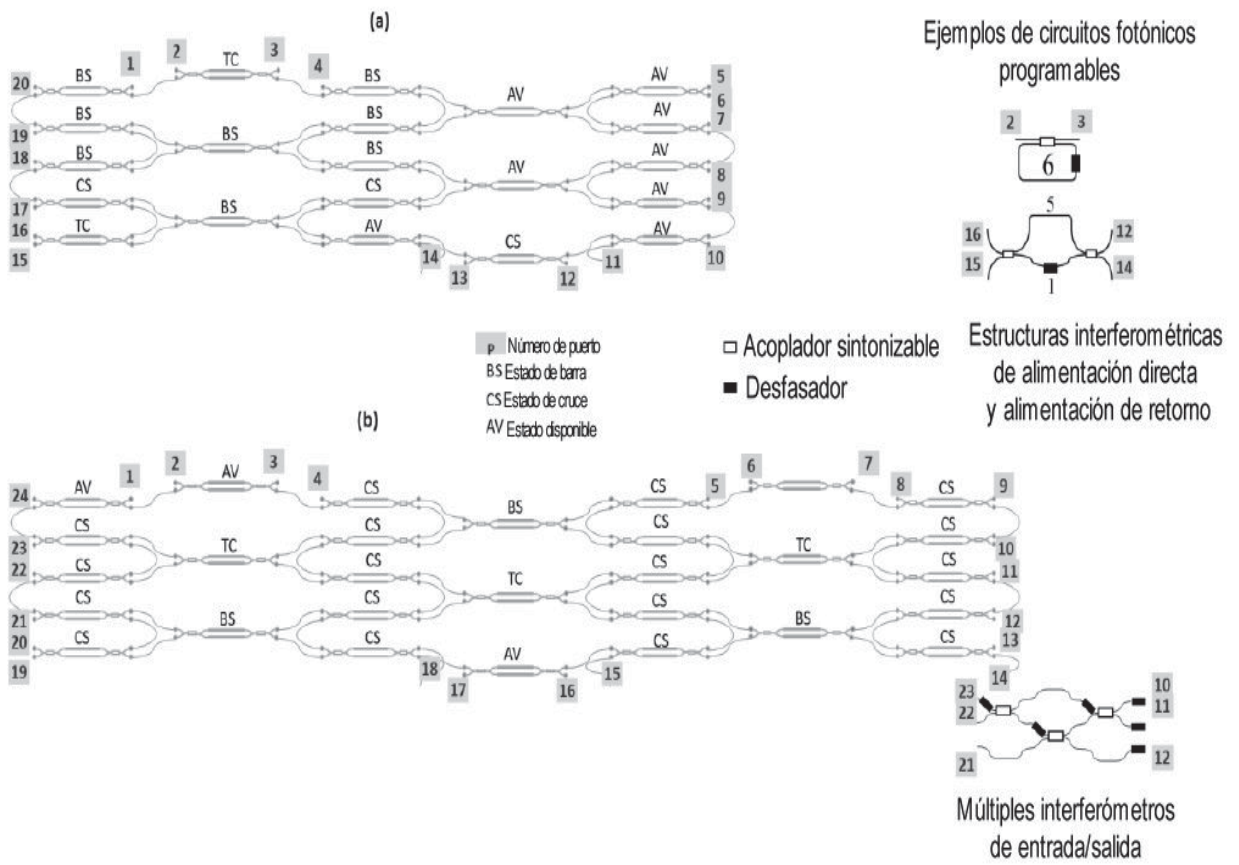


Figura 6

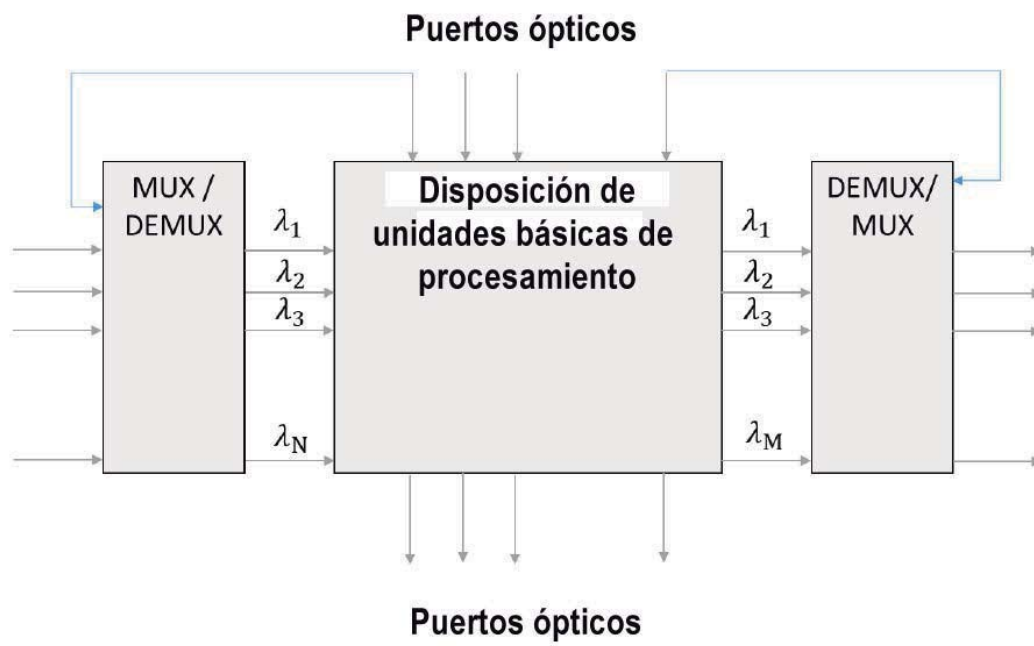


Figura 7



- ②① N.º solicitud: 201930410
②② Fecha de presentación de la solicitud: 09.05.2019
③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

⑤① Int. Cl.: **G02B6/43** (2006.01)
H03K19/14 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	⑤⑥ Documentos citados	Reivindicaciones afectadas
A	ES 2695323 A1 (UNIV VALENCIA POLITECNICA) 03/01/2019, página 1, línea 15 a página 19. línea 17; figuras 1-11g.	1-25
A	TAKAHASHI MASANORI et al. Compact and Low-Loss ZrO ₂ -SiO ₂ PLC-Based 8 $\times$ 8 Multicast Switch for CDC-ROADM Application. JOURNAL OF LIGHTWAVE TECHNOLOGY, 20160415 IEEE, USA. , 15/04/2016, Vol. 34, Páginas 1712 - 1716, XP 011609145 ISSN 0733-8724, <DOI: 10.1109/JLT.2015.2510005>	1-25
A	PEREZ DANIEL et al. Silicon RF-Photonics Processor Reconfigurable Core. 2017 European Conference on Optical Communication (ECOC), 20170917 IEEE. , 17/09/2017, Páginas 1 - 3, XP033336466 <DOI: 10.1109/ECOC.2017.8346140>	1-25
A	PEREZ DANIEL et al. Reconfigurable lattice mesh designs for programmable photonic processors and universal couplers. 2016 18th International Conference on Transparent Optical Networks (ICTON), 20160710 IEEE. , 10/07/2016, Páginas 1 - 4, XP032950075 <DOI: 10.1109/ICTON.2016.7550584>	1-25

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

☒ para todas las reivindicaciones

☐ para las reivindicaciones nº:

Fecha de realización del informe
29.10.2019

Examinador
J. Botella Maldonado

Página
1/2

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G02B, H03K

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, NPL, XPESP, XPAIP, XPI3E, INSPEC.