

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 730 746**

51 Int. Cl.:

**G11C 7/06** (2006.01)

**G11C 7/08** (2006.01)

**G11C 13/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.12.2015 E 15202605 (0)**

97 Fecha y número de publicación de la concesión europea: **13.03.2019 EP 3174054**

54 Título: **Circuito de detección para RRAM**

30 Prioridad:

**30.11.2015 US 201514953866**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**12.11.2019**

73 Titular/es:

**WINBOND ELECTRONICS CORP. (100.0%)  
No. 8 Keya 1st Rd., Daya District, Central Taiwan  
Science Park  
Taichung City, Taiwan, TW**

72 Inventor/es:

**HUANG, KOYING**

74 Agente/Representante:

**CARVAJAL Y URQUIJO, Isabel**

**ES 2 730 746 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Circuito de detección para RRAM

Antecedentes de la Invención

Campo de la invención

5 La divulgación se refiere en general a circuitos de detección para RRAM, y más particularmente se refiere a circuitos de detección para leer y escribir de manera eficiente una celda de RRAM.

Descripción de la técnica relacionada

10 Recientemente, se han propuesto nuevos dispositivos de memoria no volátil, tal como una memoria de acceso aleatorio de resistencia (RRAM). Una celda unitaria de la RRAM incluye un elemento de almacenamiento de datos que tiene dos electrodos y una capa de material resistivo variable interpuesta entre los dos electrodos. La capa de material resistivo variable, es decir, una capa de material de almacenamiento de datos, tiene una variación reversible en la resistencia de acuerdo con si se forma un filamento, una ruta conductora o una baja ruta resistiva a través de la capa de material resistivo mediante la señal eléctrica (voltaje o corriente) aplicada entre los electrodos.

15 La operación de lectura de un dispositivo de RRAM incluye dos operaciones opuestas, es decir, la operación de lectura directa y la operación de lectura inversa, y el circuito de detección del dispositivo de RRAM se debe conmutar entre la línea de bit y la línea fuente para cualquier operación de lectura. Para simplificar la operación del circuito de detección en la operación de lectura directa y la operación de lectura inversa, necesitamos un circuito de detección eficiente para leer el estado lógico de una celda de RRAM. El documento US-8-274-842 divulga el preámbulo de la reivindicación 1. Cada uno de los documentos US-2014-0254238 y US- 2005-045919 proporciona un dispositivo de memoria de acceso aleatorio resistivo que comprende una matriz de RRAM y un circuito de detección configurado para comparar una corriente de memoria que fluye a través la celda de RRAM seleccionada con una corriente de referencia para generar la señal de detección, en la que el circuito de detección se configura para bajar la corriente de memoria desde la línea de bit de datos cuando el controlador opera en una operación de lectura inversa y para obtener la corriente de memoria en la línea de bit de datos cuando el controlador funciona en la operación de lectura directa, el dispositivo de memoria se configura de tal manera que, cuando el controlador funciona en la operación de lectura inversa, la corriente de memoria fluye desde la línea de fuente hasta la línea de bit seleccionada y cuando el controlador opera en una operación de lectura directa la corriente de memoria fluye desde la línea de bit seleccionada hasta la línea de fuente.

Breve resumen de la invención

30 Para resolver los problemas anteriores, la invención proporciona un dispositivo de memoria de acceso aleatorio resistivo de acuerdo con la reivindicación 1.

Se proporciona una descripción detallada en las siguientes realizaciones con referencia a los dibujos acompañantes.

Breve descripción de los dibujos

35 La invención se puede entender más completamente al leer la descripción detallada subsiguiente y los ejemplos con referencias hechas a los dibujos acompañantes, en los que:

La Figura 1 es un diagrama de bloques de una unidad de RRAM de acuerdo con una realización de la invención;

La Figura 2 es un diagrama de bloques de una realización del modulo 23 de compilación;

La Figura 3 es un diagrama de bloques de un dispositivo de memoria de acceso aleatorio resistivo de acuerdo con otra realización de la invención;

40 La Figura 4 es un diagrama esquemático del circuito de detección en la Figura 3 de acuerdo con una realización de la invención; y

La Figura 5 es un diagrama esquemático del circuito de detección en la Figura 3 de acuerdo con otra realización de la invención.

Descripción detallada de la invención

45 La siguiente descripción es el mejor modo contemplado para llevar a cabo la invención. Esta descripción se hace con el propósito de ilustrar los principios generales de la invención y no se debe tomar en un sentido limitante. El alcance de la invención se determina mejor por referencia a las reivindicaciones adjuntas.

50 La Figura 1 es un diagrama de bloques de una unidad de RRAM de acuerdo con una realización de la invención. Como se muestra en la Figura 1, la unidad 100 de RRAM incluye el transistor 101 y la celda 102 de RRAM, que se acopla entre la línea de bit BL y la línea de fuente SL y se selecciona por la línea de palabra WL. Cuando la unidad

100 de RRAM funciona en la operación de lectura directa y la operación de configuración, se aplica un sesgo positivo a la línea de bit BL, de tal manera que la corriente de memoria fluye desde la línea de bit BL hasta la línea de fuente SL a través de la celda 102 de RRAM. Cuando la unidad 100 de RRAM funciona en la operación de lectura inversa y la operación de reinicio, se aplica un sesgo positivo a la línea de fuente SL, de tal manera que la corriente de memoria fluye desde la línea de fuente SL hasta la línea de bit BL a través de la celda 102 de RRAM.

La Figura 2 es un diagrama de bloques de un dispositivo de memoria de acceso aleatorio resistivo de acuerdo con una realización de la invención. Como se muestra en la Figura 2, el dispositivo 200 de RRAM incluye la matriz 210 de RRAM, el decodificador 220 de línea de bit, el decodificador 230 de línea de fuente, el controlador 240, y el circuito 250 de detección. La matriz 210 de RRAM incluye una pluralidad de celdas de RRAM, líneas de bit BL[0], BL[1], ..., BL[N], N líneas de fuente SL[0], SL[1], ..., SL[N], y M líneas de palabra WL[0], WL[1], ..., WL[M].

El decodificador 220 de línea de bit selecciona una de las líneas de bit BL[0], BL[1], ..., BL[N] para ser acoplada a la línea de bit de datos DBL de acuerdo con la señal de línea de bit SBL. De acuerdo con una realización de la invención, el decodificador 220 de línea de bit incluye una pluralidad de compuertas Y (no mostradas en la Figura 2), que se configuran para seleccionar una de las líneas de bit BL[0], BL[1], ..., BL[N] para ser acoplada a la línea de bit de datos DBL. El decodificador 230 de línea de fuente selecciona una de las líneas de fuente SL[0], SL[1], ..., SL[N] para ser acoplada a la línea de fuente de datos DSL de acuerdo con la señal de línea de fuente SSL.

El controlador 240 selecciona una de las líneas de palabra WL[0], WL[1], ..., WL[M] y genera la señal de línea de bit SBL y la señal de línea de fuente SSL para seleccionar una de las celdas de RRAM en la matriz 210 de RRAM. De acuerdo con una realización de la invención, cuando se selecciona la celda 211 de RRAM seleccionada, el controlador 240 selecciona la línea de palabra WL[0] y proporciona la señal de línea de bit SBL al decodificador 220 de línea de bit para acoplar la línea de bit BL[3] a la línea de bit de datos DBL y la señal de línea de fuente SSL para el decodificador 230 de línea de fuente para acoplar la línea de fuente SL[3] a la línea de fuente de datos DSL.

De acuerdo con una realización de la invención, una compuerta Y del decodificador 220 de línea de bit se enciende, de acuerdo con la señal de línea de bit SBL, para acoplar la línea de bit BL[3] a la línea de bit de datos DBL. De acuerdo con una realización de la invención, cuando la línea de bit BL[3] se acopla a la línea de bit de datos DBL, todas las líneas de bit BL[0], BL[1], ..., BL[N] excepto la línea de bit BL[3] se unen al nivel de suelo.

Después de que se selecciona la celda 211 de RRAM seleccionada, el circuito 250 de detección lee o escribe la celda 211 de RRAM seleccionada a través de la línea de bit de datos DBL para generar la señal de detección SS. El controlador 240 determina el estado del estado lógico almacenado en la celda 211 de RRAM seleccionada de acuerdo con la señal de detección SS.

De acuerdo con una realización de la invención, cuando el controlador 240 funciona en la operación de lectura directa y la operación de configuración, el circuito 250 de detección proporciona un sesgo positivo a la línea de bit de datos DBL y el nivel de suelo a la línea de fuente de datos DSL, y detecta la corriente de memoria de la celda 211 de RRAM seleccionada desde la línea de bit de datos DBL para generar la señal de detección SS. De acuerdo con otra realización de la invención, cuando el controlador 240 funciona en la operación de lectura inversa y la operación de reinicio, el circuito 250 de detección proporciona un sesgo positivo a la línea de fuente de datos DSL y el nivel de suelo a la línea de bit de datos DBL, y detecta la corriente de memoria de la celda 211 de RRAM seleccionada desde la línea de fuente de datos DSL para generar la señal de detección SS.

Debido a que el circuito 250 de detección ha detectado la corriente de memoria desde ya sea la línea de bit de datos DBL o la línea de fuente de datos DSL, la complejidad del circuito 250 de detección puede tener dos subcircuitos para detectar la corriente de memoria en cualquier dirección. Una vez el circuito 250 de detección es capaz de obtener o bajar la corriente de memoria, la complejidad y el área del circuito 250 de detección se debe reducir considerablemente.

La Figura 3 es un diagrama de bloques de un dispositivo de memoria de acceso aleatorio resistivo de acuerdo con otra realización de la invención. Como se muestra en la Figura 3, el dispositivo 300 de RRAM incluye la matriz 310 de RRAM, el decodificador 320 de línea de bit, el controlador 340, y el circuito 350 de detección. Al comparar la Figura 3 con la Figura 2, la diferencia es que las líneas de fuente SL[0], SL[1], ..., SL[N] en la Figura 3 todas se unen a la línea de fuente SL, de tal manera que el decodificador 230 de línea de fuente en la Figura 2 ya no es necesario. Por lo tanto, el circuito 350 de detección es capaz de obtener y bajar la corriente de memoria para detectar la celda 311 de RRAM seleccionada. El circuito 350 de detección se describirá en detalle en la siguiente descripción.

La Figura 4 es un diagrama esquemático del circuito de detección en la Figura 3 de acuerdo con una realización de la invención. Como se muestra en la Figura 4, el circuito 400 de detección, que se acopla a la unidad 40 de RRAM, incluye el primer espejo 410 de corriente, el primer interruptor 420, el segundo interruptor 430, el segundo espejo 440 de corriente, y el comparador 450. De acuerdo con una realización de la invención, la unidad 40 de RRAM incluye una compuerta Y del decodificador 320 de línea de bit en la Figura 3 y la celda de RRAM 100 en la Figura 1.

De acuerdo con la realización de la invención, el primer espejo 410 de corriente es un espejo de corriente de tipo P, y el segundo espejo 440 de corriente es un espejo de corriente de tipo N. De acuerdo con otra realización de la invención, el primer espejo 410 de corriente es un espejo de corriente de tipo N, y el segundo espejo 440 de

corriente es un espejo de corriente de tipo P, y la corriente 400 de detección se debe modificar de acuerdo con lo anterior. En la siguiente descripción, el primer espejo 410 de corriente se ilustra como un espejo de corriente de tipo P y el segundo espejo 440 de corriente se ilustra como un espejo de corriente de tipo N.

5 Como se muestra en la Figura 4, el primer espejo 410 de corriente, que incluye el primer transistor 411 de tipo P y el segundo transistor 412 de tipo P, copia la corriente de referencia IREF del primer nodo N1 con una primera relación de transferencia K1 al segundo nodo N2. El segundo nodo N2 se acopla a la línea de bit de datos DBL a través del primer interruptor 420 controlado por la primera señal de operación SO1.

10 De acuerdo con una realización de la invención, el primer interruptor 420 se configura para sujetar la celda de RRAM de la unidad 40 de RRAM en un nivel predeterminado cuando el controlador 340 en la Figura 3 funciona en la operación de lectura directa. De acuerdo con la realización de la invención, el nivel predeterminado es 0.2V. De acuerdo con otra realización de la invención, el primer interruptor 420 se enciende completamente cuando el controlador 340 funciona en la operación de configuración.

15 El segundo espejo 440 de corriente, que incluye el primer transistor 441 de tipo N y el segundo transistor 442 de tipo N, copia la corriente de memoria IM de la línea de bit de datos DBL con la segunda relación de transferencia K2 al segundo nodo N2. El primer transistor 441 de tipo N del segundo espejo 440 de corriente se acopla a la línea de bit de datos DBL a través del segundo interruptor 430 controlado por la segunda señal de operación SO2.

20 De acuerdo con una realización de la invención, el segundo interruptor 430 se configura para sujetar la celda de RRAM de la unidad 40 de RRAM en un nivel predeterminado cuando el controlador 340 en la Figura 3 funciona en la operación de lectura inversa. De acuerdo con la realización de la invención, el nivel predeterminado es 0.2V. De acuerdo con otra realización de la invención, el segundo interruptor 430 se enciende completamente cuando el controlador 340 funciona en la operación de reinicio.

25 Por simplicidad de explicación, la primera relación de transferencia K1 y la segunda relación de transferencia K2 son ambas 1 en la siguiente descripción. De acuerdo con otra realización de la invención, la primera relación de transferencia K1 y la segunda relación de transferencia K2 se puede diseñar adecuadamente para tener cualquier valor.

30 De acuerdo con una realización de la invención, la primera señal de operación SO1 y la segunda señal de operación SO2 se generan por el controlador 340 en la Figura 3. De acuerdo con una realización de la invención, cuando el controlador 340 funciona en la operación de lectura directa y la operación de configuración, el controlador 340 genera la primera señal de operación SO1 para ENCENDER el primer interruptor 420 y la segunda señal de operación SO2 para APAGAR el segundo interruptor 430, de tal manera que el primer espejo 410 de corriente proporciona el voltaje de suministro VCC a la unidad 40 de RRAM (es decir, se asume que la primera relación de transferencia K1 es 1).

35 De acuerdo con otra realización de la invención, cuando el controlador 340 funciona en la operación de lectura inversa y la operación de reinicio, el controlador 340 genera la primera señal de operación SO1 para APAGAR el primer interruptor 420 y la segunda señal de operación SO2 para ENCENDER el segundo interruptor 430, de tal manera que la corriente de memoria IM de la unidad 40 de RRAM se baja en el primer transistor 441 de tipo N del segundo espejo 440 de corriente. El segundo espejo 440 de corriente luego baja la corriente de memoria IM desde el segundo nodo N2 (es decir, se asume que la segunda relación de transferencia K2 es 1).

40 El comparador 450 compara el voltaje del primer nodo N1 al voltaje del segundo nodo N2 para generar la señal de detección SCM. El controlador 340 en la Figura 3 determina el estado lógico almacenado en la unidad 40 de RRAM de acuerdo con la señal de detección SCM. De acuerdo con la realización de la invención, cuando el voltaje de segundo nodo N2 excede el voltaje del primer nodo N1, la señal de detección SCM está en el estado lógico alto; cuando el voltaje del segundo nodo N2 no excede el voltaje del primer nodo N1, la señal de detección SCM está en el estado lógico bajo.

45 De acuerdo con otra realización de la invención, el comparador 350 de acuerdo con lo anterior se puede diseñar para generar la señal de detección SCM en el estado lógico alto cuando el voltaje del primer nodo N1 excede aquel del segundo nodo N2.

50 De acuerdo con una realización de la invención, cuando el controlador 340 funciona en la operación de lectura directa, el circuito 400 de detección proporciona el nivel de suelo a la línea de fuente SL (no mostrada en la Figura 4). El controlador 340 genera adicionalmente la primera señal de operación SO1 y la segunda señal de operación SO2 para ENCENDER el primer interruptor 420 y para APAGAR el segundo interruptor 430. Por lo tanto, el primer espejo 410 de corriente proporciona el voltaje de suministro VCC a la línea de bit de datos DBL, y la corriente de memoria IM fluye desde la línea de bit de datos DBL a la línea de fuente SL.

55 Una vez la corriente de memoria IM excede la corriente de referencia IREF que fluye a través del segundo transistor 412 de tipo P (es decir, se asume que la primera relación de transferencia K1 es 1), el voltaje del segundo nodo N2 se pone en bajo. El comparador 450 compara el voltaje de primer nodo N1 con el voltaje del segundo nodo N2 para generar la señal de detección SCM en el estado lógico bajo. Por lo tanto, el controlador 340 determina que el estado

lógico almacenado en la unidad 40 de RRAM está en el estado lógico bajo, debido a que la señal de detección SCM está en el estado lógico bajo.

5 Por otro lado, la corriente de memoria IM es menor que la corriente de referencia IREF, de tal manera que el voltaje del segundo nodo N2 se pone en alto y excede el voltaje del primer nodo N1. Después de comparar el voltaje del primer nodo N1 con el voltaje del segundo nodo N2 para generar la señal de detección SCM, el controlador 340 es capaz de determinar que el estado lógico almacenado en la unidad 40 de RRAM está en el estado lógico alto.

10 De acuerdo con otra realización de la invención, cuando el controlador 340 funciona en la operación de lectura inversa, el circuito 400 de detección proporciona el voltaje de suministro VCC a la línea de fuente SL (no mostrada en la Figura 4). El controlador 340 genera adicionalmente la primera señal de operación SO1 y la segunda señal de operación SO2 para APAGAR el primer interruptor 420 y para ENCENDER el segundo interruptor 430. Por lo tanto, el segundo espejo 440 de corriente baja la corriente de memoria IM desde la línea de bit de datos DBL y copia la corriente de memoria IM hasta el segundo nodo N2 (es decir, se asume que la segunda relación de transferencia K2 es 1).

15 Debido a que la dirección de corriente de la corriente de memoria IM en la operación de lectura inversa se transfiere por el segundo espejo 440 de corriente, el circuito 400 de detección es capaz de detectar el estado lógico almacenado en la unidad 40 de RRAM cuando la corriente de memoria IM fluye en cualquier dirección.

20 La Figura 5 es un diagrama esquemático del circuito de detección en la Figura 3 de acuerdo con otra realización de la invención. Como se muestra en la Figura 5, el circuito 500 de detección es idéntico al circuito 400 de detección en la Figura 4, excepto el interruptor 520 tipo N, el interruptor 530 tipo P, y el tercer interruptor 560. Al comparar la Figura 5 con La Figura 4, el primer interruptor 420 se reemplaza por el interruptor 520 tipo N, y el segundo interruptor 430 se reemplaza por el interruptor 530 tipo P. De acuerdo con otra realización de la invención, el primer interruptor 420 en la Figura 4 se reemplaza por un interruptor tipo P y el segundo interruptor 430 se reemplaza por un interruptor tipo N, cuando el primer espejo 410 de corriente es de tipo N y el segundo espejo 440 de corriente es de tipo P.

25 El tercer interruptor 560 acopla la línea de bit de datos DBL a ya sea la línea de fuente SL o el tercer nodo N3 mediante la señal de habilitación EN generada por el controlador 340 en la Figura 3. De acuerdo con una realización de la invención, cuando el controlador 340 en la Figura 3 funciona en la operación de configuración y la operación de reinicio, el controlador 340 genera la señal de habilitación EN para acoplar la línea de fuente SL a la línea de bit de datos DBL, de tal manera que la unidad 40 de RRAM se protege de cualquier desoperación.

30 De acuerdo con una realización de la invención, cuando el controlador 340 funciona en la operación de configuración, el circuito 500 de detección proporciona el nivel de suelo a la línea de fuente SL (no mostrada en la Figura 5), y la línea de bit de datos DBL se acopla inicialmente a la línea de fuente SL a través del tercer interruptor 560 controlado mediante la señal de habilitación EN.

35 Una vez que la línea de bit de datos DBL se acopla al tercer nodo N3 mediante el tercer interruptor 560 controlado mediante la señal de habilitación EN, el segundo transistor 512 de tipo P proporciona el voltaje de suministro VCC a la línea de bit de datos DBL, y el interruptor 520 tipo N se enciende completamente en lugar de sujetar el voltaje del tercer nodo N3. De acuerdo con una realización de la invención, el voltaje de la primera señal de operación SO1 se configura para ajustar el voltaje a través de la unidad 40 de RRAM.

40 Por otro lado, cuando el controlador 340 funciona en la operación de reinicio, la línea de bit de datos DBL también se acopla inicialmente a la línea de fuente SL a través del tercer interruptor 560 controlado mediante la señal de habilitación EN, y el circuito 500 de detección proporciona el voltaje de suministro VCC a la línea de fuente SL.

45 Una vez que la línea de bit de datos DBL se acopla al tercer nodo N3 mediante el tercer interruptor 560, el primer transistor de tipo N 541 acopla la línea de bit de datos DBL al suelo, y el interruptor 530 tipo P se enciende completamente en lugar de sujetar el voltaje del tercer nodo N3. De acuerdo con una realización de la invención, el voltaje de la segunda señal de operación SO2 se configura para ajustar el voltaje a través de la unidad 40 de RRAM. De acuerdo con una realización de la invención, el voltaje de suministro VCC se incrementa para proteger la unidad de RRAM de cualquier desoperación.

50 Se proponen los circuitos de detección en las Figuras 4 y 5. Debido a que el circuito de detección propuesto puede ser cualquier fuente o colector la corriente de memoria IM, no necesita que el circuito de detección cambie entre la línea de bit de datos y la línea de fuente de datos para detectar la celda de RRAM seleccionada, de tal manera que tanto la operación de lectura como la operación de escritura de un dispositivo de RRAM podría ser más eficiente con el circuito sensor propuesto. Adicionalmente, el decodificador de línea de fuente podría omitirse para reducir el área del dispositivo de RRAM.

55 Aunque la invención se ha descrito a modo de ejemplo y en términos de realización preferida, se debe entender que la invención no está limitada a los mismos. Aquellos expertos en esta tecnología pueden realizar varias modificaciones y modificaciones sin apartarse del alcance y el espíritu de esta invención. Por lo tanto, el alcance de la presente invención estará definido y protegido por las siguientes reivindicaciones y sus equivalentes.

**REIVINDICACIONES**

1. Un dispositivo (200, 300) de memoria de acceso aleatorio resistivo que comprende:

una matriz (210, 310) de RRAM que comprende:

5 una pluralidad de celdas (211, 311) de RRAM acopladas a una línea de fuente (SL) en la que cada una de las celdas de RRAM se configura para almacenar un estado lógico y se puede seleccionar mediante una línea de bit correspondiente (BL) y una línea de palabra correspondiente (WL);

10 un controlador (240, 340) configurado para seleccionar una celda de RRAM seleccionada por una señal de línea de bit (SBL) y una línea de palabra seleccionada, en el que el controlador se configura para determinar el estado lógico almacenado en la celda de RRAM seleccionada de acuerdo con una señal de detección (SS, SCM), y en el que el controlador se configura para operar en una operación de reinicio, una operación de configuración, una operación de lectura inversa y una operación de lectura directa;

un decodificador (220, 320) de línea de bit configurado para acoplar una línea de bit de datos (DBL) a la línea de bit seleccionada de acuerdo con la señal de línea de bit; y

15 un circuito (250, 350, 400, 500) de detección acoplado a la línea de bit de datos y configurado para comparar una corriente de memoria (IM) que fluye a través la celda de RRAM seleccionada con una corriente de referencia (IREF) para generar la señal de detección, en la que el circuito de detección se configura para:

- bajar la corriente de memoria desde la línea de bit de datos cuando el controlador funciona en la operación de reinicio y la operación de lectura inversa,

20 - obtener la corriente de memoria a la línea de bit de datos cuando el controlador funciona en la operación de configuración y la operación de lectura directa,

25 en el que el dispositivo de memoria de acceso aleatorio resistivo se configura de tal manera que, cuando el controlador funciona en la operación de lectura inversa, la corriente de memoria fluye desde la línea de fuente hasta la línea de bit seleccionada, y cuando el controlador funciona en la operación de lectura directa, la corriente de memoria fluye desde la línea de bit seleccionada hasta la línea de fuente en la que el circuito de detección comprende:

un primer espejo (410, 510) de corriente configurado para copiar la corriente de referencia de un primer nodo (N1) con una primera relación de transferencia a un segundo nodo (N2);

un primer interruptor (420, 520) configurado para acoplar el segundo nodo a la línea de bit de datos mediante una primera señal de operación (SO1) generada por el controlador

30 caracterizado porque el circuito de detección comprende adicionalmente

un segundo espejo (440, 540) de corriente configurado para copiar la corriente de memoria de la línea de bit de datos con una segunda relación de transferencia al segundo nodo;

35 un segundo interruptor (430, 530) configurado para acoplar el segundo espejo de corriente a la línea de bit de datos mediante una segunda señal de operación (SO2) generada mediante el controlador, el controlador y el primer y segundo interruptores que se configuran de tal manera que el primer interruptor está ENCENDIDO y el segundo interruptor está APAGADO cuando el controlador funciona en la operación de configuración y la operación de lectura directa, y el primer interruptor está APAGADO y el segundo interruptor está ENCENDIDO cuando el controlador funciona en la operación de reinicio y la operación de lectura inversa; y

40 y un comparador (450, 550) que compara un primer voltaje del primer nodo con un segundo voltaje del segundo nodo para generar la señal de detección.

45 2. El dispositivo de memoria de acceso aleatorio resistivo de la reivindicación 1, en el que el circuito de detección se configura para aplicar un voltaje de suministro a la línea de fuente cuando el controlador funciona en la operación de reinicio y la operación de lectura inversa, en el que el dispositivo de memoria de acceso aleatorio resistivo se configura de tal manera que un voltaje a través de la celda de RRAM seleccionada se sujeta adicionalmente a un nivel predeterminado cuando el controlador funciona en la operación de lectura inversa.

3. El dispositivo de memoria de acceso aleatorio resistivo de la reivindicación 2 configurado de tal manera que la línea de fuente y la línea de bit de datos se acortan en el inicio y el voltaje de suministro luego se incrementa cuando el controlador funciona en la operación de reinicio.

50 4. El dispositivo de memoria de acceso aleatorio resistivo de la reivindicación 2, en el que el circuito de detección se configura para aplicar un nivel de suelo a la línea de fuente cuando el controlador funciona en la operación de configuración y la operación de lectura directa, de tal manera que la corriente de memoria fluye desde la línea de bit

de datos hasta la línea de fuente a través de la celda de RRAM seleccionada, en la que el dispositivo de memoria de acceso aleatorio resistivo se configura de tal manera que el voltaje a través de la celda de RRAM seleccionada se sujeta adicionalmente a un nivel predeterminado cuando el controlador funciona en la operación de lectura directa.

5 El dispositivo de memoria de acceso aleatorio resistivo de la reivindicación 1, en el que el circuito de detección comprende adicionalmente: un tercer interruptor, (560) configurado para acoplar la línea de bit de datos a ya sea la línea de fuente o un tercer nodo (N3) mediante una señal de habilitación (EN) generada mediante el controlador, en la que el tercer nodo está entre el primer interruptor y el segundo interruptor, el controlador y el tercer interruptor están de tal manera que cuando el controlador funciona en la operación de configuración y la operación de reinicio, la línea de bit de datos se acopla a la línea de fuente en el inicio y luego la línea de bit de datos se acopla al tercer  
10 nodo mediante el tercer interruptor.

6. El dispositivo de memoria de acceso aleatorio resistivo de la reivindicación 5, en el que el primer interruptor se configura para sujetar el voltaje a través de la celda de RRAM seleccionada cuando el controlador funciona en la operación de lectura directa, en el que un voltaje de la primera señal de operación se configura para ajustar el voltaje a través de la celda de RRAM seleccionada.

15 7. El dispositivo de memoria de acceso aleatorio resistivo de la reivindicación 7, en el que el primer interruptor es un transistor de tipo N y el segundo interruptor es un transistor de tipo P cuando el primer espejo de corriente es un espejo de corriente de tipo P y el segundo espejo de corriente es un espejo de corriente de tipo N.

20 8. El dispositivo de memoria de acceso aleatorio resistivo de la reivindicación 7, en el que el primer interruptor es un transistor de tipo P y el segundo interruptor es un transistor de tipo N cuando el primer espejo de corriente es un espejo de corriente de tipo N y el segundo espejo de corriente es un espejo de corriente de tipo P.

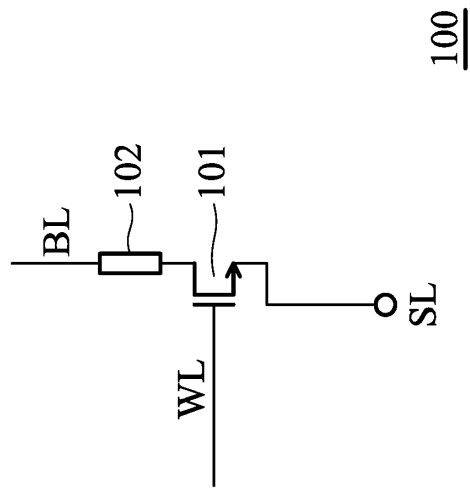


FIG. 1



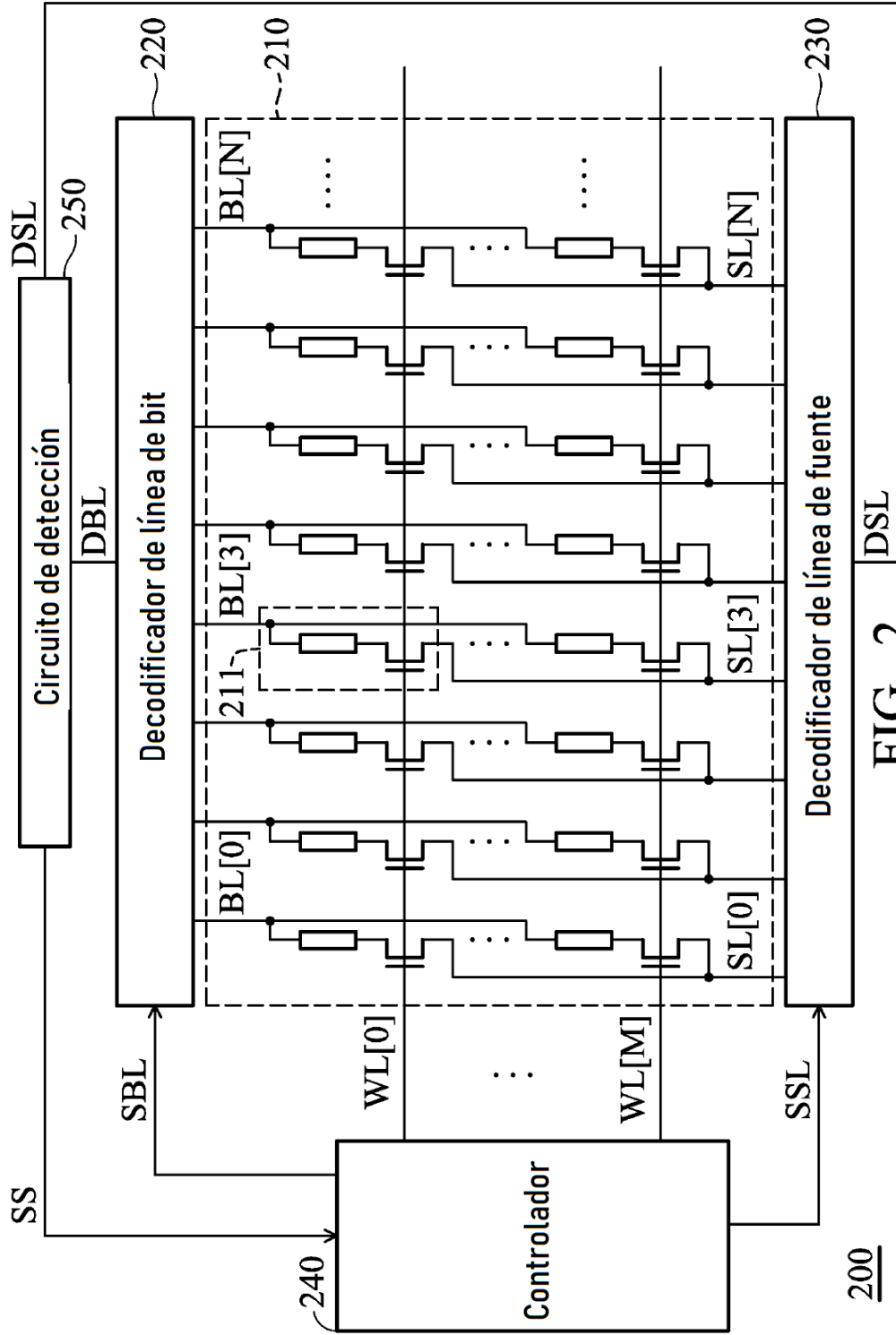


FIG. 2

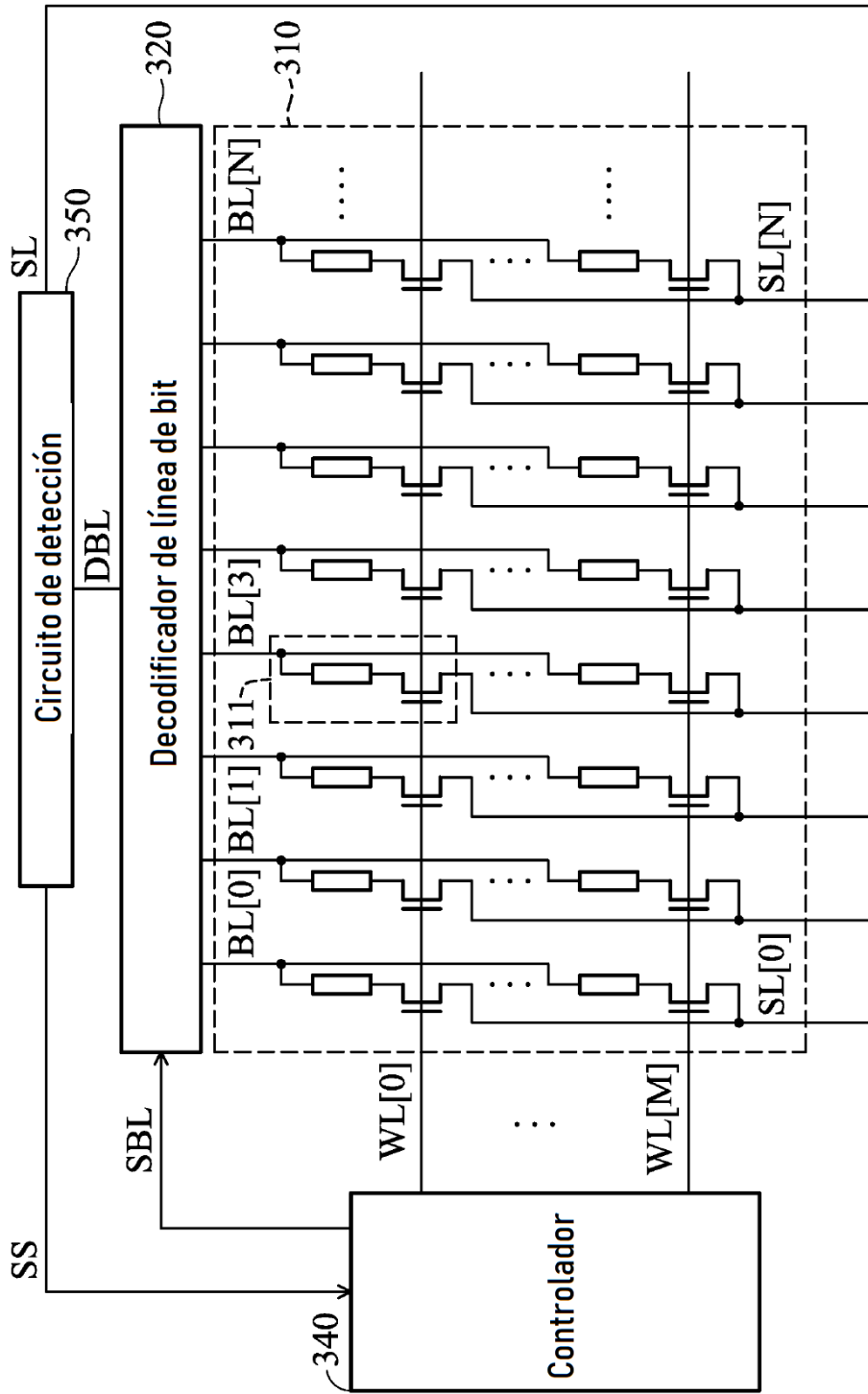


FIG. 3

300

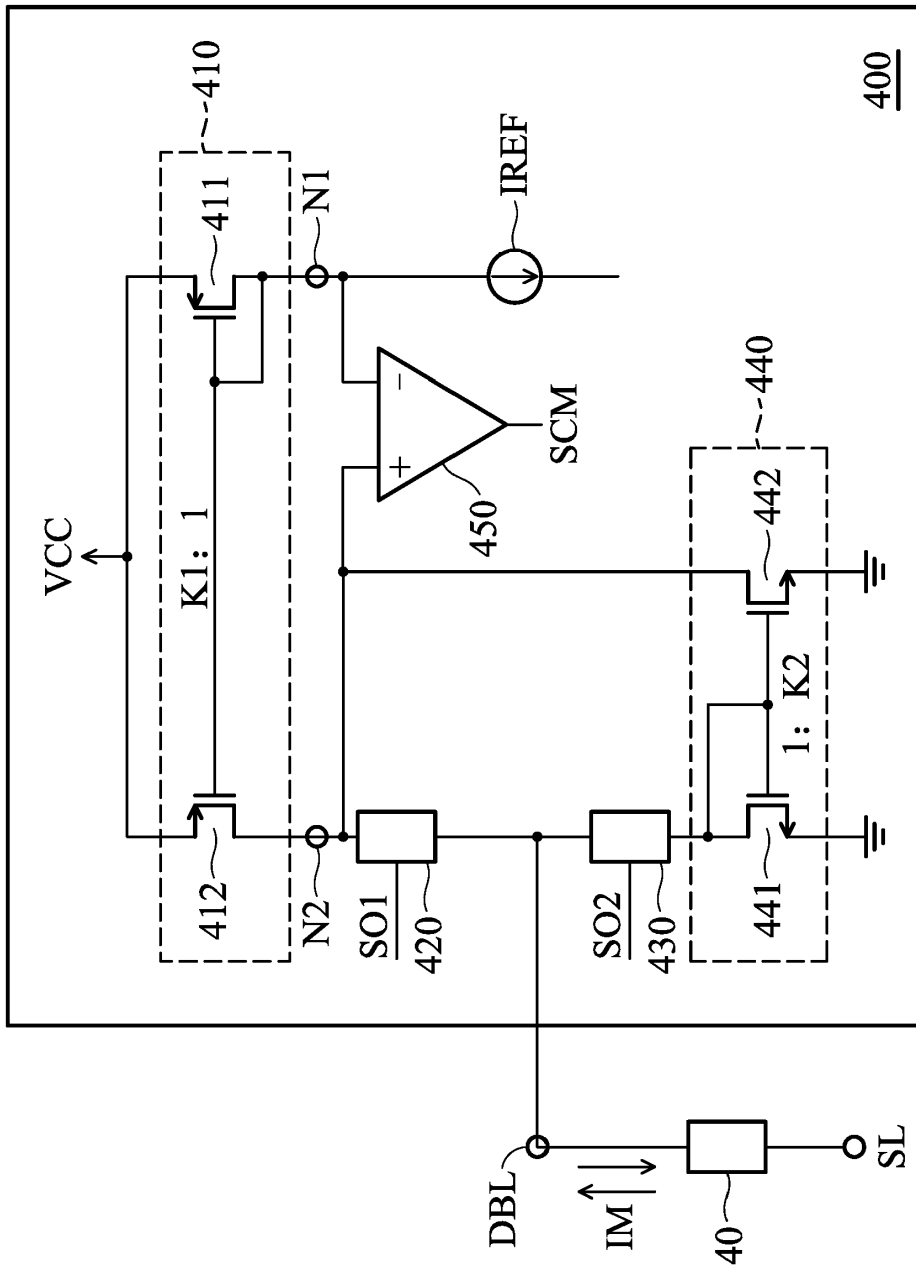
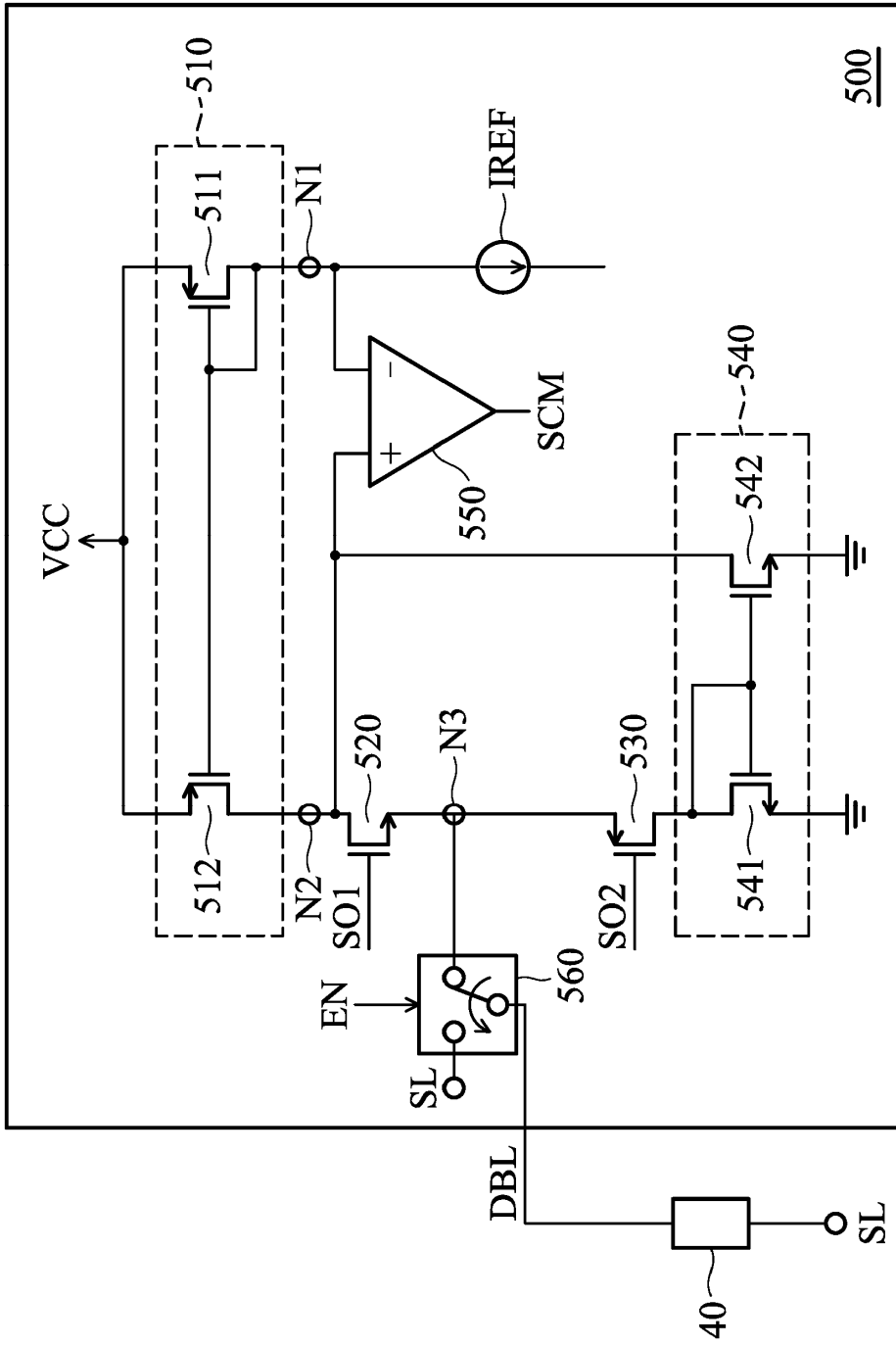


FIG. 4



500

FIG. 5