

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 733 022**

51 Int. Cl.:

**H04N 19/43** (2014.01)

**G06F 9/302** (2008.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **07.05.2007 PCT/US2007/068389**

87 Fecha y número de publicación internacional: **22.11.2007 WO07134011**

96 Fecha de presentación y número de la solicitud europea: **07.05.2007 E 07761976 (5)**

97 Fecha y número de publicación de la concesión europea: **03.04.2019 EP 2025175**

54 Título: **Instrucción para producir dos sumas independientes de diferencias absolutas**

30 Prioridad:

**10.05.2006 US 431301**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**27.11.2019**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
5775 Morehouse Drive  
San Diego, CA 92121-1714, US**

72 Inventor/es:

**ZENG, MAO y  
CODRESCU, LUCIAN**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

ES 2 733 022 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Instrucción para producir dos sumas independientes de diferencias absolutas

## 5 ANTECEDENTES

## Campo

10 [0001] Los presentes modos de realización se refieren en general a una instrucción para la producción de dos sumas independientes de diferencias absolutas.

## Antecedentes

15 [0002] En la actualidad, la estimación de movimiento es un procedimiento ampliamente utilizado para la información de vídeo de codificación/compresión. En la estimación de movimiento basada en bloques, cada trama de vídeo se divide en bloques (matrices de píxeles), como bloques de 16x16, 8x8 o 4x4 píxeles. La FIG. 1 es un diagrama conceptual de un procedimiento de estimación de movimiento. Como se muestra en la FIG. 1, para un bloque actual 110 de una trama actual 105, se realiza una búsqueda en un área de búsqueda 120 de una trama de referencia 115 (por ejemplo, la trama anterior o posterior a la trama actual) para un bloque que mejor se corresponda (en términos de valores de píxeles). Cuando el bloque 125 de mejor coincidencia se encuentra en la trama de referencia 115, un vector de movimiento 130 (que indica el desplazamiento del bloque 125 de mejor coincidencia en relación con el bloque 110 actual) y las diferencias de valor de píxel con el bloque 110 actual se utilizan para codificar el bloque actual. Este proceso se repite para cada bloque de la trama actual.

25 [0003] Las técnicas para determinar el bloque en la trama de referencia que mejor se ajusta al bloque actual típicamente utilizan un criterio (como el criterio de error absoluto medio (MAE) o de diferencia absoluta media (MAD)) que se determina utilizando las operaciones de suma de diferencias absolutas (SAD). En estas técnicas, se calcula la suma de las diferencias absolutas de los valores de píxeles entre el bloque actual y cada bloque en el área de búsqueda de la trama de referencia. Una operación SAD realizada en un bloque actual que tiene valores de píxeles  $A_i$  y un bloque de referencia que tiene valores de píxeles  $B_i$ , se puede representar mediante la ecuación:

$$\sum |A_i - B_i| = C.$$

35 [0004] Una operación SAD se realiza para cada bloque de referencia en el área de búsqueda y el bloque de referencia que tiene el valor más bajo SAD (C) se selecciona como el bloque con mejor correspondencia. Sin embargo, la gran cantidad de operaciones SAD requeridas en la estimación de movimiento es computacionalmente intensiva y puede consumir una gran cantidad de tiempo y recursos de procesamiento. Como tal, hay una necesidad de una forma eficiente de realizar operaciones SAD.

40 [0005] El documento "IA-32 Intel Architecture Software Developer's Manual Vol. 2: Instruction Set Reference" de INTEL, Vol. 2, n.º 245471-012, 2003 se relaciona con el cálculo de la suma de las diferencias absolutas para los operandos de 64 bits y para los operandos de 128 bits.

45 [0006] El documento US 2003/0005267 se refiere al cálculo de múltiples diferencias absolutas de suma empaquetada (PSAD) en respuesta a una sola instrucción.

50 [0007] El documento US 2006/0002471 A1 se refiere a una unidad de estimación de movimiento que tiene un motor de suma de diferencias absolutas (SAD) para calcular las diferencias entre un bloque de referencia de datos de píxeles de imagen actuales y ventanas de búsqueda de datos de píxeles de imagen anteriores.

## SUMARIO

55 [0008] La invención se define mediante las reivindicaciones independientes. Algunos aspectos divulgados proporcionan un procedimiento y un aparato para realizar dos operaciones SAD independientes cuando se recibe una única instrucción SAD. En algunos modos de realización, las dos operaciones SAD independientes se realizan en paralelo. Las operaciones SAD operan en valores de origen almacenados en dos registros de origen donde los dos resultados de la suma de las operaciones se cargan en un registro de destino. Cada uno del registro de origen y el registro de destino comprende un par de registros alineados, con el primer registro en el par denominado una primera sección y el segundo registro en el par denominado una segunda sección del registro de origen o destino. En algunos modos de realización, cada sección (registro) de un par de registros alineados es accesible de manera independiente, de modo que una primera operación SAD puede acceder a una primera sección (registro) del registro de origen o destino, mientras que una segunda operación SAD independiente puede simultáneamente (en paralelo) acceder a una segunda sección del registro de origen o destino.

65 [0009] La primera operación SAD se realiza sobre un primer conjunto de valores almacenados en una primera sección del primer registro de origen y un segundo conjunto de valores almacenados en una primera sección del segundo

registro de origen. A continuación, el resultado de la primera operación SAD se almacena en una primera sección del registro de destino. La segunda operación SAD se realiza en un tercer conjunto de valores almacenados en una segunda sección del primer registro de origen y un cuarto conjunto de valores almacenados en una segunda sección del segundo registro de origen. A continuación, el resultado de la segunda operación SAD se almacena en una segunda sección del registro de destino.

[0010] Los valores procesados por los dos operaciones independientes SAD son valores de píxeles de los bloques de una trama de vídeo. En algunos modos de realización, las dos operaciones SAD independientes se utilizan para la compresión de vídeo o la estimación de movimiento.

## BREVE DESCRIPCIÓN DE LOS DIBUJOS

### [0011]

La FIG. 1 es un diagrama conceptual de un procedimiento de estimación de movimiento;

la FIG. 2 muestra un diagrama conceptual de una operación SAD realizada en un bloque actual y un bloque de referencia;

la FIG. 3 muestra un diagrama conceptual del procesamiento de bloques paralelos;

la FIG. 4 muestra un diagrama conceptual de una arquitectura de ordenador en la que dos operaciones SAD independientes se realizan en paralelo;

la FIG. 5 muestra la sintaxis de instrucciones de una única instrucción SAD que produce dos resultados SAD independientes en la arquitectura de ordenador que se muestra en la FIG. 4;

la FIG. 6 muestra un diagrama conceptual de una arquitectura de ordenador alternativa donde dos operaciones SAD independientes se realizan en paralelo;

la FIG. 7 muestra la sintaxis de instrucciones de una única instrucción SAD que produce dos resultados SAD independientes en la arquitectura de ordenador alternativa que se muestra en la FIG. 6;

la FIG. 8 es una tabla que muestra la codificación y la intrínseca de compilador que se puede usar para implementar una instrucción SAD en hardware;

la FIG. 9 es un diagrama de flujo de un procedimiento para realizar dos operaciones SAD independientes en paralelo usando dos registros de origen y un registro de destino; y

la FIG. 10 muestra un diagrama conceptual de una arquitectura de ordenador general utilizada en algunos modos de realización.

## DESCRIPCIÓN DETALLADA

[0012] La expresión "a modo de ejemplo" se usa en el presente documento para significar "que sirve de ejemplo, caso o ilustración". No debe interpretarse necesariamente que cualquier modo de realización descrito en el presente documento como "a modo de ejemplo" sea preferente o ventajoso con respecto a otros modos de realización.

[0013] La FIG. 2 muestra un diagrama conceptual de una operación SAD realizada en un bloque actual 205 de una trama actual y un bloque 210 de referencia de una trama de referencia. En el ejemplo de la FIG. 2, un bloque de una trama comprende una matriz de 4x4 píxeles, con cada píxel que comprende un valor de píxel de 1 byte. En otros modos de realización, un bloque comprende una matriz de píxeles de diferente tamaño, con cada píxel que comprende un valor de píxel de diferente tamaño.

[0014] Como se muestra en la FIG. 2, el bloque actual 205 comprende una pluralidad de píxeles A0-A15 y el bloque de referencia 210 comprende una pluralidad de píxeles B0-B15. Una operación SAD realizada en los bloques de referencia y actual determina primero una diferencia entre los valores de píxeles de los píxeles correspondientes de los bloques actual y de referencia 205 y 210 (es decir, A0-B0, A1-B1, A2-B2, ... A15-B15). A continuación, la operación SAD determina un conjunto de diferencias absolutas que comprenden las diferencias absolutas entre los valores de píxeles de los píxeles correspondientes de los bloques actuales y de referencia 205 y 210 (es decir, |A0-B0|, |A1-B1|, |A2-B2|, ... |A15-B15|). Finalmente, la operación SAD determina la suma del conjunto de diferencias absolutas (es decir, |A0-B0| + |A1-B1| + |A2-B2| ... + |A15-B15|).

[0015] Como se usa en el presente documento, una operación SAD se realiza en un primer conjunto de valores que comprende al menos dos valores (por ejemplo, valores de píxeles A0 y A1) y un segundo conjunto de valores que comprende al menos dos valores (por ejemplo, valores de píxeles B0 y B1), con la operación SAD que determina un

conjunto de diferencias absolutas que comprende al menos dos diferencias absolutas entre valores particulares del primer y segundo conjunto de valores (por ejemplo,  $|A0-B0|$  y  $|A1-B1|$ ) y una suma del conjunto de al menos dos diferencias absolutas (por ejemplo,  $|A0-B0| + |A1-B1|$ ). En algunos modos de realización, cada uno del primer y segundo conjuntos de valores comprende más de dos valores (por ejemplo, valores de píxeles A0-A15 y B0-B15). Una operación SAD realizada en un primer conjunto de valores  $A_i$  y un segundo conjunto de valores  $B_i$  se puede representar mediante la ecuación:

$$\sum |A_i - B_i| = C$$

donde C representa el resultado (es decir, el valor producido) de la operación SAD.

**[0016]** Una operación SAD realizada para la estimación de movimiento se implementa típicamente a través de software o hardware (por ejemplo, una unidad de procesamiento central, un microprocesador, procesador de señal digital, o similares). Dependiendo de cómo esté configurado el software o hardware para comparar un bloque actual con una pluralidad de bloques de referencia utilizando operaciones SAD, la comparación de bloques se puede hacer en serie o en paralelo. En la comparación de bloques en serie, los píxeles de un bloque actual se comparan con todos los píxeles correspondientes de un primer bloque de referencia antes de que empiecen las comparaciones con cualquier píxel de un segundo bloque de referencia.

**[0017]** Un ejemplo de una comparación de bloque serie se ilustra en la FIG. 2 donde todos los valores de píxeles (A0-A15) del bloque actual 205 se comparan con todos los valores de píxeles (B0-B15) del bloque de referencia 210 antes de que comience la comparación con los valores de píxeles de otro bloque de referencia. Los valores de píxeles (A0-A15) del bloque actual 205 y los valores de píxeles (B0-B15) del bloque de referencia 210 se cargan desde la memoria a los registros para completar el procesamiento del bloque de referencia antes de que se carguen los valores de píxeles de otro bloque de referencia desde la memoria a los registros (aunque normalmente se necesitarían dos o más ciclos de carga dependiendo del tamaño de los registros).

**[0018]** En otros modos de realización, se puede realizar una comparación de bloques paralelos mediante la cual un primer subconjunto de píxeles (por ejemplo, primera fila de píxeles) de un bloque actual se compara con un correspondiente subconjunto de píxeles (por ejemplo, primera fila de píxeles) de un primer bloque de referencia y también se compara simultáneamente con un subconjunto de píxeles correspondiente (por ejemplo, la primera fila de píxeles) de un segundo bloque de referencia. A continuación, un siguiente subconjunto de píxeles (por ejemplo, la segunda fila de píxeles) del bloque actual se compara con el siguiente subconjunto de píxeles (por ejemplo, la segunda fila de píxeles) del primer bloque de referencia y también se compara simultáneamente con un correspondiente siguiente subconjunto de píxeles (p. ej., segunda fila de píxeles) de un segundo bloque de referencia, y así sucesivamente hasta que se procesa cada píxel de los bloques de referencia actual y primero y segundo. Por lo tanto, en la comparación de bloques paralelos, se puede realizar una comparación entre un bloque actual y dos o más bloques de referencia en paralelo. Tenga en cuenta que en la comparación de bloques en paralelo, los tiempos de recuperación de datos pueden reducirse ya que hay menos recuperación de datos de la memoria. Por ejemplo, los valores A0-A3 se recuperan una vez y se usan en dos operaciones SAD (mientras que en la comparación de bloques en serie, los valores A0-A7 se recuperan, lo cual requiere un tiempo de recuperación más largo).

**[0019]** La FIG. 3 muestra un diagrama conceptual del procesamiento de bloques paralelos donde se realiza una primera operación SAD en una primera fila 305 (que comprende los píxeles A0-A3) de un bloque actual, y una primera fila 310 (que comprende los píxeles B0-B3) de un primer bloque de referencia, y se realiza una segunda operación SAD en una primera fila del bloque actual 305 y una primera fila 315 (que comprende los píxeles C0-C3) de un segundo bloque de referencia. En algunos modos de realización, las operaciones SAD primera y segunda se realizan en paralelo. En el ejemplo de la FIG. 3, un bloque de una trama comprende una matriz de 4x4 píxeles, con cada fila de la matriz que comprende 4 píxeles, con cada píxel que comprende un valor de píxel de 1 byte. En otros modos de realización, un bloque comprende una matriz de píxeles de diferente tamaño, con cada fila de la matriz que comprende un número diferente de píxeles, con cada píxel que comprende un valor de píxel de diferente tamaño.

**[0020]** Los valores de píxeles (A0-A3) del bloque actual 205 y los valores de píxeles (B0-B3 y C0-C3) del primer y segundo bloques de referencia se cargan típicamente en registros para su procesamiento. La primera operación SAD realizada en la primera fila 305 del bloque actual y la primera fila 310 (que comprende los píxeles B0-B3) del primer bloque de referencia comprende la determinación de las diferencias absolutas entre los píxeles correspondientes (es decir,  $|A0-B0|$ ,  $|A1-B1|$ ,  $|A2-B2|$ , y  $|A3-B3|$ ) y la suma de las diferencias absolutas (es decir,  $|A0-B0| + |A1-B1| + |A2-B2| + |A3-B3|$ ). La segunda operación SAD realizada en la primera fila 305 del bloque actual y la primera fila 315 (que comprende los píxeles C0-C3) del segundo bloque de referencia comprende la determinación de las diferencias absolutas entre los píxeles correspondientes (es decir,  $|A0-C0|$ ,  $|A1-C1|$ ,  $|A2-C2|$ , y  $|A3-C3|$ ) y la suma de las diferencias absolutas (es decir,  $|A0-C0| + |A1-C1| + |A2-C2| + |A3-C3|$ ). A continuación, las operaciones SAD tercera y cuarta se realizarían en la segunda fila de píxeles para los bloques de referencia actual y primero y segundo, y así sucesivamente hasta que se procesen todos los píxeles del bloque actual.

**[0021]** Con independencia de si un bloque actual se compara con bloques de referencia en serie o en paralelo utilizando operaciones SAD, la estimación de movimiento se puede optimizar si las operaciones SAD se pueden

realizar de manera eficiente con un uso reducido del tiempo de procesamiento y los recursos. En algunos modos de realización, dos operaciones SAD independientes se realizan en paralelo utilizando un registro de destino para almacenar los resultados de las dos operaciones SAD independientes. En algunos modos de realización, se usa una sola instrucción para especificar las dos operaciones SAD independientes, donde la ejecución de la instrucción única produce dos resultados SAD independientes.

[0022] La FIG. 4 muestra un diagrama conceptual de una arquitectura de ordenador 400 donde dos operaciones SAD independientes 401 y 402 se realizan en paralelo utilizando dos registros de origen y un registro de destino. Tenga en cuenta que la FIG. 4 es solo para fines ilustrativos e ilustra pasos separados de una operación SAD. En otros modos de realización, una operación SAD no se ejecuta con una pluralidad de pasos (como se muestra en la FIG. 4), sino que se ejecuta en un solo paso. Como se muestra en la FIG. 4, las dos operaciones SAD 401 y 402 se realizan en los valores X0-X7 cargados en un primer registro de origen Rss 405 y los valores Y0-Y7 cargados en un segundo registro de origen Rtt 410. Como se menciona en el presente documento, los valores de entrada (por ejemplo, X0-X7 e Y0-Y7) procesados por una operación SAD se denominan valores de origen. Cada valor en un registro de origen tiene un orden o posición particular (un primer valor, un segundo valor, etc.) en relación con los otros valores en el registro de origen. Un valor particular en el primer registro de origen y un valor particular en el segundo registro de origen se consideran "valores correspondientes" si tienen el mismo orden o posición en el primer y el segundo registros de origen. Por ejemplo, un primer valor en el primer registro de origen y un primer valor en el segundo registro de origen son valores correspondientes. Los resultados de las dos operaciones SAD 401 y 402 se cargan en un registro de destino Rdd 425.

[0023] Las operaciones SAD 401 y 402 se pueden utilizar en el procesamiento de bloque de serie (por ejemplo, donde los valores X0-X7 son iguales a los valores A0-A7 y los valores Y0-Y7 son iguales a los valores de B0-B7 de la FIG. 2). Las operaciones SAD 401 y 402 también pueden usarse en el procesamiento de bloques en paralelo (por ejemplo, cuando los valores X0-X3 son iguales a los valores A0-A3, los valores X4-X7 también son iguales a los valores A0-A3, los valores Y0-Y3 son iguales a los valores C0-C3 y los valores Y4-Y7 son iguales a los valores B0-B3 de la FIG. 3). En otros modos de realización, las operaciones SAD 401 y 402 se usan en otros tipos de procesamiento. En algunos modos de realización, las operaciones SAD 401 y 402 operan en valores que comprenden dos vectores y producen un resultado de valor escalar.

[0024] La primera operación SAD 401 se realiza sobre un primer conjunto de valores X0-X3 almacenados en una primera sección del primer registro de origen Rss 405 y un segundo conjunto de valores Y0-Y3 almacenados en una primera sección del segundo registro de origen Rtt 410. La primera operación SAD 401 comprende determinar un primer conjunto de diferencias absolutas que comprenden las diferencias absolutas entre los valores correspondientes en el primer y segundo conjunto de valores almacenados en las primeras secciones de los registros de origen primero y segundo (es decir,  $|X0-Y0|$ ,  $|X1-Y1|$ ,  $|X2-Y2|$ , y  $|X3-Y3|$ ) y sumar el primer conjunto de diferencias absolutas (es decir,  $|X0-Y0| + |X1-Y1| + |X2-Y2| + |X3-Y3|$ ). La suma resultante de la primera operación SAD 401 se almacena en una primera sección (W0) del registro de destino Rdd 425.

[0025] La segunda operación SAD 402 se realiza en un tercer conjunto de valores X4-X7 almacenados en una segunda sección del primer registro de origen Rss 405 y un cuarto conjunto de valores Y4-Y7 se almacena en una segunda sección del segundo registro de origen Rtt 410. La segunda operación SAD 402 comprende determinar un segundo conjunto de diferencias absolutas que comprenden las diferencias absolutas entre los valores correspondientes en el tercer y cuarto conjunto de valores almacenados en las segundas secciones de los registros de origen primero y segundo (es decir,  $|X4-Y4|$ ,  $|X5-Y5|$ ,  $|X6-Y6|$ , y  $|X7-Y7|$ ) y sumar el segundo conjunto de diferencias absolutas (es decir,  $|X4-Y4| + |X5-Y5| + |X6-Y6| + |X7-Y7|$ ). La suma resultante de la segunda operación SAD 402 se almacena en una segunda sección (W1) del registro de destino Rdd 425.

[0026] En algunos modos de realización, las etapas de procesamiento ilustradas en la FIG. 4 son implementadas por una unidad de ejecución que tiene componentes (como unidades lógicas aritméticas) configurados para realizar los pasos de procesamiento descritos anteriormente. Por ejemplo, una pluralidad de componentes 415 de AD puede configurarse para realizar operaciones de diferencia absoluta (AD) y una pluralidad de componentes 420 de Add puede configurarse para realizar operaciones de suma. En otros modos de realización, los pasos de procesamiento ilustrados en la FIG. 4 son implementados por una unidad de ejecución contenida dentro de una unidad lógica aritmética.

[0027] En algunos modos de realización, la arquitectura de los registros utilizados por la unidad de ejecución para realizar operaciones es tal que se puede acceder a uno o más registros como registros individuales o como pares de registros alineados. Por ejemplo, los registros pueden comprender una pluralidad de registros de 32 bits a los que se puede acceder como registros únicos o como pares de registros de 64 bits alineados, de modo que una instrucción pueda operar en valores de 32 bits o de 64 bits. En algunos modos de realización, cada uno del registro de origen y el registro de destino (Rss, Rtt y Rdd) comprende un par de registros alineados, con el primer registro en el par denominado una primera sección y el segundo registro en el par denominado una segunda sección del registro de origen o destino. En algunos modos de realización, cada sección (registro) de un par de registros alineados es accesible de manera independiente, de modo que una primera operación SAD puede acceder a una primera sección (por ejemplo, para recuperar y procesar valores almacenados en la primera sección o cargar valores a la primera sección) del registro de origen o destino, mientras que una segunda operación SAD independiente puede acceder

simultáneamente (en paralelo) a una segunda sección (por ejemplo, para recuperar y procesar los valores almacenados en la primera sección o cargar los valores en la segunda sección) del registro de origen o destino. En algunos modos de realización, la primera operación SAD accede/usa una primera sección de dos registros de origen y un registro de destino y la segunda operación SAD accede/usa una segunda sección de los dos registros de origen y el registro de destino, la primera y segunda secciones de cada uno registrarse siendo accesible de forma independiente.

**[0028]** Por ejemplo, supongamos que cada valor (X0-X7 y Y0-Y7) en el primer y el segundo registros de origen Rss y Rtt comprende 1 byte de modo que el primer y el segundo registros de origen Rss y Rtt son pares de registros alineados de 64 bits (palabra doble) y cada componente Add 420 es un sumador de 32 bits. Como tal, la primera operación SAD accede a los valores X0-X3 almacenados en una primera sección/registro de 32 bits (palabra única) del primer registro de origen Rss y accede a los valores Y0-Y3 almacenados en una primera sección/registro de 32 bits (palabra única) del segundo registro de origen Rtt. Además, la segunda operación SAD accede simultáneamente a los valores X4-X7 almacenados en una segunda sección/registro de 32 bits del primer registro de origen Rss y accede a los valores Y4-Y7 almacenados en una segunda sección/registro de 32 bits del segundo registro de origen Rtt. El registro de destino Rdd sería un par de registros alineados de 64 bits (palabra doble). La suma de los resultados de la primera operación SAD se almacena en una primera sección/registro de 32 bits ("W0" para la palabra 0) y la suma de los resultados de la segunda operación SAD se almacena en una segunda sección/registro de 32 bits ("W1" para la palabra 1) del registro de destino Rdd.

**[0029]** En algunos modos de realización, las dos operaciones independientes SAD ilustradas en la **FIG. 4** se especifican por una sola instrucción SAD. La **FIG. 5** muestra la sintaxis de instrucciones 505 de una única instrucción SAD que produce dos resultados SAD independientes en la arquitectura de ordenador 400 que se muestra en la **FIG. 4**. La **FIG. 5** también muestra los pasos resultantes / comportamiento 540 causados cuando se recibe y ejecuta la única instrucción SAD (por ejemplo, mediante una unidad de ejecución de un procesador).

**[0030]** La sintaxis de instrucciones 505 incluye un identificador de instrucciones 510 (por ejemplo, "sad") que especifica una operación SAD. La sintaxis de instrucciones 505 también incluye un identificador de registro de destino 515 (por ejemplo, Rdd) que identifica el registro donde se almacenan los dos resultados SAD independientes y dos identificadores de registro de origen 520 (por ejemplo, Rss y Rtt) que identifican dos registros donde se almacenan los valores de origen a ser procesados por las dos operaciones SAD. En algunos modos de realización, la sintaxis de instrucciones 505 puede incluir además identificadores que caracterizan los valores de origen (entradas) o los valores producidos (salida) de las operaciones SAD. Por ejemplo, "vr" (para "vector reducido") se puede usar para indicar que los valores de origen comprenden dos vectores y el resultado producido es un valor escalar. Como un ejemplo adicional, se puede usar "ub" (para "byte sin signo") para indicar que los valores de origen comprenden valores de byte sin signo.

**[0031]** Los procesos causados por la ejecución de la instrucción individual SAD se describen en la sección de pasos resultantes / comportamiento 510 de la **FIG. 5**. Los pasos resultantes incluyen la inicialización del registro de destino (Rdd = 0), un primer conjunto de pasos 545 para procesar valores almacenados en una primera sección de los registros de origen, y un segundo conjunto de pasos 550 para procesar valores almacenados en una segunda sección de los registros de origen. Cada uno del primer y el segundo conjuntos de pasos de procesamiento incluye una operación de diferencia absoluta 565, una suma de las diferencias absolutas en un registro de destino 560 y la repetición de las operaciones 555 (para un número particular de iteraciones). En algunos modos de realización, el primer y el segundo conjuntos de pasos de procesamiento se realizan en paralelo.

**[0032]** Por ejemplo, el primer conjunto de pasos de procesamiento 545 incluye la determinación de la diferencia absoluta de los valores almacenados en una primera sección (en bytes 0 a 3) de los registros de origen Rss y Rtt ("ABS((Rss.ub[i] - Rtt.ub[i])")", la suma de las diferencias absolutas en una primera sección (W0) del registro de destino ("Rdd.w[0] = (Rdd.w[0] + ABS((Rss.ub[i] - Rtt.ub[i])))"), y la repetición de las operaciones para un número particular de iteraciones ("for i = 0; i < 4; i++"). El segundo conjunto de pasos de procesamiento 550 incluye la determinación de la diferencia absoluta de valores almacenados en una segunda sección (en los bytes 4 a 7) de los registros de origen Rss y Rtt ("ABS((Rss.ub[i] - Rtt.ub[i])")", la suma de las diferencias absolutas en una segunda sección (W1) del registro de destino ("Rdd.w[1] = (Rdd.w[1] + ABS((Rss.ub[i] - Rtt.ub[i])))") y la repetición de las operaciones para un número particular de iteraciones ("for i = 4; i < 8; i ++").

**[0033]** La **FIG. 6** muestra un diagrama conceptual de una arquitectura de ordenador alternativa 600 donde dos operaciones SAD independientes se realizan en paralelo utilizando dos registros de origen Rss y Rtt y un registro de destino Rdd. Tenga en cuenta que la **FIG. 6** es solo para fines ilustrativos e ilustra pasos separados de una operación SAD. En otros modos de realización, una operación SAD no se ejecuta con una pluralidad de pasos (como se muestra en la **FIG. 6**), sino que se ejecuta en un solo paso.

**[0034]** La arquitectura de ordenador alternativa 600 es similar a la arquitectura de ordenador 400 de la **FIG. 4**, excepto que la arquitectura de ordenadores alternativa 600 incluye un bucle de acumulación 605 para cada operación SAD. El bucle de acumulación 605 permite la acumulación de los resultados de la suma de dos o más operaciones SAD en una sección particular del registro de destino Rdd. Por ejemplo, suponga que se realiza una primera operación SAD

en los valores de origen en las primeras secciones de los dos registros de origen que producen un primer resultado de suma que se almacena en la primera sección del registro de destino. A continuación, se cargan nuevos valores de origen en las primeras secciones de los dos registros de origen y se realiza una segunda operación SAD en los nuevos valores de origen para producir un segundo resultado de suma. El bucle de acumulación 605 permite que el resultado de la segunda suma se acumule/sume al resultado de la primera suma que se almacena en la primera sección del registro de destino. A continuación, la suma acumulada (primera suma + segunda suma) se almacena de nuevo en la misma primera sección del registro de destino. Tenga en cuenta que los componentes Add 420 en la arquitectura de ordenador alternativa 600 también reciben una entrada del registro de destino Rdd.

**[0035]** Como tal, mediante el uso del bucle de acumulación 605, un resultado de suma actual de una operación SAD actual se puede sumar/acumular a uno o más resultados de suma (que comprenden típicamente valores distintos de cero) anteriores de una o más operaciones SAD anteriores. En algunos modos de realización, el resultado de la suma de una operación SAD actual se suma/acumula a un valor distinto de cero en una sección particular del registro de destino (el valor distinto de cero que comprende uno o más resultados de suma anteriores de una o más operaciones SAD anteriores), donde la suma acumulada (suma actual + una o más sumas anteriores) se almacena de nuevo en la misma sección del registro de destino.

**[0036]** La **FIG. 7** muestra la sintaxis de instrucciones 705 de una única instrucción SAD que produce los dos resultados SAD independientes en la arquitectura de ordenador alternativa 600 que se muestra en la **FIG. 6**. La **FIG. 7** también muestra los pasos resultantes / comportamiento 740 causados cuando se recibe y ejecuta la única instrucción SAD (por ejemplo, mediante una unidad de ejecución de un procesador). Tenga en cuenta que en la sintaxis de instrucciones 705 para la arquitectura de ordenador alternativa 600 de la **FIG. 6**, se requieren tres entradas de valores en los registros Rss, Rtt y Rdd. Esto contrasta con la sintaxis de instrucciones 505 para la arquitectura de ordenador 400 de la **FIG. 4**, que requiere solo dos entradas (de valores en los registros Rss y Rtt). También tenga en cuenta que en los pasos 540 resultantes de la sintaxis de instrucciones 505, el registro de destino se inicializa a cero ( $Rdd = 0$ ), ya que los pasos 540 resultantes de la sintaxis de instrucciones 505 no acumulan sumas de las operaciones SAD actuales y anteriores. Sin embargo, en los pasos 740 de la sintaxis de instrucciones 705, el registro de destino no se inicializa a cero, ya que el registro de destino puede contener una suma de una o más operaciones SAD anteriores y los pasos 740 de la sintaxis de instrucciones 705 acumulan sumas de operaciones anteriores SAD actuales y anteriores.

**[0037]** La acumulación de sumas es especialmente beneficiosa en la comparación de bloques donde se necesita la suma total de las diferencias absolutas de todos los píxeles de un bloque actual y un bloque de referencia. Se necesitan múltiples operaciones SAD para cada comparación de bloques, ya que una sola operación SAD típicamente solo puede procesar una parte de los bloques actuales y de referencia. Por ejemplo, para los bloques actuales y de referencia que tienen cuatro filas de píxeles, típicamente se necesitan cuatro operaciones SAD para comparar los bloques actuales y de referencia (una operación SAD para cada fila). Por lo tanto, se debe determinar una suma total de los resultados de las cuatro operaciones SAD (es decir, la acumulación de los cuatro resultados de la suma). El bucle de acumulación 605 permite que los resultados de la suma de las operaciones SAD separadas realizadas en los mismos bloques de referencia y actuales se acumulen después de cada operación SAD. Como tal, los resultados de la suma de las operaciones SAD separadas no necesitan sumarse posteriormente a través de instrucciones separadas.

**[0038]** La **FIG. 8** es una tabla que muestra la codificación y la intrínseca de compilador que se puede usar para implementar una instrucción SAD en hardware. La intrínseca de compilador es útil para un programador cuando escribe código en un lenguaje de alto nivel (como el lenguaje C). El programador puede usar los intrínsecos de compilador para indicar a un compilador que use una instrucción correspondiente a  $Rdd = vrsadub(Rss, Rtt)$  o  $Rxx + vrsadub(Rss, Rtt)$  (como se muestra en la **FIG. 8**) en el nivel de ensamblaje. La codificación se puede usar para diseñar una unidad de instrucciones del procesador (por ejemplo, un procesador de señales digitales). En otros modos de realización, se utilizan diferentes intrínsecos de compilador y codificación para implementar la instrucción SAD en hardware.

**[0039]** La **FIG. 9** es un diagrama de flujo de un procedimiento 900 para realizar dos operaciones SAD independientes en paralelo usando dos registros de origen y un registro de destino. En algunos modos de realización, algunos pasos del procedimiento 900 se implementan en software o hardware (por ejemplo, mediante una unidad de ejecución de un procesador). Los pasos del procedimiento 900 son solo para fines ilustrativos y el orden o el número de pasos pueden variar o intercambiarse en otros modos de realización.

**[0040]** El procedimiento 900 comienza cuando se recibe una sola instrucción SAD (en 905), con la instrucción que especifica una operación SAD, con el primer y el segundo registro de origen que almacenan valores de origen, y un destino de registro para almacenar los resultados de la operación SAD (por ejemplo, " $Rdd = vrsadub(Rss, Rtt)$ "). En respuesta a la recepción de la instrucción SAD única, a continuación el procedimiento 900 realiza dos operaciones SAD independientes. Para hacerlo, el procedimiento carga desde la memoria (en 907) un primer conjunto de valores (por ejemplo, X0-X3) en una primera sección del primer registro de origen, un segundo conjunto de valores (por ejemplo, Y0-Y3) en una primera sección del segundo registro de origen, un tercer conjunto de valores (por ejemplo, X4-X7) en una segunda sección del primer registro de origen, un cuarto conjunto de valores (por ejemplo, Y4-Y7) en

una segunda sección del segundo registro de origen. A continuación, el procedimiento realiza un primer conjunto de pasos (910-920) para realizar una primera operación SAD en los valores de origen almacenados en la primera sección de los registros de origen y un segundo conjunto de pasos (925-935) para realizar una segunda operación SAD en los valores de origen almacenados en la segunda sección de los registros de origen. En algunos modos de realización, el primero y el segundo conjuntos de pasos (es decir, las operaciones SAD primera y segunda) se realizan en paralelo.

**[0041]** En el paso 910, el procedimiento 900 determina un primer conjunto de diferencias absolutas que comprenden las diferencias absolutas de los valores correspondientes del primer y el segundo conjuntos de valores almacenados en las primeras secciones del primer y el segundo registros de origen. A continuación, el procedimiento suma (en 915) el primer conjunto de diferencias absolutas. Opcionalmente, a continuación el procedimiento suma/acumula (en 917) la suma del primer conjunto de diferencias absolutas con una o más sumas anteriores (típicamente un valor no cero) de una o más operaciones SAD anteriores que se almacenan en una primera sección de registro de destino. El procedimiento luego carga (en 920) la suma o el resultado de la acumulación en la primera sección del registro de destino.

**[0042]** En el paso 925, el procedimiento 900 determina un segundo conjunto de diferencias absolutas que comprenden las diferencias absolutas de los valores correspondientes en el tercer y cuarto conjuntos de valores almacenados en las segundas secciones de los registros de origen primero y segundo. A continuación, el procedimiento suma (en 930) el segundo conjunto de diferencias absolutas. A continuación, opcionalmente, el procedimiento suma/acumula (en 932) la suma del segundo conjunto de diferencias absolutas con una o más sumas anteriores (en general un valor no cero) de una o más operaciones SAD anteriores que se almacenan en una segunda sección de registro de destino. A continuación, el procedimiento carga (en 935) la suma o el resultado de la acumulación en la segunda sección del registro de destino. Después, el procedimiento termina.

**[0043]** La **FIG. 10** muestra un diagrama conceptual de una arquitectura de ordenador general 1000 utilizada en algunos modos de realización. La arquitectura 1000 incluye una memoria 1010, una unidad de procesamiento 1030 y uno o más buses 1020 que acoplan la memoria 1010 a la unidad de procesamiento 1030.

**[0044]** La memoria 1010 almacena los datos (por ejemplo, valores de píxeles de los bloques de una trama de vídeo) y las instrucciones, incluyendo al menos una instrucción SAD. Los datos y las instrucciones tienen direcciones particulares en la memoria 1010 que se utilizan para recuperar los datos o instrucciones de la memoria 1010. Los esquemas de direccionamiento para una memoria son bien conocidos en la técnica y no se describen en detalle aquí. Los datos y/o instrucciones en la memoria 1010 se cargan en la unidad de procesamiento 1030 a través de los buses 1020.

**[0045]** La unidad de procesamiento 1030 comprende un secuenciador 1035, una pluralidad de líneas 1040 para una pluralidad de unidades de ejecución 1045, un archivo de registro general 1050 (que comprende una pluralidad de registros generales), y un archivo de registro de control 1060. La unidad de procesamiento 1030 puede comprender una unidad de procesamiento central, un microprocesador, un procesador de señales digitales o similares. En algunos modos de realización, la pluralidad de unidades de ejecución 1045 incluye una o más unidades de ejecución (denominadas unidades de ejecución SAD) configuradas para realizar operaciones SAD. Una unidad de ejecución SAD comprende componentes (como unidades lógicas aritméticas) configuradas para realizar los pasos de procesamiento requeridos para las operaciones SAD (como una pluralidad de componentes AD 415 para realizar operaciones de diferencia absoluta y una pluralidad de componentes Add 420 para acumular/sumar valores). En otros modos de realización, una unidad de ejecución SAD está contenida dentro de una unidad lógica aritmética.

**[0046]** Típicamente, cada instrucción contiene información sobre el tipo de unidad de ejecución 1045 necesario para procesar la instrucción donde cada unidad de ejecución puede típicamente solo procesar tipos particulares de instrucciones. El secuenciador 1035 recibe instrucciones de la memoria 1010, descodifica las instrucciones, determina la unidad de ejecución 1045 adecuada para cada instrucción (utilizando la información contenida en la instrucción). Después de hacer esta determinación para una instrucción, el secuenciador 1035 envía una señal de control a la unidad de ejecución apropiada 1045 e introduce la instrucción en la línea apropiada 1040 para ser procesada por la unidad de ejecución apropiada 1045.

**[0047]** Cada unidad de ejecución 1045 que recibe una instrucción realiza la instrucción mediante el archivo de registro general 1050. Como es bien conocido en la técnica, el archivo de registro general 1050 comprende una matriz de registros. Todos los datos (por ejemplo, valores de píxeles) necesarios para realizar una instrucción se recuperan de la memoria 1010 y se cargan en un registro en el archivo de registro general 1050. Después de que una unidad de ejecución 1045 realiza una instrucción, los datos resultantes (por ejemplo, los resultados de la operación SAD) se almacenan en el archivo de registro general 1050 y luego se cargan y almacenan en la memoria 1010. Los datos se cargan desde y hacia la memoria 1010 a través de los buses 1020. Para ejecutar una instrucción, una unidad de ejecución 1045 también puede usar el archivo de registro de control 1060. Los registros de control 1060 típicamente comprenden un conjunto de registros especiales, tales como registros de modificador, estado y predicado. Los registros de control 1060 también se pueden usar para almacenar información relacionada con bucles de software o hardware, como un recuento de bucles (recuento de iteraciones).

5 [0048] Por ejemplo, si el secuenciador 1035 recibe una instrucción SAD, el secuenciador 1035 introducirá la instrucción en la línea apropiada 1040 para su procesamiento por una unidad de ejecución SAD 1045. Además, los datos (p. ej., valores de píxeles) necesarios para realizar la instrucción SAD se cargan en dos registros de origen en el archivo de registro general 1050. Como tal, la instrucción SAD hace que la unidad de procesamiento 1030 (que usa las unidades de ejecución SAD 1045) realice dos operaciones SAD independientes y produzca dos resultados de suma. Los dos resultados de la suma se almacenan en un registro de destino en el archivo de registro general 1050 que luego se carga y almacena en la memoria 1010 a través de un bus 1020. En algunos modos de realización, cada uno de los registros de origen y de destino utilizados por la unidad de ejecución SAD 1045 comprende un par de registros alineados que son accesibles de forma independiente.

10 [0049] Los expertos en la técnica entenderán que la información y las señales pueden representarse usando cualquiera de una variedad de tecnologías y técnicas diferentes. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan haberse mencionado a lo largo de la descripción anterior pueden representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticas, campos o partículas ópticos o cualquier combinación de los mismos.

15 [0050] Los expertos en la técnica apreciarán además que los diversos bloques lógicos, módulos, circuitos y pasos de algoritmo ilustrativos descritos junto con los modos de realización divulgados en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito en general diversos componentes, bloques, módulos, circuitos y pasos ilustrativos en términos de su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de la aplicación particular y de las restricciones de diseño impuestas en el sistema general. Los expertos en la materia pueden implementar la funcionalidad descrita de formas distintas para cada aplicación particular, pero no debería interpretarse que dichas decisiones de implementación suponen apartarse del alcance de la presente invención.

20 [0051] Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos junto con los modos de realización divulgados en el presente documento pueden implementarse o realizarse con un procesador de uso general, con un procesador de señales digitales (DSP), con un circuito integrado específico de la aplicación (ASIC), con una matriz de puertas programables *in situ* (FPGA) o con otro dispositivo de lógica programable, lógica de transistor o puertas discretas, componentes de hardware discretos, o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de uso general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

25 [0052] Los pasos de un procedimiento o algoritmo descrito en relación con los modos de realización divulgados en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software puede residir en una memoria RAM, en una memoria flash, en una memoria ROM, en una memoria EPROM, en una memoria EEPROM, en registros, en un disco duro, en un disco extraíble, en un CD-ROM o en cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento a modo de ejemplo está acoplado al procesador de manera que el procesador puede leer información de, y escribir información en, el medio de almacenamiento. De forma alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un terminal de usuario. De forma alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un terminal de usuario.

30 [0053] La anterior descripción de los modos de realización divulgados se proporciona para permitir que cualquier experto en la materia realice o use la presente invención. Por lo tanto, la presente invención no pretende limitarse a los modos de realización mostrados en el presente documento, sino que se le concede el alcance más amplio compatible con los principios y características novedosas divulgados en el presente documento.

**REIVINDICACIONES**

1. Un procedimiento para realizar operaciones de suma de diferencias absolutas, SAD, con el procedimiento que comprende:

5 recibir una única instrucción SAD que especifica un registro de destino para almacenar los resultados de la operación SAD y además especifica un primer registro de origen y un segundo registro de origen que almacenan los valores de origen para procesamiento mediante dos operaciones SAD independientes; y

10 realizar, en respuesta a la recepción de la instrucción SAD única, las dos operaciones SAD independientes, con el resultado de la primera operación SAD almacenado en una primera sección del registro de destino y el resultado de la segunda operación SAD almacenado en una segunda sección del registro de destino,

15 en el que realizar las dos operaciones SAD independientes comprende realizar la primera operación SAD (910, 915) en los valores de origen almacenados en una primera sección del primer registro de origen y una primera sección del segundo registro de origen, y realizar la segunda operación SAD (925, 930) en los valores de origen almacenados en una segunda sección del primer registro de origen y una segunda sección del segundo registro de origen; y

20 en el que realizar las dos operaciones SAD independientes comprende además sumar un resultado de otra operación SAD almacenada en la primera sección del registro de destino con el resultado de la primera operación SAD y almacenar la suma en la primera sección del registro de destino, y sumar un resultado de otra operación SAD almacenada en la segunda sección del registro de destino con el resultado de la segunda operación SAD y almacenar la suma en la segunda sección del registro de destino;

25 en el que cada uno de los registros de origen y destino comprende un par de registros alineados, con el primer registro en el par que comprende la primera sección (920) y el segundo registro en el par que comprende la segunda sección (935) del registro de origen o destino;

30 en el que los valores de origen almacenados en el primer y segundo registros de origen comprenden valores de píxeles de tramas de vídeo; y

35 en el que el primer registro de origen almacena los valores de píxeles (A0-A3) de un bloque actual de una trama actual y el segundo registro de origen almacena los valores de píxeles (BoB3; C0-C3) de dos bloques de referencia diferentes de una trama de referencia, para una comparación paralela entre el bloque actual y los dos bloques de referencia diferentes.

2. El procedimiento según la reivindicación 1, en el que las dos operaciones SAD independientes se realizan en paralelo.

40 3. El procedimiento según la reivindicación 1, en el que cada uno de los registros de origen y destino comprende dos secciones accesibles de manera independiente, de modo que la primera operación SAD puede acceder a una primera sección del registro, mientras que la segunda operación SAD independiente puede acceder simultáneamente a una segunda sección del registro.

- 45 4. Un aparato para realizar operaciones de suma de diferencias absolutas, SAD, con el aparato que comprende:

50 medios para recibir una única instrucción SAD que especifica un registro de destino para almacenar los resultados de la operación SAD y además especifica un primer registro de origen y un segundo registro de origen que almacena valores de origen para procesarlos mediante dos operaciones SAD independientes; y

55 medios para realizar, en respuesta a la recepción de la instrucción SAD única, las dos operaciones SAD independientes, con un resultado de la primera operación SAD que se almacena en una primera sección del registro de destino y un resultado de la segunda operación SAD que se almacena en una segunda sección del registro de destino;

60 en el que los medios para realizar las dos operaciones SAD independientes comprenden medios para realizar la primera operación SAD (910, 915) en los valores de origen almacenados en una primera sección del primer registro de origen y una primera sección del segundo registro de origen, y medios para realizar la segunda operación SAD (925, 930) en los valores de origen almacenados en una segunda sección del primer registro de origen y una segunda sección del segundo registro de origen; y

65 en el que los medios para realizar las dos operaciones SAD comprenden además medios para sumar un resultado de otra operación SAD almacenada en la primera sección del registro de destino al resultado de la primera operación SAD y almacenar la suma en la primera sección del registro de destino, y medios para

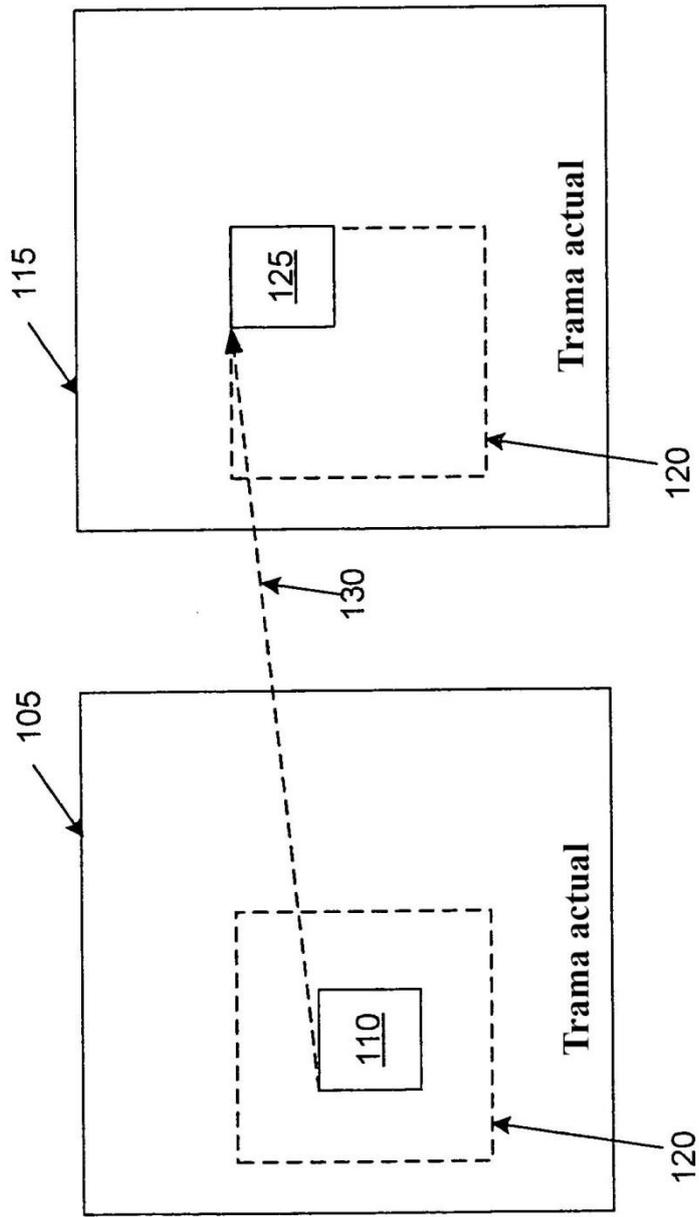
sumar un resultado de otra operación SAD almacenada en la segunda sección del registro de destino al resultado de la segunda operación SAD y almacenar la suma en la segunda sección del registro de destino;

5 en el que cada uno de los registros de origen y destino comprende un par de registros alineados, con el primer registro en el par que comprende la primera sección (920) y el segundo registro en el par que comprende la segunda sección (935) del registro de origen o destino;

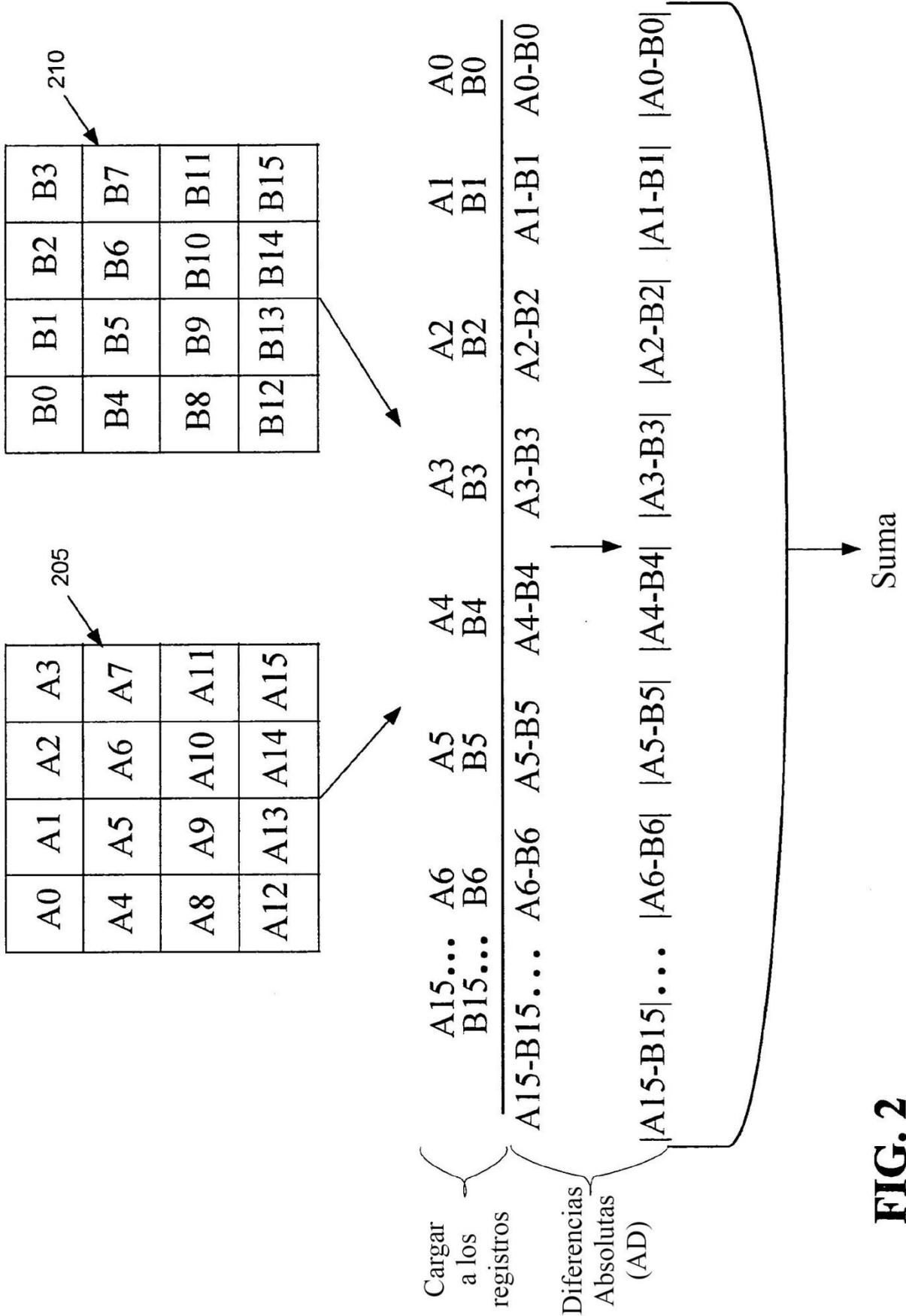
10 en el que los valores de origen almacenados en el primer y segundo registros de origen comprenden valores de píxeles de tramas de vídeo; y

15 en el que el primer registro de origen almacena los valores de píxeles (A0-A3) de un bloque actual de una trama actual y el segundo registro de origen almacena los valores de píxeles (BoB3; C0-C3) de dos bloques de referencia diferentes de una trama de referencia, para una comparación paralela entre el bloque actual y los dos bloques de referencia diferentes.

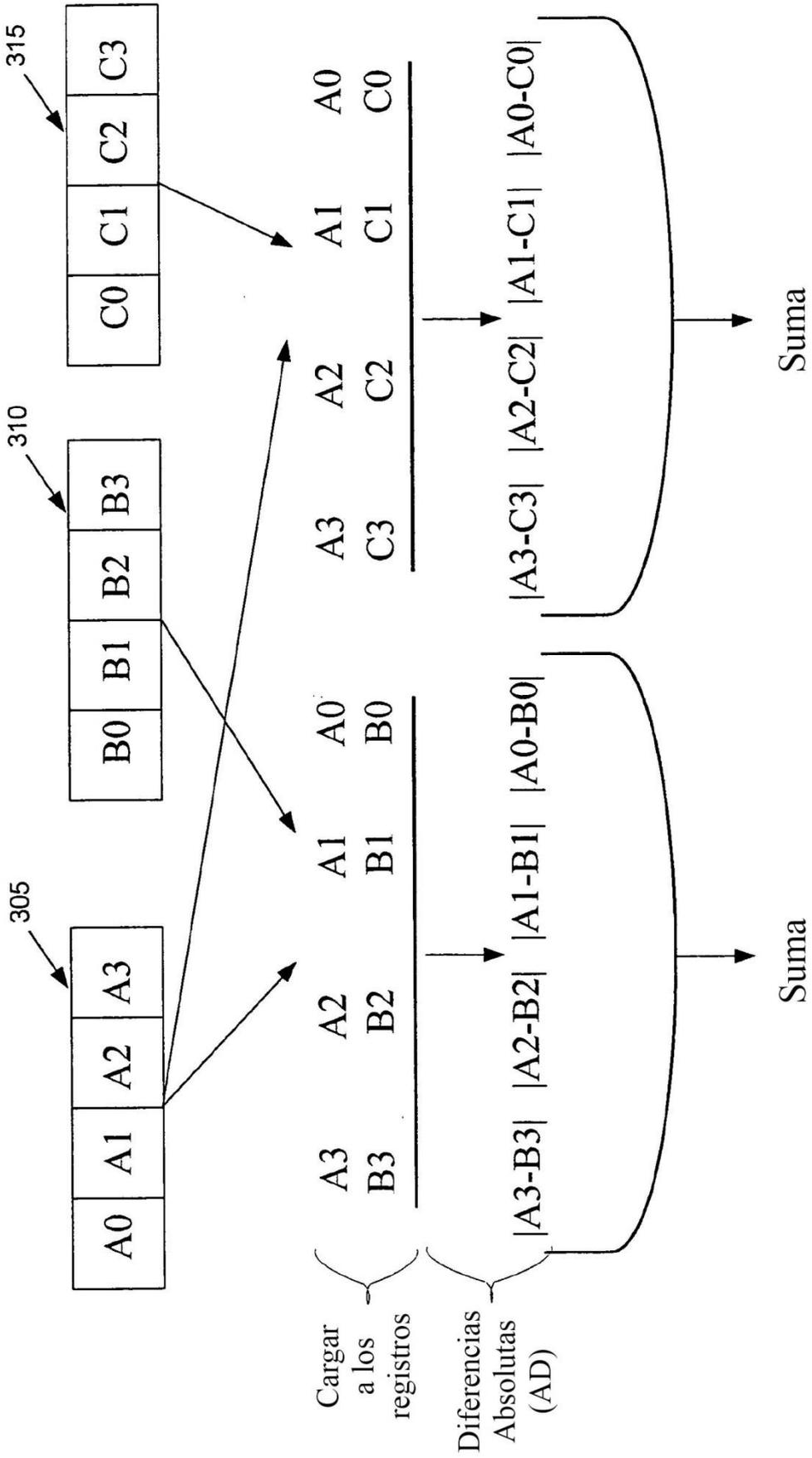
- 20
5. El aparato de la reivindicación 4, en el que las dos operaciones SAD independientes se realizan en paralelo.
  6. El aparato de la reivindicación 4, en el que cada uno de los registros de origen y destino comprende dos secciones accesibles de manera independiente, de modo que la primera operación SAD puede acceder a una primera sección del registro, mientras que la segunda operación SAD independiente puede acceder simultáneamente a una segunda sección del registro.
  7. Un programa informático que comprende instrucciones que, cuando son ejecutadas en un ordenador, hacen que el ordenador lleve a cabo el procedimiento de una cualquiera de las reivindicaciones 1 a 3.
- 25



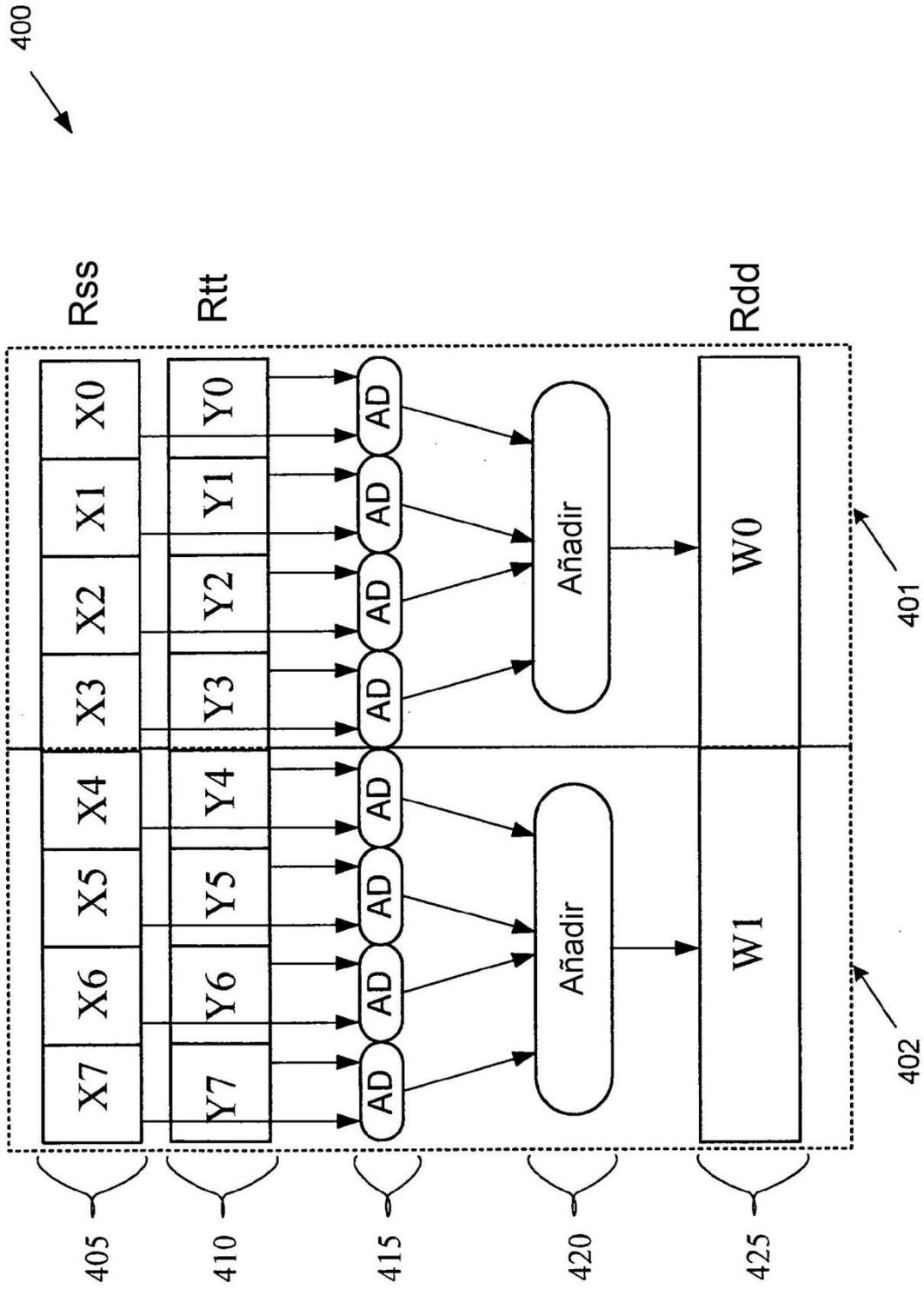
**FIG. 1**  
**(Técnica anterior)**



**FIG. 2**



**FIG. 3**



**FIG. 4**

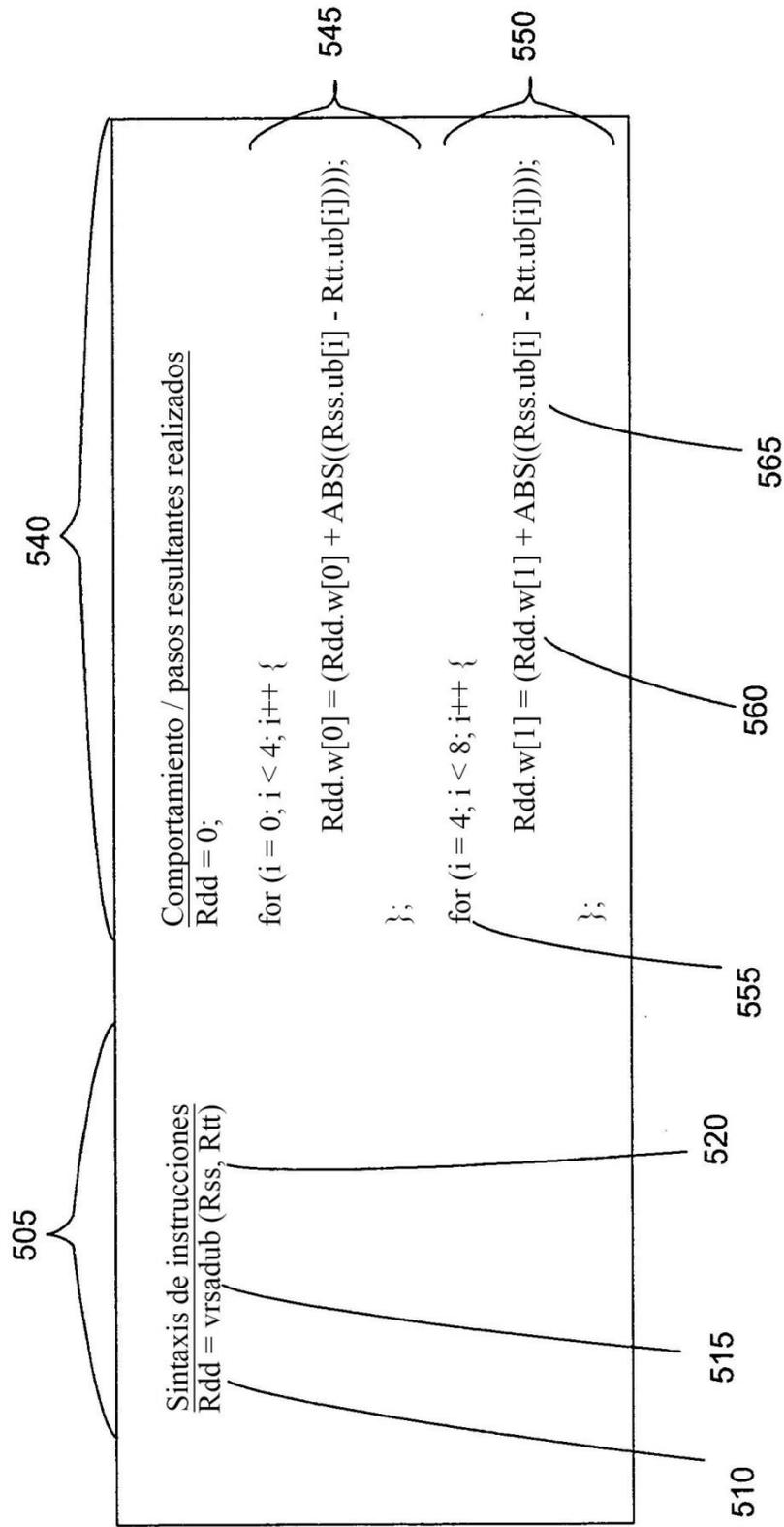


FIG. 5

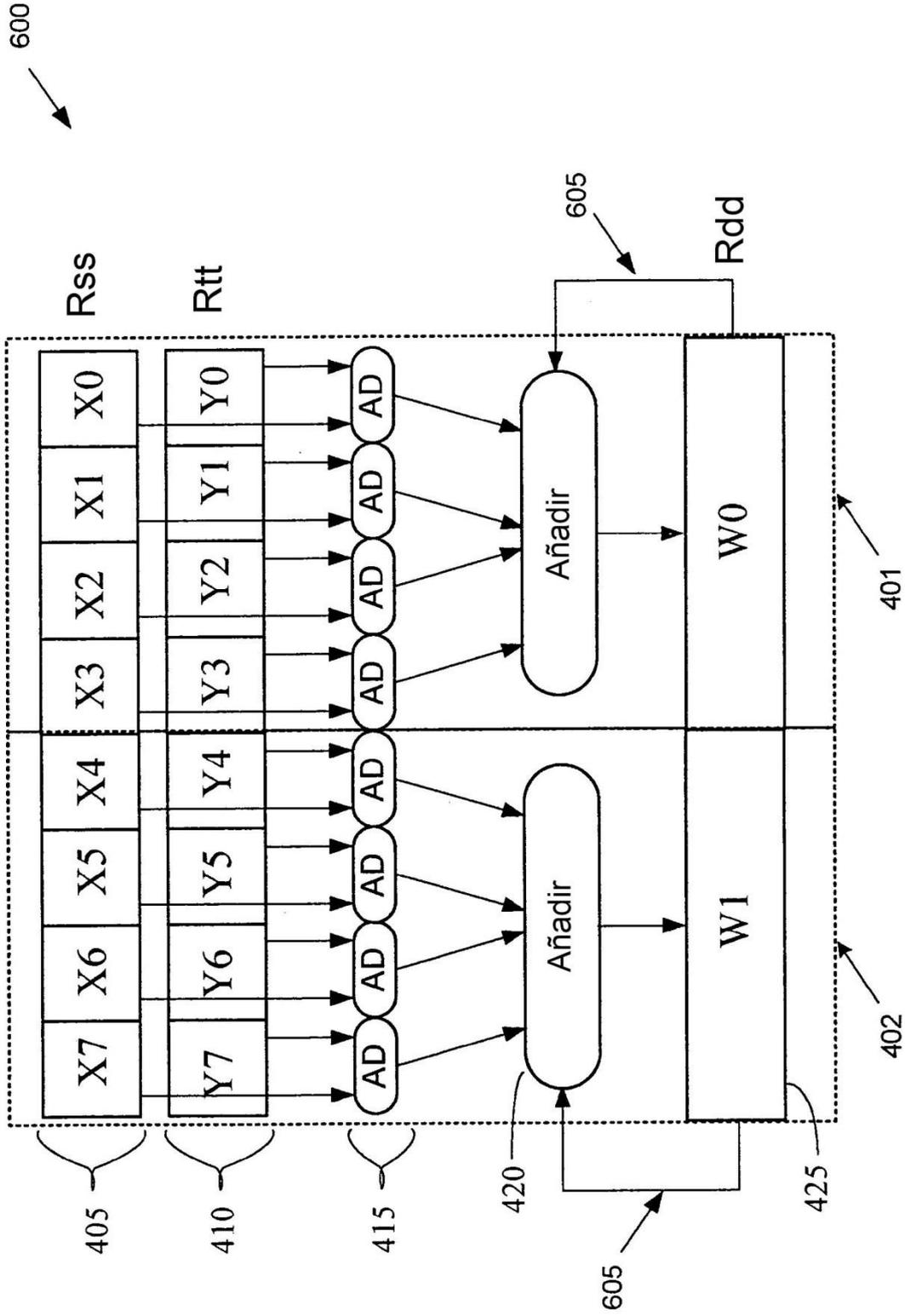


FIG. 6

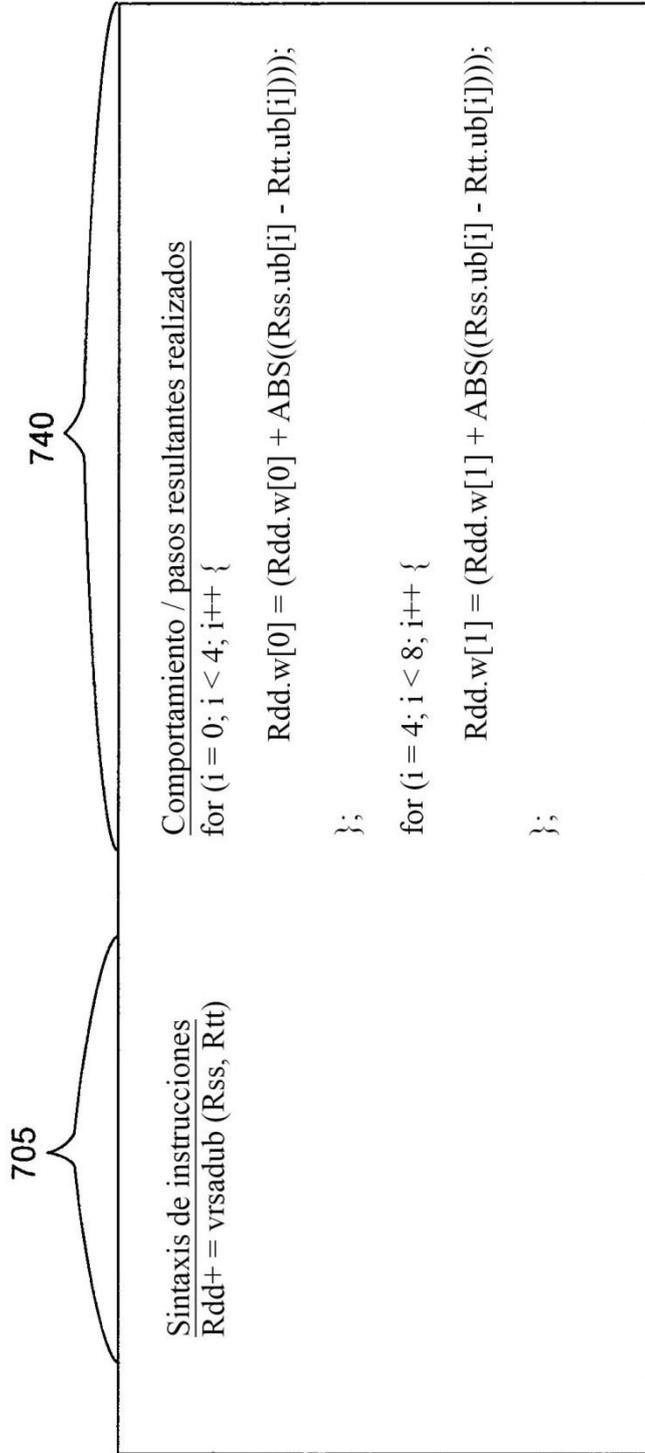


FIG. 7

**Compilador intrínseco:**

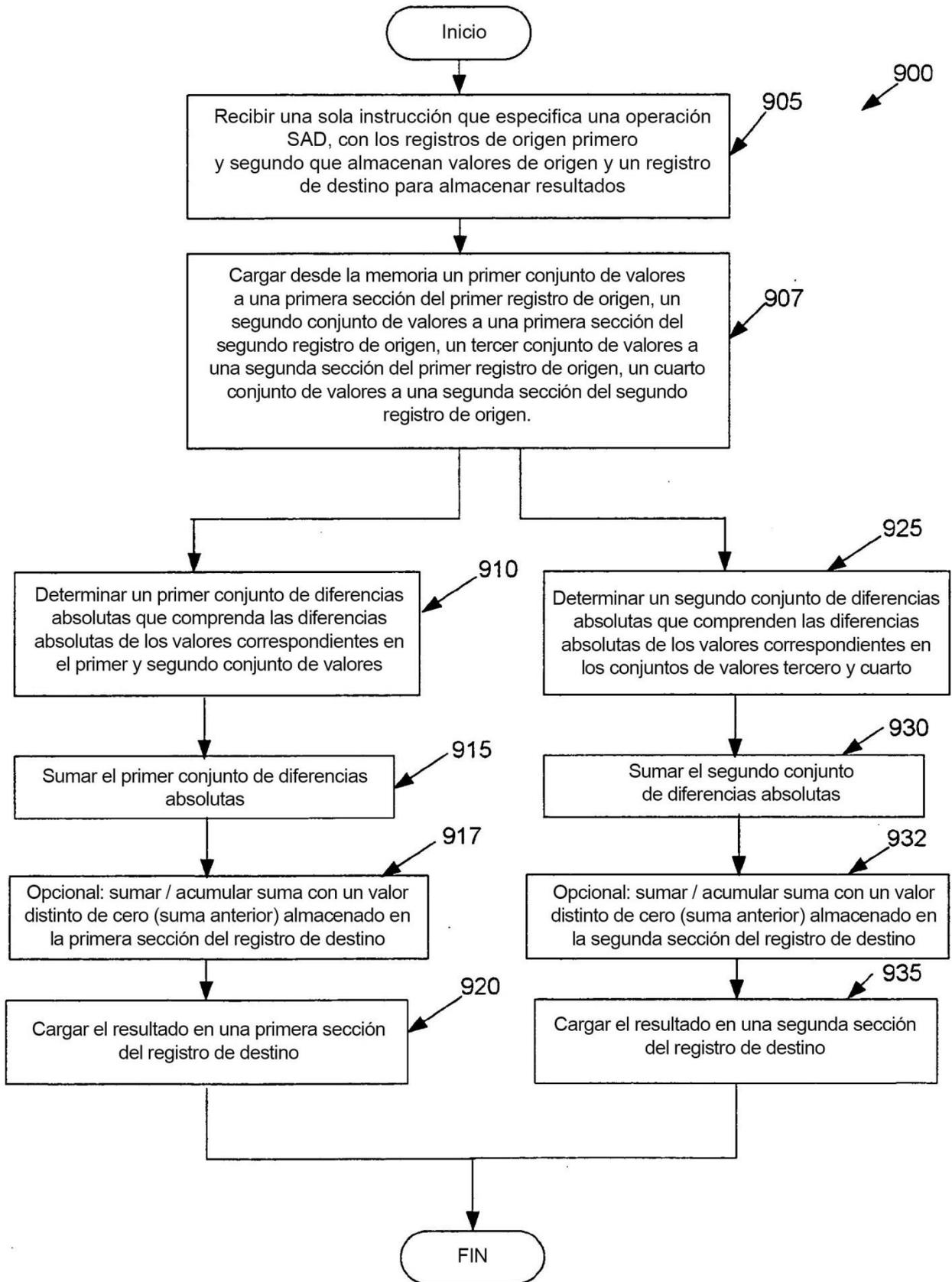
```
Rdd←vrsadub(Rss,Rtt)      Word64 Q6_P_vrsadub_PP(Word64 Rss, Word64 Rtt)
Rxx←vrsadub(Rss,Rtt)     Word64 Q6_P_vrsadubacc_PP(Word64 Rxx, Word64
                          Rss, Word64 Rtt)
```

**Codificación:**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ICLASS				d32	a32	X		uns	rndnac	s5	Parse				sa	t5	sat				d5											
1	1	1	0	0	0	0	1	1	0	s	s	s	s	0	0	0	t	t	t	t	0	1	0	x	x	x	x	x	x	x	x	Rdd←vrsadub(Rss,Rtt)
ICLASS				d32	a32	X		uns	rndnac	s5	Parse				sa	t5	sat				x5											
1	1	1	0	1	0	1	1	1	0	s	s	s	s	0	0	0	t	t	t	t	0	1	0	x	x	x	x	x	x	x	x	Rxx←vrsadub(Rss,Rtt)

Nombre de campo	Descripción
ICLASS:	Clase de instrucción
X:	El destino es Src / Dest o Dest.
d32:	El registro D es 32b o 64b
rndnac:	Redondo o Nac
s32:	El registro S es 32b o 64b
sa:	Cantidad de turno
sat:	Saturar
uns:	No firmado
Analizar:	Bits de análisis de paquete / bucle
d5:	Campo para codificar registro d
s5:	Campo para codificar registro s
t5:	Campo para codificar registro t
x5:	Campo para codificar registro x

**FIG. 8**



**FIG. 9**

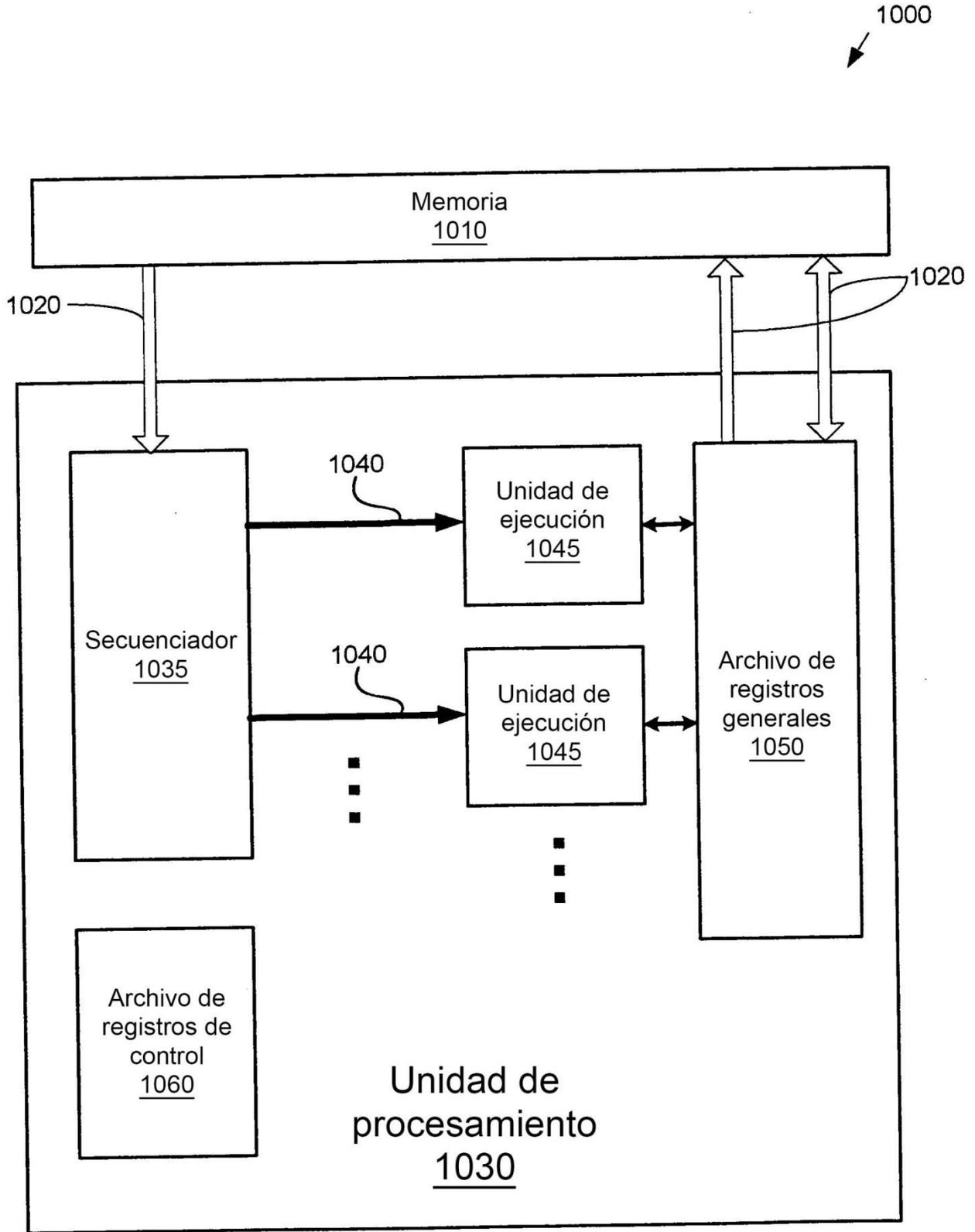


FIG. 10