

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 733 275**

51 Int. Cl.:

H04B 1/00

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **05.03.2014 PCT/US2014/020800**

87 Fecha y número de publicación internacional: **12.09.2014 WO14138258**

96 Fecha de presentación y número de la solicitud europea: **05.03.2014 E 14711423 (5)**

97 Fecha y número de publicación de la concesión europea: **01.05.2019 EP 2965435**

54 Título: **Receptor de señales simultáneas con asignación de frecuencia intercalada**

30 Prioridad:

08.03.2013 US 201313791048

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

28.11.2019

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:

**KO, JIN-SU;
KIM, HONG SUN;
ZHAO, LIANG;
WANG, CHENG-HAN y
FARMER, DOMINIC GERARD**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 733 275 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Receptor de señales simultáneas con asignación de frecuencia intercalada

5 CAMPO TÉCNICO

[0001] La presente divulgación se refiere al procesamiento de señales en bandas de frecuencia.

ANTECEDENTES

10 **[0002]** Se utilizan varias señales inalámbricas y no inalámbricas para comunicarse con dispositivos o equipos. Las señales pueden incluir, entre otras, señales de telecomunicación, señales de posición, señales de comunicación de datos, señales de sensores y otros tipos de señales. Se utilizan varias bandas de frecuencia para señales de telecomunicación, señales posicionales, señales de comunicación de datos, señales de sensores y otros tipos de señales. Estas señales pueden crear interferencias entre sí basándose en sus frecuencias y otras características. En consecuencia, los sistemas convencionales a menudo tienen rutas de señal dedicadas para señales en diferentes bandas de frecuencia.

15 **[0003]** De acuerdo con un ejemplo de señales, las señales de posición se utilizan en los sistemas de navegación, incluyendo, entre otros, el Sistema de navegación por satélite global (GNSS). Los tipos de GNSS incluyen el Sistema de posicionamiento global (GPS), el Sistema de navegación global por satélite (GLONASS), el sistema de navegación BeiDou, el sistema de posición Galileo y otros sistemas de navegación regionales.

20 **[0004]** Los GNSS en general usan ciertas frecuencias de portadora de señal para señales posicionales. Por ejemplo, el GPS actualmente usa señales L1 y L2 en frecuencias en el rango de GHz. Una extensión prevista del GPS puede incluir una señal L5 a 1176,45 MHz. Algunas señales GLONASS también están ubicadas en el rango de GHz (por ejemplo, GLONASS L1 (en adelante, R1) y GLONASS L2 (en adelante, R2)). La tabla 1 siguiente proporciona parámetros para las señales L1, L2, R1 y R2. El Sistema Galileo prevé el uso de señales centradas en las siguientes frecuencias: 15742 MHz (L1), 1589 MHz (E1), 1561 MHz (E2), 1676,45 MHz (E5a), 1207,140 MHz (E5b) y 1278,75 MHz (E6). Cada una de las bandas de frecuencia mostradas en la Tabla 1 y enumeradas anteriormente puede requerir un circuito receptor de RF dedicado.

Tabla 1

Sistema GNSS	Señal	Frecuencia central (MHz)	Ancho de banda (+/- MHz)
GPS	L1	1575,42	1,023
	L2/L2 C	1227,6	1,023
GLONASS	R1	1602	+3,656 ± -4,219
	R2	1246	+3,656 ± -4,219

35 **[0005]** Es deseable recibir señales GNSS en múltiples bandas de frecuencia para hacer que el receptor GNSS sea más versátil y más estable en ambientes ruidosos u ocluidos. Por ejemplo, los receptores de GPS convencionales han incluido la capacidad de recibir señales L1 y L2, de modo que las señales L2 pueden usarse cuando las señales L1 no están disponibles. Dichos receptores han usado circuitos de procesamiento analógico separados o han usado multiplexación espacial y temporal para recibir las señales L1 y L2. El uso de circuitos separados para recibir señales L1 y L2 aumenta el tamaño, el coste y el peso del receptor. El uso de circuitos separados también requiere rutas de señales analógicas separadas, lo cual se suma al número de pines de los componentes dentro del receptor. El uso de multiplexación espacial y temporal puede degradar la resolución asociada con la recepción de la señal.

40 **[0006]** Los receptores GNSS se han integrado en varios productos, como teléfonos móviles, teléfonos inteligentes, tablet, netbooks, ordenadores portátiles, automóviles, etc. Sería deseable incluir múltiples tipos de receptores GNSS en los productos para proporcionar operaciones de navegación con mayor versatilidad y estabilidad. Por ejemplo, un tipo de sistema GNSS puede no estar disponible en un área en particular o una señal para cierto GNSS puede sufrir interferencias, y puede ser conveniente usar otro tipo de GNSS u otra señal GNSS. Sin embargo, la integración de más tipos de receptores GNSS en productos aumenta el tamaño, el coste y el peso de los productos. Por ejemplo, tener un procesador de señales analógicas separado para cada tipo de GNSS aumenta el tamaño, el coste y el peso del producto. Además, tiene rutas de señales analógicas separadas para cada GNSS y cada señal GNSS se suma al recuento de pines dentro del producto y agrega múltiples convertidores de analógico a digital (ADC) al producto de la interfaz. Los documentos US 2010/265875 y US 2010/091688 son ejemplos de procedimientos para procesar señales inalámbricas recibidas de uno o más sistemas de comunicación, de acuerdo con el estado de la técnica.

SUMARIO

5 **[0007]** El asunto de la invención se define por las reivindicaciones adjuntas. Un modo de realización a modo de ejemplo se refiere a un procedimiento. El procedimiento comprende convertir de forma descendente al menos una primera señal en una primera ruta en una primera banda de frecuencias para proporcionar una primera señal de IF. El procedimiento también puede comprender convertir de forma descendente al menos una segunda señal en la segunda ruta en una segunda banda de frecuencias para proporcionar una segunda señal de IF. La segunda señal puede incluir una segunda señal de banda base. La primera señal de IF y las segundas señales de IF están intercaladas en el dominio de la frecuencia, y la primera banda de frecuencias es diferente de la segunda banda de frecuencias. El procedimiento puede comprender además combinar al menos parte de la primera señal de IF y la segunda señal de IF para proporcionar una señal combinada en una ruta de señal de salida para la recepción por un circuito de procesamiento digital.

15 **[0008]** Otro modo de realización a modo de ejemplo se refiere a un circuito. El circuito comprende un convertidor descendente configurado para convertir de forma descendente una primera señal en una primera ruta en una primera banda de frecuencias para proporcionar una primera señal de IF y una segunda señal en la segunda ruta en una segunda banda de frecuencias para proporcionar una segunda señal de IF. La primera señal de IF y las segundas señales de IF están intercaladas en el dominio de la frecuencia, y la primera banda de frecuencias es diferente de la segunda banda de frecuencias. El circuito comprende además un combinador configurado para combinar al menos parte de la primera señal de IF y la segunda señal de IF, y un controlador configurado para emitir la señal combinada en una ruta de señal analógica. La primera señal de IF puede ser una señal de IF cero (ZIF), IF muy baja (VLIF) o IF baja (LIF) en ciertos modos de realización.

25 **[0009]** Otro modo de realización a modo de ejemplo se refiere a un aparato. El aparato comprende medios para convertir de forma descendente dos o más señales GNSS para proporcionar dos o más señales convertidas de forma descendente intercaladas en el dominio de la frecuencia y medios para combinar las dos o más señales convertidas de forma descendente para crear una señal combinada para ser recibida por un procesador de señales digitales. Las dos o más señales GNSS pueden estar en diferentes bandas de frecuencia.

30 **[0010]** Otro modo de realización a modo de ejemplo se refiere a un medio de almacenamiento legible por ordenador no transitorio que almacena un programa informático que cuando se ejecuta en un dispositivo hace que el dispositivo realice un proceso que incluye la conversión de forma descendente de dos o más señales GNSS para intercalarlas en el dominio de la frecuencia. El proceso puede combinar las señales GNSS convertidas hacia abajo para crear una señal combinada intercalada que incluye las señales de banda base de las dos o más señales GNSS.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

40 **[0011]**
La Figura 1a es un diagrama esquemático de un receptor de señal y su entorno relacionado de acuerdo con un modo de realización a modo de ejemplo.

45 La Figura 1b es un diagrama de flujo de los pasos del procedimiento para recibir y procesar una señal de acuerdo con un modo de realización a modo de ejemplo.

La Figura 2a es un diagrama de circuito esquemático de la parte analógica y la parte digital del receptor de señal ilustrado en la Figura 1a de acuerdo con un modo de realización a modo de ejemplo.

50 La Figura 2b es un diagrama de circuito esquemático de la parte analógica y la parte digital del receptor de señal ilustrado en la Figura 1a de acuerdo con otro modo de realización.

55 La Figura 2c es un diagrama de circuito esquemático de la parte analógica y la parte digital del receptor de señal ilustrado en la Figura 1a de acuerdo con otro modo de realización más.

La Figura 3a muestra un gráfico que ilustra una señal de salida que puede generarse mediante la parte analógica en las Figuras 1a, 2a y 2c de acuerdo con un modo de realización a modo de ejemplo.

60 La Figura 3b muestra un gráfico que ilustra una señal de salida que puede generarse mediante la parte analógica en las Figuras 1a, 2a y 2c de acuerdo con otro modo de realización.

La Figura 3c muestra un gráfico que ilustra una señal de salida que puede generarse mediante la parte analógica en las Figuras 1a, 2a y 2c de acuerdo con otro modo de realización.

65 La Figura 3d muestra un gráfico que ilustra una señal de salida que puede generarse mediante la parte analógica en las Figuras 1a y 2b de acuerdo con otro modo de realización.

La Figura 4 es un diagrama de flujo de los pasos del procedimiento para recibir una señal de acuerdo con un modo de realización a modo de ejemplo.

5 La Figura 5 es un diagrama de flujo de los pasos del procedimiento para recibir y procesar digitalmente una señal de acuerdo con otro modo de realización a modo de ejemplo.

DESCRIPCIÓN DETALLADA

10 **[0012]** La referencia, a lo largo de esta memoria descriptiva, a "un ejemplo" o "un rasgo" significa que un rasgo, estructura o característica particular, descrito en relación con el rasgo y/o el ejemplo, puede incluirse en al menos un rasgo y/o un ejemplo del asunto reivindicado. Por tanto, las apariciones de la expresión "en un ejemplo, "en un modo de realización", "un ejemplo", "en una característica" o "una característica" en diversas partes de esta memoria descriptiva no hacen referencia necesariamente a la misma característica y/o ejemplo. Además, los rasgos, estructuras o características particulares pueden combinarse en uno o más ejemplos y/o rasgos. Aunque a continuación se describen varios ejemplos con respecto a las señales de GPS y las bandas de frecuencia particulares, no se proporcionan de manera limitativa, y las reivindicaciones son aplicables a todos los tipos de señales y receptores, a menos que se limiten explícitamente a tipos particulares de receptores y señales dentro de la reivindicación.

20 **[0013]** En el contexto de los modos de realización aquí descritos en el presente documento, los términos "receptor" y "receptor GNSS" pueden designar un dispositivo receptor autónomo completo, pero también un módulo, incluido en un dispositivo complejo, por ejemplo un módulo GNSS (por ejemplo, GPS, GLONASS, etc.) en un teléfono móvil o celular, una alarma de automóvil, un PDA (Asistente Digital Portátil) y así sucesivamente. Los términos anteriores también pueden indicar un dispositivo conectable, que se puede conectar con un dispositivo de alojamiento por medio de un bus apropiado, por ejemplo, una tarjeta de PC GPS.

30 **[0014]** Los términos "receptor" y "receptor GNSS" también deben entenderse, en el contexto de los modos de realización descritos en el presente documento, como que incluyen uno o más circuitos integrados, dispuestos para realizar un receptor GNSS (por ejemplo, un sistema GPS, GLONASS, BeiDou o sistema de navegación local o regional, u otro tipo de receptor GNSS o un módulo completo), como se definió anteriormente.

35 **[0015]** En un modo de realización con referencia a la Figura 1a, un sistema de comunicación 100 incluye un dispositivo 120 que está configurado para recibir señales de satélites 103a-x, una estación base 104, un pseudolito, etc. El dispositivo 120 puede ser cualquier tipo de dispositivo de procesamiento de señales. De acuerdo con un modo de realización, el dispositivo 120 es un dispositivo capaz de GNSS que puede integrarse en un producto o sistema más grande. En algunos modos de realización, el dispositivo 120 puede ser un dispositivo portátil tal como, entre otros, un teléfono celular, teléfono inteligente, tablet, ordenador portátil y puede incluir varios otros componentes que no se describen en el presente documento.

40 **[0016]** El dispositivo 120 incluye una antena 142, una antena 144 y un receptor 130. Aunque se muestran como dos antenas separadas 142 y 144, las antenas 142 y 144 se pueden combinar como una sola antena con uno o más elementos. El receptor 130 incluye un extremo frontal analógico o un procesador de señales analógicas 150, y un procesador de señales digitales 170 en un modo de realización. El procesador de señales analógicas 150 está acoplado a una ruta de señal 143 asociada con la antena 142 y una ruta de señal 145 asociada a la antena 144. El procesador de señales analógicas 150 está acoplado al procesador de señales digitales 170 a través de una ruta de señales analógicas 160.

50 **[0017]** En un modo de realización, el dispositivo 120 está configurado ventajosamente para procesar más de una señal GNSS desde un único sistema GNSS y/o señales desde más de un tipo de GNSS. En un modo de realización, el dispositivo 120 puede procesar señales L1 y L2 desde el GPS y señales R1 y R2 desde GLONASS utilizando el mismo extremo frontal analógico (por ejemplo, el procesador 150). Aunque se mencionan GPS y GLONASS, el dispositivo 120 puede configurarse para procesar señales de otras fuentes, como otros tipos de GNSS, que incluyen, entre otros, señales asociadas con el sistema de navegación BeiDou, el sistema de posición Galileo y otros sistemas de navegación regionales o locales.

60 **[0018]** El procesador de señales analógicas 150 incluye un convertidor descendente 152, una ruta de señal 154, una ruta de señal 156 y un combinador 158. El procesador de señales analógicas 150 está configurado para recibir las señales (p. ej., señales posicionales tales como, pero no limitadas a, señales GNSS L1/R1, L2/R2 y/u otras señales) de las antenas 142 y 144 y realizar el procesamiento de señales analógicas para crear una señal de salida analógica en la ruta de señal analógica 160 para el procesador de señales digitales 170. El procesador de señales digitales 170 cubre la señal de salida analógica a una señal digital y procesa la señal digital para las operaciones de navegación, orientación y/o posicionamiento. En un modo de realización, el procesador de señales analógicas 150 está configurado para recibir una pluralidad de diferentes tipos de señales y procesar las señales de manera que haya un solo enlace o ruta 160 entre el procesador de señales digitales 170 y el procesador de señales analógicas 150. La ruta 160 puede incluir múltiples conductores, tales como una ruta de cuatro conductores para

señales diferenciales I y Q asociadas con una señal satelital modulada, en un modo de realización. De forma alternativa, la trayectoria 160 puede ser un par de conductores o un solo conductor. Los modos de realización del dispositivo 120 pueden configurarse de manera ventajosa para realizar de manera estable las operaciones de navegación, orientación y/o posicionamiento, mientras se optimiza el receptor 130 para un menor recuento de pines, tamaño y uso de energía.

[0019] El convertidor descendente de frecuencia 152 puede recibir dos o más señales e intercalar cada señal en el dominio de la frecuencia de modo que cada señal no se superponga con ninguna otra señal en un modo de realización. En algunos modos de realización de ejemplo, el convertidor descendente de frecuencia 152 está configurado para colocar la señal de banda base de una primera señal en IF cero (ZIF) (por ejemplo, 0 MHz), IF muy bajo (VLIF) (por ejemplo, ± 1 MHz), o IF bajo (LIF) 0 MHz (ZIF) (por ejemplo, ± 3 MHz). En este modo de realización, la señal de banda base de la primera señal puede intercalarse lejos de la segunda señal. La primera señal se transmite en la ruta 154 a un combinador 158 y la segunda señal se transmite en la ruta 156 al combinador 158. El combinador 158 entrega la señal combinada en la ruta 160, incluidas las señales de banda base (BB) (por ejemplo, señales BB L1/R1 y L2/R2) para reducir el número de líneas de interfaz (y/o pines) entre el procesador de señales analógicas 150 y el procesador de señales digitales 170 en un modo de realización. El combinador 158 combina las señales de manera que las señales permanezcan separadas en el dominio de la frecuencia como se muestra en la Figura 3a en un modo de realización. El combinador 158 puede combinar las señales en las rutas 154 y 156 en el dominio de voltaje o el dominio actual. El combinador 158 puede emitir una señal en la ruta 160 al convertidor analógico a digital en el procesador de señales digitales 170. En un modo de realización de ejemplo, el procesador de señales digitales 170 puede estar ubicado en un chip físico diferente al del procesador de señales analógicas 150. De forma alternativa, el procesador de señales digitales 170 está ubicado en el mismo chip que el procesador de señales analógicas. El combinador 158 puede ser un combinador de modo de corriente de banda base en un modo de realización.

[0020] De acuerdo con un modo de realización, el dispositivo 120 puede configurarse para determinar que ciertas señales GNSS están sufriendo interferencias, interfiriendo o son inadecuadas para las operaciones de navegación, orientación y/o posicionamiento. En un modo de realización de ejemplo, las señales de posición en la banda L1/R1 pueden sufrir interferencias o tener una calidad de señal pobre. En respuesta, el dispositivo 120 puede determinar que la banda L2/R2 es necesaria para continuar determinando la ubicación del dispositivo y el procesador de señales analógicas 150 puede proporcionar las señales recibidas en la banda L2/R2 sin multiplexación y degradación de la señal en un modo de realización. En otro modo de realización, la banda L2/R2 se puede usar en ausencia de una señal interferente L1/R1.

[0021] Las señales de otros tipos de transmisores pueden sufrir interferencias o interferir con las señales GNSS. Por ejemplo, la señal L1 puede sufrir interferencias o ser interferida por otras señales, tales como, entre otras, 2.ºs armónicos de señales a 788 MHz (B13/14), señales intermoduladas mediante 1851 MHz (PCS) y 1783 MHz (AWS), señales intermoduladas mediante 2,4 GHz (WLAN) y 825 MHz (Celular), etc. La interferencia de L1/R1 se puede evitar mediante la recepción simultánea de L1/L2 y/o R1/R2. La evitación de la interferencia de L2 puede dar como resultado soluciones GNSS (por ejemplo, GPS) anti-interferencias y diferenciales. Sin embargo, la recepción simultánea de la señal L1/L2 puede conducir a un aumento en el área, la potencia utilizada y los pines en los receptores convencionales. En un modo de realización, un convertidor descendente con un oscilador local (LO) configurado para la asignación de frecuencia intercalada se usa ventajosamente en el procesador analógico 150. Las señales de las antenas 142 y 144 se pueden convertir de forma descendente al elegir adecuadamente las frecuencias LO, de modo que la señal de banda base para la señal L2 se coloque entre la señal de banda base para las señales L1 y/o R1 en el dominio de frecuencia de una señal de frecuencia intermedia (IF) en un modo de realización.

[0022] Con referencia a la Figura 1b, se muestra un diagrama de flujo de un procedimiento 180 para procesar señales de acuerdo con un modo de realización de ejemplo. En un modo de realización, las señales pueden ser señales posicionales GNSS que incluyen una o más señales de GPS, aunque se puede utilizar cualquier tipo de señal en el procedimiento 180. El procedimiento 180 incluye el paso 182 que se puede implementar en el procesador analógico 150. En un modo de realización, el paso 182 se puede implementar mediante el convertidor descendente 205 (Figura 2a), los mezcladores 243 y 244 (Figura 2b), o los mezcladores 283 y 284 (Figura 2c). En el paso 182, el convertidor descendente utiliza un esquema de mezcla del oscilador local para convertir de forma descendente una de las dos señales a una señal LIF, VLIF o ZIF y la otra de las dos señales a una señal de IF en un modo de realización. Las frecuencias del oscilador local se eligen para convertir de forma descendente adecuadamente las señales a la banda de frecuencias apropiada. En un paso 184, el procesador de señales analógicas combina al menos parte de la primera señal de IF y la segunda señal de IF para proporcionar una señal combinada en una ruta de señal de salida para ser recibida por un procesador de señales digitales en un modo de realización. En el paso 186, el procesador de señales digitales puede filtrar y desmodular simultáneamente la señal después de que un convertidor analógico a digital (ADC) común reciba la señal de IF combinada en un modo de realización. La señal combinada se puede proporcionar al ADC mediante un controlador o amplificador común que funciona en un modo actual en un modo de realización. En otro modo de realización, el controlador puede funcionar en un modo de voltaje.

[0023] Con referencia a la Figura 2a, el receptor 130 incluye un procesador de señales analógicas 150, una ruta de señales analógicas 161 y un procesador de señales digitales 170. El receptor 130 está configurado para procesar señales de uno o más sistemas GNSS. En algunos modos de realización, el receptor 130 está configurado para procesar bandas GPS L1/L2 y bandas GLONASS R1/R2 (por ejemplo, dos o más o cuatro o más anchos de banda diferentes de señales analógicas).

[0024] Después de procesar las señales de diferentes anchos de banda, el procesador de señales analógicas 150 puede generar una única señal en la ruta de señales analógicas 161 que se entrega al procesador de señales digitales 170. La ruta de señal analógica 161 puede tener un solo conductor o un par de conductores para una señal diferencial en un modo de realización. El procesador de señales analógicas 150 incluye uno o más circuitos frontales 201, 203, un convertidor descendente de frecuencia 205, dos o más filtros 210 y 212 (por ejemplo, filtros de banda base o IF), un combinador 214 y un controlador de salida 216 (por ejemplo, banda base o controlador de salida IF). El procesador de señales digitales 170 incluye un único convertidor analógico a digital 220 que genera una única señal digital que se convierte de forma descendente mediante un convertidor descendente digital 221. Los procesadores de banda base 224, 226, 228, 230 y 232 están configurados para extraer la señal con el tipo de ancho de banda original apropiado de la salida que genera el convertidor descendente digital 221. En algunos modos de realización, los procesadores de banda base 224, 226, 228, 230 y 232 están configurados para extraer señales digitales que originalmente pertenecían a cuatro o más bandas analógicas diferentes. Se pueden utilizar menos o más procesadores de banda base de acuerdo con los criterios del sistema y las especificaciones de diseño.

[0025] En un modo de realización, dos señales son recibidas en las rutas 143 y 145 por los circuitos frontales 201 y 203. En un modo de realización, las señales en las rutas 143 y 145 pueden recibirse desde las antenas 142 y 144 simultáneamente. Los circuitos frontales 201 y 203 pueden amplificar las señales recibidas simultáneamente (por ejemplo, señales de RF como las señales L1/R1 y L2/R2) en un modo de realización. En algunos modos de realización, los circuitos frontales 201 y 203 pueden incluir prefiltros (por ejemplo, antes de los filtros de conversión descendente de frecuencia), un amplificador de bajo ruido (LNA) y un circuito de ganancia. Los prefiltros pueden centrarse hacia las bandas L1/R1 y L2/R2. En otros modos de realización, los circuitos frontales de RF 201 y 203 pueden ubicarse con las antenas 142 y 144.

[0026] El convertidor descendente 205 usa dos osciladores locales diferentes o usa el mismo oscilador local con la frecuencia de conversión descendente que se modifica para convertir de forma descendente las señales de los circuitos 201 y 203. Las señales se convierten de forma descendente a la banda base o frecuencia intermedia (IF) y se proporcionan en las rutas 207 y 209 en un modo de realización. Una de las señales en las rutas 207 y 209 se convierte de forma descendente a una señal de IF cero (ZIF), IF muy baja (VLIF) o IF baja (LIF), mientras que la otra señal se convierte de forma descendente a un rango de frecuencias entre -25 MHz y +24 MHz y fuera de los rangos ZIF, VLIF y LIF en un modo de realización. Los rangos de frecuencia alternativos incluyen - 20,6 MHz a +16 MHz, - 18,6 MHz a +14 MHz, - 14,6 MHz a +12 MHz, etc. En un modo de realización, el convertidor descendente 205 está configurado para intercalar una frecuencia L2 convertida de forma descendente entre el espectro de frecuencias L1 y R1 convertido de forma descendente utilizando uno de un espectro ZIF, VLIF o LIF. Los circuitos mostrados en las Figuras 1, 2a y 2c generan una señal analógica que tiene frecuencias positivas y negativas en un modo de realización. El circuito que se muestra en la Figura 2b genera una señal analógica que tiene frecuencias positivas. El circuito que se muestra en la Figura 2b no genera señales con frecuencias negativas como se analizó con referencia a la Figura 3d en un modo de realización.

[0027] El convertidor descendente de frecuencia 205 puede recibir dos o más señales GNSS e intercalar cada señal en el dominio de la frecuencia de manera que cada señal no se superponga con ninguna otra señal en un modo de realización. En algunos modos de realización de ejemplo, el convertidor de frecuencia 205 está configurado para colocar la señal de banda base de la señal L2 (señal L2 BB) a 0 MHz (ZIF), ± 1 MHz (VLIF) o ± 3 MHz (LIF). En este modo de realización, la señal de banda base de la señal L1 (señal L1 BB) puede intercalarse lejos de la señal L2 BB.

[0028] Cada una de las rutas 207 y 209 puede ser una ruta de dos cables para las componentes I y Q de la señal convertida de forma descendente o una ruta diferencial de cuatro cables para las componentes I y Q de la señal convertida de forma descendente en un modo de realización. Después de la conversión descendente, las señales convertidas de forma descendente se filtran en las rutas 207 y 209 mediante los filtros 210 y 212, respectivamente, y se combinan mediante el combinador 214 en un modo de realización. Los filtros 210 y 212 pueden ser filtros de paso bajo, paso de banda o paso alto para pasar las señales ZIF, VLIF o LIF de forma selectiva en un modo de realización. En un modo de realización, uno de los filtros 210 y 212 es un filtro de banda base o ZIF, VLIF o LIF, y el otro de los filtros 210 y 212 es un filtro que tiene un rango entre LIF e IF. El combinador 214 puede ser un filtro de banda base de modo actual o un combinador de modo de voltaje.

[0029] En un modo de realización, el filtro 210 filtra los emisores de interferencias y los armónicos de alta frecuencia de las señales L2 y/o R2 recibidas desde el convertidor descendente de frecuencia 205. En un modo de realización, el filtro 212 filtra los emisores de interferencias y los armónicos de alta frecuencia de las señales L1 y/o R1 recibidas desde el convertidor descendente de frecuencia 205.

[0030] Las señales en las rutas 211 y 213 se combinan mediante el combinador 214 y la señal resultante se proporciona a través de la ruta 215 al controlador de salida 216. El controlador 216 proporciona la señal combinada a la ruta 161 para su recepción por el procesador de señales digitales 170. El convertidor analógico a digital 220 cubre la señal analógica en la ruta 161 a una señal digital para ser procesada por los procesadores de banda base 224, 226, 228, 230 y 232.

[0031] En el modo de realización, la señal L1 BB se puede ubicar en -13,6 MHz desde 0 MHz. En otro modo de realización, el convertidor descendente 205 puede localizar la señal L1 BB a 0 MHz y la señal L2 BB a -13,6 MHz. En otros modos de realización, intercaladas puede significar que después de que las dos o más señales se conviertan, cada señal no se superpondrá con el ancho de banda de ninguna otra señal. En algunos modos de realización, las señales intercaladas no se superponen entre sí en el dominio de la frecuencia. El convertidor descendente 205 puede incluir uno o más osciladores locales que están configurados para generar una señal con una frecuencia coincidente para reducir la frecuencia de la señal de RF original. Por ejemplo, para convertir de forma descendente la señal L2 BB desde 1227,6 MHz hasta una señal VLIF +1 MHz, el oscilador local en el convertidor descendente 205 está configurado para generar una señal con una frecuencia de 1226,6 MHz, de manera que solo una señal de +1 MHz permanece, en un modo de realización. Como se mencionó anteriormente, los circuitos mostrados en las Figuras 1a, 2a y 2c generan una señal analógica que tiene frecuencias tanto positivas como negativas. El circuito que se muestra en la Figura 2b genera una señal analógica que tiene frecuencias positivas en un modo de realización. El circuito que se muestra en la Figura 2b no genera señales con frecuencias negativas como se ilustra en la Figura 3d en un modo de realización.

[0032] El combinador 214 entrega la señal combinada en la ruta 215, incluidas las señales BB (p. ej., las señales L1/R1 y L2/R2 BB) para reducir el número de líneas de interfaz (y/o pines) entre el procesador de señales analógicas 150 y el procesador de señales digitales 170 en un modo de realización. El combinador 214 combina las señales de manera que permanezcan separadas en el dominio de la frecuencia como se muestra en la Figura 3a en un modo de realización. El combinador 214 puede combinar las señales 211 y 213 en el dominio de voltaje o el dominio actual. El combinador 214 puede emitir una señal en la ruta 215 al controlador de salida 216 que envía las señales analógicas a las entradas del convertidor analógico a digital del convertidor 220 a través de la ruta 161. En un modo de realización de ejemplo, el procesador de señales digitales 170 puede estar ubicado en un chip físico diferente al del procesador de señales analógicas 150. El combinador 214 puede ser un combinador de modo de corriente de banda base en un modo de realización.

[0033] En un modo de realización, la ruta de salida analógica 161 entrega las señales BB tanto L1/R1 como L2/R2. En algunos modos de realización, la ruta analógica 161 proporciona una señal BB en cuadratura (I y Q). En otros modos de realización, la ruta 161 puede ser un bus que incluye una pluralidad de conexiones físicas que entregan la señal en paralelo. En otro modo de realización, la ruta 161 puede ser una ruta de un solo cable o diferencial que conecta el convertidor analógico a digital 220 en el procesador de señales digitales 170 y el controlador de salida 216 en el procesador de señales analógicas 150. Las señales L1/R1 y L2/R2 BB no están multiplexadas espacialmente ni en el tiempo cuando las señales se reciben en un modo de realización.

[0034] El procesador de señales digitales 170 incluye varios componentes que incluyen un convertidor analógico a digital (ADC) 220, procesadores de banda base 224, 226, 228, 230 y otros procesadores 232. Como se mencionó anteriormente, el procesador de señales digitales 170 puede estar ubicado en un chip diferente al del procesador de señales analógicas 150. El convertidor de analógico a digital (ADC) 220 puede ser un convertidor de analógico a digital de GNSS configurado para manejar todas las señales posicionales que comprenden GNSS. En otros modos de realización, el ADC 220 no es un convertidor de submuestreo; en cambio, el ADC 220 es Nyquist o convertidor de frecuencia de sobremuestreo. En un modo de realización, el procesador de señales digitales 170 tiene una línea de entrada única, diferencial o de cuadratura que recibe la señal analógica y la señal recibida se proporciona como entrada a una única ruta ADC 220. Después de convertir la señal analógica en una señal digital, los procesadores de banda base BP (L1) 224 pueden hacer coincidir con el filtro de los datos digitales correspondientes a la banda L1 BB. Después de convertir la señal analógica en una señal digital, los procesadores de banda base BP (R1) 226 pueden coincidir con el filtro de los datos digitales correspondientes a la banda R1 BB. Después de convertir la señal analógica en una señal digital, los procesadores de banda base BP (L2) 228 pueden coincidir con el filtro de los datos digitales correspondientes a la banda L2 BB. Otros procesadores de banda base 232 pueden coincidir con el filtro de otras bandas GNSS. El procesador 170 puede realizar operaciones adicionales en la señal o señales recibidas en la ruta 161 sin apartarse del alcance de la invención.

[0035] El procesador 170 puede integrarse con el procesador de señales analógicas 150 y el procesador 170 puede implementarse con uno o más circuitos integrados específicos de la aplicación (ASIC), procesadores de señales digitales (DSP), dispositivos de procesamiento de señales digitales (DSPD), dispositivos lógicos programables (PLD), matrices de puertas programables en el terreno (FPGA), procesadores, controladores, micro-controladores, microprocesadores, dispositivos electrónicos, otras unidades de dispositivos diseñadas para realizar las funciones descritas en el presente documento y/o combinaciones de las mismas. El procesador 150 y/o 170 pueden incluir cualquier tipo de memoria que pueda habilitarse para almacenar información en forma de datos y/o instrucciones para realizar los procesos descritos en el presente documento. A modo de ejemplo, pero no de

limitación, la memoria puede incluirse en un artículo de fabricación y puede incluir una forma no transitoria de memoria, uno o más discos de almacenamiento de datos ópticos, uno o más discos o cintas de almacenamiento magnético, etc.

5 **[0036]** En consecuencia, el circuito en la Figura 2a logra varias ventajas, incluida la integración de más de un tipo de receptor GNSS en productos sin aumentar el tamaño, el coste y el peso de los productos en un modo de realización. Por ejemplo, el circuito en la Figura 2a tiene un solo procesador de señales analógicas 150 para todos los tipos de GNSS y, por lo tanto, no aumenta el tamaño, el coste y el peso del producto al requerir múltiples procesadores analógicos en un modo de realización. Además, el circuito en la Figura 2a tiene una única ruta de
10 señal analógica 161 para todos los GNSS deseados para reducir el recuento de pines dentro del producto y utiliza un solo convertidor analógico a digital 220 (ADC) en el producto de interfaz en un modo de realización.

[0037] La Figura 2b ilustra un procesador de señales analógicas 240 y un procesador de señales digitales 271 para el receptor 130 de acuerdo con otro modo de realización. El procesador de señales analógicas 240 y el procesador de señales digitales 271 son similares al procesador de señales analógicas 150 y al procesador de señales digitales 170 analizados anteriormente. El procesador de señales analógicas 240 incluye circuitos que están configurados para recibir una o más señales. Por ejemplo, las señales en las rutas 143 y 145 de las antenas 142 y 144 (Figura 1a) se muestran como recibidas inicialmente por el procesador de señales analógicas 240 en un modo de realización. Aunque en la Figura 2b se muestran dos señales, el procesador de señales analógicas 240
15 puede recibir más señales en un modo de realización. En otro modo de realización, una línea de señal puede ser capaz de proporcionar una o más señales al procesador de señales analógicas 240. Las señales en las rutas 143 y 145 que se reciben desde las antenas 142 y 144 son recibidas inicialmente por un circuito de extremo delantero de RF 241 y un circuito de extremo delantero de RF 256, respectivamente, en un modo de realización. Los circuitos frontales de RF 241 y 256 pueden funcionar de manera similar a los circuitos frontales de RF 201 y 203, descritos
20 anteriormente.

[0038] En un modo de realización, los circuitos frontales de RF 241 y 256 pueden amplificar las señales de RF recibidas simultáneamente y cuantificadas continuamente. En algunos modos de realización, los circuitos frontales de RF 241 y 256 pueden incluir un amplificador de bajo ruido (LNA) y un bloque de ganancia. En otros modos de realización, los circuitos frontales de RF 241 y 256 pueden ubicarse con las antenas 142 y 144. En algunos modos de realización, los circuitos frontales de RF 241 y 256 incluyen filtros preseleccionados que están centrados hacia una señal posicional, una señal de telecomunicación u otro tipo de señal que se desea recibir. Por ejemplo, los filtros del preselector en el circuito 241 pueden tener frecuencias que están centradas hacia señales posicionales, tales como pero no limitadas a, la banda L2 y/o la banda R2, y los filtros del preselector en el circuito 256 pueden tener frecuencias que están centradas hacia señales posicionales, tales como, pero no limitadas a, la banda L1 y/o las
25 bandas R1.

[0039] Las señales resultantes de los circuitos frontales de RF 241 y 256 se pueden dividir en señales en fase (I) en las rutas 247 y 362 mediante el uso de mezcladores 243 y 258 y señales de fase en cuadratura (Q) en las rutas 248 y 263 mediante el uso de mezcladores 244 y 259. En un modo de realización, dividir la señal en sus componentes I y Q permite el procesamiento de la señal a una frecuencia negativa.

[0040] La frecuencia de la señal BB proporcionada por el mezclador 243 puede controlarse mediante una señal de oscilador local en una entrada 245. La frecuencia de la señal BB proporcionada por el mezclador 244 puede controlarse mediante una señal de oscilador local en una entrada 246. En un modo de realización, el mezclador 243 multiplica la señal de RF por las LO en fase y entrega la señal en fase resultante al filtro 249. En un modo de realización, el mezclador 244 multiplica la señal de RF por las LO en cuadratura y entrega la señal de cuadratura resultante al filtro 250. En un modo de realización, los mezcladores 243 y 244 están configurados para convertir de forma descendente las señales recibidas a una frecuencia que es diferente de la frecuencia asociada con los mezcladores 258 y 259. En otros modos de realización, los mezcladores 243 y 244 están configurados para convertirse de forma descendente a una frecuencia basándose en la determinación de la frecuencia de las señales proporcionadas por los mezcladores 258 y 259 y la elección de una frecuencia diferente.

[0041] El filtro 249 (por ejemplo, el filtro de banda base o IF) filtra las señales de interferencia de alta frecuencia y otras señales que pueden ser los armónicos de la señal deseada de las señales en fase L2 y/o R2 recibidas desde el mezclador 243. El filtro 250 (p. ej., filtro de banda base o IF) filtra las señales de interferencia de alta frecuencia y otras señales que pueden ser los armónicos de la señal deseada de la cuadratura L2 y/o señales R2 recibidas desde el mezclador 244 en un modo de realización. Después de filtrar la señal, la señal se entrega a un filtro polifásico 251 que combina las componentes I y Q para formar una señal en la ruta 252. En un modo de realización, la señal en la ruta 252 es entregada o recibida por un combinador 253. El combinador 253 realiza una función similar a la del combinador 214 analizado con referencia a la Figura 2a.

[0042] En un modo de realización, el circuito de extremo frontal 256 recibe una señal en la trayectoria 145. En un modo de realización, el circuito de extremo frontal 256 procesa la señal 145 de manera similar al circuito de extremo frontal 241 para generar una señal en la ruta 257. Los mezcladores 258 y 259 procesan la señal de manera similar a los mezcladores 243 y 244, respectivamente. Los mezcladores 258 y 259 pueden recibir señales de

oscilador locales en las respectivas entradas 260 y 261 y realizar una conversión descendente de la señal y separar la señal en sus componentes I y Q. Los Mezcladores 258 y 259 pueden convertir de forma descendente la señal a una frecuencia que sea diferente a la frecuencia asociada con los mezcladores 243 y 244. Después de convertir y separar la señal en la ruta 257, las señales en las rutas 262 y 263 se entregan a los filtros 264 y 265, respectivamente. Los filtros 264 y 265 (por ejemplo, filtros F o de banda base) realizan funciones similares a los filtros 249 y 250. Las señales de los filtros 264 y 265 se transmiten al filtro polifásico 266. El filtro polifásico 266 realiza funciones similares a las analizadas anteriormente con respecto al filtro polifásico 251. El filtro polifásico 266 genera una señal en la ruta 267 que se proporciona al combinador 253.

[0043] Después de recibir señales en las rutas 252 y 267, el combinador 253 realiza la combinación actual de dos señales en un proceso similar al combinador 214 descrito anteriormente de acuerdo con un modo de realización. El combinador 253 combina las dos señales que están intercaladas y no se superponen en el dominio de la frecuencia de acuerdo con un modo de realización. La señal en la ruta 254 se puede entregar al controlador de salida 255 que puede generar una única ruta de señal que combina ambas señales BB asociadas con las rutas 143 y 145.

[0044] La ruta de señal analógica 270 entrega las señales BB asociadas con las rutas 143 y 145 (p. ej., las señales L1/R1 y L2/R2 BB) en una ruta de salida analógica única 270. En ciertos modos de realización, la ruta 270 puede ser de un solo cable, un par de cables diferencial o un bus que incluye una pluralidad de conexiones físicas que entregan las señales en paralelo. En un modo de realización, la ruta 270 puede ser un solo cable que conecta el convertidor analógico a digital 272 en el procesador de señales digitales 271 y el controlador de salida 255 del procesador de señales analógicas 240. En un modo de realización de ejemplo, las señales L1/R1 y L2/R2 BB en las rutas 143 y 145 no están multiplexadas espacialmente ni temporalmente en el procesador 240 después de que se reciben las señales. Después de recibir la señal en la ruta 270, el convertidor analógico a digital 272 puede convertir la señal analógica en una señal digital y entregar la señal digital a un convertidor descendente digital 273. El convertidor descendente digital 273 puede convertir de forma descendente aún más la señal del convertidor analógico a digital 272 en un modo de realización. El convertidor descendente digital 273 permite que la banda de frecuencias de interés se mueva de forma descendente en el espectro para reducir las frecuencias de muestreo, los requisitos de filtro y las cargas de procesamiento digital.

[0045] En consecuencia, el circuito en la Figura 2b logra varias ventajas, incluida la integración de más de un tipo de receptor GNSS en productos sin aumentar el tamaño, el coste y el peso de los productos en un modo de realización. Por ejemplo, el circuito en la Figura 2b tiene un solo procesador de señales analógicas 240 para todos los tipos de GNSS y, por lo tanto, no añade tamaño, coste y peso al producto en un modo de realización. Además, el circuito en la Figura 2b tiene una única ruta de señal analógica 270 para todos los GNSS deseados para reducir el recuento de pines dentro del producto y utiliza un solo convertidor analógico a digital (ADC) 272 en un modo de realización.

[0046] La Figura 2c ilustra un procesador de señales analógicas 280 y un procesador de señales digitales 300. El procesador de señales analógicas 280 incluye circuitos frontales 281, 295, mezcladores 283, 284, 297 y 299, filtros de banda base 289, 290, 334 y 335, combinadores 292, 339 y controladores de salida analógicos 294 y 340. El procesador de señales digitales 300 incluye dos o más convertidores analógico a digital I, Q 342 y 343, un convertidor descendente complejo digital 344 y procesadores de banda base 274, 275, 276, 277 y 278.

[0047] Como se analizó anteriormente con respecto a las Figuras 2a y 2b, los circuitos frontales 281 y 295 procesan una señal de manera similar a los circuitos frontales 201 y 203, respectivamente. De forma adicional o alternativa, los circuitos frontales 281 y 295 procesan una señal de manera similar a los circuitos frontales 241 y 256, respectivamente. Los mezcladores 283 y 284 procesan una señal de manera similar a los mezcladores 243 y 244 analizados con referencia a la Figura 2b. Los mezcladores 297 y 299 procesan la señal de manera similar a los mezcladores 258 y 259 como se analizó con referencia a la Figura 2b.

[0048] Los filtros 289 y 290 (por ejemplo, los filtros de banda base o IF) reciben las señales 287 y 288 y las procesan de manera similar a los filtros 249 y 250. Los filtros 334 y 335 reciben las señales 332 y 333 y las procesan de manera similar a los filtros 264 y 265.

[0049] En la Figura 2c, en lugar de combinar las señales I y Q como se analizó con referencia en la Figura 2b, el procesador de señales analógicas 280 incluye dos o más combinadores (por ejemplo, los combinadores 292 y 339) que combinan la componente I de las dos o más señales diferentes y combinan las componentes Q de las dos o más señales recibidas. Los combinadores 292 y 339 pueden proporcionar señales en las rutas 293a y 293b a los controladores de salida analógica 294 y 340. En un modo de realización de ejemplo, el controlador de salida 294 puede entregar las componentes I combinadas de dos señales diferentes en las rutas 143 y 145 al procesador de señales digitales 300. En un modo de realización de ejemplo, el controlador de salida 340 puede transmitir las componentes Q combinadas de dos señales diferentes en las rutas 143 y 145 al procesador de señales digitales 300.

[0050] El procesador de señales digitales 300 puede incluir convertidores analógicos a digitales 342 y 343, convertidor descendente complejo digital 344 y procesadores de banda base 274, 275, 276, 277 y 278. El complejo convertidor descendente 344 recibe una componente I y una componente Q y proporciona señales para el procesador de banda base 274, 275, 276 y 278. En un modo de realización, el convertidor 344 recibe una señal de IF del ADC en fase 342 y el ADC en cuadratura de fase 343 y proporciona una señal compleja de banda base centrada en frecuencia cero para los procesadores de banda base 274, 275, 276, 277 y 278. A diferencia de los convertidores descendentes digitales 221 y 273, el convertidor descendente complejo digital 344 recibe dos señales, tales como, la señal en fase y en cuadratura, y genera una señal compleja de banda base centrada en frecuencia cero.

[0051] En consecuencia, el circuito en la Figura 2c logra varias ventajas, incluida la integración de más de un tipo de receptor GNSS en productos sin aumentar el tamaño, el coste y el peso de los productos en un modo de realización. Por ejemplo, el circuito en la Figura 2b tiene un solo procesador de señales analógicas 280 para todos los tipos de GNSS y, por lo tanto, no aumenta el tamaño, coste y peso del producto en un modo de realización. Además, el circuito en la Figura 2c tiene dos rutas de señal analógica 295 y 341 (una para señales en fase y otra para señales en cuadratura) para reducir el recuento de pines dentro del producto y utiliza dos convertidores analógicos a digital (ADC) 342 y 343 (uno para señales en fase y otro para señales en cuadratura).

[0052] La Figura 3a muestra un gráfico que ilustra la salida de banda base analógica en el espectro de frecuencias. La Figura 3a ilustra la señal combinada en la ruta de salida analógica 160 (Figura 1a) en un modo de realización. Como se muestra en la Figura 3a, una señal ZIF, LIF o VLIF 302 que contiene la señal L2 BB se coloca (de manera interpuesta) entre la señal de IF 301 que contiene la señal L1 BB centrada en -13,6 MHz y la señal de IF 303 que contiene la señal R1 BB centrada a +12 MHz en un modo de realización. La señal 302 se puede intercalar en diferentes ubicaciones dependiendo de la ubicación de ZIF, VLIF o LIF. Con la ubicación que se muestra en la Figura 3a, el receptor 130 puede continuar recibiendo la señal L2 incluso cuando la señal L1 sufre interferencias o no está disponible.

[0053] En otros modos de realización, la ubicación o ubicación de la señal 301, la señal 302 y la señal 303 en el dominio de la frecuencia se pueden cambiar o intercambiar. Por ejemplo, la señal que contiene la señal L1 BB se puede convertir de forma descendente a 0 MHz, la señal que contiene la señal L2 BB se puede convertir de forma descendente a -13,6 MHz y la señal que contiene la señal R1 BB se puede convertir de forma descendente a +12 MHz, en un modo de realización. En otro modo de realización, la señal que contiene la señal L1 BB se convierte de forma descendente a 12 MHz, la señal que contiene la señal L2 BB se convierte de forma descendente a -13,6 MHz y la señal que contiene la señal R1 BB se convierte de forma descendente a 0 MHz. En otro modo de realización, la señal que contiene la señal L1 BB se convierte de forma descendente a -13,6 MHz, la señal que contiene la señal L2 BB se convierte de forma descendente a +13 MHz y la señal que contiene la señal R1 BB se convierte de forma descendente a 0 MHz. Por consiguiente, son posibles varias permutaciones (por ejemplo, P (4,3) que equivalen a 24 ubicaciones totales en el caso de una de ZIF, LIF y VLIF). Además, se pueden utilizar ubicaciones distintas de 12,0 MHz y -13,6 MHz.

[0054] Se pueden agregar o sustituir otras señales GNSS para la señal 301, la señal 302 y la señal 303. En otros modos de realización, una o más de las señales GNSS no se usan, por ejemplo, la señal que contiene la señal R1 BB puede filtrarse y la señal que contiene la señal L2 BB y la señal que contiene la L1 se convierten de forma descendente. En un ejemplo, la señal que contiene la señal L2 BB se puede convertir de forma descendente a 0 MHz y la señal que contiene la señal L1 BB se puede convertir de forma descendente a -13,6 MHz. En otro ejemplo, la señal que contiene el L1 BB se puede convertir de forma descendente a 0 MHz y la señal que contiene la señal del L2 BB se puede convertir de forma descendente a -13,6 MHz. En otro modo de realización más, la señal que contiene la señal L1 BB puede convertirse a 0 MHz y la señal que contiene la señal L2 BB puede convertirse de forma descendente a 13 MHz. En otro modo de realización más, la señal que contiene la señal L2 BB se puede convertir de forma descendente a 0 MHz y la señal que contiene la señal L1 BB se puede convertir de forma descendente a 13 MHz.

[0055] La Figura 3b ilustra la señal combinada en la ruta de salida analógica 160 (Figura 1a) en un modo de realización. Como se muestra en la Figura 3b, una señal ZIF 701 que contiene la señal L2 BB se convierte de forma descendente a una señal de IF 302 que contiene la señal L1 BB a -13,6 MHz y una señal de IF 703 que contiene la señal R1 BB a +13 MHz en un modo de realización. La señal 701 se puede intercalar en diferentes ubicaciones dependiendo de la ubicación ZIF, VLIF o LIF.

[0056] La Figura 3c muestra un modo de realización que ilustra la ubicación de una señal de IF 803 que contiene la señal GLONASS R1 BB y la señal de IF 801 que contiene la señal L1 BB. En este modo de realización, la señal 803 se ubica a -13,6 MHz, la señal 801 se ubica a +13 MHz, y una señal 802 que contiene la señal L2 BB es una señal ZIF, VLIF o LIF.

[0057] La Figura 3d muestra un modo de realización que ilustra la ubicación de una señal de IF 813 que contiene la señal GLONASS R1 BB y la señal de IF 811 que contiene la señal L1 BB 801. En este modo de realización, la señal 813 se encuentra a +20 MHz, la señal 811 se ubica a +7 MHz, y una señal 812 que contiene la señal L2 BB

es una señal ZIF, VLIF o LIF. El receptor 130 que se muestra en la Figura 2b genera las señales que se muestran en la Figura 3d en un modo de realización. Como se mencionó anteriormente, el receptor 130 en la Figura 2b genera señales con bandas de frecuencia positivas en un modo de realización.

5 **[0058]** Aunque se muestran tres señales en las Figuras 3a-3d, se puede usar un mayor número de señales. Cada señal que se recibe puede estar intercalada en el dominio de la frecuencia. En un modo de realización, los convertidores descendentes y los osciladores locales están configurados con respecto a las frecuencias de todas las demás señales, de manera que cuando las señales se combinan, la señal no se superpone.

10 **[0059]** La Figura 4 es un diagrama de flujo de un procedimiento 390 para procesar señales tales como señales posicionales GNSS, de acuerdo con un modo de realización de ejemplo. En un modo de realización, las señales posicionales GNSS incluyen una o más señales GPS. El procedimiento 390 incluye el paso 392 que se puede implementar en el procesador analógico 150. En un modo de realización, el paso 392 se puede implementar mediante el convertidor descendente 205 (Figura 2a), los mezcladores 243 y 244 (Figura 2b), o los mezcladores 283 y 284 (Figura 2c). En el paso 392, al menos una primera señal de RF en una primera ruta de RF (por ejemplo, la ruta 143) en una primera banda de frecuencias se convierte de forma descendente para proporcionar una primera señal de IF. En un paso 394, una segunda señal de RF en una segunda ruta (por ejemplo, la ruta 145) en una segunda banda de frecuencias se convierte de forma descendente para proporcionar una segunda señal de IF. Las dos señales de RF se pueden convertir de forma descendente en el procesador analógico 150 en el paso 394. En un modo de realización, el paso 394 se puede implementar mediante el convertidor 205 (Figura 2a), los mezcladores 258 y 259 (Figura 2b) o los mezcladores 297 y 299 (Figura 2c). La primera banda de frecuencias puede ser diferente de la segunda banda de frecuencias. La conversión descendente en los pasos 392 y 394 se realiza para intercalar la primera señal de IF y la segunda señal de IF en el dominio de la frecuencia en un modo de realización. La conversión descendente en los pasos 392 y 394 se realiza simultáneamente en un modo de realización. Una de la primera señal de IF o la segunda señal de IF puede ser una señal ZIF, VLIF o LIF en un modo de realización.

25 **[0060]** En el paso 346, los combinadores 214, 253, 292, 339 (Figuras 2a-c) pueden combinar al menos parte de la primera señal de IF y la segunda señal de IF para proporcionar una señal combinada en una ruta de señal de salida (por ejemplo, la ruta 160) para la recepción mediante un circuito de procesamiento digital (por ejemplo, procesadores 170, 271, 300).

30 **[0061]** La Figura 5 es un diagrama de flujo del procedimiento 400 para procesar señales tales como señales posicionales GNSS, de acuerdo con un modo de realización de ejemplo. En un modo de realización, las señales posicionales GNSS incluyen una o más señales GPS. El procedimiento 400 incluye un paso 410 que puede ser implementado por el convertidor descendente 205 (Figura 2a), los mezcladores 243 y 244 (Figura 2b) y los mezcladores 283 y 284 (Figura 2c). En el paso 410, al menos una primera señal de RF en una primera ruta de RF (por ejemplo, la ruta 143) en una primera banda de frecuencias se convierte de forma descendente para proporcionar una primera señal de IF. En un paso 412, una segunda señal de RF en una segunda ruta (por ejemplo, la ruta 145) en una segunda banda de frecuencias se convierte de forma descendente para proporcionar una segunda señal de IF. La primera banda de frecuencias puede ser diferente de la segunda banda de frecuencias. El paso 412 puede implementarse mediante el convertidor descendente 205 (Figura 2a), los mezcladores 258 y 259 (Figura 2b), o los mezcladores 297 y 299 (Figura 2c). La conversión descendente en los pasos 410 y 412 se realiza para intercalar la primera señal de IF y la segunda señal de IF en el dominio de la frecuencia en un modo de realización. La conversión descendente en los pasos 410 y 412 se realiza simultáneamente en un modo de realización. Una de la primera señal de IF o la segunda señal de IF puede ser una señal ZIF, VLIF o LIF en un modo de realización.

35 **[0062]** En el paso 414, los combinadores 214, 253, 292, 339 (Figuras 2a-c) pueden combinar al menos parte de la primera señal de IF y la segunda señal de IF para proporcionar una señal combinada en una ruta de señal de salida (por ejemplo, la ruta 160) para la recepción mediante un circuito de procesamiento digital (por ejemplo, procesadores 170, 271, 300). En el paso 416, la señal combinada se convierte en una señal digital utilizando un ADC de ruta única. En el bloque 418, los procesadores de banda base pueden procesar la señal digital mediante conversión descendente digital y hacer coincidir el filtrado de la señal apropiada que se necesita para determinar la posición global del dispositivo del usuario.

40 **[0063]** Se entiende que el orden o jerarquía específicos de los pasos de los procesos divulgados es un ejemplo de soluciones a modo de ejemplo. Basándose en las preferencias de diseño, se entiende que el orden o jerarquía específicos de los pasos de los procesos se pueden reorganizar manteniéndose dentro del alcance de la presente divulgación. Las reivindicaciones del procedimiento adjuntas presentan los elementos de los diversos pasos en un orden de muestra y no pretenden limitarse al orden o jerarquía específicos presentados.

45 **[0064]** Los expertos en la técnica entenderán que la información y las señales pueden representarse usando cualquiera entre una diversidad de tecnologías y técnicas diferentes. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que se puedan haber mencionado a lo

largo de la descripción anterior se pueden representar mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos o partículas ópticos o cualquier combinación de los mismos.

5 **[0065]** Los expertos en la técnica apreciarían además que los diversos bloques lógicos, módulos, circuitos y pasos de algoritmo ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito en general diversos componentes, bloques, módulos, circuitos y pasos ilustrativos en términos de su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de la aplicación particular y de las restricciones de diseño impuestas en el sistema general. Los expertos en la técnica pueden implementar la funcionalidad descrita de distintas maneras para cada aplicación particular, pero no se debería interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente divulgación.

15 **[0066]** Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse o realizarse con un procesador de uso general, con un procesador de señales digitales (DSP), con un circuito integrado específico de la aplicación (ASIC), con una matriz de puertas programables in situ (FPGA) o con otro dispositivo de lógica programable, lógica de transistores o de puertas discretas, componentes de hardware discretos o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de propósito general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

25 **[0067]** Los pasos de un procedimiento o algoritmo descrito en relación con los modos de realización divulgados en el presente documento se pueden realizar directamente en hardware, en un módulo de software ejecutado mediante un procesador o en una combinación de los dos. Un módulo de software puede residir en una memoria RAM, en una memoria flash, en una memoria ROM, en una memoria EPROM, en una memoria EEPROM, en registros, en un disco duro, en un disco extraíble, en un CD-ROM o en cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento a modo de ejemplo está acoplado al procesador de manera que el procesador puede leer información de, y escribir información en, el medio de almacenamiento. De forma alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un terminal de usuario. De forma alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un terminal de usuario.

35 **[0068]** En uno o más de los modos de realización a modo de ejemplo, las funciones descritas pueden implementarse en hardware, software, firmware o cualquier combinación de los mismos. Si se implementan en software, las funciones pueden almacenarse o entregarse como una o más instrucciones o código en un medio legible por ordenador. Los medios legibles por ordenador incluyen tanto medios de almacenamiento informático como medios de comunicación, incluyendo cualquier medio que facilita la transferencia de un programa informático de un lugar a otro. Un medio de almacenamiento no transitorio puede ser cualquier medio disponible al que pueda accederse mediante un ordenador. A modo de ejemplo y no de limitación, dichos medios de almacenamiento legibles por ordenador no transitorios pueden comprender RAM, ROM, EEPROM, CD-ROM u otros dispositivos de almacenamiento en disco óptico, almacenamiento en disco magnético u otros dispositivos de almacenamiento magnético, o cualquier otro medio que pueda utilizarse para transportar o almacenar código de programa deseado en forma de instrucciones o estructuras de datos y al que pueda accederse mediante un ordenador. Además, cualquier conexión puede llamarse de manera apropiada medio legible por ordenador. Por ejemplo, si el software se transmite desde un sitio web, un servidor u otro origen remoto usando un cable coaxial, un cable de fibra óptica, un par trenzado, una línea de abonado digital (DSL) o tecnologías inalámbricas tales como infrarrojos, radio y microondas, entonces el cable coaxial, el cable de fibra óptica, el par trenzado, la DSL o las tecnologías inalámbricas, tales como infrarrojos, radio y microondas, se incluyen en la definición de medio. Los discos, como se usan en el presente documento, incluyen el disco compacto (CD), el disco láser, el disco óptico, el disco versátil digital (DVD), el disco flexible y el disco Blu-ray, donde algunos discos reproducen normalmente los datos magnéticamente, mientras que otros discos reproducen los datos ópticamente con láseres. Las combinaciones de lo anterior también deberían incluirse dentro del alcance de los medios legibles por ordenador.

50 **[0069]** La descripción previa de los modos de realización divulgados se proporciona para permitir que cualquier experto en la materia realice o use la presente divulgación. Diversas modificaciones de estos modos de realización resultarán fácilmente evidentes a los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otros modos de realización sin apartarse del alcance de la divulgación.

REIVINDICACIONES

1. Un procedimiento para procesamiento de señales, que comprende:

5 convertir de forma descendente al menos una primera señal de RF en una primera ruta en una primera banda de frecuencias para proporcionar una primera señal de IF que comprende una primera señal de componente I y una primera señal de componente Q;

10 convertir de forma descendente al menos una segunda señal de RF en la segunda ruta en una segunda banda de frecuencias para proporcionar una segunda señal de IF que comprende una segunda señal de componente I y una segunda señal de componente Q, en el que la primera señal de IF y la segunda señal de IF están intercaladas en el dominio de frecuencia, siendo la primera banda de frecuencias diferente de la segunda banda de frecuencias;

15 combinar la primera señal de componente I y la primera señal de componente Q utilizando un primer filtro polifásico para proporcionar una tercera señal de IF;

20 combinar la segunda señal de componente I y la segunda señal de componente Q utilizando un segundo filtro polifásico para proporcionar una cuarta señal de IF; y

 combinar al menos parte de la tercera señal de IF y la cuarta señal de IF para proporcionar una señal combinada en una ruta de señal de salida para la recepción mediante un circuito de procesamiento digital.

25 2. El procedimiento según la reivindicación 1, en el que la primera señal de IF comprende al menos una de una señal de IF cero (ZIF), IF muy bajo (VLIF) o IF bajo (LIF).

30 3. El procedimiento según la reivindicación 1, en el que la primera señal de RF se convierte de forma descendente para proporcionar una primera señal de componente I y una primera señal de componente Q, y la segunda señal de RF se convierte de forma descendente para proporcionar una segunda señal de componente I y una segunda señal de componente Q, y en el que la primera señal de componente I y la segunda señal de componente I se combinan para proporcionar una primera señal combinada; y preferentemente

35 en el que la primera señal de la componente Q y la segunda señal de la componente Q se combinan para proporcionar una segunda señal combinada para la recepción por parte del procesador de señales digitales.

40 4. El procedimiento según la reivindicación 1, en el que la señal combinada se proporciona en una única ruta de señal.

5. El procedimiento según la reivindicación 1, en el que la primera señal de RF en la primera ruta y la segunda señal de RF en la segunda ruta son señales GNSS; y preferentemente

45 en el que las señales GNSS son señales de uno o más de los siguientes sistemas: un GPS, un GLONASS, un sistema BeiDou y un sistema Galileo.

6. Un circuito, que comprende:

50 un convertidor descendente configurado para convertir de forma descendente una primera señal de RF en una primera ruta en una primera banda de frecuencias para proporcionar una primera señal de IF que comprende una primera señal de componente I y una primera señal de componente Q y una segunda señal de RF en una segunda ruta en una segunda banda de frecuencias para proporcionar una segunda señal de IF que comprende una segunda señal de componente I y una segunda señal de componente Q, en el que la primera señal de IF y la segunda señal de IF están intercaladas en el dominio de la frecuencia, siendo la primera banda de frecuencias diferente de la segunda banda de frecuencias; y

60 un primer filtro polifásico configurado para combinar la primera señal de la componente I y la primera señal de la componente Q para proporcionar una tercera señal de IF;

 un segundo filtro polifásico configurado para combinar la segunda señal de la componente I y la segunda señal de la componente Q para proporcionar una cuarta señal de IF;

65 un combinador configurado para combinar al menos parte de la tercera señal de IF y la cuarta señal de IF para proporcionar una señal combinada; y

un controlador configurado para emitir la señal combinada en una ruta de señal analógica.

- 5
7. El circuito de la reivindicación 6, en el que la ruta de señal analógica está conectada a un procesador de señales digitales.
8. El circuito de la reivindicación 6, en el que la primera señal de IF es una señal de IF cero (ZIF), IF muy bajo (VLIF) o IF bajo (LIF).
- 10
9. El circuito de la reivindicación 6, en el que la primera señal de RF en la primera ruta comprende al menos una de: una señal L1, L2, R1, R2, L2C, E1, E2, E5a, E5b y E6; y
 en el que la segunda señal de RF en la segunda ruta comprende al menos uno de: una señal L1, L2, R1, R2, L2C, E1, E2, E5a, E5b y E6.
- 15
10. El circuito de la reivindicación 6, en el que la ruta de señal analógica es una única ruta de señal.
11. El circuito de la reivindicación 6, en el que la ruta de señal analógica incluye un terminal de un circuito integrado.
- 20
12. El circuito de acuerdo con la reivindicación 6, en el que la primera señal de RF se convierte y filtra de forma descendente para proporcionar la primera señal de componente I y la primera señal de componente Q, y en el que la segunda señal de RF se convierte de forma descendente y se filtra para proporcionar la segunda señal de componente I y segunda señal componente Q.
- 25
13. El circuito de la reivindicación 6, en el que el combinador es un combinador de modo de corriente.
14. El circuito de la reivindicación 6, en el que la primera señal de RF en la primera ruta se convierte de forma descendente para proporcionar una primera señal de componente I y una primera señal de componente Q, y la segunda señal de RF en la segunda ruta se convierte de forma descendente para proporcionar una
 30 segunda señal de componente I y una segunda señal de componente Q, y en el que la primera señal de componente I y la segunda señal de componente I se combinan para proporcionar una señal de componente I combinada y en el que la primera señal de componente Q y la segunda señal de componente Q se combinan para proporcionar una señal de componente Q combinada.
- 35
15. El circuito de la reivindicación 14, en el que el convertidor descendente incluye un par de osciladores locales configurados para separar la primera señal de RF en la primera señal de componente I y la primera señal de componente Q; y
 40 en el que el convertidor descendente incluye un par de osciladores locales configurados para separar la segunda señal de RF en la segunda señal de componente I y la segunda señal de componente Q; y
 en el que el convertidor descendente es un convertidor descendente de señal analógica.

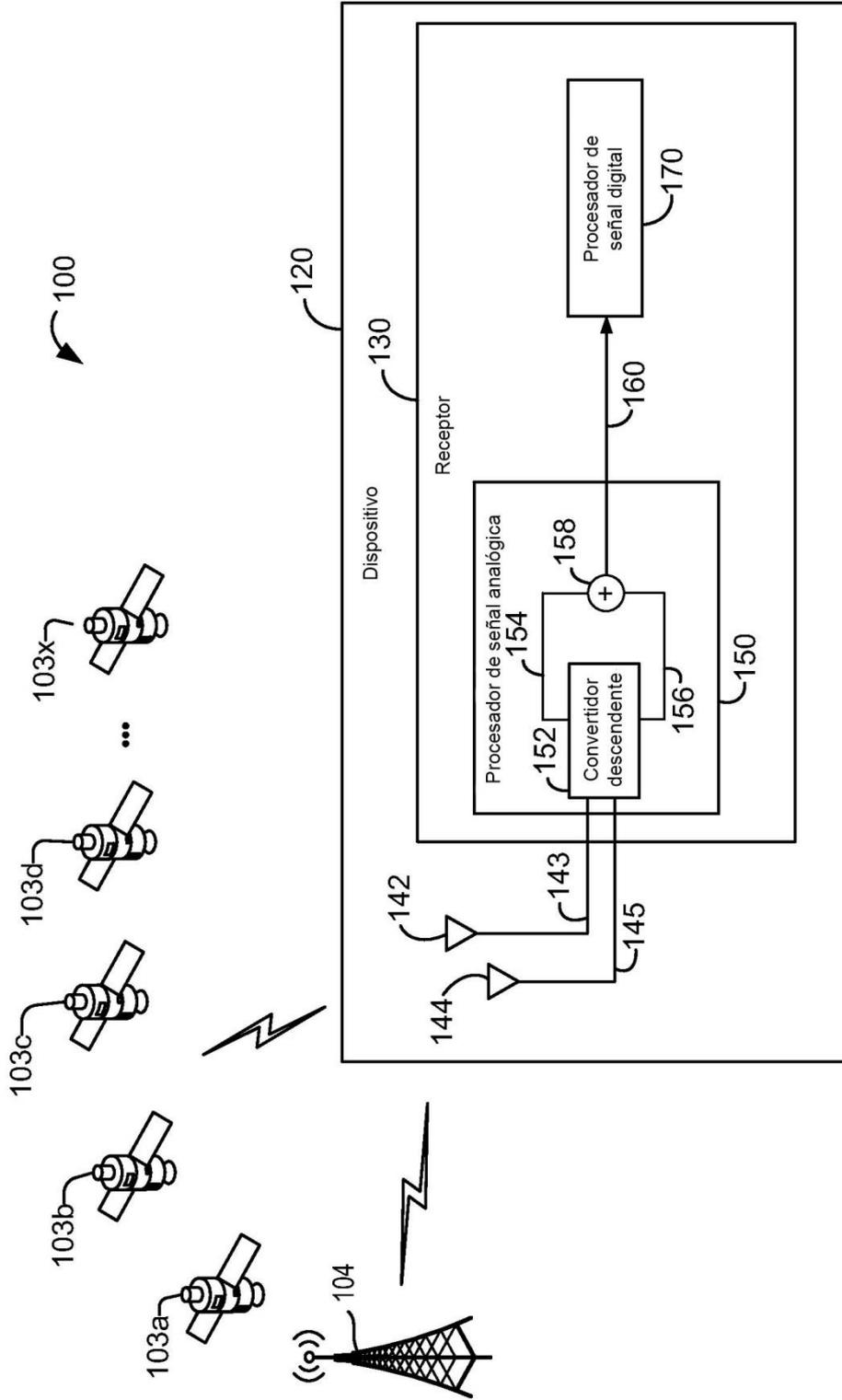


Figura 1a

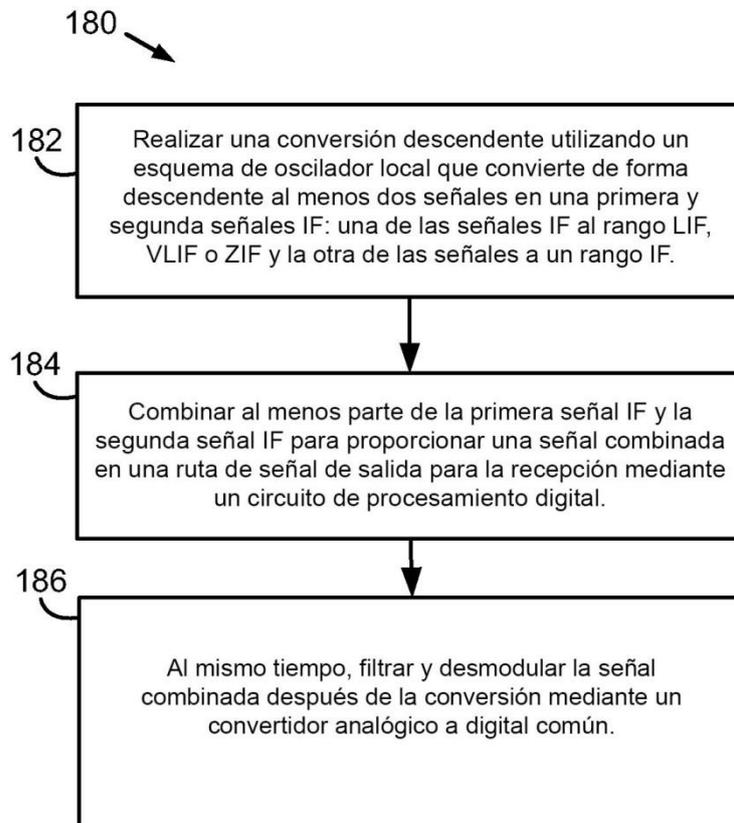


Figura 1b

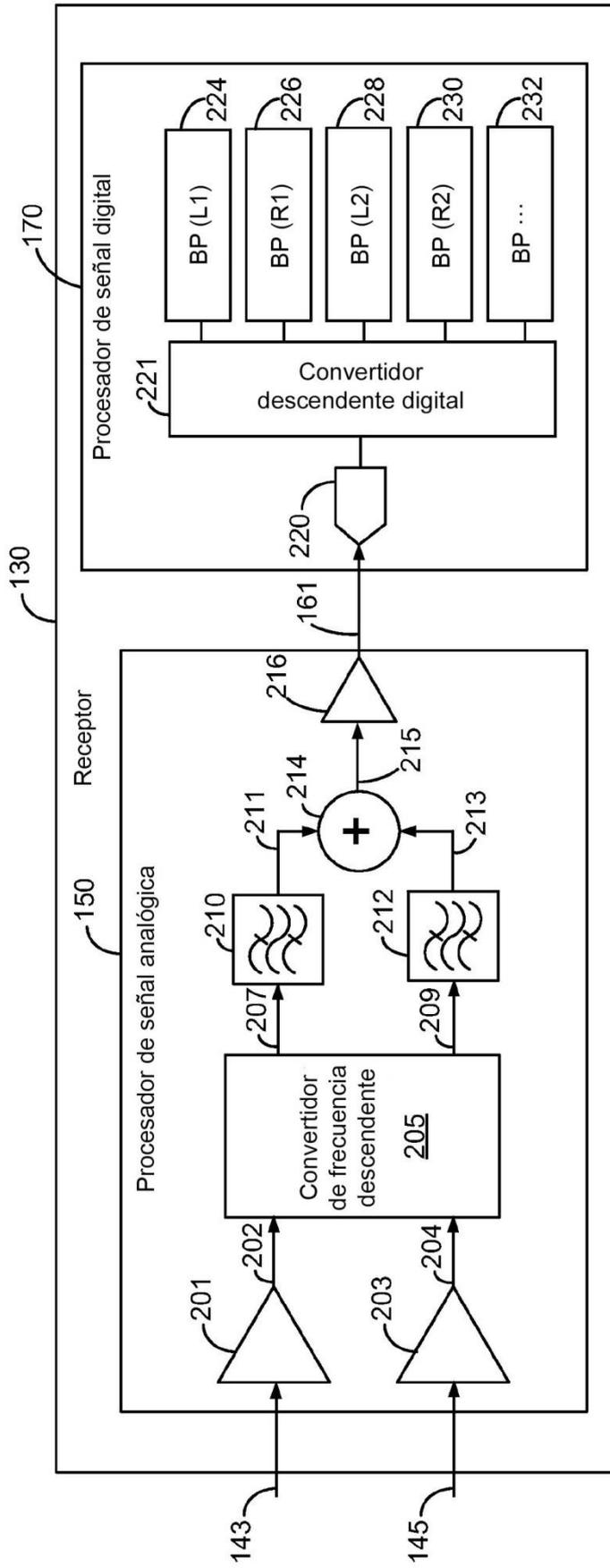


Figura 2a

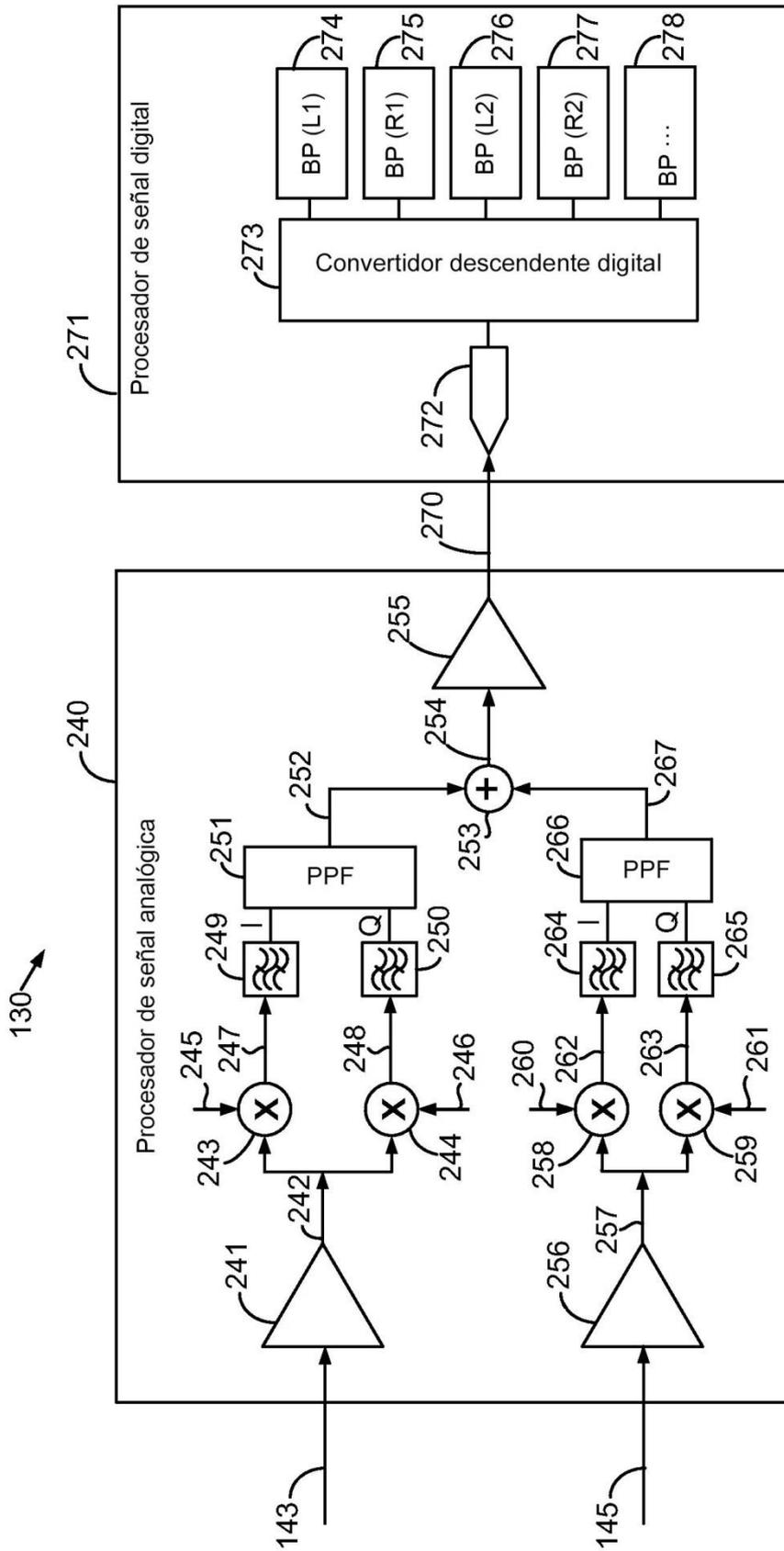


Figura 2b

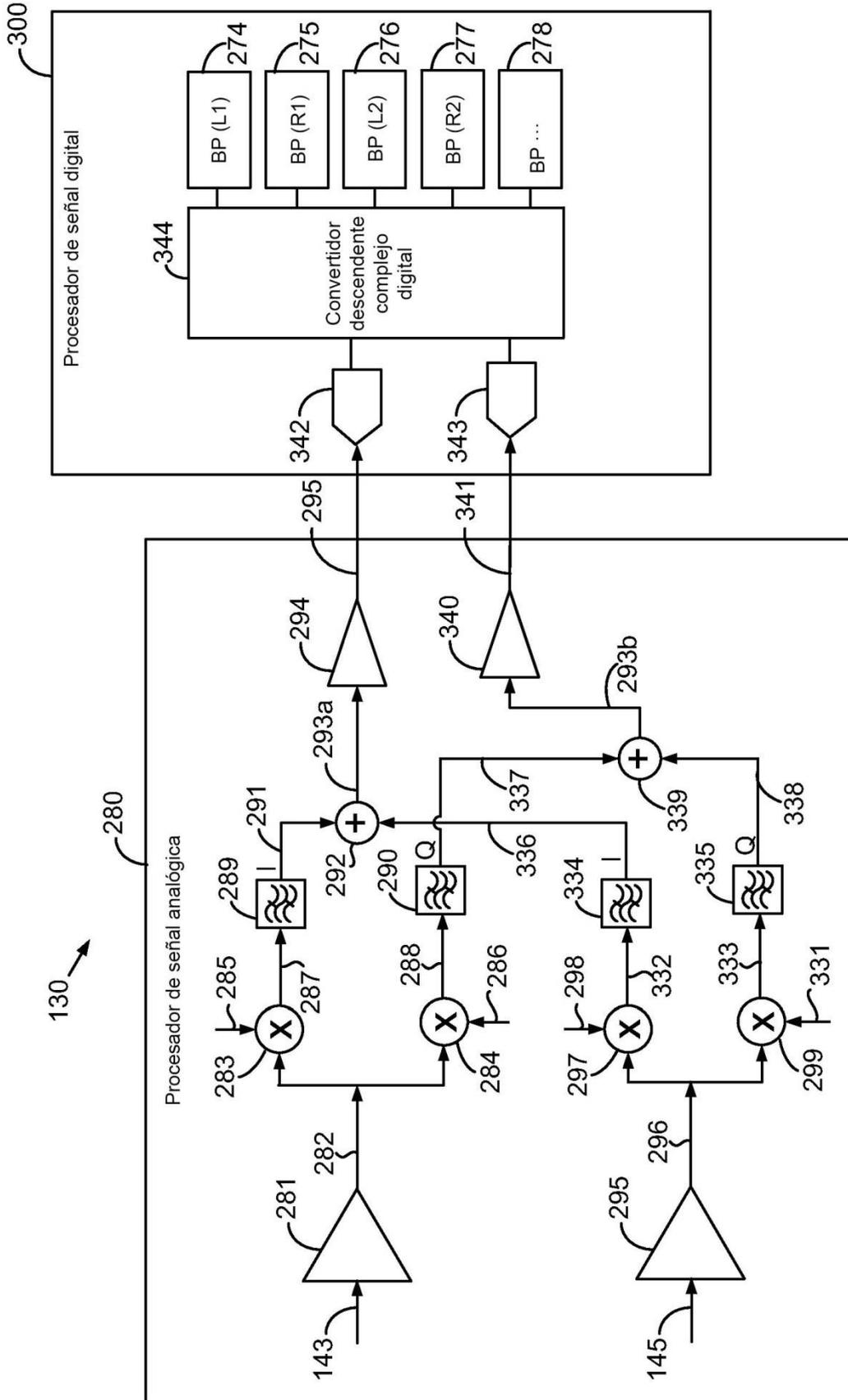


Figura 2c

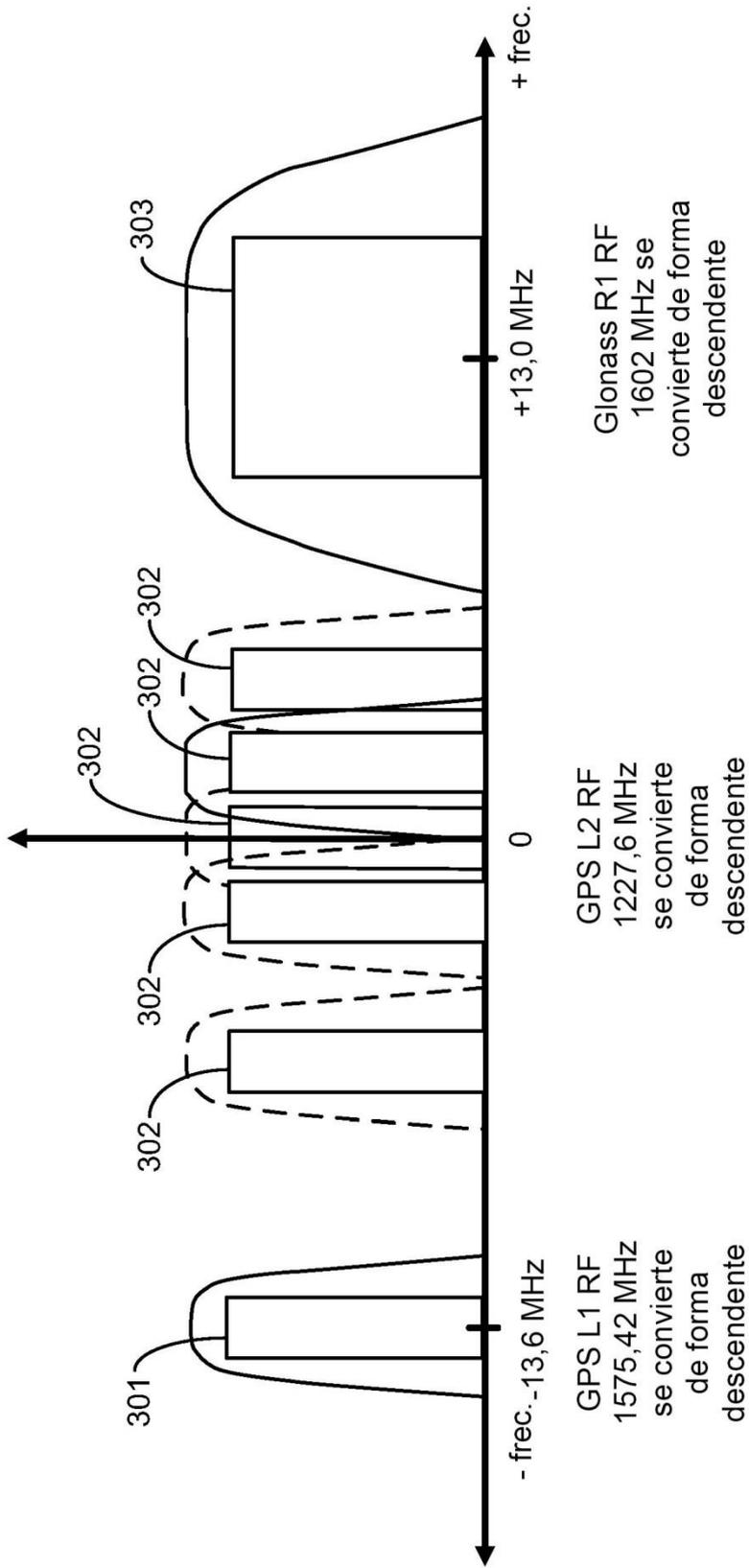


Figura 3a

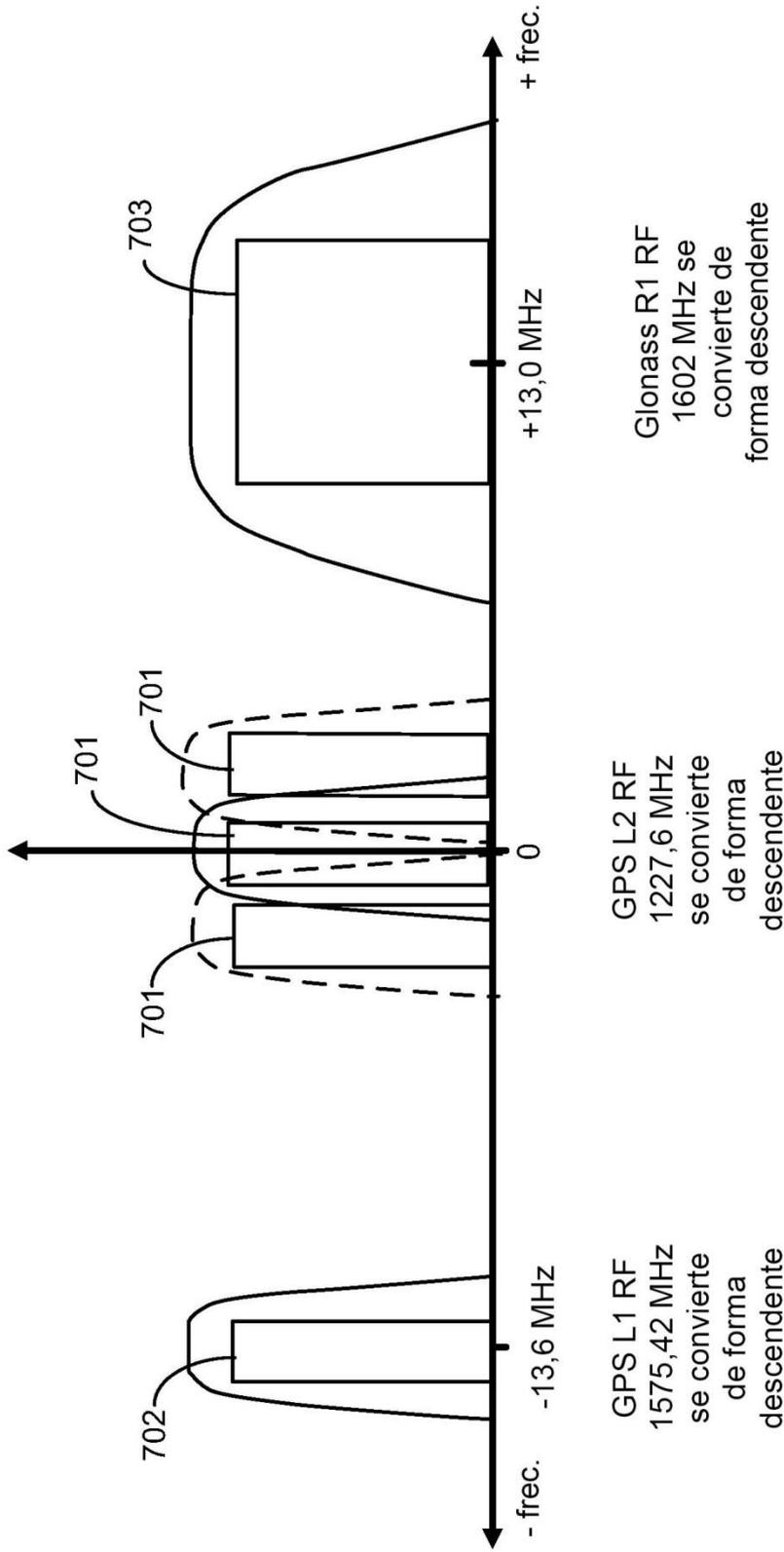


Figura 3b

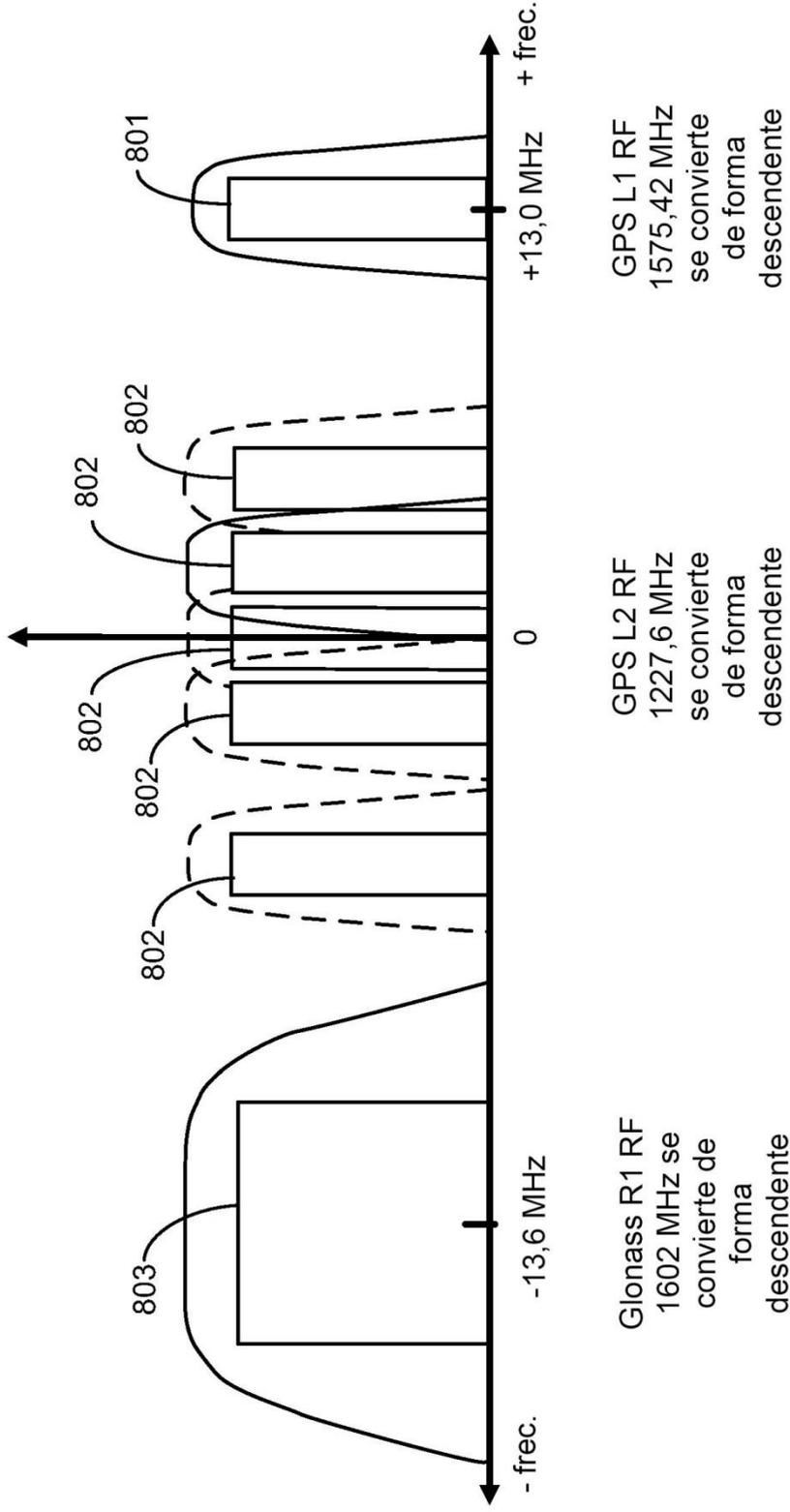


Figura 3c

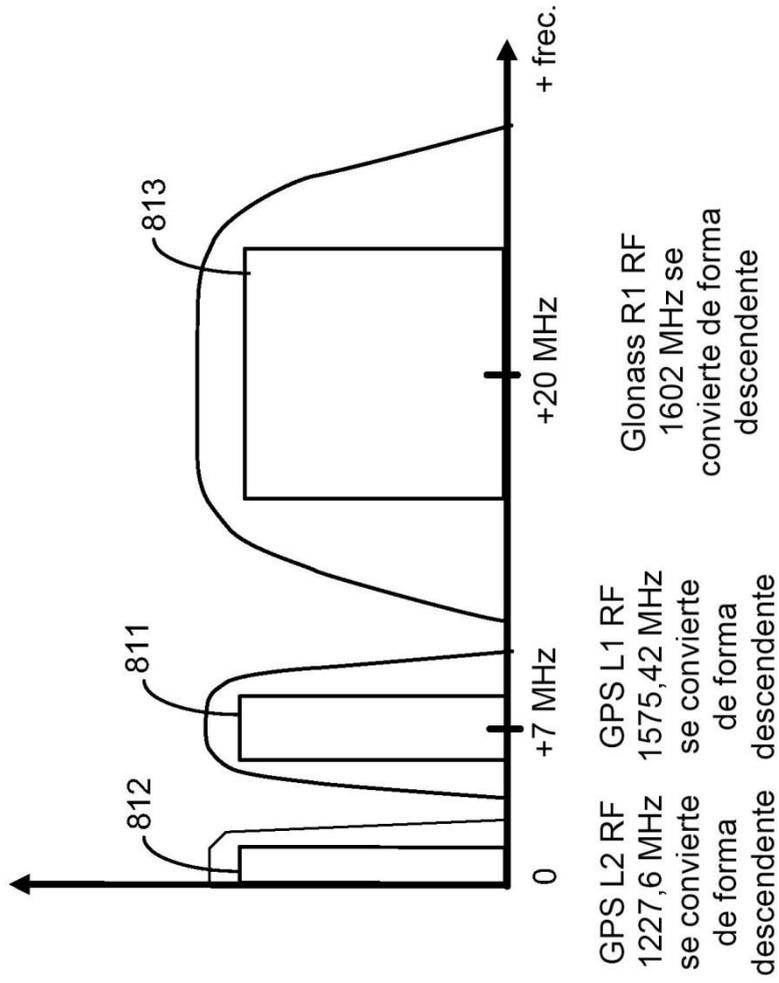


Figura 3d

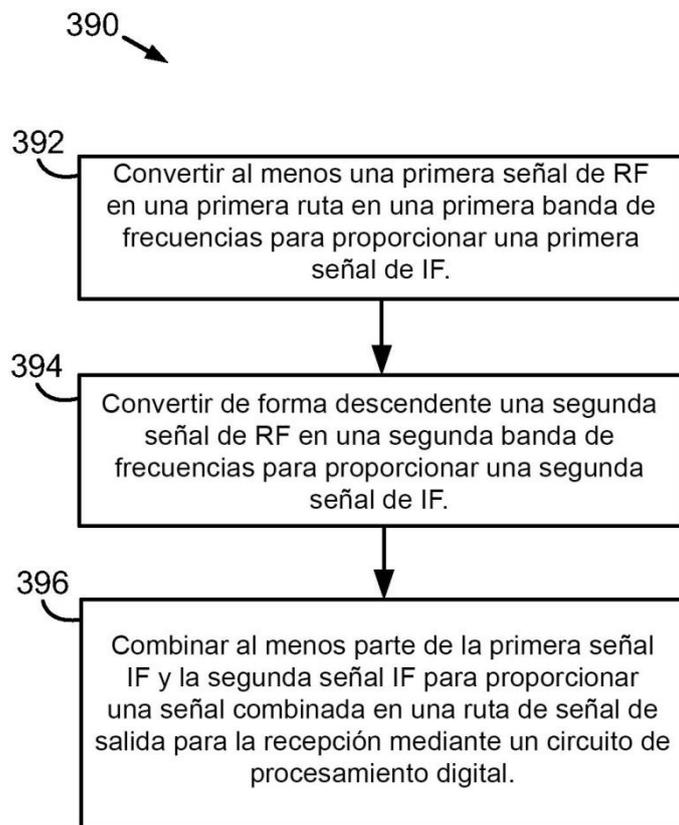


Figura 4

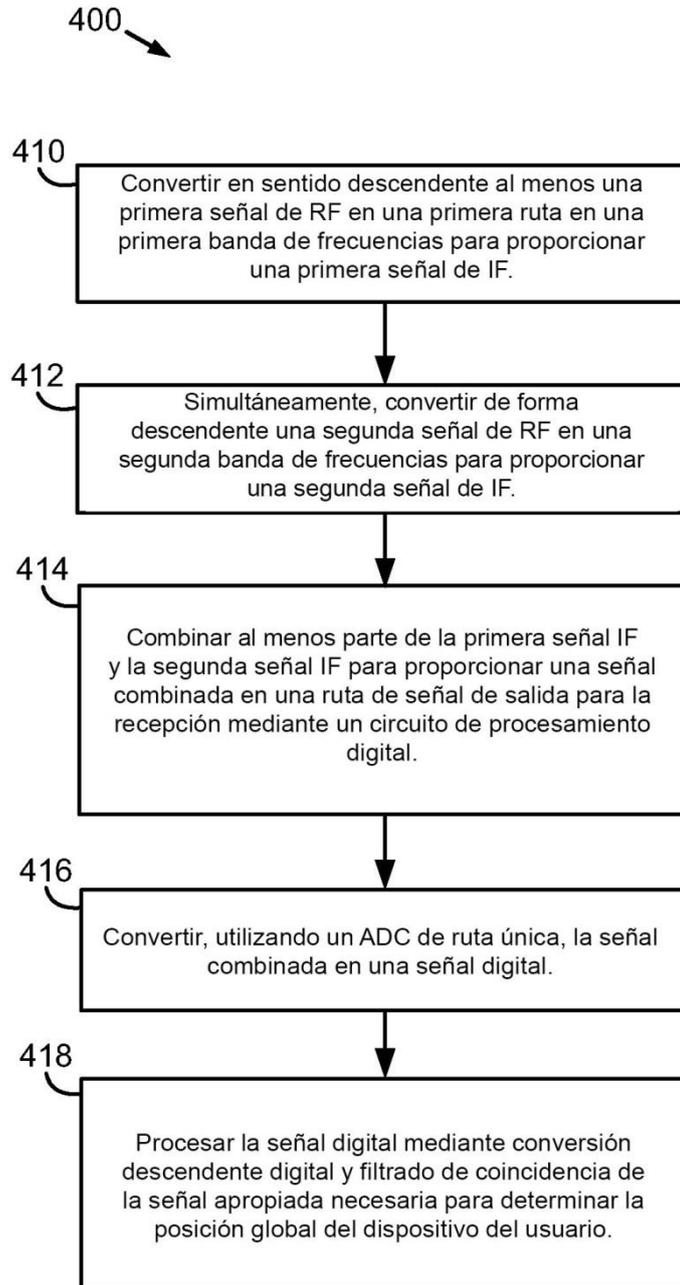


Figura 5