

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 733 375**

51 Int. Cl.:

G11C 11/419 (2006.01)

G11C 7/10 (2006.01)

G11C 7/12 (2006.01)

G11C 7/18 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **25.11.2014 PCT/US2014/067269**

87 Fecha y número de publicación internacional: **04.06.2015 WO15081056**

96 Fecha de presentación y número de la solicitud europea: **25.11.2014 E 14812101 (5)**

97 Fecha y número de publicación de la concesión europea: **17.04.2019 EP 3074980**

54 Título: **Circuitos de líneas de bits globales de Memoria Estática de Acceso Aleatorio (SRAM) para reducir los fallos de energía durante los accesos de lectura de memoria, y procedimientos y sistemas relacionados**

30 Prioridad:
26.11.2013 US 201314090288

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
28.11.2019

73 Titular/es:
**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:
**PUCKETT, JOSHUA, LANCE;
LILES, STEPHEN, EDWARD y
MARTZLOFF, JASON, PHILIP**

74 Agente/Representante:
FORTEA LAGUNA, Juan José

ES 2 733 375 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuitos de líneas de bits globales de Memoria Estática de Acceso Aleatorio (SRAM) para reducir los fallos de energía durante los accesos de lectura de memoria, y procedimientos y sistemas relacionados

5

REIVINDICACIÓN DE PRIORIDAD

[0001] La presente solicitud reivindica la prioridad de la solicitud de patente de EE. UU. con n.º de serie 14/090.288 presentada el 26 de noviembre de 2013 y titulada "STATIC RANDOM ACCESS MEMORY (SRAM) GLOBAL BITLINE CIRCUITS FOR REDUCING POWER GLITCHES DURING MEMORY READ ACCESSES, AND RELATED METHODS AND SYSTEMS [CIRCUITOS DE LÍNEAS DE BITS GLOBALES DE MEMORIA ESTÁTICA DE ACCESO ALEATORIO (SRAM) PARA REDUCIR LOS FALLOS DE ENERGÍA DURANTE LOS ACCESOS DE LECTURA DE MEMORIA, Y PROCEDIMIENTOS Y SISTEMAS RELACIONADOS]".

10

ANTECEDENTES**I. Campo de la divulgación**

[0002] El campo de la divulgación se refiere en general a la memoria informática, y en particular a las líneas de bits globales de memoria estática de acceso aleatorio (SRAM) para proporcionar salidas de acceso de lectura de memoria para una matriz de memoria.

20

II. Antecedentes

[0003] Los sistemas informáticos basados en el procesador incluyen una memoria para el almacenamiento de datos. Existen diferentes tipos de memoria, cada una con determinadas características únicas. Por ejemplo, la memoria estática de acceso aleatorio (SRAM) es un tipo de memoria que se puede emplear en sistemas informáticos basados en el procesador. La SRAM puede almacenar datos sin la necesidad de actualizar periódicamente la memoria, a diferencia de la memoria dinámica de acceso de lectura (DRAM), por ejemplo. Una SRAM contiene una pluralidad de células de bits de SRAM (también denominadas «células de bits») organizadas en filas y columnas en una matriz de datos de SRAM. Para cualquier fila dada en una matriz de datos de SRAM, cada columna de la matriz de datos de SRAM contendrá una célula de bits de SRAM en la que se almacene un único elemento o bit de datos. El acceso a una fila de células de bits de SRAM deseada se controla mediante una línea de palabra correspondiente para las operaciones de lectura y escritura. Para leer datos en una célula de bits de SRAM, se afirma una línea de palabra para seleccionar una fila deseada de células de bits de SRAM correspondientes a una dirección de memoria de una petición de acceso a memoria. Para una operación de lectura (también denominada «acceso de lectura de memoria»), los datos leídos en la célula de bits de SRAM seleccionada se colocan en una línea de bits local para proporcionarlos a una salida de datos de SRAM. Para una operación de escritura, los datos que se vayan a escribir en la célula de bits de SRAM se colocan en la línea de bits local para la célula de bits de SRAM. También se pueden emplear líneas de bits locales complementarias para mejorar los márgenes de ruido en la célula de bits de SRAM. Además, una matriz de datos de SRAM puede tener múltiples submatrices o bancos de datos que contengan cada uno su propia circuitería de acceso y líneas de palabras y líneas de bits locales dedicadas que permitan accesos en múltiples submatrices de datos al mismo tiempo.

25

30

35

40

[0004] Una SRAM también puede emplear el uso de líneas de bits globales además de líneas de bits locales correspondientes a células de bits particulares. Las líneas de bits globales se pueden emplear para agregar las líneas de bits locales de las células de bits de SRAM para cada columna de una matriz de datos de SRAM para emitir datos correspondientes a solo una célula de bits en cada columna de la matriz de datos de SRAM a la vez. Esta agregación es posible porque la línea de palabra solo puede seleccionar una fila de una matriz de datos de SRAM para cada operación de lectura. Por tanto, solo la célula de bits de cada columna que corresponda a la fila seleccionada por la línea de palabra tendrá sus datos leídos en su línea de bits local para una operación de lectura dada. No se pierde ningún valor de datos debido a la agregación ya que solo las líneas de bits locales correspondientes a la fila seleccionada, y reflejadas en las líneas de bits globales, poseen datos leídos en una célula de bits. Esta agregación proporciona una carga más pequeña en la salida de datos de SRAM en comparación con una carga creada al proporcionar las líneas de bits locales para cada célula de bits a la salida de datos de SRAM. Esta carga más pequeña permite que la salida de datos de SRAM consista en transistores que requieran una corriente de accionamiento más baja, reduciendo por tanto el consumo de energía dentro de la SRAM.

45

50

55

[0005] Aunque el empleo de un esquema de línea de bits global en una SRAM puede proporcionar una carga de salida más pequeña en las salidas de datos de la SRAM, el empleo de líneas de bits globales en una SRAM puede tener determinadas desventajas. Por ejemplo, el uso de un esquema de línea de bits global en una SRAM puede dar como resultado fallos de energía involuntarios durante las operaciones de lectura de SRAM. Se puede producir un fallo de energía cuando la línea de bits global se ajuste incorrectamente a un valor '1' lógico (por ejemplo, tensión de una línea de alimentación de tensión) durante un período de tiempo determinado cuando la salida debería ser igual a un valor lógico '0' (por ejemplo, tensión del suelo). Dicho fallo de energía puede ser el resultado de determinadas características de temporización de circuitos. Además, el valor lógico errático '1' en la línea de bits global, causado por

60

65

un fallo de energía, aumenta el consumo de energía de la SRAM.

[0006] Una solución para evitar los fallos de energía en una SRAM debido a dichas características de temporización del circuito implica retardar la transferencia de datos leídos en las líneas de bits locales de modo que dichos datos no se coloquen prematuramente en una línea de bits global. Sin embargo, retardar la transferencia de datos de esta manera puede causar que la línea de bits global reciba los datos más adelante en el tiempo, incrementando por tanto la latencia de una operación de lectura de memoria. Este incremento de la latencia en que se incurre para las operaciones de lectura de SRAM puede no ser deseable o puede causar que la SRAM esté fuera de las memorias descriptivas de tiempo de acceso a memoria deseadas. Por tanto, sería ventajoso emplear líneas de bits globales en una SRAM para reducir la carga en la salida de datos de SRAM mientras se reducen o evitan los fallos de energía que surjan durante las operaciones de lectura de SRAM sin aumentar la latencia de dichas operaciones.

[0007] El documento US8 077 533 B2 divulga que, en una memoria, se precarga una línea de datos local en un primer estado lógico y se precarga un par de líneas de datos globales en un segundo estado lógico. Una célula de memoria seleccionada se acopla al par de líneas de datos local para desarrollar una tensión de línea de datos local diferencial. La tensión de la línea de datos local diferencial se amplifica posteriormente para formar una tensión de línea de datos local diferencial amplificada. Una seleccionada del par de líneas de datos globales se dirige al primer estado lógico en respuesta a la tensión de línea de datos local diferencial amplificada para formar una tensión de línea de datos global diferencial.

[0008] El documento US 2011/317505 A divulga un circuito de control de salida para una matriz de memoria que incluye un nodo de salida bloqueado precargado en un primer estado lógico anterior a una operación de lectura y escritura; la primera lógica que acopla los datos de célula de memoria de una ruta de lectura de memoria al nodo de salida durante la operación de lectura, la primera lógica controlada por una señal de temporización; la segunda lógica que desvía internamente la ruta de lectura de memoria durante una operación de escritura al desacoplarla del nodo de salida, de tal manera que una derivada lógica de los datos de escritura escritos en la matriz de memoria también se acopla al nodo de salida, la segunda lógica también controlada por la señal de temporización; y en el que se produce una transición del nodo de salida del primer estado lógico en un segundo estado lógico durante la operación de escritura dentro de un intervalo de tiempo como el de la misma transición durante la operación de lectura.

[0009] El documento US7 668 037 B2 divulga una matriz de almacenamiento que incluye una memoria intermedia de reloj local con temporización programable que proporciona un mecanismo para evaluar la temporización interna del circuito a la matriz de almacenamiento. La memoria intermedia del reloj local puede ajustar independientemente el ancho de pulso de un reloj local que controle los pulsos de precarga de la línea de palabra y de la línea de bits local y el ancho de pulso de un reloj retardado que controle la precarga global de línea de bits, evaluar y leer el bloqueo de datos. También se puede ajustar el retardo entre el reloj local y el reloj retardado. Al variar los anchos de pulso de la señal de reloj local y retardada, junto con el retardo entre relojes, los márgenes de tiempo de cada célula en la matriz pueden evaluarse leyendo y escribiendo la célula con ancho de pulso y retardo de reloj variables. La evaluación resultante se puede usar para evaluar la variación del margen de tiempo dentro de una matriz, así como la variación de una matriz a otra y en diferentes entornos, por ejemplo, la variación de tensión y temperatura.

SUMARIO DE LA DIVULGACIÓN

[0010] La invención se define por las reivindicaciones independientes 1 y 8. Se definen otros modos de realización preferentes mediante las reivindicaciones dependientes. Los modos de realización divulgados en la descripción detallada incluyen circuitos de líneas de bits globales de memoria estática de acceso aleatorio (SRAM) para reducir los fallos de energía durante los accesos de lectura de memoria, y los procedimientos y sistemas relacionados. El empleo de un esquema de línea de bits global en una SRAM puede reducir la carga colocada en la salida de datos de SRAM, reduciendo por tanto el consumo de energía. En los modos de realización divulgados en el presente documento, se proporciona una SRAM que incluye una matriz de datos de SRAM. La SRAM incluye un circuito de acceso a memoria para cada columna de la matriz de datos de SRAM configurada para precargar líneas de bits locales correspondientes a una pluralidad de células de bits de SRAM (también denominadas «células de bits») en una columna de la matriz de datos de SRAM. Los datos que se vayan a leer en una célula de bits de SRAM seleccionada se leen en su línea de bits local en una línea de bits agregada de lectura que está compuesta de una agregación de las líneas de bits locales de las células de bits de SRAM para la columna correspondiente de la matriz de datos de SRAM. La SRAM también incluye un circuito de línea de bits global de SRAM para cada columna de la matriz de datos de SRAM. Cada circuito de línea de bits global de SRAM incluye un circuito de evaluación de línea de bits configurado para enviar los datos desde la línea de bits agregada de lectura para la célula de bits de SRAM seleccionada a una línea de bits global acoplada a una salida de datos de SRAM.

[0011] En lugar de activar el envío de los datos desde la línea de bits agregada de lectura a la línea de bits global en base a una transición ascendente de un reloj del sistema, el envío de los datos a la línea de bits global se activa en base a una transición descendente del reloj del sistema. De esta manera, se puede emplear un esquema de línea de bits global en una SRAM que reduzca o evite los fallos de energía para reducir o evitar los incrementos del consumo de energía como resultado. Si el esquema de línea de bits global se activó para enviar los datos desde la línea de bits agregada de lectura a la línea de bits global en base a una transición ascendente del reloj del sistema, el envío de los

datos puede tener que retardarse a fin de evitar o reducir los fallos de energía, pero a expensas de incrementar la latencia del acceso de lectura de memoria.

5 **[0012]** Por tanto, en los modos de realización divulgados en el presente documento, se proporciona un circuito de generación de habilitación de línea de bits global en los circuitos de líneas de bits globales de SRAM de la SRAM. El circuito de generación de habilitación de línea de bits global está configurado para activar el envío de los datos desde la línea de bits agregada de lectura a la línea de bits global en base a una transición descendente del reloj del sistema. El circuito de generación de habilitación de línea de bits global está configurado para generar una habilitación de línea de bits global en respuesta a la detección de una transición descendente del reloj del sistema. También se puede proporcionar un circuito de evaluación de línea de bits en cada circuito de línea de bits global de SRAM que esté configurado para recibir la habilitación de línea de bits global y transferir los datos desde la línea de bits agregada de lectura a la línea de bits global acoplada a la salida de datos de SRAM.

15 **[0013]** A este respecto, en un modo de realización, se proporciona un circuito de línea de bits global de SRAM para una pluralidad de células de bits de SRAM. El circuito de línea de bits global de SRAM comprende un circuito de generación de habilitación de línea de bits global configurado para generar una habilitación de línea de bits global en respuesta a una transición descendente de un reloj del sistema. El circuito de línea de bits global de SRAM también comprende un circuito de evaluación de línea de bits acoplado a una línea de bits agregada de lectura configurada para recibir los datos almacenados en una célula de bits de SRAM seleccionada entre una pluralidad de células de bits de SRAM de una matriz de datos de SRAM. El circuito de evaluación de línea de bits está configurado para recibir los datos desde la célula de bits de SRAM seleccionada en la línea de bits agregada de lectura y generar una línea de bits global proporcionada como datos de SRAM para la matriz de datos de SRAM que contiene los datos en respuesta a la habilitación de línea de bits global. De esta manera, se puede emplear un esquema de línea de bits global en una SRAM que reduzca o evite los fallos de energía para reducir o evitar los incrementos del consumo de energía como resultado. Si el esquema de línea de bits global se activó para enviar los datos desde la línea de bits agregada de lectura a la línea de bits global en base a una transición ascendente del reloj del sistema, el envío de los datos puede tener que retardarse a fin de evitar o reducir los fallos de energía, pero a expensas de incrementar la latencia del acceso de lectura de memoria.

30 **[0014]** En otro modo de realización, se proporciona un circuito de línea de bits global de SRAM para una pluralidad de células de bits de SRAM. El circuito de línea de bits global de SRAM está compuesto de un medio para generar una habilitación de línea de bits global en respuesta a una transición descendente de un reloj del sistema. El circuito de línea de bits global de SRAM también comprende un medio para recibir datos leídos en una célula de bits de SRAM seleccionada en una línea de bits agregada de lectura configurada para recibir los datos almacenados en la célula de bits de SRAM seleccionada de una matriz de datos de SRAM. El circuito de línea de bits global de SRAM también incluye medios para generar una línea de bits global en respuesta a la habilitación de línea de bits global, en la cual la línea de bits global se proporciona como datos de SRAM.

40 **[0015]** En otro modo de realización, se proporciona un procedimiento para generar una línea de bits global de SRAM. El procedimiento comprende generar una habilitación de línea de bits global en respuesta a una transición descendente de un reloj del sistema. El procedimiento también comprende recibir datos desde una célula de bits de SRAM seleccionada entre una pluralidad de células de bits de SRAM en una línea de bits agregada de lectura, en el que los datos almacenados en la célula de bits de SRAM seleccionada de una matriz de datos SRAM se colocan en la línea de bits agregada de lectura. El procedimiento también comprende generar una línea de bits global proporcionada como una salida de datos de SRAM para la matriz de datos de SRAM que contiene los datos en respuesta a la habilitación de línea de bits global.

50 **[0016]** En otro modo de realización, se proporciona una SRAM. La SRAM comprende una matriz de datos de SRAM compuesta de una pluralidad de columnas. La SRAM también comprende una pluralidad de circuitos de acceso a memoria, en la cual cada circuito de acceso a memoria está asociado operativamente con una columna. Cada circuito de acceso a memoria está configurado para precargar una pluralidad de líneas de bits de lectura de una pluralidad de células de bits de SRAM en respuesta a una precarga. Cada circuito de acceso a memoria está configurado además para leer datos almacenados en una célula de bits de SRAM seleccionada entre la pluralidad de células de bits de SRAM en una línea de bits local correspondiente entre la pluralidad de líneas de bits de lectura precargadas. El circuito de acceso a memoria está configurado además para agregar la pluralidad de las líneas de bits de lectura precargadas en una línea de bits agregada de lectura para colocar los datos de la célula de bits de SRAM seleccionada en la línea de bits agregada de lectura. La SRAM también comprende una pluralidad de circuitos de líneas de bits globales de SRAM, en la que cada circuito de línea de bits global de SRAM está asociado operativamente con un circuito de acceso de memoria. Cada circuito de línea de bits global de SRAM comprende un circuito de generación de habilitación de línea de bits global que está configurado para generar una habilitación de línea de bits global en respuesta a una transición descendente de un reloj del sistema. Cada circuito de línea de bits global de SRAM también comprende un circuito de evaluación de línea de bits que está configurado para recibir datos desde la célula de bits de SRAM seleccionada en la línea de bits agregada de lectura y generar una línea de bits global como datos de SRAM en respuesta a la habilitación de línea de bits global. La SRAM también comprende una salida de datos en fila compuesta de la pluralidad de salidas de datos de SRAM de la pluralidad de circuitos de líneas de bits globales de SRAM.

BREVE DESCRIPCIÓN DE LAS FIGURAS**[0017]**

5 La Figura 1 es un diagrama de una memoria estática de acceso aleatorio (SRAM) a modo de ejemplo que emplea líneas de bits globales para agregar líneas de bits locales de cada columna y emitir datos desde una única célula de bits de SRAM para cada columna de una matriz de datos de SRAM;

10 la Figura 2A es un diagrama de temporización a modo de ejemplo que ilustra la temporización a modo de ejemplo de señales dentro de la SRAM de la Figura 1 generadas al realizar un acceso de lectura de memoria sin retardo adicional impuesto en una habilitación de línea de bits global;

15 la Figura 2B es un diagrama de temporización a modo de ejemplo que ilustra la temporización a modo de ejemplo de señales dentro de la SRAM de la Figura 1 generadas al realizar un acceso de lectura de memoria en la SRAM con un retardo adicional impuesto en una habilitación de línea de bits global;

20 la Figura 3 es una SRAM a modo de ejemplo que incluye un circuito de SRAM a modo de ejemplo que emplea una circuitería de evaluación de línea de bits para generar líneas de bits globales con una habilitación de línea de bits global activada por una transición descendente de un reloj del sistema, para reducir los fallos de energía durante los accesos de lectura de memoria sin una latencia incrementada;

25 la Figura 4A es un diagrama de temporización a modo de ejemplo que ilustra la temporización a modo de ejemplo de señales dentro del circuito de SRAM de la Figura 3 generadas al realizar un acceso de lectura de memoria mientras funciona a una frecuencia de reloj alta;

la Figura 4B es un diagrama de temporización a modo de ejemplo que ilustra la temporización a modo de ejemplo de señales dentro del circuito de SRAM de la Figura 3 generadas al realizar un acceso de lectura de memoria mientras funciona a una frecuencia de reloj más baja que la frecuencia de reloj representada en la Figura 4A;

30 la Figura 5 es un diagrama de tabla que ilustra un efecto a modo de ejemplo de los accesos de lectura de memoria de determinados valores realizados por la SRAM de la Figura 3 cuando determinados valores previos se almacenan en un bloqueo de salida;

35 la Figura 6 es otra SRAM a modo de ejemplo que incluye un circuito de SRAM que emplea una circuitería alternativa de evaluación de líneas de bits para generar líneas de bits globales con una habilitación de línea de bits global activada por una transición descendente de un reloj del sistema con un consumo de energía reducido; y

40 la Figura 7 es un diagrama de bloques de un sistema a modo de ejemplo basado en el procesador que puede incluir un circuito de SRAM que emplea líneas de bits globales con una habilitación de línea de bits global activada por una transición descendente de un reloj del sistema, para reducir los fallos de energía durante los accesos de lectura de memoria sin una latencia incrementada.

DESCRIPCIÓN DETALLADA

45 **[0018]** Con referencia ahora a las figuras en los dibujos, se describen varios modos de realización a modo de ejemplo de la presente divulgación. El término «a modo de ejemplo» se usa en el presente documento para significar «que sirve de ejemplo, caso o ilustración». No ha de interpretarse necesariamente que cualquier modo de realización descrito en el presente documento como «a modo de ejemplo» sea preferente o ventajoso con respecto a otros modos de realización.

50 **[0019]** Los modos de realización divulgados en la descripción detallada incluyen circuitos de líneas de bits globales de memoria estática de acceso aleatorio (SRAM) para reducir los fallos de energía durante los accesos de lectura de memoria, y los procedimientos y sistemas relacionados. El empleo de un esquema de línea de bits global en una SRAM puede reducir la carga colocada en la salida de datos de SRAM, reduciendo por tanto el consumo de energía.

55 En los modos de realización divulgados en el presente documento, se proporciona una SRAM que incluye una matriz de datos de SRAM. La SRAM incluye un circuito de acceso a memoria para cada columna de la matriz de datos de SRAM configurada para precargar líneas de bits locales correspondientes a una pluralidad de células de bits de SRAM (también denominadas «células de bits») en una columna de la matriz de datos de SRAM. Los datos que se vayan a leer en una célula de bits de SRAM seleccionada se leen en su línea de bits local en una línea de bits agregada de lectura que está compuesta de una agregación de las líneas de bits locales de las células de bits de SRAM para la columna correspondiente de la matriz de datos de SRAM. La SRAM también incluye un circuito de línea de bits global de SRAM para cada columna de la matriz de datos de SRAM. Cada circuito de línea de bits global de SRAM incluye un circuito de evaluación de línea de bits configurado para enviar los datos desde la línea de bits agregada de lectura para la célula de bits de SRAM seleccionada a una línea de bits global acoplada a una salida de datos de SRAM.

65 **[0020]** En lugar de activar el envío de los datos desde la línea de bits agregada de lectura a la línea de bits global

en base a una transición ascendente de un reloj del sistema, el envío de los datos a la línea de bits global se activa en base a una transición descendente del reloj del sistema. De esta manera, se puede emplear un esquema de línea de bits global en una SRAM que reduzca o evite los fallos de energía para reducir o evitar los incrementos del consumo de energía como resultado. Si el esquema de línea de bits global se activó para enviar los datos desde la línea de bits agregada de lectura a la línea de bits global en base a una transición ascendente del reloj del sistema, el envío de los datos puede tener que retardarse a fin de evitar o reducir los fallos de energía, pero a expensas de incrementar la latencia del acceso de lectura de memoria.

[0021] Por tanto, en los modos de realización divulgados en el presente documento, se proporciona un circuito de generación de habilitación de línea de bits global en los circuitos de líneas de bits globales de SRAM de la SRAM. El circuito de generación de habilitación de línea de bits global está configurado para activar el envío de los datos desde la línea de bits agregada de lectura a la línea de bits global en base a una transición descendente del reloj del sistema. El circuito de generación de habilitación de línea de bits global está configurado para generar una habilitación de línea de bits global en respuesta a la detección de una transición descendente del reloj del sistema. También se puede proporcionar un circuito de evaluación de línea de bits en cada circuito de línea de bits global de SRAM que esté configurado para recibir la habilitación de línea de bits global y transferir los datos desde la línea de bits agregada de lectura a la línea de bits global acoplada a la salida de datos de SRAM.

[0022] A este respecto, antes de analizar ejemplos de circuitos de líneas de bits globales de SRAM que tengan un circuito de generación de habilitación de línea de bits global configurado para generar una habilitación de línea de bits global en base a una transición descendente de un reloj del sistema que comience en la Figura 3, un ejemplo de un circuito de línea de bits global de SRAM que genera una habilitación de línea de bits global en base a una transición ascendente de un reloj del sistema se describe por primera vez con respecto a la Figura 1.

[0023] La Figura 1 ilustra una SRAM 10 a modo de ejemplo que emplea líneas de bits globales 12(0)-12(M) para cada columna 14(0)-14(M) correspondiente de una matriz de datos de SRAM 16. Cada línea de bits global 12(0)-12(M) se genera en una salida de línea de bits global 18(0)-18(M). La matriz de datos de SRAM 16 emplea una pluralidad de líneas de bits globales 12(0)-12(M), donde 'M+1' es el número de columnas 14(0)-14(M), y 'N+1' es el número de filas 20(0)-20(N) en la matriz de datos de SRAM 16. Para mayor claridad, se tratarán en este ejemplo los componentes relacionados solo con la columna 14(0) de la matriz de datos de SRAM 16. Sin embargo, este ejemplo es igualmente aplicable a las otras columnas 14(1)-14(M) de la matriz de datos de SRAM 16. Este ejemplo también es igualmente aplicable cuando la matriz de datos de SRAM 16 se divide en submatrices de datos de SRAM 22(0)-22(P).

[0024] Como se ilustra en la Figura 1, los datos de cada célula de bits de SRAM 24 de la columna 14(0) se introducen en un circuito de acceso a memoria 26(0). El circuito de acceso a memoria 26(0) precarga cada línea de bits local 28(0)-28(N) a un valor '1' lógico en respuesta a una precarga 30 al iniciar una operación de lectura. La precarga 30 se genera en una entrada de precarga 32. Poco después de dicha precarga, una línea de palabra 34 selecciona qué fila 20(0)-20(N) tiene sus datos de la célula de bits de SRAM 24 leídos en su línea de bits local 28. La línea de palabra 34 se genera en una entrada de línea de palabra 36. Las líneas de bits locales 28(0)-28(N) se agregan para formar una línea de bits agregada de lectura 38(0). La línea de bits agregada de lectura 38(0) se genera en una salida de línea de bits agregada de lectura 40(0). El valor de la línea de bits agregada de lectura 38(0) es igual a los datos almacenados en la célula de bits de SRAM 24 correspondiente a la fila 20(0)-20(N) seleccionada por la línea de palabra 34. La línea de bits agregada de lectura 38(0) y una habilitación de línea de bits global 42 se introducen en un circuito de evaluación de línea de bits 44(0) en base a una transición ascendente de un reloj del sistema 46. La habilitación de línea de bits global 42 se genera en una salida de habilitación de línea de bits global 48. La habilitación de línea de bits global 42 activa un bloqueo 50(0) dentro del circuito de evaluación de línea de bits 44(0), permitiendo que la línea de bits global 12(0) asuma el valor de la línea de bits agregada de lectura 38(0). La línea de bits global 12(0) se emite a los datos de SRAM 52(0). Los datos de SRAM 52(0) se generan en una salida de datos de SRAM 54(0). Como se ilustra en la Figura 1, la línea de bits global 12 se emplea para cada columna 14(0)-14(M) de la matriz de datos de SRAM 16, lo que permite que las líneas de bits globales 12(0)-12(M) emitan una fila 20 completa de la matriz de datos de SRAM 16 a la vez.

[0025] Como se describió anteriormente, la línea de bits global 12(0) en la SRAM 10 de la Figura 1 reduce el consumo de energía colocando una carga más pequeña en los datos de SRAM 52(0) en comparación con un circuito que emite cada línea de bits local 28(0)-28(N). Esto se debe a que la línea de bits global 12(0) emite datos desde una sola célula de bits de SRAM 24 en lugar de datos para cada célula de bits de SRAM 24 dentro de la columna 14(0). A pesar de dichos ahorros de energía, como se analiza a continuación, las características de temporización del esquema de línea de bits global empleado en el circuito de evaluación de línea de bits 44(0) en la SRAM 10 en la Figura 1 pueden dar como resultado fallos de energía en la línea de bits global 12(0), incrementando de este modo el consumo de energía de la SRAM 10.

[0026] A este respecto, la Figura 2A ilustra la temporización a modo de ejemplo de las señales 72 dentro de la SRAM 10 de la Figura 1 al realizar un acceso de lectura de memoria que da como resultado un fallo de energía 74 en la línea de bits global 12(0). Como se muestra y analiza a continuación, la habilitación de línea de bits global 42 se activa mediante una transición ascendente del reloj del sistema 46. Como se ilustra en la Figura 2A, durante un acceso de lectura de memoria en la SRAM 10, después de la transición ascendente 76 del reloj del sistema 46, la precarga 30,

la línea de palabra 34 y la habilitación de línea de bits global 42 hacen una transición alta. La precarga 30 hace la transición en la transición 78 a un valor '1' lógico, lo que causa que las líneas de bits locales 28(0)-28(N) se precarguen a un valor '1' lógico. La precarga de las líneas de bits locales 28(0)-28(N) causa que el circuito de acceso a memoria 26(0) de la SRAM 10 considere un valor lógico '1' en la transición 80 en la línea de bits agregada de lectura 38(0). La consideración de la línea de palabra 34 por la SRAM 10, mostrada como 82 en la Figura 2A, causa que la célula de bits de SRAM 24 en la fila 20 seleccionada dentro de la columna 14(0) de la matriz de datos de SRAM 16 en la Figura 1 se lea en su correspondiente línea de bits local 28. Las líneas de bits locales 28(0)-28(N) se agregan por el circuito de acceso a memoria 26(0) de la SRAM 10, colocando el valor, mostrado como 84 en la Figura 2A, de la célula de bits de SRAM de lectura 24 en la línea de bits agregada de lectura 38(0). La circuitería de control afirma la habilitación de la línea de bits global 42, mostrada como 86 en la Figura 2A, permitiendo que el circuito de evaluación de línea de bits 44(0) transfiera los datos desde la línea de bits agregada de lectura 38(0) a la línea de bits global 12(0). Sin embargo, en el escenario en que los datos en la línea de bits global 12(0) de un acceso de lectura de memoria previo sean un '0' lógico, y un acceso de lectura de memoria posterior cause que el circuito de acceso de memoria 26(0) coloque un '0' lógico en la línea de bits agregada de lectura 38(0), las características de temporización de la SRAM 10 pueden causar un fallo de energía 74 en la línea de bits global 12(0), como se ilustra en la Figura 2A. Este fallo de energía 74 se debe a que la habilitación de línea de bits global 42 se afirma prematuramente por la circuitería de control antes de que el valor '0' lógico, mostrado como 88 en la Figura 2A, de la célula de bits de SRAM 24 seleccionada se transfiera por el circuito de acceso de memoria 26(0) en la línea de bits agregada de lectura 38(0). Más específicamente, la temporización de la habilitación de la línea de bits global 42 permite que el circuito de evaluación de línea de bits 44(0) transfiera incorrectamente el valor '1' lógico precargado de la línea de bits agregada de lectura 38(0) a la línea de bits global 12(0) antes de que la línea de bits agregada de lectura 38(0) asuma apropiadamente el valor '0' lógico correcto de la línea de bits local 28. Como resultado, se puede colocar una tensión positiva errática en la línea de bits global 12(0), incrementando de este modo el consumo de energía en la SRAM 10.

[0027] Como se ilustra en la temporización a modo de ejemplo de las señales 90 en la Figura 2B, dichos fallos de energía pueden evitarse o reducirse en este modo de realización por la circuitería de control que retarde el aumento de la habilitación de línea de bits global 42. Sin embargo, con referencia continua a la Figura 2B, el retardo de la habilitación de línea de bits global 42, a fin de evitar un fallo de energía, también retarda que el circuito de evaluación de línea de bits 44(0) transfiera los datos de la línea de bits agregada de lectura 38(0) a la línea de bits global 12(0). Dicho retardo, mostrado como 92 en la Figura 2B, requiere tiempo adicional para completar un acceso de lectura de memoria, incrementando por tanto la latencia de lectura de la SRAM 10. Por tanto, sería ventajoso emplear líneas de bits globales en una SRAM mientras se reducen o evitan los fallos de energía que surjan durante los accesos de lectura de memoria sin incrementar la latencia de dichas operaciones.

[0028] A este respecto, la Figura 3 ilustra otra SRAM 94 a modo de ejemplo. La SRAM 94 incluye determinados componentes y circuitos comunes con la SRAM 10 en la Figura 1, que se muestran con números de elementos comunes entre las Figuras 1 y 3. Sin embargo, a diferencia de la SRAM 10 en la Figura 1, la SRAM 94 en la Figura 3 emplea un esquema de línea de bits global que usa los circuitos de generación de habilitación de línea de bits global 96(0)-96(M) configurados para generar una habilitación de línea de bits global 98 en una entrada de habilitación de línea de bits global 100 en base a una transición descendente del reloj del sistema 46. Esto se opone al circuito de control en la SRAM 10 en la Figura 1, que genera la habilitación de línea de bits global 42 en base a la transición ascendente 76 del reloj del sistema 46, como se ilustra en la Figura 2A. De esta manera, los fallos de energía en una línea de bits global 102(0) en la SRAM 94 en la Figura 3 causados por la línea de bits global 102(0) asumen prematuramente el valor de una línea de bits agregada de lectura 104(0) en respuesta a que el aumento de la habilitación de línea de bits global 98 demasiado temprano puede reducirse o evitarse sin añadir un retardo a la habilitación de la línea de bits global 98. Como resultado de reducir o evitar dichos fallos de energía de esta manera, los incrementos asociados en el consumo de energía pueden reducirse o evitarse sin incrementar la latencia del acceso de lectura de memoria.

[0029] A este respecto, con referencia continua a la Figura 3, similar a la SRAM 10 en la Figura 1, la SRAM 94 en la Figura 3 emplea una línea de bits global 102(0)-102(M) para cada columna 14(0)-14(M) de una matriz de datos de SRAM 16. Las líneas de bits globales 102(0)-102(M) se generan en una salida de línea de bits global 106(0)-106(M). La SRAM 94 de la Figura 3 también emplea circuitos de acceso de memoria 108(0)-108(M) que proporcionan cada línea de bits agregada de lectura 104(0)-104(M) a un circuito de línea de bits global de SRAM 110(0)-110(M) correspondiente. Cada línea de bits agregada de lectura 104(0)-104(M) se genera en una salida de línea de bits agregada de lectura 112(0)-112(M). Similar a la Figura 1 descrita anteriormente, para mayor claridad, los componentes que se relacionan solo con la columna 14(0) de la matriz de datos de SRAM 16 y la línea de bits global 102(0) se tratarán en este ejemplo. Sin embargo, este ejemplo es igualmente aplicable a las otras columnas 14(1)-14(M) de la matriz de datos de SRAM 16 y a otras líneas de bits globales 102(1)-102(M), así como a otras columnas 14 en otras submatrices de datos de SRAM 22 dentro de la SRAM 94.

[0030] Con referencia continua a la Figura 3, el circuito de generación de habilitación de línea de bits global 96(0) y un circuito de evaluación de línea de bits 114(0) están ambos incluidos en el circuito de línea de bits global de SRAM 110(0). El circuito de generación de habilitación de línea de bits global 96(0) recibe una habilitación de línea de bits global alta activa 116 y un reloj del sistema invertido 46', y proporciona la habilitación de línea de bits global 98 en base a la transición descendente del reloj del sistema 46. En este modo de realización, la habilitación de línea de bits

global 98 se genera mediante una puerta basada en AND 118(0) (por ejemplo, una puerta NAND) que recibe la habilitación de línea de bits global alta activa 116 y el reloj del sistema invertido 46'. La habilitación de línea de bits global 98 activa un bloqueo 120(0) dentro del circuito de evaluación de línea de bits 114(0), permitiendo que la línea de bits global 102(0) asuma el valor de la línea de bits agregada de lectura 104(0). Un bloqueo de salida 122 (0) puede situarse en la salida de línea de bits global 106(0) para bloquear el valor de lectura, y la línea de bits global 102(0) está acoplada a los datos de SRAM 124(0). Cada dato de SRAM 124(0)-124(M) se genera en una salida de datos de SRAM 126(0)-126(M). De esta manera, la activación de la habilitación de línea de bits global 98 con la transición descendente del reloj del sistema 46 puede reducir o evitar los fallos de energía en la línea de bits global 102(0). Específicamente, dependiendo de la frecuencia del reloj del sistema 46, activar la habilitación de línea de bits global 98 de esta manera puede evitar que el circuito de evaluación de línea de bits 114(0) coloque prematuramente el valor de la línea de bits agregada de lectura 104(0) en la línea de bits global 102(0).

[0031] A este respecto, la Figura 4A ilustra la temporización a modo de ejemplo de las señales 128 dentro de la SRAM 94 de la Figura 3 generadas al realizar un acceso de lectura de memoria mientras funciona a una primera frecuencia. Como se analiza a continuación con más detalle, la primera frecuencia de la Figura 4A es una frecuencia más alta que una segunda frecuencia ilustrada en la Figura 4B. Como se ilustra en la Figura 4A, durante un acceso de lectura de memoria en la SRAM 94, después de una transición ascendente 130 del reloj del sistema 46, una precarga 132 y una línea de palabra 134 hacen una transición alta. Un valor '1' lógico en la precarga 132 en la transición 136 causa que las líneas de bits locales 138(0)-138(N) del circuito de acceso a memoria 108(0) se precarguen, lo que a su vez coloca un valor '1' lógico en el tiempo 140 en la línea de bits agregada de lectura 104(0). Además, la consideración de la línea de palabra 134, mostrada como 142 en la Figura 4A, causa que el circuito de acceso a memoria 108(0) lea la célula de bits de SRAM 24 en la fila 20 seleccionada dentro de la columna 14(0) en su línea de bits local 138 correspondiente. Las líneas de bits locales 138(0)-138(N) se agregan, y el circuito de acceso a memoria 108(0) coloca el valor, mostrado como 144 en la Figura 4A, de la célula de bits de SRAM de lectura 24 en la línea de bits agregada de lectura 104(0). La habilitación de línea de bits global 98 se genera por el circuito de generación de habilitación de línea de bits global 96(0), que se activa por la transición descendente del reloj del sistema 46, mostrado como 146 en la Figura 4A, y permite que el circuito de evaluación de línea de bits 114(0) coloque el valor de la línea de bits agregada de lectura 104(0) en la línea de bits global 102(0) en el tiempo 147. Como se ilustra en la Figura 4A como 148, la habilitación de línea de bits global 98 se afirma después de la línea de bits agregada de lectura 104(0) asumiendo un valor '0' lógico. En el escenario en que el valor previo de la línea de bits global 102(0) y el valor leído en la línea de bits agregada de lectura 104(0) por el circuito de acceso a memoria 108(0) son ambos un valor '0' lógico, se puede evitar un fallo de energía en la línea de bits global 102(0). Esto se debe a que la habilitación de línea de bits global 98 no permite que el circuito de evaluación de línea de bits 114(0) transfiera la línea de bits agregada de lectura 104(0) a la línea de bits global 102(0) antes de la transición desde el valor '1' lógico de precarga al valor '0' lógico de lectura. Sin embargo, en base a las características de temporización dentro de la SRAM 94 de la Figura 3, se puede seguir produciendo un fallo de energía al funcionar en la primera frecuencia ilustrada en la Figura 4A. En determinados casos, el impacto negativo de dichos fallos de energía es aceptable en vista del rendimiento incrementado logrado como resultado de funcionar a una frecuencia tan alta como la primera frecuencia. Por el contrario, al funcionar a una frecuencia más baja que la primera, por ejemplo, durante un modo de bajo consumo, los fallos de energía y los incrementos resultantes en el consumo de energía no se compensan con las ganancias en el rendimiento, y por tanto son indeseables.

[0032] A este respecto, la Figura 4B ilustra la temporización a modo de ejemplo de las señales 150 dentro de la SRAM 94 de la Figura 3 generadas al realizar un acceso de lectura de memoria mientras funciona a la segunda frecuencia, que es una frecuencia más baja que la primera frecuencia de la Figura 4A. Las señales ilustradas en la Figura 4B comparten propiedades similares a las de la Figura 4A, con la excepción del reloj del sistema 46. Mientras que el reloj del sistema 46 funciona con un período 't' en la Figura 4A, el reloj del sistema 46 en la Figura 4B funciona con un período más largo '3t', dando como resultado que la segunda frecuencia sea más baja que la primera frecuencia de la Figura 4A. Como resultado de la segunda frecuencia más baja, una transición descendente 152 del reloj del sistema 46 se produce más adelante en el tiempo en comparación con la de la primera frecuencia más alta de la Figura 4A. Por tanto, la habilitación de línea de bits global 98, que se genera por el circuito de generación de habilitación de línea de bits global 96(0) en respuesta a la transición descendente 152 del reloj del sistema 46, también se afirma más adelante en el tiempo en comparación con la misma señal en la Figura 4A. Sin embargo, como resultado, el circuito de generación de habilitación de línea de bits global 96(0) no aplicará la habilitación de línea de bits global 98 hasta un momento posterior, mostrado como 154 en la Figura 4B, que es después de que se coloque el valor '0' lógico en la línea de bits agregada de lectura 104(0) por el circuito de acceso a memoria 108(0). Además, aunque la habilitación de línea de bits global 98 se afirma más adelante en el tiempo que si se activara por una transición ascendente del reloj del sistema 46, la latencia del acceso de lectura de memoria no se incrementa porque el valor se coloca en la línea de bits global 102(0) por el circuito de evaluación de línea de bits 114(0), mostrado como 156 en la Figura 4B, antes del inicio del siguiente ciclo del reloj del sistema 46. Como resultado, se evita un fallo de energía en la línea de bits global 102(0) sin incluir un retardo en la habilitación de línea de bits global 98 cuando la SRAM 94 funciona en la segunda frecuencia más baja. Por tanto, al funcionar en la segunda frecuencia, la activación de la habilitación de línea de bits global 98 con la transición descendente del reloj del sistema 46 reduce o evita los fallos de energía en determinadas situaciones para reducir o evitar los incrementos del consumo de energía, sin aumentar la latencia de una memoria de acceso de lectura.

[0033] A este respecto, la Figura 5 es un diagrama de tabla 158 que ilustra el efecto a modo de ejemplo de los accesos de lectura de memoria de determinados valores realizados por la SRAM 94 de la Figura 3 cuando determinados valores anteriores se almacenan en el bloqueo de salida 122(0). Como se ilustra en la Figura 5, si el valor almacenado en el bloqueo de salida 122(0) de una operación previa es un '0' lógico y un acceso de lectura de memoria posterior da como resultado un valor '0' lógico que se coloca en la línea de bits global 102(0) (también denominado escenario «0 almacenado / 0 leído»), se evita un fallo de energía, reduciendo por tanto el consumo de energía sin incrementar la latencia del acceso de lectura de memoria. Sin embargo, si el valor almacenado en el bloqueo de salida 122(0) de una operación previa es un '0' lógico y un acceso de lectura de memoria posterior da como resultado un '1' lógico que está colocado en la línea de bits global 102 (0), no se evita el fallo de energía. Esto se debe a que se coloca un '1' lógico en la línea de bits global 102(0), y sigue siendo un valor '1' lógico hasta que un acceso de lectura de memoria lo reemplaza con un valor '0' lógico. Aunque no hay ningún fallo de energía que evitar en esta situación, activar la habilitación de línea de bits global 98 con la transición descendente del reloj del sistema 46 sigue proporcionando la ventaja de reducir o evitar los fallos de energía en el escenario «0 almacenado / 0 leído», mientras evita un incremento de la latencia del acceso de lectura de memoria debido al retardo de la habilitación de línea de bits global 98. El mismo resultado se produce para cualquier acceso de lectura de memoria que tenga lugar cuando el bloqueo de salida 122 (0) tenga un '1' lógico almacenado de una operación previa. Esto se debe a que el valor de la línea de bits global 102(0) seguirá siendo un '1' lógico si se coloca un '1' lógico en la línea de bits global 102(0), o hará la transición de un valor '1' lógico a un valor '0' lógico. Por tanto, ningún escenario causará que la línea de bits global 102(0) haga una transición temporal a un valor '1' lógico errático. Aunque, en estos escenarios, no se causan ni evitan los fallos de energía, la SRAM 94 de la Figura 3 sigue reduciendo o evitando los fallos de energía en el escenario «0 almacenado / 0 leído», mientras evita un incremento de la latencia del acceso de lectura de memoria.

[0034] Con referencia continua a la Figura 3, el circuito de acceso a memoria 108(0) se describe ahora para proporcionar más detalles. En este modo de realización, el circuito de acceso a memoria 108(0) incluye la lógica correspondiente a cada célula de bits 24 de la SRAM dentro de la columna 14(0) de la matriz de datos de SRAM 16. Los transistores de precarga 160(0)-160(N) se incluyen para cada célula de bits de SRAM 24 correspondiente dentro de la columna 14(0). El transistor de precarga 160(0) está acoplado a una fuente de alimentación 162 y a la línea de bits local 138(0), y recibe la precarga 132. La precarga 132 activa el transistor de precarga 160(0) al inicio de un acceso de lectura de memoria, colocando de este modo un valor '1' lógico en las líneas de bits locales 138(0)-138(N). Cada célula de bits de SRAM 24 dentro de la columna 14(0) se proporciona a un transistor de datos alto activo 164(0)-164(N) correspondiente, que está acoplado a una fuente terrestre 166 correspondiente y a un transistor de línea de palabra 168(0)-168(N). Si los datos de la célula de bits de SRAM 24 son iguales a un valor '0' lógico, el transistor de datos 164(0) permanece abierto y no se transfiere ningún dato al circuito de acceso a memoria 108(0). Si los datos de la célula de bits de SRAM 24 son iguales a un valor '1' lógico, el transistor de datos 164(0) se activa, y se transfiere un valor '0' lógico (por ejemplo, una tensión a tierra) al transistor de línea de palabra 168(0). El transistor de línea de palabra 168(0) está acoplado al transistor de datos 164(0) y a la línea de bits local 138(0), y recibe la línea de palabra 134 para indicar si se selecciona una fila 20 en particular para el acceso de lectura de memoria.

[0035] Tras la activación del transistor de línea de palabra 168(0), si el transistor de datos 164(0) proporciona un valor, el valor se proporciona a la línea de bits local 138(0). Por tanto, si la célula de bits de SRAM 24 activa el transistor de datos 164(0) con un valor '1' lógico, y la línea de palabra 134 activa el transistor de línea de palabra 168(0), la línea de bits local 138(0) recibe el valor '0' lógico. Sin embargo, si el transistor de datos 164(0) o el transistor de línea de palabra 168(0) no está activado, la línea de bits local 138(0) permanece en el valor '1' lógico precargado. Cada línea de bits local 138(0)-138(N) se agrega a la línea de bits agregada de lectura 104(0), que se proporciona al circuito de línea de bits global de SRAM 110(0) mediante el circuito de acceso de memoria 108(0). Cuando se agregan las líneas de bits locales 138(0)-138(N), si cualquier línea de bits local 138 recibe un valor '0' lógico, ese valor se transfiere a la línea de bits agregada de lectura 104(0). De otro modo, la línea de bits agregada de lectura 104(0) recibirá el valor '1' lógico precargado de las líneas de bits locales 138(0)-138(N). Debido a que los transistores de datos 164(0)-164(N) son altos y activos en este modo de realización, se incluye un inversor 170(0) entre la salida de línea de bits global 106(0) y la salida de datos de SRAM 126(0), de modo que la lectura del valor en una célula de bits de SRAM 24 está representada correctamente en los datos de SRAM 124(0). En otro modo de realización, el inversor 170(0) se puede retirar si se usan transistores de datos bajos activos en lugar de los transistores de datos altos activos 164(0)-164(N). En cualquiera de los modos de realización del circuito de acceso a memoria 108(0) descrito anteriormente, la activación de la habilitación de línea de bits global 98 con la transición descendente del reloj del sistema 46 puede reducir o evitar los fallos de energía en la línea de bits global 102(0).

[0036] A este respecto, la Figura 6 ilustra otra SRAM 172 a modo de ejemplo que emplea un esquema de línea de bits global que usa el circuito de generación de habilitación de línea de bits global 96(0) configurado para generar la habilitación de línea de bits global 98 en base a una transición descendente de un reloj del sistema 46. Este modo de realización incluye una matriz de datos de SRAM 16, un circuito de acceso a memoria 108(0) y un circuito de generación de habilitación de línea de bits global 96(0) similar a los descritos anteriormente en la Figura 3. Un circuito de línea de bits global de SRAM 174(0) incluye el circuito de generación de habilitación de línea de bits global 96(0) y un circuito de evaluación de línea de bits 176(0). Sin embargo, como se ilustra en la Figura 6 y se analiza a continuación con más detalle, en lugar de incluir un bloqueo, el circuito de evaluación de línea de bits 176(0) dentro del circuito de línea de bits global de SRAM 174(0) incluye la lógica de tres estados 177(0) que coloca la línea de bits agregada de lectura 104(0) en la línea de bits global 102(0). La «lógica de tres estados» es una lógica que permite tres estados

únicos en un puerto de salida: un '1' lógico, un '0' lógico y una alta impedancia. El estado de alta impedancia da como resultado que el puerto de salida de la lógica no proporciona ni un '1' lógico ni un '0' lógico, lo que significa que la salida de la lógica de tres estados no tiene ningún efecto en el resto de un circuito. Cuando la lógica de tres estados funciona en el estado de alta impedancia, la lógica de tres estados funciona de manera similar a un interruptor abierto, lo que significa que no se transfiere ninguna corriente a través de la lógica de tres estados. Por tanto, el funcionamiento en el estado de alta impedancia de la lógica de tres estados reduce el consumo de energía.

[0037] Con referencia continua a la Figura 6, el circuito de evaluación de línea de bits 176(0) incluye una puerta 178(0) basada en AND (por ejemplo, una puerta NAND) que recibe la línea de bits agregada de lectura 104(0) y la habilitación de línea de bits global 98. El circuito de evaluación de línea de bits 176(0) también incluye un inversor 180(0) que recibe la línea de bits agregada de lectura 104(0). Un transistor de subida 182(0) y un transistor de bajada 184(0) también se incluyen en el circuito de evaluación de línea de bits 176(0). Se usa un transistor «de subida» para colocar una tensión de fuente en una salida que tenga un valor '1' lógico al acoplar la salida a una fuente de tensión. Esto ayuda a garantizar que un valor '1' lógico previsto permanezca en un nivel de tensión apropiado. Se usa un transistor «de bajada» para colocar una tensión igual a tierra en una salida que tenga un valor '0' lógico acoplando la salida a una tensión a tierra. Esto ayuda a garantizar que un valor '0' lógico previsto permanezca en un nivel de tensión apropiado. El transistor de subida 182(0) recibe la salida de la puerta basada en AND 178(0), y acopla la línea de bits global 102(0) a una tensión de fuente 186 cuando la línea de bits agregada de lectura 104(0) y la activación de línea de bits global 98 tienen cada una un valor '1' lógico. El transistor de bajada 184(0) recibe la salida del inversor 180(0), y acopla la línea de bits global 102(0) a una tensión a tierra 188 cuando la línea de bits agregada de lectura 104(0) tiene un valor '0' lógico.

[0038] Cabe destacar que la ruta que incluye el inversor 180(0) no depende de la habilitación de línea de bits global 98. Esto se debe a que la activación de esta ruta solo puede dar como resultado que se coloque un '0' lógico en la línea de bits global 102(0), y no puede dar como resultado que se coloque un valor '1' lógico errático en la línea de bits global 102(0). Por tanto, es innecesario controlar la temporización de esta ruta con la habilitación de línea de bits global 98 porque la ruta no puede propagar un fallo de energía a la línea de bits global 102(0). En el caso en que la línea de bits agregada de lectura 104(0) tiene un valor '1' lógico, pero la habilitación de línea de bits global 98 tiene un valor lógico '0', el circuito de evaluación de línea de bits 176(0) funciona en un estado de alta impedancia, y no proporciona ningún valor a la línea de bits global 102(0). Por tanto, el uso de la lógica de tres estados 177(0) en el circuito de evaluación de línea de bits 176(0) puede reducir más el consumo de energía dentro de la SRAM 172 transmitiendo una corriente a la línea de bits global 102(0) solo cuando los datos se tengan que colocar en la línea de bits global 102(0).

[0039] Con referencia continua a la Figura 6, también se proporciona un modo de realización alternativo de un circuito de generación de habilitación de línea de bits global 190. El circuito alternativo de generación de habilitación de línea de bits global 190 incluye una puerta basada en AND 192 (por ejemplo, una puerta NAND) que recibe la precarga 132. También se incluye una puerta basada en OR 194 (por ejemplo, una puerta NOR) que recibe el reloj del sistema 46 y la salida de la puerta basada en AND 194. De esta manera, el circuito alternativo de generación de habilitación de línea de bits global 190 genera una habilitación de línea de bits global 196 activada por la transición descendente del reloj del sistema 46. De forma similar al escenario descrito anteriormente, los fallos de energía en la línea de bits global 102(0) causadas por el circuito de evaluación de líneas de bits 176(0) colocan prematuramente la línea de bits agregada de lectura 104(0) en la línea de bits global 102(0) en respuesta a que la habilitación de línea de bits 196 que aumenta demasiado pronto puede reducirse o evitarse sin añadir un retardo a la habilitación de línea de bits global 196. Como resultado de reducir o evitar dichos fallos de energía de esta manera, los incrementos asociados en el consumo de energía pueden reducirse o evitarse sin incrementar la latencia del acceso de lectura de memoria.

[0040] Los circuitos de líneas de bits globales de SRAM para reducir los fallos de energía durante los accesos de lectura de memoria, y los procedimientos y sistemas relacionados de acuerdo con los modos de realización divulgados en el presente documento pueden proporcionarse o integrarse en cualquier dispositivo basado en el procesador. Los ejemplos, sin limitación, incluyen un decodificador, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, una unidad de datos de ubicación fija, una unidad de datos de ubicación móvil, un teléfono móvil, un teléfono celular, un ordenador, un ordenador portátil, un ordenador de sobremesa, un asistente digital personal (PDA), un monitor, un monitor de ordenador, un televisor, un sintonizador, una radio, una radio por satélite, un reproductor de música, un reproductor de música digital, un reproductor de música portátil, un reproductor de vídeo digital, un reproductor de vídeo, un reproductor de discos de vídeo digital (DVD) y un reproductor de vídeo digital portátil.

[0041] A este respecto, la Figura 7 ilustra un ejemplo de un sistema basado en procesadores 198 que puede emplear los circuitos de líneas de bits globales SRAM 110(0) y 174(0) ilustrados en las Figuras 3 y 6 para reducir los fallos de energía durante los accesos de lectura de memoria. En este ejemplo, el sistema basado en el procesador 198 incluye una o más unidades centrales de procesamiento (CPU) 200, que incluyen cada una uno o más procesadores 202. La o las CPU 200 puede(n) tener una memoria caché 204 acoplada al o a los procesadores 202 para un rápido acceso a los datos almacenados temporalmente. Una unidad de memoria caché 206 dentro de la memoria caché 204 puede ser cualquier tipo de memoria, incluyendo, entre otras, la SRAM 94 y la SRAM 172 de las Figuras 3 y 6, respectivamente. La o las CPU 200 está(n) acoplada(s) a un bus del sistema 208 y puede(n) interconectar dispositivos

maestros y esclavos incluidos en el sistema basado en el procesador 198. Como es bien sabido, la o las CPU 200 se comunica(n) con estos otros dispositivos intercambiando información de dirección, control y datos por el bus del sistema 208. Por ejemplo, la o las CPU 200 puede(n) comunicar peticiones de transacciones de bus a un controlador de memoria 210, como un ejemplo de un dispositivo esclavo. Aunque no se ilustra en la Figura 7, podrían proporcionarse múltiples buses del sistema 208, en los que cada bus del sistema 208 constituye una estructura diferente.

[0042] Otros dispositivos maestros y esclavos pueden conectarse al bus del sistema 208. Como se ilustra en la Figura 7, estos dispositivos pueden incluir una memoria del sistema 212, uno o más dispositivos de entrada 214, uno o más dispositivos de salida 216, uno o más dispositivos de interfaz de red 218 y uno o más controladores de pantalla 220, como ejemplos. El o los dispositivos de entrada 214 puede(n) incluir cualquier tipo de dispositivo de entrada, incluyendo, pero sin limitarse a, teclas de entrada, interruptores, procesadores de voz, etc. El o los dispositivos de salida 216 puede(n) incluir cualquier tipo de dispositivo de salida, incluyendo, pero sin limitarse a, audio, vídeo, otros indicadores visuales, etc. El o los dispositivos de interfaz de red 218 puede(n) ser cualquier dispositivo configurado para permitir el intercambio de datos a y desde una red 222. La red 222 puede ser cualquier tipo de red, incluyendo, pero sin limitarse a, una red cableada o inalámbrica, una red privada o pública, una red de área local (LAN), una red de área local amplia (WLAN) e Internet. El o los dispositivos de interfaz de red 218 puede(n) configurarse para soportar cualquier tipo de protocolo de comunicación deseado. El sistema de memoria 212 puede incluir una o más unidades de memoria 224. Una unidad de memoria 224 dentro de la memoria del sistema 212 puede ser cualquier tipo de memoria, incluyendo, entre otras, la SRAM 94 y la SRAM 172 de las Figuras 3 y 6, respectivamente.

[0043] La o las CPU 200 también puede(n) configurarse para acceder al o a los controladores de pantalla 218 por el bus del sistema 208 para controlar la información enviada a una o más pantallas 226. El controlador o controladores de visualización 220 envía(n) información a la o las pantallas 226 que se vaya(n) a visualizar a través de uno o más procesadores de vídeo 228, que procesa(n) la información que vaya a visualizarse en un formato adecuado para la o las pantallas 226. La o las pantallas 226 puede(n) incluir cualquier tipo de pantalla, incluyendo, pero sin limitarse a, un tubo de rayos catódicos (CRT), una pantalla de cristal líquido (LCD), una pantalla de plasma, etc. Una unidad de memoria 230 dentro del controlador de pantalla 220 puede ser cualquier tipo de memoria, incluyendo, pero sin limitarse a, la SRAM 94 y la SRAM 172 de las Figuras 3 y 6, respectivamente.

[0044] Los expertos en la técnica apreciarán además que los diversos bloques lógicos ilustrativos, módulos, circuitos y algoritmos descritos con relación a los modos de realización divulgados en el presente documento se pueden implementar como hardware electrónico, instrucciones almacenadas en la memoria o en otro medio legible por ordenador, y ejecutar por un procesador u otro dispositivo de procesamiento, o combinaciones de ambos. Los dispositivos maestros y los dispositivos esclavos descritos en el presente documento se pueden emplear en cualquier circuito, componente de hardware, circuito integrado (CI) o chip de CI, como ejemplos. La memoria divulgada en el presente documento puede ser una memoria de cualquier tipo y tamaño y se puede configurar para almacenar cualquier tipo de información deseada. Para ilustrar claramente esta intercambiabilidad, anteriormente se han descrito en general diversos componentes, bloques, módulos, circuitos y etapas ilustrativos, en términos de su funcionalidad. Cómo se implementa dicha funcionalidad depende de la solicitud en particular, de las elecciones de diseño y/o de las restricciones de diseño impuestas en el sistema general. Los expertos en la técnica pueden implementar la funcionalidad descrita de distintas maneras para cada solicitud particular, pero no se debería interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente divulgación.

[0045] Los diversos bloques lógicos, módulos y circuitos ilustrativos, descritos con relación a los modos de realización divulgados en el presente documento, se pueden implementar o realizarse con un procesador, un Procesador de Señales Digitales (DSP), un Circuito Integrado Específico de la Aplicación (ASIC), una Matriz de Puertas Programable por Campo (FPGA) u otro dispositivo lógico programable, puerta discreta o lógica de transistor, componentes de hardware discretos o cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador puede ser un microprocesador pero, como alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estado convencional. Un procesador también se puede implementar como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

[0046] Los modos de realización divulgados en el presente documento se pueden realizar en hardware y en instrucciones que estén almacenadas en hardware, y pueden residir, por ejemplo, en Memoria de Acceso Aleatorio (RAM), memoria flash, Memoria de Solo Lectura (ROM), ROM Eléctricamente Programable (EPROM), ROM Programable Eléctricamente Borrable (EEPROM), registros, un disco duro, un disco extraíble, un CD-ROM o cualquier otra forma de medio legible por ordenador conocido en la técnica. Un medio de almacenamiento a modo de ejemplo está acoplado al procesador de tal manera que el procesador puede leer información, y escribir información, en el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en una estación remota. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en una estación remota, una estación base o un servidor.

[0047] También se observa que las etapas operativas descritas en cualquiera de los modos de realización a modo de ejemplo en el presente documento están descritas para proporcionar ejemplos y análisis. Las operaciones descritas se pueden realizar en numerosas secuencias diferentes distintas de las secuencias ilustradas. Además, las operaciones descritas en una única etapa operativa se pueden realizar realmente en varias etapas diferentes. Adicionalmente, se pueden combinar una o más etapas operativas analizadas en los modos de realización a modo de ejemplo. Se entenderá que las etapas operativas ilustradas en los diagramas de flujo se pueden someter a numerosas modificaciones diferentes, como resultará fácilmente evidente para un experto en la técnica. Los expertos en la técnica también entenderán que la información y las señales se pueden representar usando cualquiera de entre una amplia variedad de distintas tecnologías y técnicas. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los chips que puedan haberse mencionado a lo largo de la descripción anterior se pueden representar mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos o partículas ópticos o cualquier combinación de los mismos.

[0048] La descripción previa de la divulgación se proporciona para permitir que cualquier experto en la técnica haga o use la divulgación. Diversas modificaciones de la divulgación resultarán fácilmente evidentes para los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otras variaciones. Por tanto, la divulgación no está prevista para limitarse a los ejemplos y diseños descritos en el presente documento, sino que se le ha de conceder el alcance más amplio de las reivindicaciones.

REIVINDICACIONES

1. Un circuito de línea de bits global (110) de memoria estática de acceso aleatorio, SRAM, para una pluralidad de células de bits de SRAM, que comprende:

5 un circuito de generación de habilitación de línea de bits global (96) configurado para generar una señal de habilitación de línea de bits global (98) en respuesta a una transición descendente de un reloj del sistema; y

10 un circuito de evaluación de línea de bits (114) acoplado a una línea de bits agregada de lectura configurada para recibir los datos almacenados en una célula de bits de SRAM seleccionada entre una pluralidad de células de bits de SRAM de una matriz de datos de SRAM, el circuito de evaluación de líneas de bits (114) configurado para:

15 recibir los datos desde la célula de bits de SRAM seleccionada en la línea de bits agregada de lectura; y

generar una salida de línea de bits global (106) proporcionada como datos de SRAM para la matriz de datos de SRAM que contiene los datos en respuesta a la señal de habilitación de línea de bits global (98) y que comprende además un bloqueo de salida (122) configurado para recibir y bloquear la salida de línea de bits global en respuesta a una transición ascendente del reloj del sistema (46).
2. El circuito de línea de bits global de SRAM según la reivindicación 1, en el que el circuito de evaluación de línea de bits (114) comprende además un bloqueo (120) configurado para bloquear los datos de la línea de bits agregada de lectura y proporcionar los datos a la línea de bits global en respuesta a la señal de habilitación de línea de bits global (98).

25
3. El circuito de línea de bits global de SRAM según la reivindicación 1, en el que el circuito de evaluación de línea de bits (114) comprende además:

30 un transistor de subida (182) configurado para acoplar la línea de bits global a una tensión de fuente en respuesta a que la señal de habilitación de línea de bits global y los datos en la línea de bits agregada de lectura son un valor lógico alto; y

35 un transistor de bajada (184) configurado para acoplar la línea de bits global a una tensión a tierra en respuesta a que los datos de la línea de bits agregada de lectura son un valor lógico bajo.
4. El circuito de línea de bits global de SRAM según la reivindicación 3, en el que:

40 el transistor de subida (182) está configurado además para no acoplar la línea de bits global a la tensión de fuente si la señal de activación de la línea de bits global no está habilitada; y

el transistor de bajada (184) está configurado además para no acoplar la línea de bits global a la tensión a tierra si los datos en la línea de bits agregada de lectura son un valor lógico alto.
5. El circuito de línea de bits global de SRAM según la reivindicación 1, en el que el circuito de generación de habilitación de línea de bits global (96) está configurado para generar la señal de habilitación de línea de bits global en respuesta a la transición descendente del reloj del sistema y una señal de habilitación de línea de bits global activa alta.

45
6. El circuito de línea de bits global de SRAM según la reivindicación 1, en el que el circuito de generación de habilitación de línea de bits global (96) está configurado para generar la señal de habilitación de línea de bits global en respuesta a la transición descendente del reloj del sistema y una señal de precarga de línea de bits local.

50
7. El circuito de línea de bits global de SRAM según la reivindicación 1 integrado en un circuito integrado (IC) o integrado en un dispositivo seleccionado de un grupo que consiste en un decodificador; una unidad de entretenimiento; un dispositivo de navegación; un dispositivo de comunicaciones; una unidad de datos de ubicación fija; una unidad de datos de ubicación móvil; un teléfono móvil; un teléfono celular; un ordenador; un ordenador portátil; un ordenador de sobremesa; un asistente digital personal (PDA); un monitor; un monitor de ordenador; un televisor; un sintonizador; una radio; una radio por satélite; un reproductor de música; un reproductor de música digital; un reproductor de música portátil; un reproductor de vídeo digital; un reproductor de vídeo; un reproductor de disco de vídeo digital (DVD); y un reproductor de vídeo digital portátil.

55

60
8. Un procedimiento para generar una memoria estática de acceso aleatorio, la señal de habilitación de línea de bits global de SRAM en respuesta a una transición descendente de un reloj del sistema; recibir datos desde una célula de bits de SRAM seleccionada entre una pluralidad de células de bits de SRAM en una línea de bits

65

- agregada de lectura, en el que los datos almacenados en la célula de bits de SRAM seleccionada entre la pluralidad de células de bits de SRAM de una matriz de datos de SRAM se colocan en la línea de bits agregada de lectura; y generar una salida de línea de bits global proporcionada como datos de SRAM para la matriz de datos de SRAM que contiene los datos en respuesta a la señal de habilitación de línea de bits global; y bloquear la salida de línea de bits global en un bloqueo de salida configurado para recibir y bloquear la línea de bits global en respuesta a una transición ascendente del reloj del sistema.
- 5
9. El procedimiento según la reivindicación 8, que comprende además:
- 10 precargar una pluralidad de líneas de bits de lectura de la pluralidad de células de bits de SRAM en la matriz de datos de SRAM para generar una pluralidad de líneas de bits de lectura precargadas en respuesta a una señal de precarga de línea de bits local;
- 15 leer los datos almacenados en la célula de bits de SRAM seleccionada en una línea de bits de lectura precargada correspondiente entre la pluralidad de líneas de bits de lectura precargada; y
- agregar la pluralidad de líneas de bits de lectura precargadas en la línea de bits agregada de lectura para colocar los datos de la célula de bits de SRAM seleccionada en la línea de bits agregada de lectura.
- 20 10. El procedimiento según la reivindicación 9, en el que leer los datos almacenados en la célula de bits de SRAM seleccionada comprende:
- recibir los datos almacenados en una célula de bits de SRAM correspondiente entre la pluralidad de células de bits SRAM en una entrada de datos correspondiente entre una pluralidad de entradas de datos;
- 25 proporcionar los datos en la línea de bits de lectura precargada correspondiente entre la pluralidad de líneas de bits de lectura precargada; y
- que comprende además invertir la salida de línea de bits global para proporcionar una salida de línea de bits global invertida como los datos de SRAM.
- 30
11. El procedimiento según la reivindicación 9, que comprende además:
- 35 bloquear los datos de la línea de bits agregada de lectura en un bloqueo; y
- proporcionar los datos del bloqueo a la línea de bits global en respuesta a la señal de habilitación de línea de bits global.
- 40 12. El procedimiento según la reivindicación 8, que comprende además:
- subir la línea de bits global a una tensión de fuente en respuesta a que la señal de habilitación de línea de bits global y los datos en la línea de bits agregada de lectura son un valor lógico alto; y
- 45 bajar la línea de bits global a una tensión a tierra en respuesta a que los datos en la línea de bits agregada de lectura son un valor lógico bajo.
13. El procedimiento de acuerdo con la reivindicación 12, que comprende además:
- 50 no subir la línea de bits global a la tensión de fuente si la señal de habilitación de línea de bits global no está habilitada; y
- no bajar la línea de bits global a la tensión a tierra si los datos en la línea de bits agregada de lectura son un valor lógico alto.
- 55 14. El procedimiento según la reivindicación 8, que comprende generar la señal de habilitación de línea de bits global en respuesta a la transición descendente del reloj del sistema y una señal de habilitación de la línea de bits global alta activa o generar la señal de habilitación de la línea de bits global en respuesta a la transición descendente del reloj del sistema y una señal de precarga de línea de bits local.
- 60 15. Una memoria estática de acceso aleatorio, SRAM, que comprende:
- una matriz de datos de SRAM (16) compuesta de una pluralidad de columnas;
- 65 una pluralidad de circuitos de acceso a memoria (108), cada circuito de acceso a memoria entre la pluralidad de circuitos de acceso a memoria asociados operativamente con una columna entre la pluralidad de columnas, cada uno de la pluralidad de circuitos de acceso a memoria configurados para:

precargar una pluralidad de líneas de bits de lectura de una pluralidad de células de bits de SRAM en una columna correspondiente para generar una pluralidad de líneas de bits de lectura precargadas en respuesta a una precarga;

5

leer los datos almacenados en una célula de bits de SRAM seleccionada entre la pluralidad de células de bits de SRAM en una línea de bits de lectura precargada correspondiente entre la pluralidad de líneas de bits de lectura precargadas; y

10

agregar la pluralidad de líneas de bits de lectura precargadas en una línea de bits agregada de lectura para colocar los datos de la célula de bits de SRAM seleccionada en la línea de bits agregada de lectura;

15

una pluralidad de circuitos de líneas de bits global de SRAM (110), cada circuito de línea de bits global de SRAM entre la pluralidad de circuitos de líneas de bits global de SRAM asociados operativamente con un circuito de acceso de memoria entre la pluralidad de circuitos de acceso de memoria, en el que cada uno de la pluralidad de circuitos de líneas de bits global de SRAM corresponde al circuito de línea de bits global de SRAM según la reivindicación 1.

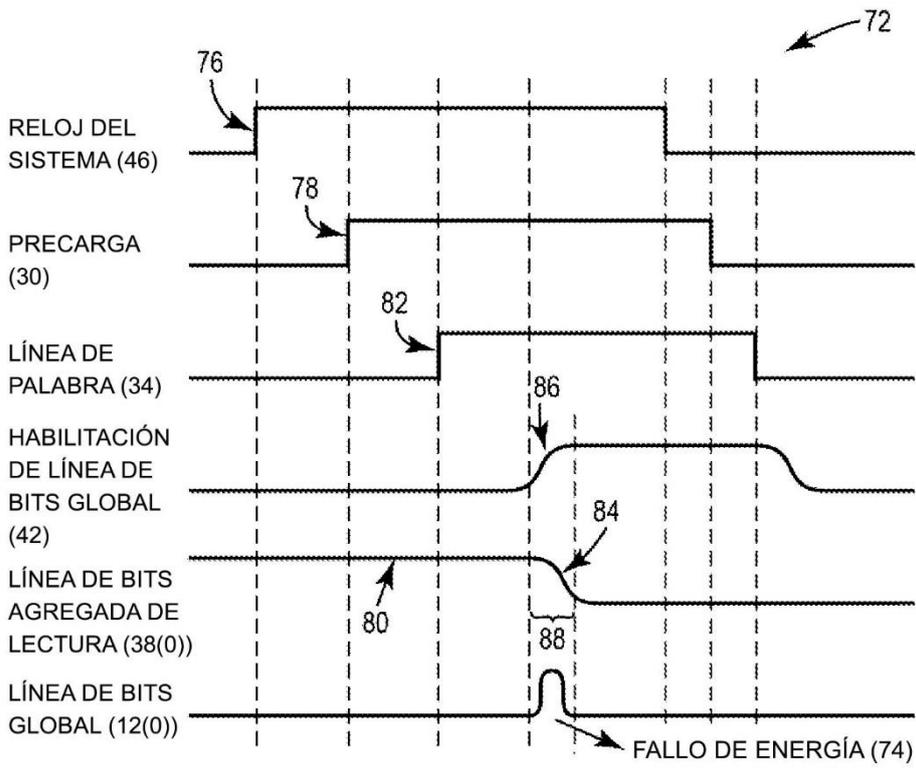


FIG. 2A

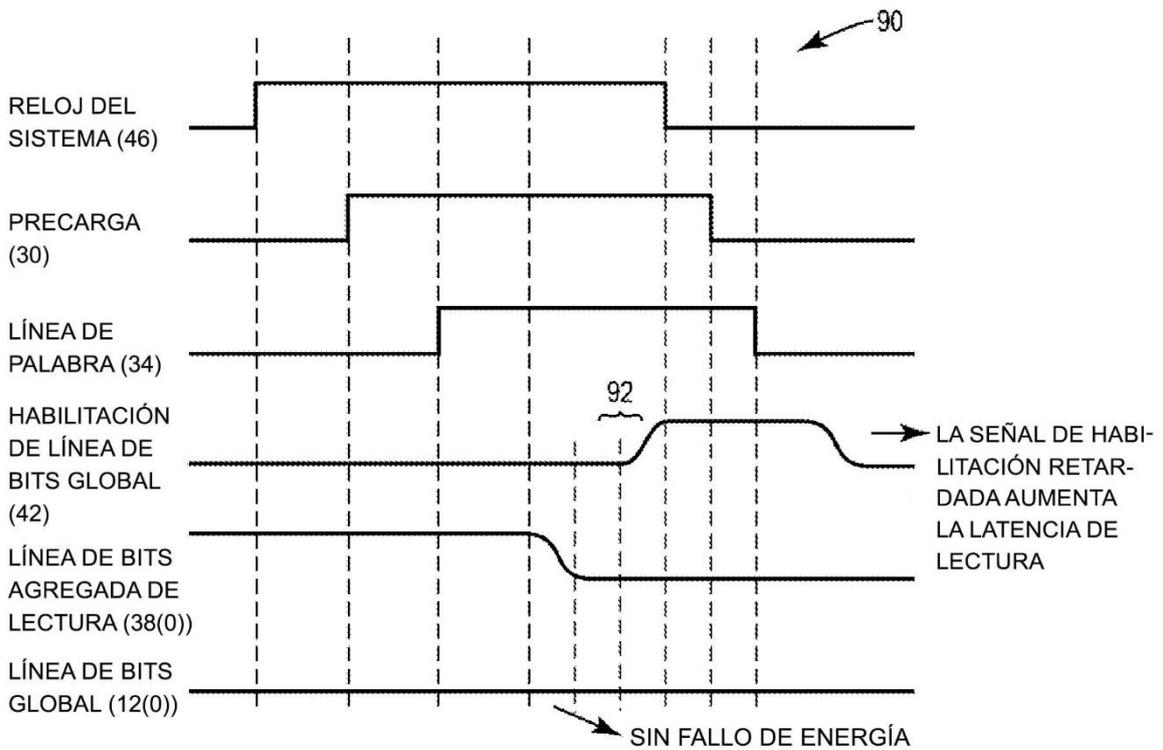


FIG. 2B

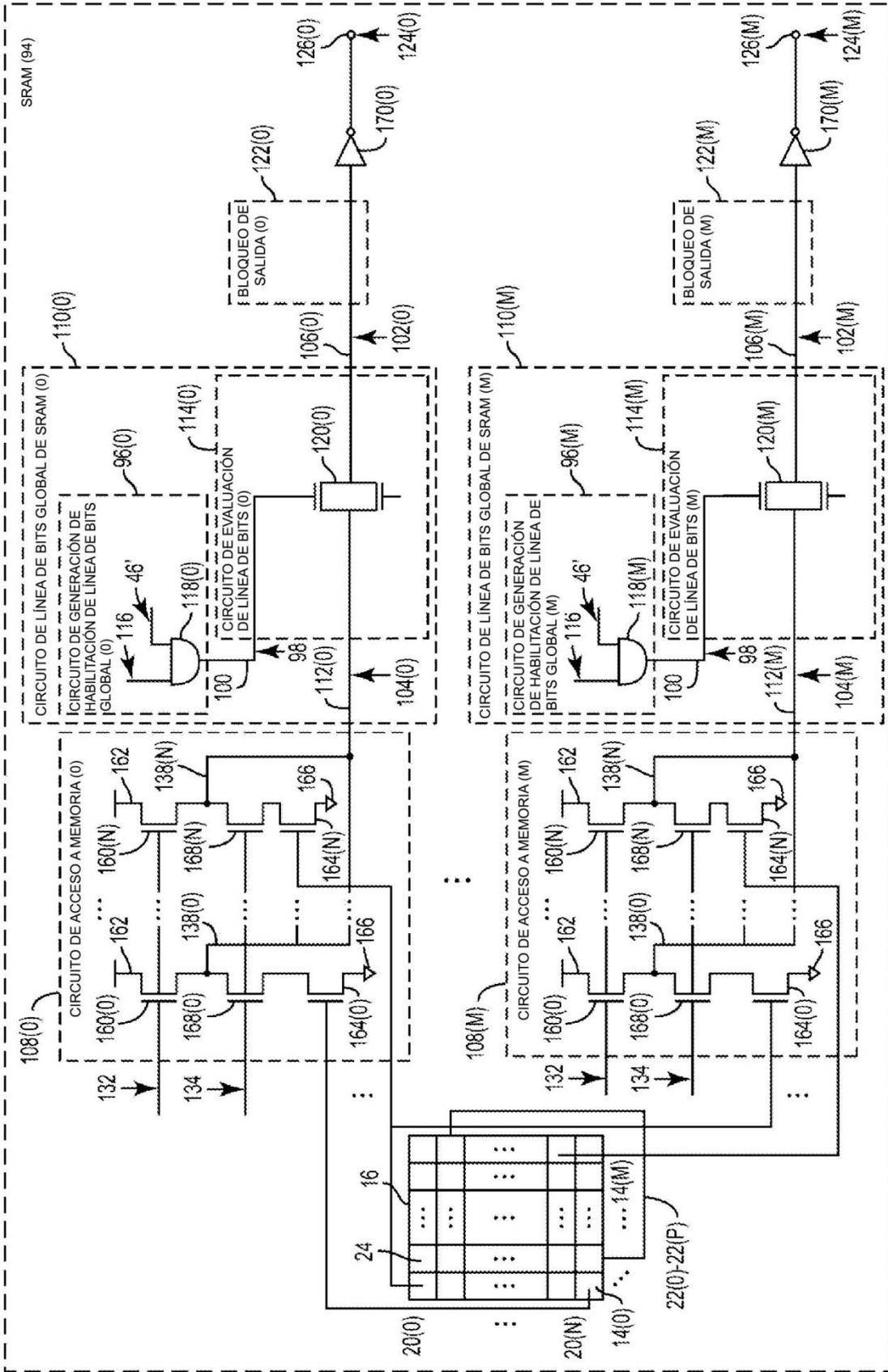


FIG. 3

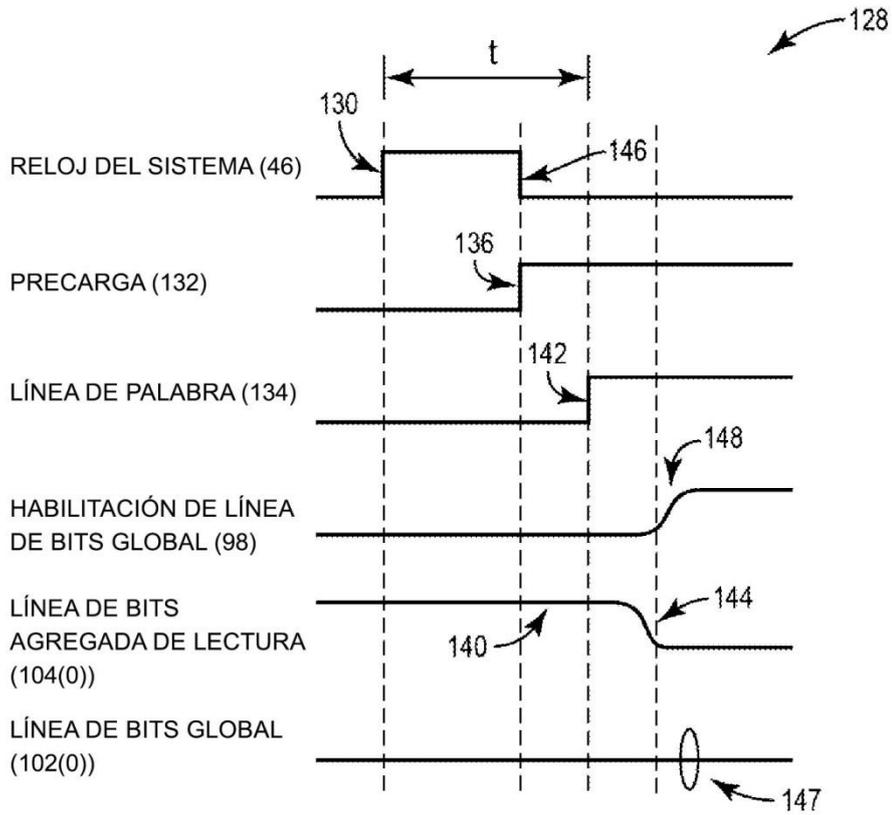


FIG. 4A

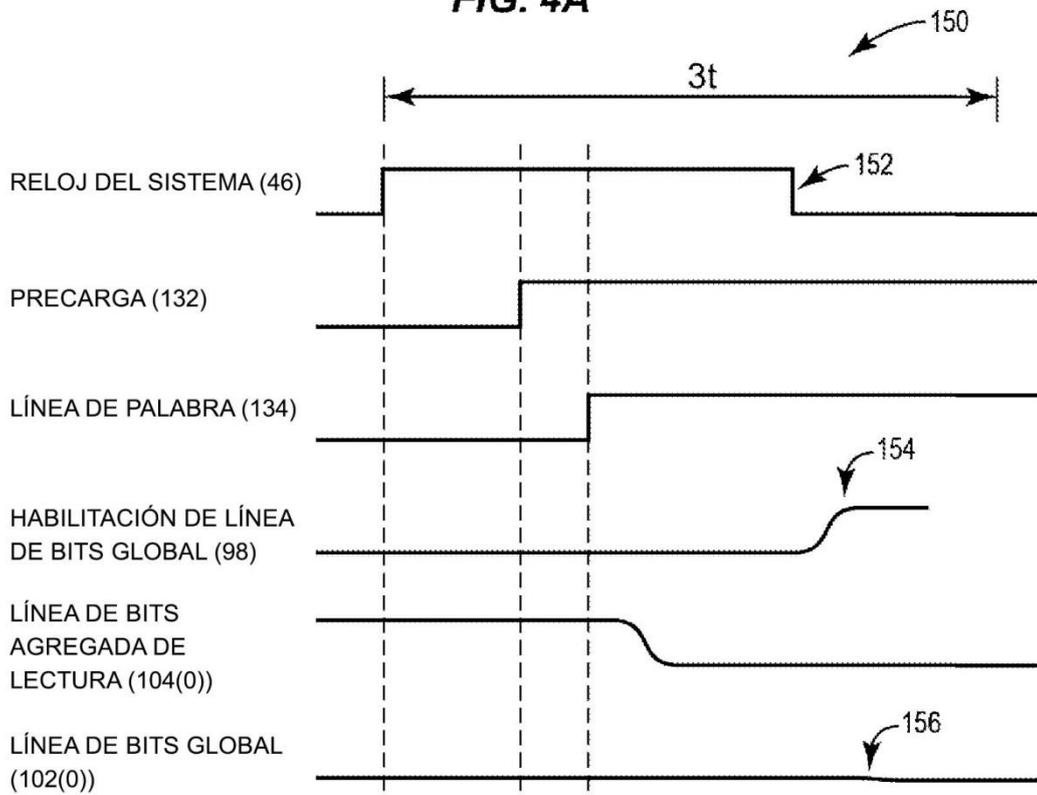


FIG. 4B

158

OPERACIÓN REALIZADA EN LA CÉLULA DE BITS DE SRAM (24)	VALOR ALMACENADO EN EL BLOQUEO DE SALIDA (122) A PARTIR DE LA OPERACIÓN PREVIA	VALOR LEÍDO EN LA CÉLULA DE BITS DE SRAM (24)	EFECTO DE LA HABILITACIÓN DE LÍNEA DE BITS GLOBAL (98) ACTIVADA POR LA TRANSICIÓN DESCENDENTE DEL RELOJ DEL SISTEMA (46)
Leer	0	0	Reduce o evita el fallo de energía en la línea de bits global (102), reduciendo el consumo de energía del circuito
Leer	0	1	Evita un incremento de la latencia del acceso de lectura de memoria debido a la falta de ciclos de retardo añadidos a la habilitación de línea de bits global (98)
Leer	1	0	Evita un incremento de la latencia del acceso de lectura de memoria debido a la falta de ciclos de retardo añadidos a la habilitación de línea de bits global (98)
Leer	1	1	Evita un incremento de la latencia del acceso de lectura de memoria debido a la falta de ciclos de retardo añadidos a la habilitación de línea de bits global (98)

FIG. 5

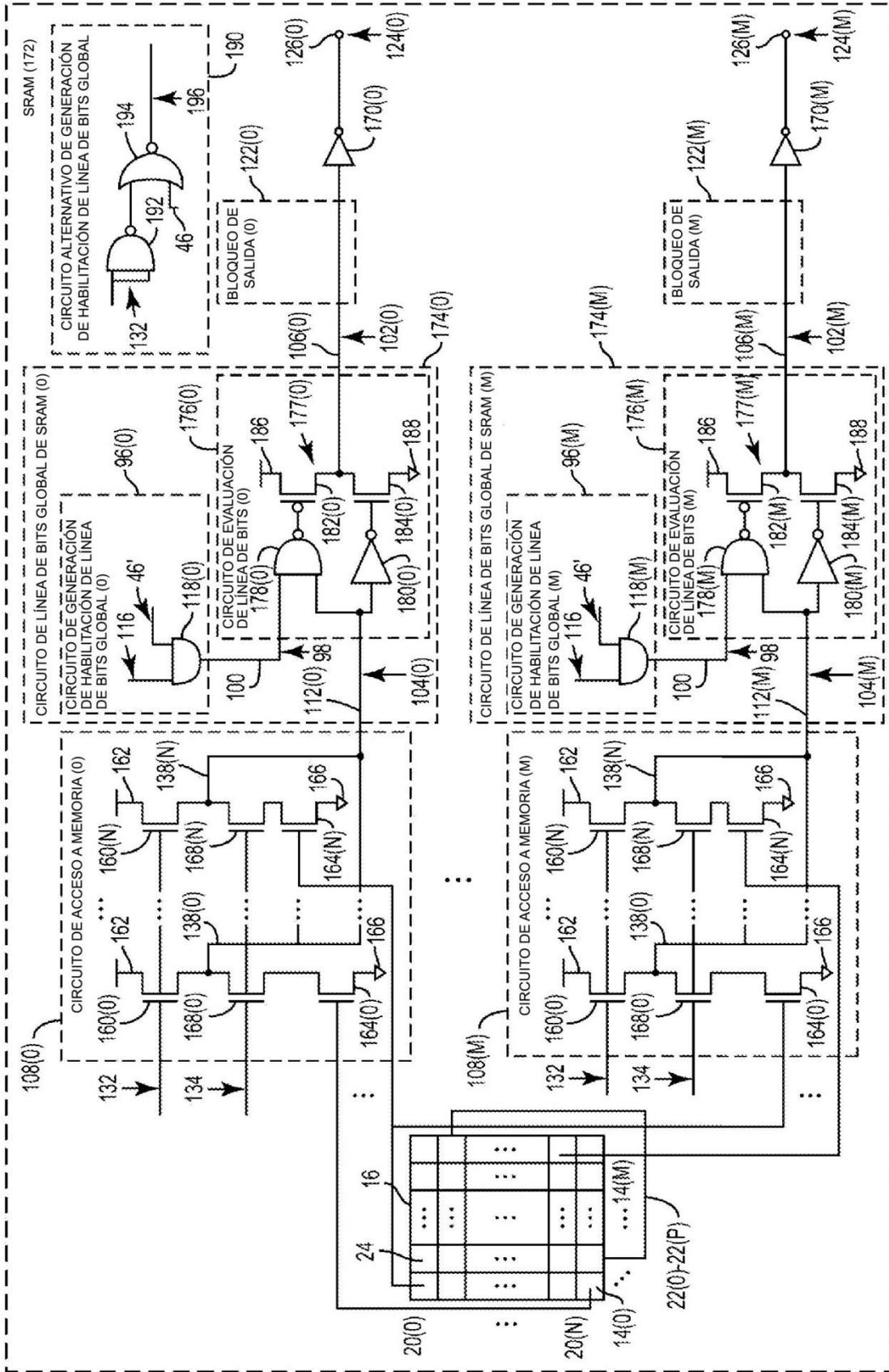


FIG. 6

RELOJ DEL SISTEMA

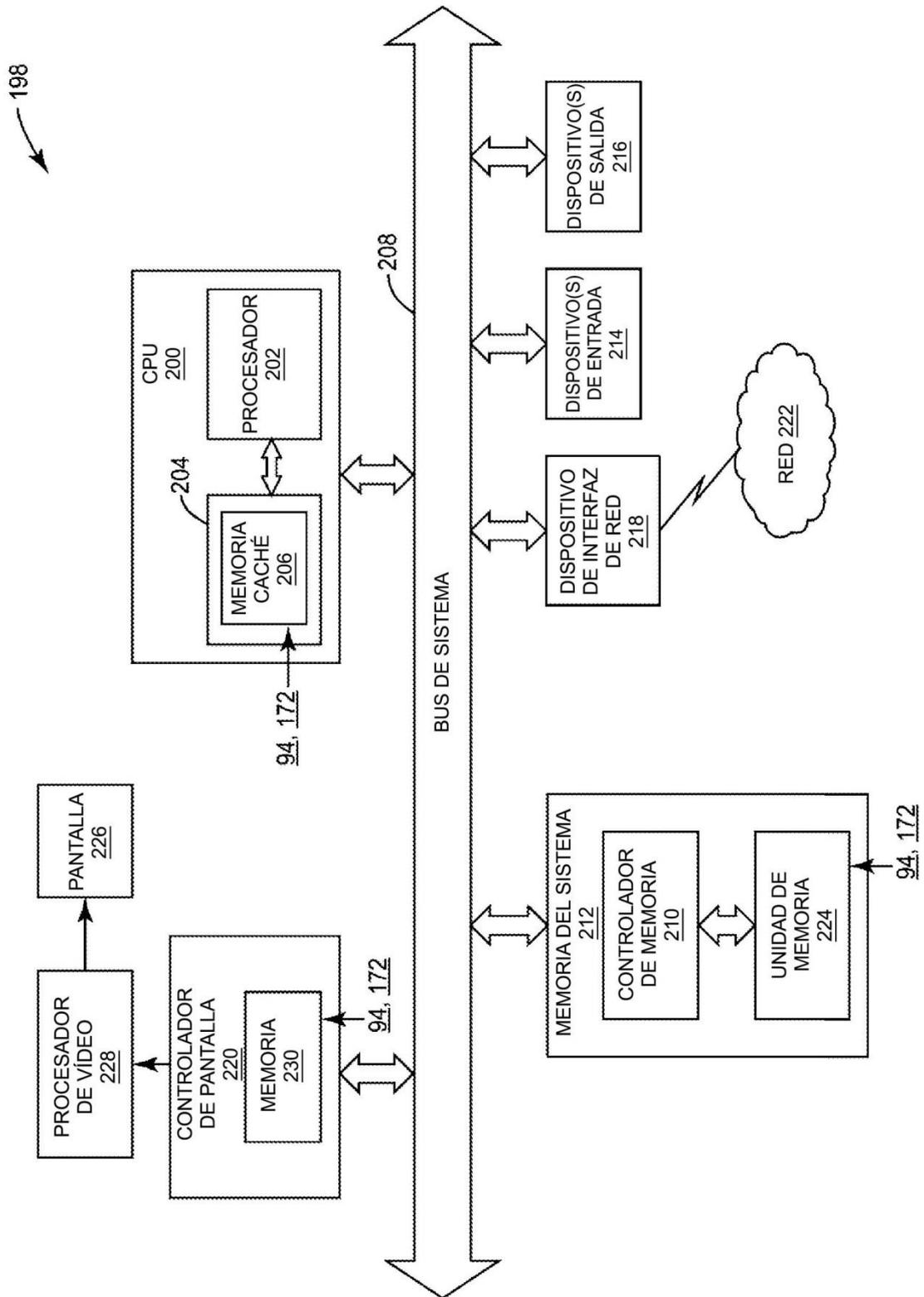


FIG. 7