

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 735 147**

51 Int. Cl.:

**H03M 13/09** (2006.01)

**H04L 1/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **10.09.2008 PCT/US2008/075775**

87 Fecha y número de publicación internacional: **19.03.2009 WO09036004**

96 Fecha de presentación y número de la solicitud europea: **10.09.2008 E 08830942 (2)**

97 Fecha y número de publicación de la concesión europea: **22.05.2019 EP 2181505**

54 Título: **Código de verificación por redundancia cíclica multicapa en un sistema de comunicación inalámbrica**

30 Prioridad:

**14.09.2007 US 855637**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**16.12.2019**

73 Titular/es:

**GOOGLE TECHNOLOGY HOLDINGS LLC  
(100.0%)  
1600 Amphitheatre Parkway  
Mountain View, CA 94043, US**

72 Inventor/es:

**BUCKLEY, MICHAEL E.;  
BLANKENSHIP, YUFEI W.;  
CLASSON, BRIAN K.;  
NIMBALKER, AJIT y  
STEWART, KENNETH A.**

74 Agente/Representante:

**SÁEZ MAESO, Ana**

ES 2 735 147 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Código de verificación por redundancia cíclica multicapa en un sistema de comunicación inalámbrica

5 Campo de la descripción

La presente descripción se refiere generalmente a las comunicaciones inalámbricas y más específicamente a la codificación de datos mediante el uso de códigos de verificación por redundancia cíclica (CRC).

10 Antecedentes

La codificación CRC se usa comúnmente para detectar errores en los datos transmitidos en los sistemas de comunicación inalámbrica. En la evolución de la especificación de LTE en 3GPP, por ejemplo, se ha propuesto que se generen 24 bits de paridad de CRC en base al bloque de transporte (TB) completo. Los 24 bits de paridad de CRC se unen al TB, después de lo cual el TB se segmenta en múltiples bloques de código (CB). En la propuesta LTE, los 24 bits de paridad de CRC se calculan, además, en base a cada bloque de código (CB) y los 24 bits de paridad de CRC se unen entonces al CB correspondiente. En la propuesta de LTE, el mismo polinomio generador se usa en la generación de los bits de paridad de CRC en base al bloque de transporte y en la generación de los bits de paridad de CRC en base a los bloques de código. La primera codificación CRC de transporte ayuda al dispositivo receptor a detectar errores residuales. Se ha sugerido que la codificación CRC de los bloques de código puede usarse por el dispositivo receptor para reducir la cantidad de procesos de turbo decodificación o para reducir la cantidad de iteraciones de turbo decodificación o para reducir el uso de la memoria del turbo decodificador. Luego, los bloques de código se codifican en el canal, por ejemplo, con un turbo código, antes de la transmisión.

25 3GGPP TS 36.212 V1.3.0 (2007-07) describe el uso del bloque de transporte completo para calcular los bits de paridad de CRC seguido de la segmentación del bloque de código. Los bloques de código se entregan a un bloque de codificación de canal.

30 Un artículo del IEEE titulado "A Novel ARQ Technique using the Turbo Coding Principle" describe una técnica que permite la turbo combinación de retransmisiones. El codificador comprende dos turbo codificadores con relación 1/2 y un entrelazador.

35 Una propuesta de 3GPP de Ericsson titulada "Performance and Complexity of Per-Segment CRC Attachment Methods", 3GPP RI-073741, 3GPP TSG-RAN WG1#50, Grecia, 20-24 de agosto de 2007, analiza el rendimiento y la complejidad de tres métodos de unión de CRC para múltiples bloques de código. En el método de unión III, un CRC de nivel de bloque de transporte se calcula primero y se une al bloque de transporte. El bloque completo se segmenta después en múltiples segmentos de bloque de código. Luego se calcula el CRC y se une a cada segmento independientemente.

40 Resumen

De acuerdo con aspectos de la invención, se proporciona un dispositivo de comunicación inalámbrica, métodos en un transmisor de comunicación inalámbrica, y un método en un receptor de comunicación inalámbrica, como se menciona en las reivindicaciones acompañantes.

45 Los diversos aspectos, características y ventajas de la descripción se harán más evidentes para un experto medio en la técnica si se considera cuidadosamente la siguiente Descripción Detallada de la misma junto con los dibujos acompañantes que se describen más abajo. Los dibujos pudieron simplificarse para mayor claridad y no necesariamente se dibujaron a escala.

50 Breve descripción de los dibujos

La Figura 1 ilustra un sistema de comunicación inalámbrica.

55 La Figura 2 es un diagrama de bloques esquemático de un dispositivo de comunicación inalámbrica que incluye un transmisor.

La Figura 3 es un diagrama de bloques esquemático de un dispositivo de comunicación inalámbrica que incluye un receptor.

60 Descripción detallada

65 En la Figura 1 el sistema de comunicación inalámbrica 100 incluye una o más unidades de infraestructura base fijas que forman una red que se distribuye sobre una región geográfica. Una unidad base puede denominarse además como un punto de acceso, terminal de acceso, Nodo-B, eNode-B, o con otra terminología usada en la técnica. La una o más unidades base 101 y 102 sirven a un número de unidades remotas 103 y 110 dentro de un área de servicio, por ejemplo, una célula, o dentro de un sector de célula. Las unidades remotas pueden ser unidades fijas o terminales móviles. Las unidades remotas pueden denominarse además unidades de abonados, estaciones móviles, usuarios,

terminales, estaciones de abonados, equipo de usuario (UE), terminales o mediante otra terminología usada en la técnica.

5 Generalmente las unidades base 101 y 102 transmiten señales de comunicación de enlace descendente 104 y 105 para servir a las unidades remotas en el dominio de frecuencia y/o de tiempo. Las unidades remotas 103 y 110 se comunican con una o más unidades base 101 y 102 a través de las señales de comunicación de enlace ascendente 106 y 113. La una o más unidades base pueden comprender uno o más transmisores y uno o más receptores que sirven a las unidades remotas. Las unidades remotas también pueden comprender uno o más transmisores y uno o más receptores.

10 En una modalidad, el sistema de comunicación utiliza OFDMA o una portadora única (SC) de nueva generación basada en una arquitectura FDMA para las transmisiones de enlace ascendente, tales como FDMA de entrelazado (IFDMA), FDMA adyacente (LFDMA), DFT disperso OFDM (DFT-SOFDM) con IFDMA o LFDMA. En los sistemas basados en OFDM, los recursos de radio incluyen símbolos OFDM, que pueden dividirse en ranuras, que son agrupaciones de subportadoras. Un protocolo basado en OFDM ilustrativo es el protocolo de desarrollo 3GPP LTE.

15 La detección de errores se proporciona en unidades de datos de protocolo, por ejemplo, bloques de transporte, a través de una verificación por redundancia cíclica (CRC). La Figura 2 es un dispositivo de comunicación inalámbrica 200, o una porción de este, configurado para datos de código CRC para la transmisión en un sistema de comunicación inalámbrica. En la Figura 1 tales datos se transmiten entre la estación base 101 y la unidad remota 103. En las implementaciones de LTE en 3GPP los datos o la unidad de datos de protocolo es un bloque de transporte. La codificación CRC generalmente se produce en el transmisor tanto de la unidad base como de la unidad remota. En la Figura 2, el transmisor incluye una primera entidad de codificador CRC 210 que se configura para generar un primer bloque de bits de paridad de CRC en un bloque de transporte 202.

25 El bloque de transporte completo se usa generalmente para calcular o generar los bits de paridad de CRC. Se denotan los bits en un bloque de transporte que se entrega a la capa 1 por  $a_0, a_1, a_2, a_3, \dots, a_{A-1}$  y los bits de paridad  $p_0, p_1, p_2, p_3, \dots, p_{L-1}$ .  $A$  es el tamaño del bloque de transporte y  $L$  es la cantidad de bits de paridad. En una implementación de LTE en 3GPP el primer bloque incluye 24 bits de paridad de CRC, es decir,  $L$  se establece en 24 bits, aunque más generalmente el bloque puede incluir algún otro número de bits de paridad. Los bits de paridad se calculan en base a un primer polinomio generador de CRC 212. El primer bloque de bits de paridad de CRC se asocia generalmente con el bloque de transporte. En la Figura 2 el primer bloque de bits de paridad de CRC 204 se añade al bloque de transporte 202. En otras modalidades el primer bloque de bits de paridad de CRC se une a alguna otra porción del bloque de transporte.

35 En la Figura 2 el dispositivo de comunicación inalámbrica 200 incluye además una entidad de segmentación 214. El bloque de transporte con los primeros bits de paridad de CRC que se unieron se entrega a la entidad de segmentación. La entrada de la secuencia de bits a la segmentación de bloque de código se denota por  $b_0, b_1, b_2, b_3, \dots, b_{B-1}$ , donde  $B > 0$ . La entidad de segmentación segmenta el bloque de transporte 202, que tiene el primer bloque de bits de paridad de CRC asociado, en una pluralidad de bloques de código 206, 207, 208. Una segunda entidad de codificador CRC 216 se configura para generar un segundo bloque de bits de paridad de CRC en cada uno de la pluralidad de bloques de código 206, 207 y 208. Cada uno de los segundos bloques de bits de paridad de CRC se basa en un segundo polinomio generador 218. En una implementación de LTE en 3GPP, el segundo bloque de bits de paridad de CRC incluye además 24 bits de paridad de CRC. Cada uno del segundo bloque de bits de paridad de CRC se asocia entonces con el bloque de código correspondiente en el cual se basa el segundo bloque de bits de paridad de CRC. En la Figura 2, el segundo bloque de bits de paridad de CRC 230, 232 y 234 se añaden a los bloques de código correspondientes 206, 207 y 208. Este proceso puede implementarse en forma de serie para cada uno de los bloques de código segmentados. En algunas implementaciones la segmentación es condicional. Por ejemplo, si  $B$  es mayor que el tamaño máximo del bloque de código, por ejemplo,  $Z=6144$ , se realiza la segmentación de la secuencia de bits de entrada y una secuencia adicional de CRC de  $L = 24$  bits se une a cada bloque de código, donde los bits de CRC se calculan en función de un segundo polinomio generador de CRC. Si  $B$  es menor que o igual al tamaño máximo del bloque de código, entonces la segmentación del bloque de código 214 es transparente y no se necesita un segundo bloque de bits de paridad de CRC.

55 Los inventores han reconocido que el uso de los mismos polinomios generadores para los codificadores CRC primero y segundo 210 y 216 en la Figura 2 conduce a eventos de error que permanecen sin detectar en uno o ambos niveles de verificación de CRC. Si el evento de error permanece sin detectar en ambos niveles de verificación CRC, el receptor aceptará un bloque incorrecto como uno correcto. Por lo tanto, es preferible reducir los eventos de error que pueden permanecer sin detectar en ambos niveles de verificación de CRC. En un código CRC, un evento de error que es igual a una palabra-código distinta de cero puede detectarse por el decodificador CRC (Se observa además que una versión desplazada no cíclica de una palabra-código es aún una palabra-código.). Por lo tanto, cuando se eligen los mismos polinomios generadores para los codificadores CRC primero y segundo un evento de error indetectable en la porción sistemática del bloque de código permanecerá sin ser detectado en ambos niveles de verificación CRC y el receptor puede aceptar un bloque incorrecto.

65 Los inventores han reconocido además que la capacidad de detección de errores de la CRC de dos niveles puede

mejorarse mediante el uso de diferentes polinomios generadores para la CRC que codifica el bloque de transporte y los bloques de código segmentados. Por lo tanto, en algunas modalidades, el primer y segundo polinomios generadores son diferentes. En una modalidad, por ejemplo, el primer y segundo polinomios generadores tienen al menos un factor diferente. En otra modalidad, el primer y segundo polinomios generadores no comparten factores comunes. En otra modalidad, el primer y segundo polinomios generadores tienen diferentes conjuntos de coeficientes polinomiales. En otras modalidades, el primer y segundo polinomios generadores se distinguen por otras características. Más generalmente, el primer y segundo polinomios pueden distinguirse por una combinación de estas y/u otras características. En una modalidad, el primer y segundo polinomios generadores comparten un factor de  $(D + 1)$  y/o un grado común. En otras modalidades, sin embargo, el primer y segundo polinomios generadores son los mismos que se describen más abajo.

En una implementación, los polinomios generadores de primer y segundo grado se seleccionan de un grupo que comprende los siguientes polinomios generadores de CRC de grado 24 que comparten a lo máximo un factor de  $(D+1)$ :

$g_{CRC24,a}(D) = D^{24} + D^{23} + D^6 + D^5 + D + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:  
 $(D+1)(D^{23} + D^5 + 1)$ ;

$g_{CRC24,b}(D) = D^{24} + D^{21} + D^{20} + D^{17} + D^{15} + D^{11} + D^9 + D^8 + D^6 + D^5 + D + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:

$$g_{CRC24,b}(D) = (D+1)(D^{23} + D^{22} + D^{21} + D^{19} + D^{18} + D^{17} + D^{14} + D^{13} + D^{12} + D^{11} + D^8 + D^5 + 1)$$

$g_{CRC24,c}(D) = D^{24} + D^{23} + D^{18} + D^{17} + D^{14} + D^{11} + D^{10} + D^7 + D^6 + D^5 + D^4 + D^3 + D + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:

$$(D+1)(D^{23} + D^{17} + D^{13} + D^{12} + D^{11} + D^9 + D^8 + D^7 + D^5 + D^3 + 1)$$

$g_{CRC24,d}(D) = D^{24} + D^{23} + D^{14} + D^{12} + D^8 + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:  
 $= (D+1)(D^3 + D^2 + 1)(D^{10} + D^8 + D^7 + D^6 + D^5 + D^4 + D^3 + D + 1)(D^{10} + D^9 + D^6 + D^4 + 1)$ ;

$g_{CRC24,e}(D) = D^{24} + D^{21} + D^{20} + D^{16} + D^{15} + D^{14} + D^{13} + D^{12} + D^{11} + D^{10} + D^9 + D^8 + D^4 + D^3 + 1$ ;

$g_{CRC24,f}(D) = D^{24} + D^{22} + D^{20} + D^{19} + D^{18} + D^{16} + D^{14} + D^{13} + D^{11} + D^{10} + D^8 + D^7 + D^6 + D^3 + D + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:

$$(D+1)^2(D^{11} + D^9 + D^8 + D^7 + D^6 + D^3 + 1)(D^{11} + D^9 + D^8 + D^7 + D^5 + D^3 + D^2 + D + 1)$$

$g_{CRC24,g}(D) = D^{24} + D^{22} + D^{21} + D^{20} + D^{19} + D^{17} + D^{16} + D^8 + D^7 + D^5 + D^4 + D^3 + D^2 + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:

$$(D+1)^2(D^{22} + D^{19} + D^{18} + D^{16} + D^{15} + D^{13} + D^{11} + D^9 + D^7 + D^6 + D^4 + D^3 + 1)$$

$g_{CRC24,h}(D) = D^{24} + D^{21} + D^{20} + D^{17} + D^{13} + D^{12} + D^3 + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:

$$(D+1)^2(D^{11} + D^{10} + D^9 + D^8 + D^7 + D^6 + D^5 + D^2 + 1)(D^{11} + D^{10} + D^9 + D^7 + D^6 + D^5 + D^4 + D^3 + 1)$$

$g_{CRC24,i}(D) = D^{24} + D^{22} + D^{12} + D^{10} + D^9 + D^2 + D + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:

$$(D+1)^2(D^{11} + D^9 + 1)(D^{11} + D^9 + D^7 + D^5 + D^3 + D + 1)$$
; y

$g_{CRC24,j}(D) = D^{24} + D^{22} + D^{20} + D^{19} + D^{17} + D^{16} + D^{15} + D^{14} + D^{10} + D^7 + D^6 + D^5 + D^4 + D^2 + 1$ . Este polinomio generador se puede factorizar en el siguiente formato:

$$(D^{12} + D^{11} + D^7 + D^4 + D^2 + D + 1)(D^{12} + D^{11} + D^8 + D^7 + D^5 + D^4 + D^2 + D + 1)$$

En otra implementación, los polinomios generadores de primer y segundo grado se seleccionan de un grupo que comprende uno de entre los anteriores polinomios generadores de CRC de grado 24 y el recíproco de uno de los anteriores polinomios generadores de CRC de grado 24. El polinomio recíproco  $g(D)$  de grado  $n-k$  es  $D^{n-k}g(D^{-1})$ . Por ejemplo, el recíproco de  $g_{CRC24a}(D)$  es  $1 + D + D^{18} + D^{19} + D^{23} + D^{24} = (D+1)(D^{23} + D^{18} + 1)$ . En una implementación más particular, los polinomios generadores de primer y segundo grado se seleccionan del grupo de  $g_{CRC24a}(D)$  y el recíproco de  $g_{CRC24a}(D)$ .

En otra implementación, el primer y segundo polinomios generadores se seleccionan de un grupo de polinomios generadores que comprenden:  $D^{24} + D^{23} + D^6 + D^5 + D + 1$ ;  $D^{24} + D^{21} + D^{20} + D^{17} + D^{15} + D^{11} + D^9 + D^8 + D^6 + D^5 + D + 1$ ; y  $D^{24} + D^{23} + D^{18} + D^{17} + D^{14} + D^{11} + D^{10} + D^7 + D^6 + D^5 + D^4 + D^3 + D + 1$ . En otra implementación, al menos uno del primer y segundo polinomios generadores es  $D^{24} + D^{23} + D^6 + D^5 + D + 1$ .

Un codificador CRC de L-bit se puede implementar mediante el uso de la aritmética polinomial como sigue. En el cálculo CRC, se denotan los bits de entrada al cálculo de CRC mediante  $a_0, a_1, a_2, a_3, \dots, a_{A-1}$ , y los bits de paridad mediante  $p_0, p_1, p_2, p_3, \dots, p_{L-1}$ .  $A$  es el tamaño de la secuencia de entrada y  $L$  es la cantidad de bits de paridad. Los bits

de paridad se generan por polinomios generadores cíclicos o polinomios generadores de CRC ( $g_{\text{CRC}}(D)$ ) con  $L$  bits de paridad de CRC. La codificación se realiza en una forma sistemática, lo que significa que en  $\text{GF}(2)$ , el polinomio:

$$a_0D^{A+L-1} + a_1D^{A+L-2} + \dots + a_{A-1}D^L + p_0D^{L-1} + p_1D^{L-2} + \dots + p_{L-2}D + p_{L-1}$$

Este polinomio produce un resto igual a 0 cuando se divide por  $g_{\text{CRC}}(D)$ . Los bits después de la unión CRC se denotan por  $b_0, b_1, b_2, b_3, \dots, b_{B-1}$  donde  $B = A + L$ . La relación entre  $a_k$  y  $b_k$  es:

$$b_k = a_k \text{ para } k = 0, 1, 2, \dots, A-1$$

$$b_k = p_{(L-1-(k-A))} \text{ para } k = A, A+1, A+2, \dots, A+L-1.$$

En otro enfoque, la relación entre  $a_k$  y  $b_k$  puede ser como sigue:

$$b_k = a_k \text{ para } k = 0, 1, 2, \dots, A-1$$

$$b_k = p_{(k-A)} \text{ para } k = A, A+1, A+2, \dots, A+L-1.$$

En la Figura 2 el dispositivo de comunicación inalámbrica 200 incluye además una entidad de codificación de canal 222 que se configura para codificar cada uno de los bloques de código que incluye el segundo bloque asociado de bits de paridad de CRC. La entidad de codificación de canal puede incorporar cualquier número de formas diferentes que incluyen, pero no se limitan, a un codificador turbo o un codificador convolucional entre otros codificadores de canal. El transmisor también incluye una entidad de concatenación 224 que se configura para concatenar los bloques de código después de la codificación de canal. La salida de la entidad de concatenación se acopla a un amplificador de potencia para la transmisión. La entidad de concatenación 224 puede realizar una serie de una o más operaciones adicionales para preparar los bloques de código para la transmisión, por ejemplo, tasa de transmisión, selección de versión de redundancia HARQ, entrelazado de canal, encriptación de bit, mapeo de recursos de canal físico, mapeo de bit a símbolo, IFFT, dispersión DFT, etc.

La Figura 3 es un dispositivo de comunicación inalámbrica 300, o una porción de este, que se configura para recibir y decodificar los datos codificados con un código CRC. El dispositivo 300 recibe los bloques de código 206, 207 y 208, cada uno de los cuales se asocia con un bloque correspondiente de bits de paridad de CRC 230, 232 y 234, respectivamente. Estos bloques de código codificados con CRC corresponden a los bloques de código transmitidos por el transmisor 200 de la Figura 2. El dispositivo 300 incluye una entidad de eliminación de CRC 310 que se configura para disociar el segundo bloque de bits de paridad de CRC asociado con cada uno de una pluralidad de bloques de código recibidos, dejando por lo tanto el bloque de código 206, 207 y 208. La eliminación del segundo bloque de bit de paridad de CRC se basa en un segundo polinomio generador de CRC 312. La función que lleva a cabo la entidad de eliminación de CRC en la Figura 3 esencialmente invierte el proceso que lleva a cabo la segunda entidad de codificador CRC 216 en la Figura 2. Por lo tanto, el segundo polinomio generador de CRC 312 usado por la entidad de eliminación de CRC 310 en la Figura 3 es el mismo que el segundo polinomio generador de CRC 218 usado por la segunda entidad de codificador CRC 216 para generar y asociar el segundo bloque de bits de paridad de CRC con los bloques de código en la Figura 2.

En la Figura 3 el dispositivo 300 incluye una entidad de concatenación 314 que se configura para formar un bloque de transporte estimado 205 que tiene un primer bloque de bits de paridad de CRC 204 asociado con el mismo. La entidad de concatenación 314 concatena los bloques de código 206, 207 y 208 después de que el segundo bloque asociado de bits de paridad de CRC se elimina por la entidad de eliminación de CRC 310. La entidad de concatenación 314 de la Figura 3 esencialmente invierte el proceso que lleva a cabo la entidad de segmentación 214 de la Figura 2. En la Figura 3, por lo tanto, el primer bloque de bits de paridad de CRC 204 corresponde sustancialmente al primer bloque de bits de paridad de CRC 204 asociado con el bloque de transporte 202 de la Figura 2.

En la Figura 3, el dispositivo 300 incluye una entidad decodificadora CRC 316 que se configura para realizar una verificación CRC en el bloque de transporte estimado 202 en base a un primer polinomio generador 318. Como se hizo notar, el primer polinomio generador 318 de la Figura 3 corresponde al primer polinomio generador 212 de la Figura 2. La verificación CRC determina si el bloque de transporte estimado 205 recuperado por el receptor corresponde al bloque de transporte transmitido, por ejemplo, el bloque de transporte 202 de la Figura 2. Al detectar el error por la verificación CRC, se asume que el bloque de transporte estimado no corresponde al bloque de transporte transmitido, y se puede solicitar una retransmisión. Si no se detectan errores, se asume que el bloque de transporte estimado corresponde al bloque de transporte transmitido y se entrega a las capas superiores. Se conoce generalmente que las verificaciones CRC tienen una determinada probabilidad de error no detectado, la cual es una medida del rendimiento del código CRC.

En algunas modalidades el dispositivo 300 incluye una segunda entidad decodificadora CRC 320 que se configura para realizar una verificación CRC en la pluralidad de bloques de código 206, 207 y 208 recibidos en el receptor. La entidad decodificadora CRC 320 realiza una verificación en los bloques de código antes de que los bloques de código se concatenen para formar el bloque de transporte estimado y, por lo tanto, antes del rendimiento de la verificación

CRC en el bloque de transporte estimado 205. En algunas modalidades, el primer bloque de bits de paridad de CRC asociado con el bloque de transporte estimado 205 se basa en un primer polinomio generador 318 que es diferente del segundo polinomio generador 312 que forma la base del segundo bloque de bits de paridad de CRC asociado con los bloques de código. En otras modalidades, sin embargo, el primer y segundo polinomios generadores son los mismos que se describen más abajo. En algunas modalidades la codificación CRC de los bloques de código puede usarse por el dispositivo receptor para reducir la cantidad de procesos de turbo decodificación, o para reducir la cantidad de iteraciones de turbo decodificación, o para reducir el uso de la memoria del turbo decodificador.

En algunas modalidades que incluyen la segunda entidad decodificadora CRC 320, la verificación CRC que se realiza en el bloque de transporte estimado 205 es condicional. En una implementación la verificación CRC se realiza en el bloque de transporte estimado 205 solo si las verificaciones CRC realizadas en la pluralidad de bloques de código 206, 207 y 208 no detectan errores. En la Figura 3 un controlador de condición 322 proporciona una señal que controla si el decodificador CRC 316 realiza una verificación CRC en el bloque de transporte estimado 205 en función de si se han detectado errores en los bloques de código 206, 207 y 208. En algunas implementaciones los bloques de código se retransmiten si se detectan errores en los bloques de código por la segunda entidad decodificadora CRC 320. En algunas implementaciones el bloque de transporte se retransmite si se detectan errores.

En una modalidad alternativa de la Figura 2 el primer y segundo polinomios generadores 212 y 218 que se usan para generar el primer y segundo bloques de bits de paridad de CRC comparten al menos un factor. En una implementación el primer y segundo polinomios generadores son los mismos. En esta modalidad alternativa se realiza una operación de entrelazado en el bloque de transporte 202 después de asociar el primer bloque de bits de paridad de CRC. El entrelazado se realiza por una entidad de entrelazado 240. En una modalidad el entrelazado se realiza antes de la segmentación y, por lo tanto, la entidad de entrelazado 240 se ubica entre la primera entidad de codificación CRC y la entidad de segmentación. En una modalidad alternativa el entrelazado se realiza después de la segmentación, pero antes de la codificación CRC de los bloques de código. En esta modalidad alternativa la entidad de entrelazado 240 se ubica entre la entidad de segmentación y la segunda entidad de codificación CRC 216. El patrón de entrelazado puede definirse de manera que el entrelazado del bloque de transporte 202 después de asociar el primer bloque de bits de paridad de CRC 204 y segmentar el bloque de transporte entrelazado en múltiples bloques de código es equivalente a segmentar el bloque de transporte 202 en múltiples bloques de código después de asociar el primer bloque de bits de paridad de CRC y entrelazar los bloques de código 206, 207 y 208 individualmente. Esta equivalencia puede ser conceptual donde el entrelazado se realiza antes de la segmentación. Alternativamente, la equivalencia puede ser física donde el entrelazado se realiza al llevar a cabo una pluralidad de subentrelazados después de la segmentación. En una implementación el entrelazado del bloque de transporte 202 se realiza a nivel de bit. En otra implementación el entrelazado del bloque de transporte se realiza por grupos de permutación en donde cada grupo contiene una pluralidad de bits.

En algunas implementaciones, la permutación de entrelazador en la Figura 2 puede impedir que el mismo evento de error indetectable se mantenga entre la verificación CRC de primer nivel y la verificación CRC de segundo nivel, lo que conduce así a mejores propiedades de detección de errores. Mientras que el entrelazado es una opción, las transformaciones adicionales más allá de reordenar (o entrelazar) que podrían impedir que el mismo error indetectable se mantenga entre la verificación CRC de primer nivel y la verificación CRC de segundo nivel también pueden ser viables. El entrelazado introducido entre el bloque de transporte y los bloques de código puede entrelazar un bit o un byte (o grupos de bits de otro tamaño) a la vez. Si el entrelazado se realiza en el nivel de bloque de transporte se necesita un entrelazador asociado con el bloque de transporte después de asociar el primer bloque de bits de paridad de CRC. Alternativamente, el entrelazado se puede realizar en el nivel de bloque de código (es decir, entrelazar en donde los bits para segmentos diferentes no se mezclan). Para el entrelazado del nivel de bloque de código se puede necesitar un total de  $C$  subentrelazadores, donde  $C$  es el número de segmentos de mensaje. El  $i$ -ésimo subentrelazador se asocia con el  $i$ -ésimo bloque de código. Los entrelazadores a nivel de bloque de transporte o a nivel de bloque de código pueden tener un formato simple tal como inversión, es decir, leer el bit desde el extremo al frente, desplazamiento cíclico, inversión de bits, etc. Es posible que el entrelazado requiera latencia o circuitería adicional en el receptor, aunque la cantidad exacta se puede reducir al elegir adecuadamente los entrelazadores.

En la Figura 3, en implementaciones donde el primer y segundo polinomios generadores son los mismos y el bloque de transporte o bloque de código se entrelazan por el dispositivo de transmisión, el dispositivo receptor incluye una entidad de desentrelazador 328. Si el entrelazado ocurre en el bloque de transporte en el dispositivo de transmisión, la entidad de desentrelazado 328 se ubica después de la entidad de concatenación 314 en el dispositivo receptor como se ilustra en la Figura 3. Si el entrelazado ocurre en los bloques de código en el dispositivo de transmisión, la entidad de desentrelazado se ubica antes de la entidad de concatenación en el dispositivo receptor.

En comparación con el uso del mismo polinomio generador en el primer y segundo codificadores CRC sin entrelazado, se requieren generalmente más circuitos y/o memoria para la implementación mediante el uso de diferentes polinomios generadores para el primer y segundo codificadores CRC y también para la implementación del entrelazado después de asociar el primer bloque de bits de CRC al bloque de transporte. Sin embargo, el costo asociado con el aumento de la complejidad probablemente se ve excedido por el rendimiento mejorado de la detección de errores.

Si bien la presente descripción y los mejores modos de esta se han descrito de una manera que establece posesión y que permite que los expertos en la técnica creen y usen los mismos, se entenderá y apreciará que existen equivalentes de las modalidades ilustrativas que se describen en la presente descripción y que se pueden hacer modificaciones y variaciones a la misma sin apartarse del alcance de las invenciones, las cuales no deben limitarse por las modalidades ilustrativas sino por las reivindicaciones adjuntas.

5

REIVINDICACIONES

1. Un dispositivo de comunicación inalámbrica que comprende:  
 un primer codificador de Verificación por Redundancia Cíclica, CRC, que se configura para generar un primer bloque de bits de paridad de CRC en un bloque de transporte, donde el primer bloque de bits de paridad de CRC se basa en un primer polinomio generador, el primer codificador CRC une el primer bloque de bits de paridad de CRC al bloque de transporte;  
 una entidad de segmentación que tiene una entrada que se acopla al primer codificador CRC, la entidad de segmentación se configura para segmentar el bloque de transporte en múltiples bloques de código después de la unión;  
 un segundo codificador CRC que se configura para generar un segundo bloque de bits de paridad de CRC en cada bloque de código, cada uno del segundo bloque de bits de paridad de CRC se basa en un segundo polinomio generador, el segundo codificador CRC que une un segundo bloque de bits de paridad de CRC a cada bloque de código, el segundo bloque de bits de paridad de CRC que se une a cada bloque de código es el segundo bloque de bits de paridad de CRC que se genera en base al bloque de código correspondiente;  
 el segundo polinomio generador es diferente al primer polinomio generador;  
 un codificador de canal que se configura para codificar cada uno de los bloques de código que incluye el segundo bloque unido de bits de paridad de CRC;  
 medios para seleccionar el primer y segundo polinomios generadores de un grupo de polinomios generadores que comprenden:  
 $D^{24} + D^{23} + D^6 + D^5 + D + 1$ ;  
 $D^{24} + D^{21} + D^{20} + D^{17} + D^{15} + D^{11} + D^9 + D^8 + D^6 + D^5 + D + 1$ ; y  
 $D^{24} + D^{23} + D^{18} + D^{17} + D^{14} + D^{11} + D^{10} + D^7 + D^6 + D^5 + D^4 + D^3 + D + 1$ .
2. El dispositivo de la reivindicación 1, en donde el primer polinomio generador es  $D^{24} + D^{23} + D^6 + D^5 + D + 1$ .
3. El dispositivo de la reivindicación 1, en donde el segundo polinomio generador es  $D^{24} + D^{23} + D^6 + D^5 + D + 1$ .
4. Un método para usar en un transmisor de comunicación inalámbrica, el método que comprende:  
 generar en el transmisor un primer bloque de primeros bits de paridad de Verificación por Redundancia Cíclica, CRC, en un bloque de transporte, el primer bloque de bits de paridad de CRC en base a un primer polinomio generador;  
 unir el primer bloque de bits de paridad de CRC al bloque de transporte;  
 segmentar el bloque de transporte en múltiples bloques de código después de la unión;  
 generar en el transmisor un segundo bloque de bits de paridad de CRC en cada bloque de código, cada uno del segundo bloque de bits de paridad de CRC en base a un segundo polinomio generador, el segundo polinomio generador es diferente al primer polinomio generador;  
 unir un segundo bloque de bits de paridad de CRC a cada bloque de código, el segundo bloque de bits de paridad de CRC que se une a cada bloque de código es el segundo bloque de bits de paridad de CRC que se genera en base al bloque de código correspondiente;  
 codificación de canal en el transmisor, cada uno de los bloques de código incluye el segundo bloque unido de bits de paridad de CRC,  
 en donde el primer y segundo polinomios generadores se seleccionan de un grupo de polinomios generadores que comprenden:  
 $D^{24} + D^{23} + D^6 + D^5 + D + 1$ ;  
 $D^{24} + D^{21} + D^{20} + D^{17} + D^{15} + D^{11} + D^9 + D^8 + D^6 + D^5 + D + 1$ ; y  
 $D^{24} + D^{23} + D^{18} + D^{17} + D^{14} + D^{11} + D^{10} + D^7 + D^6 + D^5 + D^4 + D^3 + D + 1$ .
5. El método de la reivindicación 4, que comprende además:  
 entrelazar el bloque de transporte después de la unión;  
 en donde la segmentación del bloque de transporte comprende segmentar el bloque de transporte entrelazado en múltiples bloques de código;  
 concatenar los bloques de código después de la codificación de canal.
6. El método de la reivindicación 5, en donde el entrelazado del bloque de transporte se realiza a nivel de bit.
7. El método de la reivindicación 5, en donde el entrelazado del bloque de transporte se realiza por grupos de permutación en donde cada grupo contiene una pluralidad de bits.
8. El método de la reivindicación 5, en donde entrelazar el bloque de transporte después de unir el primer bloque de bits de paridad de CRC y segmentar el bloque de transporte entrelazado en múltiples bloques de código después de unir el primer bloque de bits de paridad de CRC es equivalente a segmentar el bloque de transporte en múltiples bloques de código después de unir el primer bloque de bits de paridad de CRC y entrelazar los bloques de código individualmente.
9. Un método para usar en un receptor de comunicación inalámbrica, el método que comprende:

- eliminar en el receptor un segundo bloque de bits de paridad de Verificación por Redundancia Cíclica, CRC, unidos a cada uno de una pluralidad de bloques de código recibidos, el segundo bloque de bits de paridad de CRC que se genera en base a un segundo polinomio generador y en base al bloque de código correspondiente al cual se une el segundo bloque de bits de paridad de CRC;
- 5 formar en el receptor un bloque de transporte estimado que tiene un primer bloque de bits de paridad de CRC que se une al bloque de transporte estimado mediante la concatenación de los bloques de código después de eliminar el segundo bloque unido de bits de paridad de CRC, en donde el primer bloque de bits de paridad de CRC que se une al bloque de transporte se basa en un primer polinomio generador que es diferente del segundo polinomio generador y en donde el primer y segundo polinomios generadores se seleccionan de un grupo de
- 10 polinomios generadores que comprenden:  
 $D^{24} + D^{23} + D^6 + D^5 + D + 1$ ;  
 $D^{24} + D^{21} + D^{20} + D^{17} + D^{15} + D^{11} + D^9 + D^8 + D^6 + D^5 + D + 1$ ; y  
 $D^{24} + D^{23} + D^{18} + D^{17} + D^{14} + D^{11} + D^{10} + D^7 + D^6 + D^5 + D^4 + D^3 + D + 1$ ,
- 15 realizar en el receptor una verificación CRC en el bloque de transporte estimado en base del primer polinomio generador.
10. El método de la reivindicación 9, en donde se realiza una verificación CRC en la pluralidad de bloques de código antes de realizar la verificación CRC en el bloque de transporte estimado.
- 20 11. El método de la reivindicación 10, en donde la verificación CRC en el bloque de transporte estimado se realiza solo si la verificación CRC en la pluralidad de bloques de código no detecta errores.

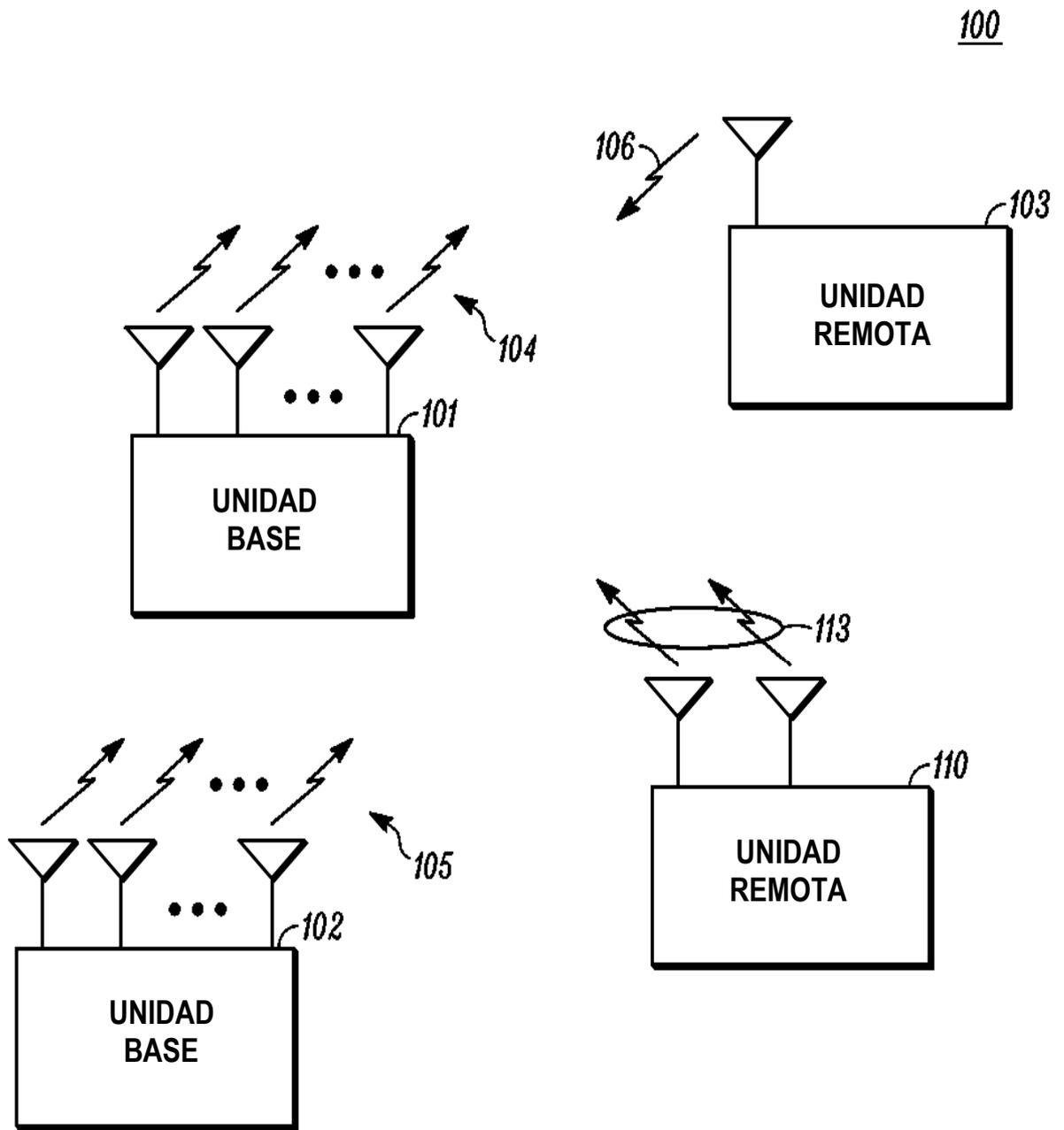


FIG. 1



300

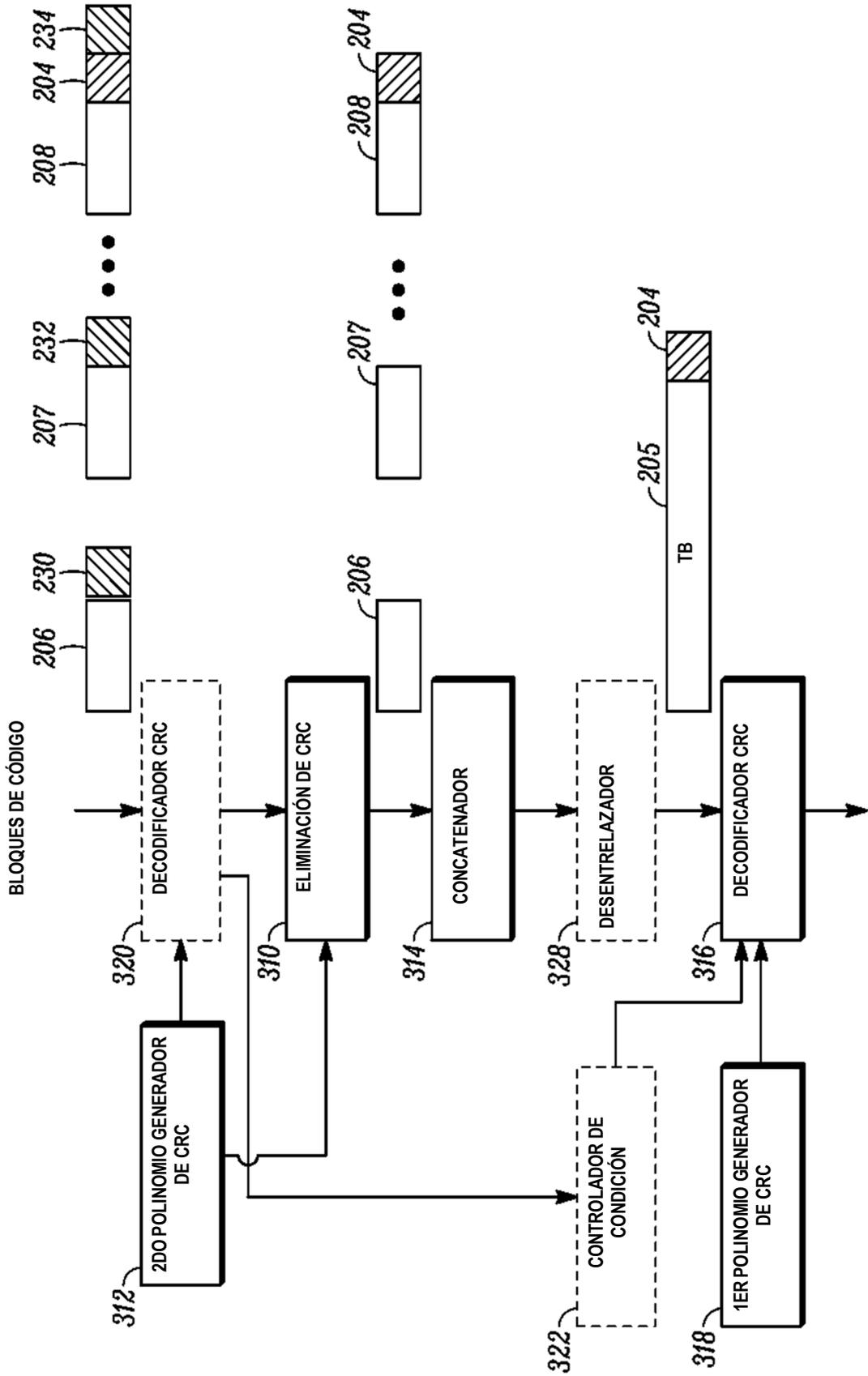


FIG. 3