

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 740 099**

51 Int. Cl.:

**H04L 1/00** (2006.01)

**H04L 27/26** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **03.03.2009 E 12160589 (3)**

97 Fecha y número de publicación de la concesión europea: **15.05.2019 EP 2469746**

54 Título: **Procedimiento y aparato de recepción de información de control codificada en un sistema de comunicaciones inalámbricas**

30 Prioridad:

**03.03.2008 KR 20080019650**

**13.05.2008 KR 20080023575**

**10.11.2008 KR 20080111170**

**18.02.2009 KR 20090013635**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**05.02.2020**

73 Titular/es:

**SAMSUNG ELECTRONICS CO., LTD. (100.0%)**  
**129, Samsung-ro, Yeongtong-gu**  
**Suwon-si, Gyeonggi-do, 443-742, KR**

72 Inventor/es:

**MYUNG, SEHO;**  
**KWON, HWAN-JOON;**  
**KIM, JAE-YOEL;**  
**LIM, YEON-JU;**  
**YUN, SUNG-RYUL;**  
**LEE, HAK-JU y**  
**JEONG, HONG-SIL**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

**ES 2 740 099 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Procedimiento y aparato de recepción de información de control codificada en un sistema de comunicaciones inalámbricas

**Antecedentes de la invención**

5 Esto es una solicitud divisional de Solicitud de Patente Europea 09154227.

**1. Campo de la invención**

La presente invención se refiere en general un procedimiento y aparato para información de control en un sistema de comunicación. Más particularmente, aunque no de manera exclusiva, la presente invención se refiere a un procedimiento y aparato de recepción de información de control codificada en un sistema de comunicación que comprende códigos de Comprobación de Paridad de Baja Densidad (LDPC).

**2. Descripción de la técnica relacionada**

La Figura 1 es un diagrama que ilustra un esquema de transmisión para información de control en un sistema de comunicación inalámbrica general.

Haciendo referencia a la Figura 1, número de referencia 101 indica una estructura de una trama que incluye información de control que se transmite y recibe en un sistema de comunicación inalámbrica. Comúnmente, la trama 101 incluye un preámbulo 102, una señalización 103 P2-L1, una señalización 104 PLP0-L2 y uno o más Conductos 105, 106 y 107 de Capa Física (PLP).

La información de control puede transmitirse a través del preámbulo 102, la señalización 103 P2-L1 y la señalización 104 PLP0-L2, mientras pueden transmitirse datos a través de los PLP 105, 106 y 107.

El preámbulo 102 es una señal que se usa generalmente para adquirir sincronización de tiempo y frecuencia, y sincronización para un límite de trama en un receptor.

La señalización 103 P2-L1 indica una parte a través de la que se transmite una señalización L1. Como se ilustra en la Figura 1, la señalización 103 P2-L1 también puede denominarse como una "P2," porque se transmite a través de símbolos P2. La P2 se refiere a una capa de señalización física o una señalización de Capa 1 (L1). La señalización de capa física incluye información 108 estática, información 109 configurable e información 110 dinámica. La información 108 estática incluye información que es básicamente estática durante el paso del tiempo y tal información estática puede incluir información sobre un identificador de célula, un identificador de red, el número de Canales de Radiofrecuencia (RF), una longitud de trama, ubicaciones de subportadoras piloto, etc. La información 109 configurable incluye información que puede cambiar en las tramas a transmitir en el futuro, aunque sin cambiar en una base trama a trama. Por lo tanto, la información 109 configurable puede incluir, por ejemplo, información sobre un identificador de servicio, un orden de modulación usado para transmitir datos para un servicio individual, una tasa de código, etc. La información 110 dinámica incluye información que puede cambiar en una base trama a trama. Tal información dinámica puede incluir información acerca de una ubicación en la que cada PLP que transporta datos de servicio se transmite en la trama actual, es decir información acerca de dónde comienza y finaliza cada PLP en la trama.

La señalización 104 PLP0-L2, una parte a través de la que se transmite una señalización L2, representa una señalización de Capa 2 (L2) o Control de Acceso al Medio (MAC). En general, un PLP en el que se transmite la información L2 también puede denominarse como un "PLP0." El PLP0 incluye información de conexión entre PLP y servicios de radiodifusión para indicar PLP a través de los que se reciben servicios particulares. El PLP\_1 105, el PLP\_2 106 y el PLP\_N 107 son datos de servicio y cada uno de ellos transmite uno o una pluralidad de canales de servicio de radiodifusión. Estos PLP, a través de los que se transmiten datos de difusión reales, también se llaman "PLP de datos."

Con referencia a la Figura 1 se describe a continuación un procedimiento de recepción en la actualidad de un canal de servicio de radiodifusión particular en un receptor de un sistema de comunicación inalámbrica. Tras la adquisición de sincronización de la trama a través del preámbulo 102, el receptor consigue información sobre un esquema de transmisión de datos y una longitud de trama usando la señalización 103 P2-L1, obtiene información que indica a través de qué PLP se transmite un canal de servicio de radiodifusión deseado, usando la señalización 104 PLP0-L2 y a continuación recibe datos para servicios de radiodifusión a través de los PLP 105 a 107 que transportan datos.

Para proporcionar los servicios de forma estable en el sistema de comunicación inalámbrica, error de transmisión de información de control tal como la señalización L1 y la señalización L2 debería minimizarse. La información de control generalmente se codifica antes de transmisión para minimizar el error de transmisión. Para este fin, ha existido una necesidad largamente sentida de un esquema capaz de codificar de forma eficiente la información de control.

El documento EP 1 513 258 A2 proporciona un procedimiento de codificación de códigos de LDPC cortos con un código BCH exterior, que se ha aplicado particularmente en servicios de DVB por satélite.

**Sumario de la invención**

La presente invención se ha hecho para abordar al menos los problemas anteriores y/o desventajas y para proporcionar al menos las ventajas descritas a continuación. Por consiguiente, un aspecto de la presente invención proporciona un procedimiento y aparato de recepción de información de control en un sistema de comunicación de difusión inalámbrica usando códigos de LDPC. Más específicamente, la invención1 se refiere a un procedimiento y aparato según se estipulan mediante las reivindicaciones independientes 1 y 13. Realizaciones preferidas se estipulan en las reivindicaciones dependientes.

**Breve descripción de los dibujos**

Los anteriores y otros aspectos, características y ventajas de la presente invención serán más evidentes a partir de la siguiente descripción cuando se toman en conjunción con los dibujos adjuntos, en los que:

la Figura 1 es un diagrama que ilustra un esquema de transmisión para información de control en un sistema de comunicación inalámbrica general;  
 la Figura 2 es un diagrama que ilustra un procedimiento de codificación de información de señalización L1 usado en un sistema de comunicación inalámbrica al que se puede aplicar una realización de la presente invención;  
 la Figura 3 es un diagrama que ilustra un esquema de codificación de información de señalización de acuerdo con una realización de la presente invención;  
 la Figura 4 es un diagrama de flujo que ilustra una operación de un transmisor de acuerdo con una realización de la presente invención;  
 la Figura 5 es un diagrama de flujo que ilustra una operación de un receptor de acuerdo con una realización de la presente invención;  
 la Figura 6 es un diagrama de bloques que ilustra una estructura de un transmisor de acuerdo con una realización de la presente invención; y  
 la Figura 7 es un diagrama de bloques que ilustra una estructura de un receptor de acuerdo con una realización de la presente invención.

**Descripción detallada de realizaciones preferidas**

Realizaciones preferidas de la presente invención se describen en detalle con referencia a los dibujos adjuntos. Los mismos o similares componentes pueden designarse mediante los mismos o similares números de referencia aunque se ilustren en diferentes dibujos. Descripciones detalladas de construcciones o procedimientos conocido en la técnica pueden omitirse para evitar obstaculizar la materia objeto de la presente invención.

Las expresiones y palabras usadas en la siguiente descripción y reivindicaciones no se limitan a sus significados de diccionario, sino que se usan meramente por el inventor para habilitar una comprensión clara y consistente de la invención. Por consiguiente, debería ser evidente a los expertos en la materia que la siguiente descripción de realizaciones preferidas de la presente invención se proporciona para fin de ilustración únicamente y no para el fin de limitar la invención según se definen mediante las reivindicaciones adjuntas.

Se ha de entender que las formas singulares "un," "una" y "el/la" incluyen referentes plurales a no ser que el contexto indique claramente de otra manera. Por lo tanto, por ejemplo, referencia a "una superficie de componente" incluye referencia a una o más de tales superficies.

La presente invención proporciona un procedimiento y aparato de codificación de información de post-señalización L1, o información de control, en una pluralidad de bloques de LDPC antes de transmisión en un sistema de comunicación inalámbrica usando códigos de LDPC.

El procedimiento de codificación propuesto por la presente invención proporciona un esquema de codificación de información estática L1, información configurable L1 e información dinámica L1 que constituye información de post-señalización L1, en el que una o una pluralidad de bloques codificados (o de palabra de código) (es decir bloques de LDPC) se forman de acuerdo con el número total de bits de la información de post-señalización L1. Aunque se supone en realizaciones de la presente invención que la información de post-señalización L1 incluye la información estática L1, configurable L1 y dinámica L1, la información estática L1, configurable L1 y dinámica L1 no deberían necesariamente combinarse juntas de acuerdo con requisitos del sistema de comunicación inalámbrica. Aunque no se menciona específicamente, puede apreciarse que la presente invención puede aplicarse incluso cuando la información de post-señalización L1 se forma de únicamente uno o dos de los tres tipos de la información L1. En la construcción de los múltiples bloques de LDPC, realizaciones de la presente invención pueden dividir la información de post-señalización L1 en una pluralidad de bloques de modo que los bloques de LDPC son iguales en el número de bits de su información de entrada. Además de la información estática L1, la información configurable L1 y la información dinámica L1 que constituyen la información de post-señalización L1, pueden añadirse bits predefinidos de relleno a cada uno de los bloques. El número de los bits de relleno pueden determinarse dependiendo del número de los bloques divididos, un esquema de modulación (u orden de modulación) usado, o uso/no uso de tecnología de antena de diversidad de transmisión.

La Figura 2 es un diagrama que ilustra un procedimiento de codificación de información de señalización L1 usado en

un sistema de comunicación inalámbrica al que se puede aplicar una realización de la presente invención.

Haciendo referencia a la Figura 2, la información de señalización L1 incluye adicionalmente la información 202 de pre-señalización L1 además de información 203 estática L1, información 204 configurable L1 e información 205 dinámica L1 que constituyen la información de post-señalización L1 como se describe en conexión con la Figura 1. Aunque se supone en la Figura 2 que la información de post-señalización L1 incluye tres tipos de información 203, 204 y 205 L1, la información de post-señalización L1 también puede incluir dos tipos de la información L1, como se ha descrito anteriormente.

La información 202 de pre-señalización L1 es información de control que indica información acerca de un procedimiento de transmisión para la información 203 estática L1, la información 204 configurable L1 y la información 205 dinámica L1. Es decir, la información 202 de pre-señalización L1 es información de control que indica qué subportadoras, esquemas de modulación (por ejemplo QPSK, 16QAM, 64QAM, etc.) y tasas de código se usan para transmitir la información 203 estática L1, la información 204 configurable L1 y la información 205 dinámica L1.

Como se ha descrito anteriormente, un transmisor de un sistema de comunicación inalámbrica general genera un bloque 206 de LDPC codificando por LDPC la información 202 de pre-señalización L1 independientemente, y también genera un bloque 207 LDPC codificando por LDPC una pluralidad de piezas de información L1 (información configurable L1, información dinámica L1, etc.) que constituyen la información de post-señalización L1.

Sin embargo, cuando un bloque de LDPC se genera codificando por LDPC una pluralidad de piezas de información L1 que constituyen la información de post-señalización L1, con la pluralidad de piezas de información L1 combinadas juntas, el número de bits de entrada del bloque de LDPC es variable, de modo que el número de bits de entrada codificados también es cambiante, resultando en un cambio en rendimiento de decodificación. En el presente documento, la información de pre-señalización L1 y la información de post-señalización L1 pueden ser diferentes en sus estructuras de información de acuerdo con el sistema de comunicación inalámbrica, y no únicamente codificación por LDPC sino también pueden aplicarse otros procedimientos de codificación para ejecución de la codificación.

La Figura 3 es un diagrama que ilustra un esquema de codificación de información de señalización de acuerdo con una realización de la presente invención.

La siguiente descripción se centra en un procedimiento de codificación de información estática L1, información configurable L1 e información dinámica L1, indicado mediante Parte II.

Haciendo referencia a la Figura 3, una realización de la presente invención genera un bloque de LDPC como una palabra de código codificando por LDPC información 302 de pre-señalización L1 independientemente. Además, la realización genera un bloque o bloques de LDPC como una o múltiples palabras de códigos realizando codificación por LDPC, una vez o una pluralidad de veces, en una pluralidad de piezas de información L1 que constituyen información de post-señalización L1, por ejemplo, información 303 estática L1, información 304 configurable L1 e información 305 dinámica L1 combinadas juntas. La presente invención se caracteriza por la generación de múltiples palabras (307,...,308) de códigos (es decir bloques de LDPC) con respecto a la información de post-señalización L1, de tal forma que los múltiples bloques (307,...,308) de LDPC son iguales en el número de bits de su información de entrada. Esto es para mantener el rendimiento constante de cada bloque de LDPC porque los códigos de LDPC tienen características que sus rendimientos varían de acuerdo con el número de bits de información de entrada. Para igualar la pluralidad de bloques (307,...,308) de LDPC en términos del número de bits de información de entrada, x bits de relleno se añaden como se muestra mediante el número de referencia 306. A continuación se describirá en detalle cómo se determina el número de los bits de relleno añadidos. Se describirán ahora en detalle una operación del transmisor de generación y transmisión de uno o múltiples bloques de LDPC de acuerdo con una realización de la presente invención con referencia a la Figura 4.

La Figura 4 es un diagrama de flujo que ilustra una operación de un transmisor de acuerdo con una realización de la presente invención.

Haciendo referencia a la Figura 4, en la etapa 401, el transmisor determina información de control, que debe transmitirse a través de símbolos P2 en la trama actual. La información de control a transmitir a través de los símbolos P2 incluye información de pre-señalización L1 e información de post-señalización L1, como se ha descrito anteriormente.

Para codificar por LDPC la información de control determinada antes de transmisión, el transmisor determina en cuántos bloques codificados (es decir bloques de LDPC) dividirá la información de post-señalización L1 antes de transmisión, en la etapa 402. La determinación se hace de acuerdo con la Ecuación (1).

$$N_{post\_FEC\_Blocks} = \left\lceil \frac{K_{post\_pure}}{K_{bch}} \right\rceil \dots \dots \dots (1)$$

En la Ecuación (1), se supone que códigos interiores de LDPC y códigos exteriores de Bose, Chaudhuri y Hocquenghem (BCH) están concatenados entre sí.

En el presente documento,  $N_{post\_FEC\_Blocks}$  indica el número de los bloques divididos de LDPC cuando la información de post-señalización L1 se divide en múltiples bloques de LDPC antes de transmisión,  $K_{post\_pure}$  indica una suma del número de bits de información de post-señalización L1, determinado en la etapa 401, y  $K_{bch}$  indica el número máximo de bits de entrada obtenidos excluyendo bits de paridad de un código de BCH y bits de paridad de un código de LDPC a partir de un bloque de LDPC a base de un tipo de codificación dado (es decir el número máximo de bits de entrada determinado excluyendo un código de paridad de un bloque de BCH). En lo sucesivo, se denomina como "el número máximo de bits de entrada de un bloque de BCH."

Por ejemplo, cuando un bloque de LDPC se usa como un bloque codificado con un tamaño de 16.200 bits, una tasa de código efectiva se indica mediante  $R_{eff}$ , y el número de bits de paridad usados en el código de BCH se indica mediante  $N_{bch\_parity}$ , el número máximo  $K_{bch}$  de bits de entrada de un bloque de BCH es  $K_{bch}=16.200 \times R_{eff} - N_{bch\_parity}$ . Para  $R_{eff}=4/9$  y  $N_{bch\_parity}=168$  bits,  $K_{bch}$  se vuelve 7032 bits. Además,  $\lceil x \rceil$  en la Ecuación (1) indica el menor entero mayor que o igual a  $x$ .

Sin embargo, un valor de  $K_{bch}$  usado en la Ecuación (1) no debería necesariamente determinarse mediante el procedimiento anterior y también puede determinarse mediante otro procedimiento de acuerdo con una condición dada del sistema de comunicación inalámbrica. Con respecto a otro procedimiento, en un sistema de comunicación inalámbrica usando múltiples portadoras, tal como, por ejemplo, un sistema de Multiplexación por División Ortogonal de Frecuencia (OFDM), el número máximo de subportadoras capaces de transportar datos en un símbolo de OFDM se determina de acuerdo con una condición del sistema. Cuando la cantidad máxima de datos que pueden distribuirse a la vez a través del número máximo de subportadoras mientras mantiene el rendimiento de codificación considerado en un sistema, es menor que el tamaño máximo de un bloque codificado por LDPC, un valor de  $K_{bch}$  usado en la Ecuación (1) puede sustituirse por un valor de la cantidad máxima de datos.

Sin embargo, cuando el valor de  $K_{bch}$  no se puede cambiar por las razones de que  $K_{bch}=16.200 \times R_{eff} - N_{bch\_parity}$  se ha definido en un sistema y el valor de  $K_{bch}$  ya se usa para otro fin en el sistema, la Ecuación (1) puede sustituirse por la Ecuación (2).

$$N_{post\_FEC\_Blocks} = \left\lceil \frac{K_{post\_pure}}{N_{post\_max\_per\_symbol}} \right\rceil \dots \dots \dots (2)$$

En la Ecuación (2),  $N_{post\_max\_per\_symbol}$  indica el número máximo de bits capaces de transportar información de post-señalización L1 en un símbolo de OFDM de acuerdo con una condición del sistema, y generalmente se establece menor que o igual al valor de  $K_{bch}$ .

Para una mejor comprensión de la presente invención, se describirá el siguiente ejemplo.

Suponiendo que en un sistema de OFMD que usa un modo de Transformada Rápida de Fourier (FFT) 4K, pueden usarse un máximo de 3408 subportadoras para que un símbolo de OFDM transmita información de señalización L1 codificada, cuando se asignan 45 subportadoras para la transmisión de información de pre-señalización L1 codificada en el un símbolo de OFDM, pueden asignarse un máximo de 3363 subportadoras para la transmisión de la información de post-señalización L1 codificada. Cuando se supone que se aplica modulación de Modulación por Amplitud en Cuadratura (QAM) 16-aria, las 3363 subportadoras pueden transportar un total de  $3363 \times 4 = 13452$  bits.

Porque la información de post-señalización L1 codificada debería tener mayor rendimiento de codificación en comparación con los datos generales, la cantidad de la información de post-señalización L1 debería limitarse para garantizar el rendimiento de codificación mínimo requerido. Es decir, entre los 13452 bits, el número específico de bits se establece al valor máximo como la cantidad de información de post-señalización L1, y los bits restantes se asignan como bits de paridad de un código de BCH o un código de LDPC, o bits simulados cuando es necesario.

Por ejemplo, supóngase que información de post-señalización L1 de 5780 bits o menos se transmite en un símbolo de OFDM a petición del sistema para garantizar el rendimiento de codificación mínimo garantizado para la información de post-señalización L1 codificada. En este caso, puede apreciarse que los 5780 bits son menos que 7032 bits, o el tamaño máximo de  $K_{bch}$ , cuando  $R_{eff}$  es  $4/9$  y  $N_{bch\_parity}$  es 168 bits. También, supóngase que 168 bits se asignan como  $N_{bch\_parity}$  bits de paridad de un código de BCH, 7500 bits se asignan como bits de paridad de un código de LDPC y los restantes 4 bits se asignan como bits simulados. A continuación, porque el número total de bits de la información de post-señalización L1 codificada es 13448 bits y se incluyen 4 bits simulados, la información de post-señalización L1 codificada con los bits simulados se correlaciona con  $(13448 + 4)/4 = 3363$  subportadoras, formando de este modo una parte de un símbolo de OFDM.

En el ejemplo anterior,  $(5780 + 168)/13448$  es menor  $4/9$ , o un valor de  $R_{eff}$ , porque se estableció menor que  $4/9$  para asegurar mayor rendimiento de codificación que el de los datos generales. En realidad, porque  $13452 \times 4/9 \approx 5979$  se establece para obtener una tasa de código menor que  $R_{eff}$  considerando rendimiento de codificación, la máxima información de post-señalización L1 que puede transmitirse a través de un símbolo de OFDM es siempre menor de 7032 bits.

5 Cuando la cantidad de información de post-señalización L1 excede 5780 bits, la información de post-señalización L1 se divide en  $N_{post\_FEC\_Blocks}$  bloques de LDPC usando la Ecuación (1) y transmite a través de un procedimiento descrito a continuación. En este caso,  $K_{bch}$  se establece como 5780 bits en la Ecuación (1). Sin embargo, cuando un valor de  $K_{bch}$  no se puede cambiar ya que el sistema ya usa el mismo para otro fin,  $N_{post\_max\_per\_symbol}$  se establece como 5780 bits en la Ecuación (2), y la Ecuación (2) se usa en su lugar.

10 De acuerdo con otro ejemplo detallado, suponiendo que en un sistema de OFDM que usa un modo FFT 4K, pueden usarse un máximo de 2840 subportadoras para que un símbolo de OFDM transmita información de señalización L1 codificada, cuando 45 subportadoras se asignan para la transmisión de información de pre-señalización L1 codificada en el un símbolo de OFDM, pueden asignarse un máximo de 2795 subportadoras para la transmisión de información de post-señalización L1 codificada. Por conveniencia, se supone que se aplica cuando modulación de 16QAM, las 2795 subportadoras pueden transportar un total de  $2795 \times 4 = 11180$  bits.

Supóngase que entre los 11180 bits, el número máximo de bits de información de post-señalización L1 transmisible a través de un símbolo de OFDM se establece como 4748 bits para garantizar el rendimiento de codificación mínimo garantizado de acuerdo con los requisitos de sistema.

15 Puede entenderse que los 4748 bits son menos que 7032 bits, o el número máximo de bits de entrada del bloque de BCH, cuando  $R_{eff} = 4/9$  y un tamaño de  $N_{bch\_parity}$  es 168 bits. También, supóngase que 168 bits se asignan como bit de paridad de un código de BCH, 6260 bits se asignan como bits de paridad de un código de LDPC y los restantes 4 bits se asignan como bits simulados. A continuación, porque el número total de bits de la información de post-señalización L1 codificada es 11176 bits y se incluyen 4 bits simulados, la información de post-señalización L1 codificada con los bits simulados se correlaciona con  $(11176 + 4)/4 = 2795$  subportadoras, formando de este modo una parte de un símbolo de OFDM.

En el ejemplo anterior, se observa que  $(4748 + 168)/11180$  es menor que  $4/9$ , o un valor de  $R_{eff}$ .

25 Cuando la cantidad de la información de post-señalización L1 excede 4748 bits, la información de post-señalización L1 se divide en  $N_{post\_FEC\_Blocks}$  bloques de LDPC usando la Ecuación (1), y transmite a través de un procedimiento descrito a continuación. En este caso,  $K_{bch}$  se establece como 4748 bits en la Ecuación (1). Sin embargo, cuando un valor de  $K_{bch}$  no se puede cambiar ya que el sistema ya usa el mismo para otro fin,  $N_{post\_max\_per\_symbol}$  se establece como 4748 bits en la Ecuación (2) y la Ecuación (2) se usa en su lugar.

30 De acuerdo con realizaciones de la presente invención, el  $K_{bch}$  puede definirse como un valor determinado de acuerdo con un fin necesario en el sistema, y puede ser igual a o menor que el número máximo de bits de entrada de, por ejemplo, un bloque de BCH. Sin embargo, cuando un valor de  $K_{bch}$  no se puede cambiar ya que el sistema ya usa el mismo para otro fin,  $N_{post\_max\_per\_symbol}$  puede establecerse a un valor apropiado en la Ecuación (2) y la Ecuación (2) pueden usarse en lugar de la Ecuación (1).

Como se ha descrito anteriormente,  $K_{bch}$  en la Ecuación (1) puede establecerse a un valor apropiado de acuerdo con requisitos del sistema de comunicación inalámbrica.

35 Haciendo referencia de vuelta a la Figura 4, en la etapa 403, el transmisor divide una suma  $K_{post\_pure}$  del número de bits de la información de post-señalización L1 por el número  $N_{post\_FEC\_Blocks}$  de los bloques de LDPC, determinado en la etapa 402. En el caso en el que el  $K_{post\_pure}$  no puede dividirse por  $N_{post\_FEC\_Blocks}$ , el número  $N_{post\_FEC\_Blocks}$  de bits de relleno específicos (cada valor de bit es '0') se vuelve 2 cuando  $K_{post\_pure}$  es 7033 bits, por ejemplo. Porque el  $K_{post\_pure}$  no puede dividirse por 2, un bit de 0 se añade al  $K_{post\_pure}$  para hacer al mismo un número par y el valor resultante se divide por 2. En lo anterior, el número de bits de un flujo de información después de que se añaden bits de relleno al mismo se llama  $K_{post}$ , y un valor obtenido dividiendo el mismo por  $N_{post\_FEC\_Blocks}$  se denomina como  $K_{sig}$ . En el ejemplo anterior,  $K_{sig}$  se vuelve  $(7033+1)/2 = 3.517$  bits. En otras palabras, se entiende que dos flujos de información de 3.517 bits obtenidos añadiendo un bit a  $K_{post\_pure}$  de 7033 bits y dividiendo el resultado por dos se conciben para transmitirse en dos bloques de LDPC a través de dos codificaciones por LDPC.

45 En la etapa 404, el transmisor calcula el número de bits de paridad a perforar, entre bits de paridad de cada bloque de LDPC. El cálculo para el número de bits de perforación se somete a cambio de acuerdo con  $K_{post}$ , un esquema de modulación (o un orden de modulación), el número  $N_{fixedP2}$  de símbolos de OFDM usados para transmisión P2 (es decir el número de símbolos de OFDM con un tamaño de FFT dado), etc. El número de bits de perforación puede calcularse de la siguiente manera. El número de bits de perforación puede calcularse en el procedimiento de primero  
50 calcular el número temporal de bits de perforación, corregir el número de bits de perforación teniendo en cuenta  $N_{fixedP2}$  y una estructura de un intercalador de bits usada para la transmisión de la información de post-señalización L1, y a continuación actualizar el número final de bits de perforación. El procedimiento de calcular el número de bits de perforación se describirá usando ecuaciones, como se indica a continuación.

#### Etapas 1

55 En primer lugar, el número temporal  $N_{punc\_temp}$  de bits de perforación se calcula de acuerdo con la Ecuación (3).

$$N_{punc\_temp} = \left\lfloor \frac{6}{5} \times (K_{bch} - K_{sig}) \right\rfloor \dots \dots \dots (3)$$

en la que  $\lfloor x \rfloor$  indica el mayor entero no mayor que  $x$ .

En la Ecuación (3),  $K_{bch}$  indica el número máximo de bits de entrada de un bloque de BCH y  $K_{sig}$  es un valor determinado dividiendo el número  $K_{post}$  de bits obtenido añadiendo bits de relleno a una suma  $K_{post\_pure}$  del número de bits de información de post-señalización L1, por el número  $N_{post\_FEC\_Blocks}$  de bloques de LDPC.

En la Ecuación (3),  $K_{bch}=16.200 \times R_{eff} \times N_{bch\_parity}$ , definido primero en la Ecuación (1), se usa intacto sin cambio. Por ejemplo,  $K_{bch}$  es 7032 bits, cuando se usa un bloque de LDPC con un tamaño de 16.200 bits, una tasa de código efectiva  $R_{eff}$  es 4/9 y  $N_{bch\_parity}$  es 168 bits.

Etapa 2

Después de que el número temporal de bits de perforación se encuentra, el número temporal  $N_{post\_temp}$  de bits de palabra de código se calcula de acuerdo con la Ecuación (4).

$$N_{post\_temp} = K_{sig} + N_{bch\_parity} + 16,200 \times (1 - R_{eff}) - N_{punc\_temp} \dots \dots \dots (4)$$

Etapa 3

Posteriormente, a base del número temporal de bits de palabra de código, el número final de bits de palabra de código (o el número de bits de cada bloque de LDPC) se calcula de acuerdo con la Ecuación (5) teniendo en cuenta un orden de modulación.

$$N_{post} = \begin{cases} \text{Si } N_{fixedP2} = 1, & \left\lfloor \frac{N_{post\_temp}}{2\eta_{MOD}} \right\rfloor \times 2\eta_{MOD}, \\ \text{De lo contrario,} & \left\lfloor \frac{N_{post\_temp}}{\eta_{MOD} \times N_{fixedP2}} \right\rfloor \times \eta_{MOD} \times N_{fixedP2} \end{cases} \dots \dots \dots (5)$$

en la que  $\eta_{MOD}$  indica un orden de modulación y es 1, 2, 4 y 6 para BPSK, QPSK, 16-QAM y 64-QAM, respectivamente, y  $N_{fixedP2}$  es el número de símbolos de OFDM usados para transmisión P2 (es decir transmisión de información de señalización L1).

La razón del ajuste del número de bits de palabra de código en la Ecuación (5) es para garantizar que el número de símbolos de modulación después de que modulación de cada bloque de LDPC se vuelve un múltiplo de  $N_{fixedP2}$ , y también para garantizar que el número de bits de cada bloque de LDPC se vuelve un múltiplo del número de columnas de un intercalador de bloques usado en un procedimiento de intercalado de bits. El intercalado de bloques se usa comúnmente únicamente para modulación de orden alto tal como 16QAM y 64QAM, y el número de sus columnas usado es generalmente  $2 \times \eta_{MOD}$ .

En la Ecuación (5), la expresión se divide en dos subexpresiones sobre la base de un valor de  $N_{fixedP2}$ , para garantizar que el número de símbolos después la modulación siempre se vuelve un múltiplo de  $N_{fixedP2}$ . Sin embargo, cuando no existe la necesidad de satisfacer necesariamente la relación de múltiplo de  $N_{fixedP2}$  de acuerdo con los requisitos del sistema de comunicación al que se aplica la presente invención, es suficiente aplicar únicamente la primera expresión para  $N_{fixedP2}=1$  en la Ecuación (5). En este caso, los factores que determinan el resultado de la Ecuación (5) son un orden de modulación y el número de columnas de un intercalador de bloques.

En suma, la Ecuación (5) puede aplicarse brevemente independientemente de  $N_{fixedP2}$  de acuerdo con los requisitos del sistema de comunicación al que se aplica la presente invención.

De acuerdo con la Ecuación (5), se garantiza que cuando un valor de  $N_{fixedP2}$  no es 1, el número de símbolos de modulación después de la modulación de un bloque de LDPC es un múltiplo de  $N_{fixedP2} \times \eta_{MOD}$ . Sin embargo, en el caso general, no puede asegurarse que el número de símbolos de modulación es  $2 \times \eta_{MOD}$ . Por lo tanto, cuando el número de columnas para intercalado de bloques se establece a  $2 \times \eta_{MOD}$ , la Ecuación (5) puede no ser adecuada. En otras palabras, en un caso en el que un sistema arbitrario, el número de columnas para intercalado de bloques se establece siempre a  $2 \times \eta_{MOD}$  y  $N_{fixedP2}$  no es 1, la Ecuación (5) puede no ser adecuada al sistema si el número de símbolos de modulación no satisface un múltiplo de 2. Por lo tanto, para  $N_{fixedP2} \neq 1$ , cuando el número de símbolos de modulación no satisface un múltiplo de 2, el número final de bits de palabra de código (es decir el número de bits de cada bloque de LDPC) puede calcularse usando la Ecuación (6).

$$N_{post} = \left\lceil \frac{N_{post\_temp}}{2 \times \eta_{MOD} \times N_{fixedP2}} \right\rceil \times 2 \times \eta_{MOD} \times N_{fixedP2} \dots \dots \dots (6)$$

La Ecuación (6) se propone de modo que puede usarse sin restricciones específicas en un valor de  $N_{fixedP2}$ .

Un valor de  $N_{fixedP2}$  puede establecerse como un valor que tiene un significado particular de acuerdo con los requisitos del sistema. Por ejemplo, cuando un valor de  $N_{fixedP2}$  se establece al mismo valor que  $N_{post\_FEC\_Blocks}$  en la Ecuación (2), el valor de  $N_{fixedP2}$  puede determinarse, una vez que se determina  $N_{post\_FEC\_Blocks}$  en el sistema. Si esto se aplica a la Ecuación (6), la Ecuación (6) puede escribirse como la Ecuación (7).

$$N_{post} = \left\lceil \frac{N_{post\_temp}}{2\eta_{MOD} \times N_{post\_FEC\_Blocks}} \right\rceil \times 2\eta_{MOD} \times N_{post\_FEC\_Blocks} \dots \dots \dots (7)$$

Además, un valor de  $N_{fixedP2}$  puede dividirse de acuerdo con una condición del sistema, de forma similar a la Ecuación (5), y establecerse como valores diferentes. Por ejemplo, supóngase que el sistema usa una técnica de intercalado de tiempo durante transmisión de información de post-señalización L1, y ha detectado un campo "L1\_TI\_depth" en información de señalización que tiene información como se expone en la Tabla 1, a partir de la información de pre-señalización L1.

Tabla 1

L1_TI_depth	Profundidad de intercalado de tiempo $N_{L1\_TI\_depth}$
00	No intercalado de tiempo
01	$N_{post\_FEC\_Blocks}$ símbolos de OFDM
10	4 símbolos de OFDM
11	8 símbolos de OFDM

De acuerdo con la Tabla 1, cuando el "L1\_TI\_depth" es 10 u 11, el sistema transmite información de post-señalización L1 en 4 u 8 símbolos de OFDM independientemente de un valor de  $N_{post\_FEC\_Blocks}$ . Por lo tanto, la Ecuación (8) pueden usarse de acuerdo con un valor de "L1\_TI\_depth."

$$N_{post} = \begin{cases} \text{Si } L1\_TI\_depth = 00 \text{ o } 01, \\ \left\lceil \frac{N_{post\_temp}}{2\eta_{MOD} \times N_{post\_FEC\_Blocks}} \right\rceil \times 2\eta_{MOD} \times N_{post\_FEC\_Blocks}, \\ \text{De lo contrario,} \\ \left\lceil \frac{N_{post\_temp}}{2\eta_{MOD} N_{L1\_TI\_depth}} \right\rceil \times 2\eta_{MOD} \times N_{L1\_TI\_depth}. \end{cases} \dots \dots \dots (8)$$

en la que un valor de  $N_{L1\_TI\_depth}$  es 4 para "L1\_TI\_depth"=10 y 8 para "L1\_TI\_depth"= 11.

Para subdividir la información de post-señalización L1 de acuerdo con aplicación/no aplicación de intercalado de tiempo, para "L1\_TI\_depth"=00 o 01, el número final  $N_{post}$  de bits de palabra de código (es decir el número de bits de cada bloque de LDPC) puede proporcionarse como la Ecuación (9).

$$N_{post} = \begin{cases} L1\_TI\_depth = 00; \\ \left[ \frac{N_{post\_temp}}{2\eta_{MOD}} \right] \times 2\eta_{MOD}, \\ L1\_TI\_depth = 01; \\ \left[ \frac{N_{post\_temp}}{2\eta_{MOD} \times N_{post\_FEC\_blocks}} \right] \times 2\eta_{MOD} \times N_{post\_FEC\_Blocks}, \\ \text{de lo contrario,} \\ \left[ \frac{N_{post\_temp}}{2\eta_{MOD} \times N_{L1\_TI\_depth}} \right] \times 2\eta_{MOD} \times N_{L1\_TI\_depth}. \end{cases} \dots (9)$$

Además, para "L1\_TI\_depth"=00 o 01, porque "L1\_TI\_depth" es siempre un múltiplo de 2, la Ecuación (10) también es posible.

$$N_{post} = \begin{cases} \text{Si } L1\_TI\_depth = 00 \text{ o } 01, \\ \left[ \frac{N_{post\_temp}}{2\eta_{MOD} \times N_{post\_FEC\_Blocks}} \right] \times 2\eta_{MOD} \times N_{post\_FEC\_Blocks}, \\ \text{De lo contrario,} \\ \left[ \frac{N_{post\_temp}}{\eta_{MOD} \times N_{L1\_TI\_depth}} \right] \times \eta_{MOD} \times N_{L1\_TI\_depth}. \end{cases} \dots (10)$$

5

En este caso, se garantiza que  $N_{post}$  es aún un múltiplo de  $2 \times \eta_{MOD}$ .

**Etapa 4**

Finalmente, el número final de bits de perforación entre los bits de paridad de cada bloque de LDPC se actualiza. El número final  $N_{punc}$  de bits de perforación se calcula de acuerdo con la Ecuación (11).

10

$$N_{punc} = N_{punc\_temp} - (N_{post} - N_{post\_temp}) \dots (11)$$

en la que  $N_{punc\_temp}$  indica el número temporal de bits de perforación, calculado en la etapa 1,  $N_{post}$  indica el número final de bits de palabra de código (es decir el número de bits de cada bloque de LDPC) y  $N_{post\_temp}$  indica el número temporal de bits de palabra de código, claculado en la etapa 2.

15

Haciendo referencia de nuevo a la Figura 4, después de calcular el número de bits de perforación entre los bits de paridad de cada bloque de LDPC, el transmisor genera, en la etapa 405, tantos bloques de LDPC como el número de bloques codificados, determinado en la etapa 402, usando la información de post-señalización L1 con bits de relleno. Los bloques de LDPC se transmiten después de que se perforan tantos bits de paridad como el número calculado de bits de perforación. En la etapa 406, el transmisor se mueve a la siguiente trama y a continuación repite la operación anterior de las etapas 401 a 405.

20

Un ejemplo del procedimiento de cálculo en la operación del transmisor se resume en la Tabla 2.

Tabla 2

Etapa	Operación
1	Calcular la Ecuación (2): $N_{post\_FEC\_Blocks} = \left\lceil \frac{K_{post\_pure}}{N_{post\_max\_per\_symbol}} \right\rceil$
2	1) Si se necesita, se añade un valor apropiado a $K_{post\_pure}$ de modo que se vuelve un múltiplo de $N_{post\_FEC\_Blocks}$ , y el valor resultante se define como $N_{post}$ . Cuando $K_{post\_pure}$ es un múltiplo de $N_{post\_FEC\_Blocks}$ desde el principio, $N_{post}$ y $K_{post\_pure}$ tienen el mismo valor. 2) $K_{post}/K_{post\_pure}$ se define como $K_{sig}$ .

(continuación)

Etapa	Operación
3	Calcular la Ecuación (3): $N_{punc\_temp} = \left\lfloor \frac{6}{5} \times (K_{bch} - K_{sig}) \right\rfloor$
4	Calcular la Ecuación (4): $N_{post\_temp} = K_{sig} + N_{bch\_parity} + 16.200 \times (1 - R_{eff}) - N_{punc\_temp}$
5	Calcular $N_{post}$ usando la Ecuación (8) de acuerdo con una técnica de intercalado de tiempo definida en la Tabla 1, que se aplica a post-señalización.
6	Calcular la Ecuación (11): $N_{punc} = N_{punc\_temp} - (N_{post} - N_{post\_temp})$

La Figura 5 es un diagrama de flujo que ilustra una operación de un receptor de acuerdo con una realización de la presente invención.

- 5 Haciendo referencia a la Figura 5, en la etapa 501, el receptor adquiere el número de bits de información de post-señalización L1 transmitidos en la trama actual recibiendo y demodulando información de pre-señalización L1. El número de bits de la información de post-señalización L1 significa  $K_{post}$  descrito en la Figura 4, al que se añaden bits de relleno. En la etapa 502, el receptor calcula el número de bloques codificados (es decir bloques de LDPC) a través del cual se transmite información de post-señalización L1, de acuerdo con la Ecuación (12).

$$N_{post\_FEC\_Blocks} = \frac{K_{post}}{K_{bch}} \dots \dots \dots (12)$$

10

Se ha de observar que el valor de la Ecuación (12) también puede calcularse como la Ecuación (13) de acuerdo con los requisitos del sistema.

$$N_{post\_FEC\_Blocks} = \frac{K_{post}}{N_{post\_max\_per\_symbol}} \dots \dots \dots (13)$$

15

En la etapa 503, el receptor calcula el número  $K_{sig}$  de bits de información de entrada para cada bloque de LDPC (es decir el número de bits de información de entrada con bits de relleno) de acuerdo con la Ecuación (14).

$$K_{sig} = \frac{K_{post}}{K_{post\_FEC\_Blocks}} \dots \dots \dots (14)$$

20

En la etapa 504, el receptor calcula el número de perforación entre bits de paridad de cada bloque de LDPC. El procedimiento de cálculo de etapa 504 es igual al procedimiento descrito en la Figura 4 usando la Ecuación (3), la Ecuación (4) y la Ecuación (5) a la Ecuación (11). En la etapa 505, el receptor decodifica tantos bloques de LDPC como el número de bloques de LDPC, determinado en la etapa 502, a través de un procedimiento de codificación por LDPC usando el número de bits de perforación, calculado en la etapa 504, y adquiere información de post-señalización L1 desde cada bloque de LDPC decodificado. En la etapa 506, el receptor se mueve a la siguiente trama y repite la operación de las etapas 501 a 505.

25

La Figura 6 es un diagrama de bloques que ilustra una estructura de un transmisor 600 de acuerdo con una realización de la presente invención. El transmisor 600 en la Figura 6 representa un aparato de transmisión de información de señalización L1 como información de control.

30

Haciendo referencia a la Figura 6, el transmisor 600 incluye una memoria 601 intermedia de transmisión de datos, un planificador 602, un generador 603 de información de control, un calculador 604 de parámetro de control, un controlador 605, un codificador 606 de LDPC y una unidad 607 de transmisión. En realizaciones de la presente invención, la información de control, que se codifica en uno o múltiples bloques de LDPC antes de transmisión, incluye información de pre-señalización L1 e información de post-señalización L1 como información de señalización de capa física, como se ha descrito anteriormente.

35

Cuando un sistema de comunicación inalámbrica proporciona servicios de radiodifusión, la memoria 601 intermedia de transmisión de datos almacena en memoria intermedia datos de servicio (es decir PLP) que una pluralidad de canales de servicio de radiodifusión debería transmitir. El planificador 602 realiza planificación dependiendo de un estado de los datos de servicio (PLP) almacenados en memoria intermedia en la memoria 601 intermedia de transmisión de datos. La operación de planificación puede incluir determinar información de pre-señalización L1 e

información de post-señalización L1 como información de control a transmitir, para cada trama. El resultado de planificación se proporciona al generador 603 de información de control. El generador 603 de información de control genera valores de campo detallados de la información de pre-señalización L1 y la información de post-señalización L1 como información de control (es decir información P2). La información de post-señalización L1 incluye información 204 configurable L1, información 205 dinámica L1 o similar.

El calculador 604 de parámetro de control calcula el número de bloques de LDPC, el número de símbolos de modulación, el número de bits de relleno, el número de bits de perforación entre bits de paridad de cada bloque de LDPC, etc. como parámetros de control usados para la codificación de información de control en uno o plurales bloques de LDPC antes de transmisión como se describe en la Figura 4, usando los valores de campo recibidos desde el generador 603 de información de control. Los parámetros de control calculados por el calculador 604 de parámetro de control se proporcionan al controlador 605, y el controlador 605 controla una operación de codificación del codificador 606 de LDPC de acuerdo con los parámetros calculados. El codificador 606 de LDPC, bajo el control del controlador 605, codifica la información de pre-señalización L1 y la información de post-señalización L1 recibida desde el generador 603 de información de control, en bloques de LDPC independientemente. En el presente documento, de acuerdo con el procedimiento descrito en la Figura 4, la información de pre-señalización L1 se divide en uno o más bloques y bits cero de relleno se añaden a la misma, de modo que la información se emite como uno o múltiples bloques de LDPC. Bits de paridad, el número de los cuales es igual al número calculado de bits de perforación, se perforan desde los bloques de LDPC. La salida del codificador 606 de LDPC se proporciona a la unidad 607 de transmisión y la unidad 607 de transmisión transmite la información de control codificada por LDPC con una trama que tiene un formato predeterminado. Aunque el calculador 604 de parámetro de control y el controlador 605 se ilustran como componentes separados en la Figura 6, pueden construirse en un controlador.

La Figura 7 es un diagrama de bloques que ilustra una estructura de un receptor 700 de acuerdo con una realización de la presente invención. El receptor 700 en la Figura 7 representa un aparato de recepción de información de señalización L1 como información de control.

Haciendo referencia a la Figura 7, el receptor 700 incluye un receptor 701 de pre-señalización L1, un calculador 702 de parámetro de control, un L1 receptor 703 de post-señalización y un controlador 704.

El receptor 700 en la Figura 7 recibe información de pre-señalización L1 e información de post-señalización L1 como información de control para la recepción de datos de servicio. La información de pre-señalización L1 es información de control que indica un procedimiento de transmisión para información de post-señalización L1 que incluye información 204 configurable L1 e información 205 dinámica L1. El receptor 701 de pre-señalización L1 recibe la información de pre-señalización L1, adquiere información en subportadoras, un esquema de modulación (por ejemplo QPSK, 16QAM, 64QAM, etc.) y una tasa de código que usará como un procedimiento de transmisión para la información de post-señalización L1, y también adquiere información sobre el número de símbolos de modulación.

El calculador 702 de parámetro de control calcula parámetros de control que incluyen el número de bloques de LDPC, el número de bits de relleno para bloques de LDPC, el número de bits de perforación entre bits de paridad de los bloques de LDPC y el número de símbolos de modulación de la manera descrita en la Figura 5, usando la información proporcionada desde el receptor 701 de pre-señalización L1. Los parámetros de control calculados por el calculador 702 de parámetro de control se proporcionan al controlador 704. El controlador 704 controla una operación de decodificación por LDPC en uno o múltiples bloques de LDPC recibidos en el receptor 703 de post-señalización L1 usando los parámetros de control, y el receptor 703 de post-señalización L1 decodifica la información de post-señalización L1. Aunque el calculador 702 de parámetro de control y el controlador 704 se ilustran como componentes separados en la Figura 7, pueden construirse en un controlador.

Como es evidente a partir de la descripción anterior, las realizaciones de la presente invención pueden dividir información de control en múltiples bloques de LDPC y realizar codificación por LDPC en la misma considerando que las características que rendimiento de decodificación dependen del número de bits de información de entrada de cada bloque de LDPC, de modo que rendimiento de codificación de cada bloque de LDPC puede mantenerse constantemente.

Además, las realizaciones de la presente invención pueden dividir información de control, es decir información de post-señalización L1, en una pluralidad de bloques que tienen el mismo número de bits de entrada, insertar bits de relleno en cada uno de los bloques divididos y realizar codificación por LDPC en el mismo, habilitando de este modo codificación más eficiente. Por lo tanto, es posible realizar transmisión/recepción de información de señalización más eficiente a través de codificación por LCPC.

Las realizaciones de la presente invención también pueden incorporarse como códigos legibles por ordenador en un medio de grabación legible por ordenador. El medio de grabación legible por ordenador es cualquier dispositivo de almacenamiento de datos que puede almacenar datos, que posteriormente pueden leerse por un sistema informático. Ejemplos del medio de grabación legible por ordenador incluyen, pero sin limitación, Memoria de Solo lectura (ROM), Memoria de Acceso Aleatorio (RAM), CD-ROM, cintas magnéticas, discos flexibles, dispositivos de almacenamiento de datos ópticos y ondas portadoras (tal como transmisión de datos a través de la Internet a través de trayectorias de transmisión por cable o inalámbricas). El medio de grabación legible por ordenador también puede distribuirse en

sistemas informáticos acoplados a red de modo que el código legible por ordenador se almacena y ejecuta de una forma distribuida. También, programas de funciones, códigos y segmentos de código para lograr la presente invención pueden interpretarse fácilmente como dentro del alcance de la invención por programadores expertos en la técnica a la que pertenece la presente invención.

- 5 Mientras la invención se ha mostrado y descrito con referencia a unas ciertas realizaciones preferidas de la misma, se entenderá por los expertos en la materia que diversos cambios en forma y detalles pueden hacerse en la misma sin alejarse del ámbito de la invención como se define mediante las reivindicaciones adjuntas.

**REIVINDICACIONES**

- 5 1. Un procedimiento para recibir información de control a través de una parte de información de señalización de Capa 1, L1, incluyendo la parte de información de señalización L1 información asociada con al menos un Conducto de Capa Física (PLP) en una trama, en un sistema de comunicación de difusión, comprendiendo el procedimiento las etapas de:
- adquirir (501) información de un número de bits de la parte de la información de señalización L1 desde una trama recibida;
- 10 calcular (502) un número de bloques LDPC en el que la parte de la información de señalización L1 se divide; calcular un número de bits de información de entrada de cada bloque LDPC cuando hay una pluralidad de bloques LDPC, de tal manera que la pluralidad de bloques LDPC tienen un mismo número de bits de información de entrada, y
- calcular un número de bits de perforación entre bits de paridad de cada bloque LDPC; y
- decodificar uno o varios bloques LDPC recibidos en base a la información adquirida y calculada en las etapas anteriores.
- 15 2. El procedimiento de la reivindicación 1, en el que una técnica de entrelazado de tiempo es usada durante la transmisión de la parte de la información de señalización L1 y en el que calcular un número de bits de perforación comprende, además:
- calcular un número temporal de bits de perforación y un número temporal de bits de palabra de código de cada bloque LDPC; calcular un número final de bits de palabra de código de cada bloque LDPC de acuerdo con la orden
- 20 de modulación, profundidad de entrelazado de tiempo y número temporal de bits de palabra de código; y
- calcular un número final de bits de perforación de acuerdo con el número temporal de bits de perforación, el número temporal de bits de palabra de código y el número de bits de palabra de código final.
3. El procedimiento de la reivindicación 2, en el que calcular un número temporal de bits de perforación comprende, además:
- 25 calcular el número temporal de bits de perforación basándose en una diferencia entre un número máximo de bits de información de entrada de un bloque BCH y el número de bits de información de entrada de cada bloque codificado.
4. El procedimiento de la reivindicación 2, en el que calcular un número temporal de bits de palabra de código comprende, además:
- 30 calcular el número temporal de bits de palabra de código de cada bloque codificado basándose en el número de bits de información de entrada de cada bloque codificado, un número de bits de paridad de un bloque BCH, el número temporal de bits de perforación, y una tasa de código eficaz de los bloques de código.
5. El procedimiento de la reivindicación 2, en el que calcular un número final de bits de palabra de código comprende, además:
- 35 calcular el número final de bits de palabra de código de acuerdo con el número temporal de bits de palabra de código, un número de símbolos usados para transmisión de Parte de la información de señalización L1, el tiempo de profundidad de entrelazado y la orden de modulación.
6. El procedimiento de la reivindicación 1, en el que el número de bloques codificados divididos de la Parte de la información de señalización L1 se calcula de acuerdo con un valor obtenido por división del número de bits de la Parte de la información de señalización L1 por un número máximo de bits que llevan la Parte de información de señalización L1 en un símbolo de Multiplexación por División de Frecuencia Ortogonal (ODFM).
- 40 7. El procedimiento de la reivindicación 1, en el que el número de bits de información de entrada de cada bloque codificado se calcula basándose en un valor obtenido dividiendo el número de bits de la Parte de la información de señalización L1 por el número de bloques codificados.
8. El procedimiento de la reivindicación 2, en el que el número temporal de bits de perforación se determina de acuerdo con la siguiente ecuación;
- 45

$$N_{punc\_temp} = \left\lfloor \frac{6}{5} \times (K_{bch} - K_{sig}) \right\rfloor$$

donde  $N_{punc\_temp}$  denota el número temporal de bits de perforación,  $K_{bch}$  denota el número máximo de bits de información de entrada de un bloque BCH,  $K_{sig}$  denota el número de bits obtenido añadiendo bits de relleno al número total de bits de la información de señalización L1, y  $\lfloor x \rfloor$  indica un número entero máximo inferior o igual a x.

9. El procedimiento de la reivindicación 1, en el que el número de bloques LDPC se calcula de acuerdo con la siguiente ecuación;

$$N_{post\_FEC\_Blocks} = \left\lceil \frac{K_{post\_pure}}{N_{post\_max\_per\_symbol}} \right\rceil$$

5 donde  $N_{post\_FEC\_Blocks}$  denota el número de bloques LDPC,  $K_{post\_pure}$  denota el número de bits de la parte de información de señalización L1,  $N_{post\_max\_per\_symbol}$  denota un número máximo de bits capaz de llevar la parte de información de señalización L1 en un símbolo de Multiplexación por División de Frecuencia Ortogonal (OFDM), y  $\lceil x \rceil$  indica un número entero mínimo superior o igual a x.

10. El procedimiento de la reivindicación 2, en el que el número final de bits de palabra de código se calcula de acuerdo con la siguiente ecuación;

$$N_{post} = \left\lceil \frac{N_{post\_temp}}{2\eta_{MOD} \times N_{post\_FEC\_Blocks}} \right\rceil \times 2\eta_{MOD} \times N_{post\_FEC\_Blocks}$$

10 donde  $N_{post}$  denota el número final de bits de palabra de código,  $N_{post\_temp}$  denota el número temporal de bits de palabra de código,  $\eta_{MOD}$  denota la orden de modulación,  $N_{post\_FEC\_Blocks}$  denota el número de bloques LDPC, y  $\lceil x \rceil$  indica un número entero mínimo superior o igual a x.

15 11. El procedimiento de la reivindicación 2, en el que el número final de bits de palabra de código se calcula de acuerdo con la siguiente ecuación;

$$N_{post} = \begin{cases} \text{If } L1\_TI\_depth = 00 \text{ or } 01, \\ \left\lceil \frac{N_{post\_temp}}{2\eta_{MOD} \times N_{post\_FEC\_Blocks}} \right\rceil \times 2\eta_{MOD} \times N_{post\_FEC\_Blocks}, \\ \text{Otherwise,} \\ \left\lceil \frac{N_{post\_temp}}{2\eta_{MOD} N_{L1\_TI\_depth}} \right\rceil \times 2\eta_{MOD} \times N_{L1\_TI\_depth}. \end{cases}$$

donde  $N_{post}$  denota el número final de bits de palabra de código,  $N_{post\_temp}$  denota el número temporal de bits de palabra de código,  $\eta_{MOD}$  denota la orden de modulación,  $N_{post\_FEC\_Blocks}$  denota el número de bloques codificados,  $N_{L1\_TI\_depth}$  denota el tiempo de profundidad de entrelazado, y  $\lceil x \rceil$  indica un número entero mínimo superior o igual a x.

20 12. El procedimiento de una cualquiera de las reivindicaciones 2, 5, 11, o 12, en el que la orden de modulación es una cualquiera de 1, 2, 4 y 6 para Modulación por Desplazamiento de Fase Binaria (BPSK), Modulación por Desplazamiento de Fase de Cuadratura (QPSK), Modulación de Amplitud de Cuadratura 16-ary (16-QAM) y 64-QAM, respectivamente.

25 13. Un aparato (700) para recibir información de control a través de una parte de información de señalización de Capa 1, L1, , incluyendo la parte de información de señalización L1 información asociada con al menos un Conducto de Capa Física (PLP) en una trama, en un sistema de comunicación de difusión, comprendiendo el aparato:

una unidad (701, 703) de recepción para recibir y decodificar información de control que incluye la información de señalización de Capa 1, L1; y

30 un controlador (704) para adquirir información para un número de bits de la parte de la información de señalización L1 desde una trama recibida, calcular un número de bloques LDPC en el que la parte de la información de señalización L1 se divide, y calcular un número de bits de información de entrada de cada bloque LDPC cuando hay una pluralidad de bloques LDPC, de tal manera que la pluralidad de bloques LDPC tienen un mismo número de bits de información de entrada, y calcular un número de bits de perforación entre bits de paridad de cada bloque LDPC, y controlar una operación de la unidad (701, 703) de recepción para decodificar uno o varios bloques LDPC recibidos basándose en la información adquirida y calculada en las etapas anteriores.

14. El aparato (700) de la reivindicación 13 está adaptado para operar de acuerdo con una de las reivindicaciones 2 a 12.

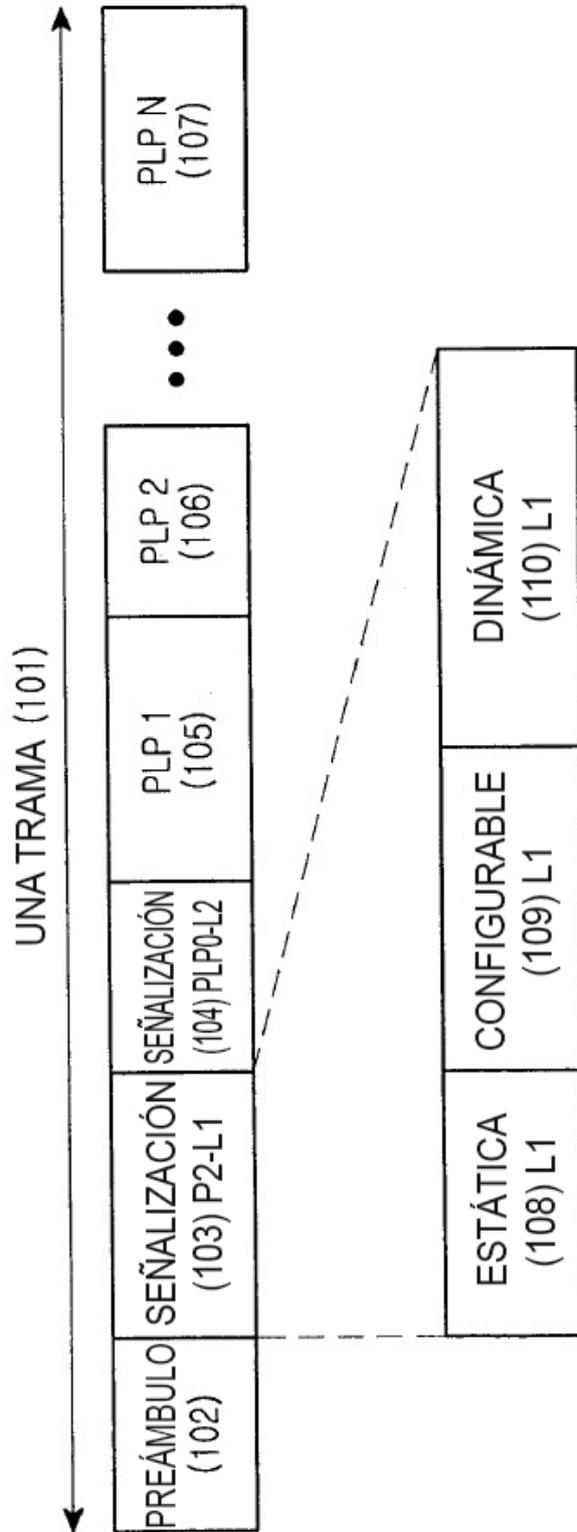


FIG.1

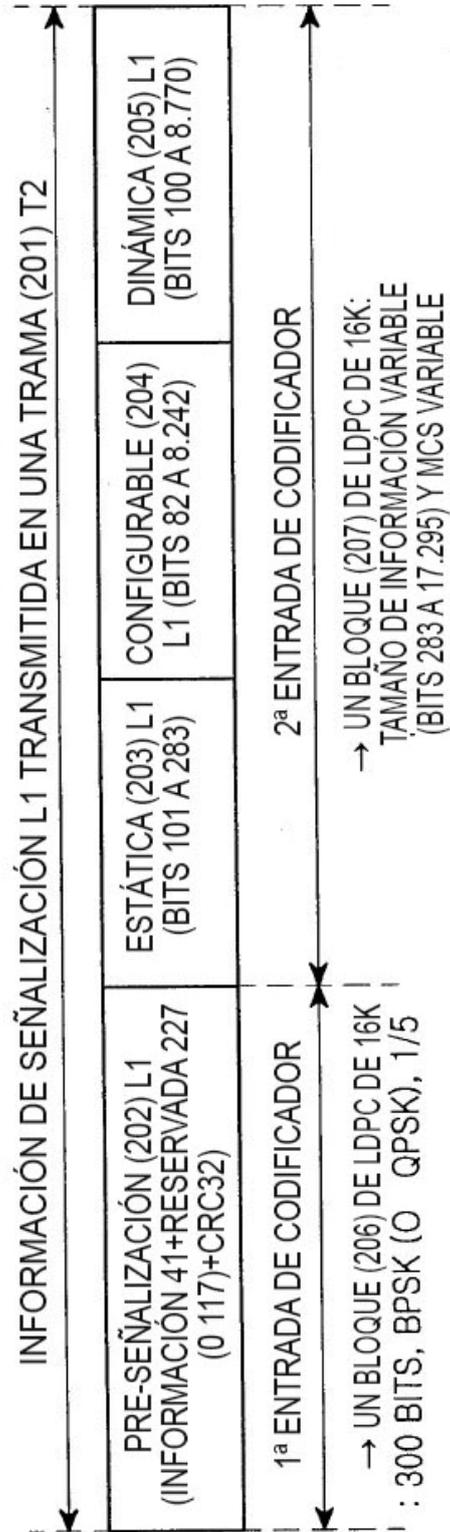


FIG.2

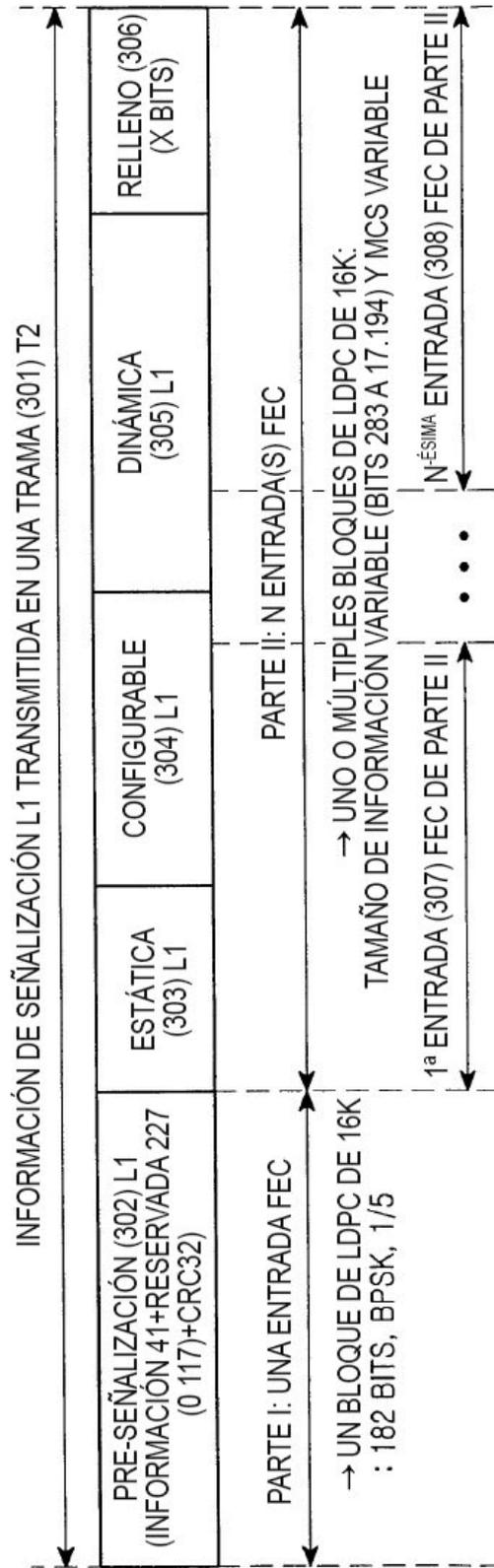


FIG.3

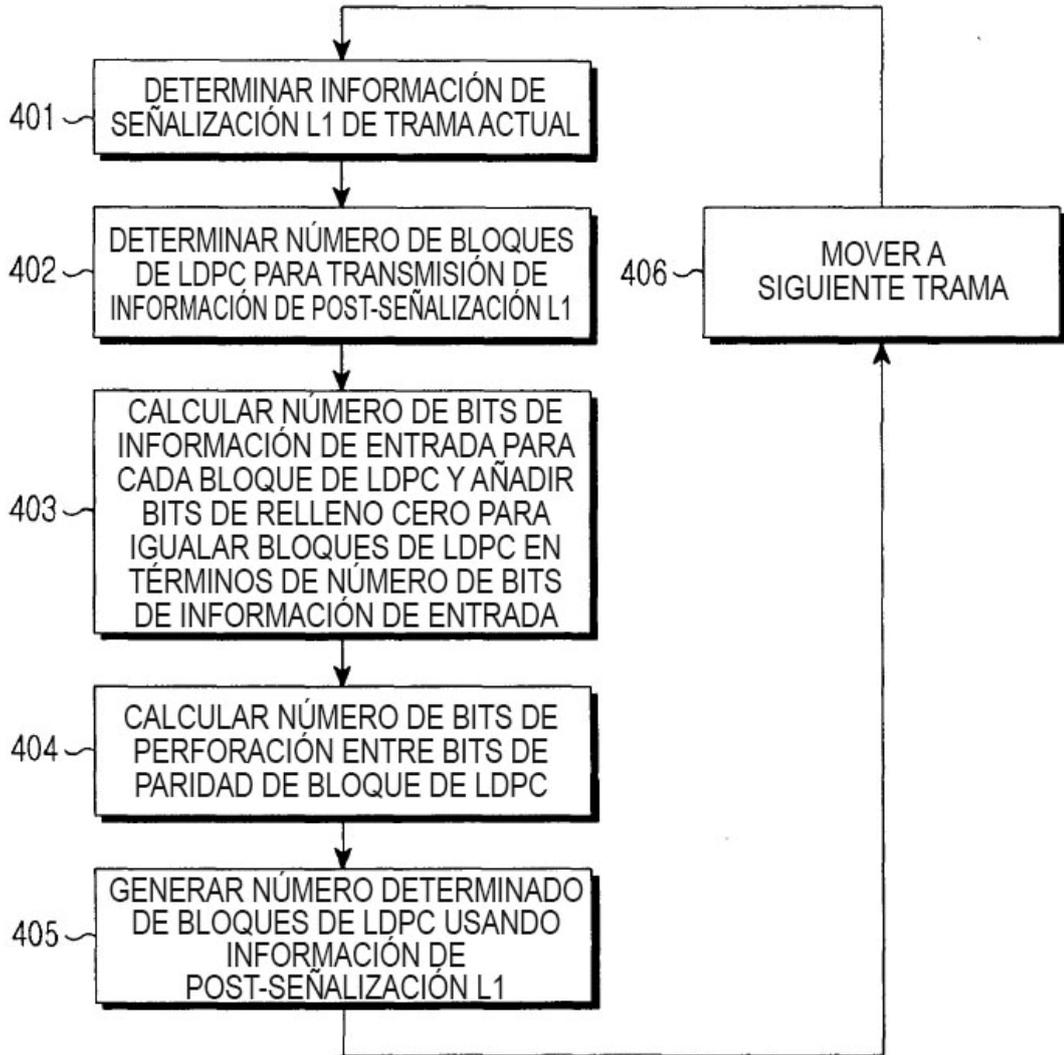


FIG.4

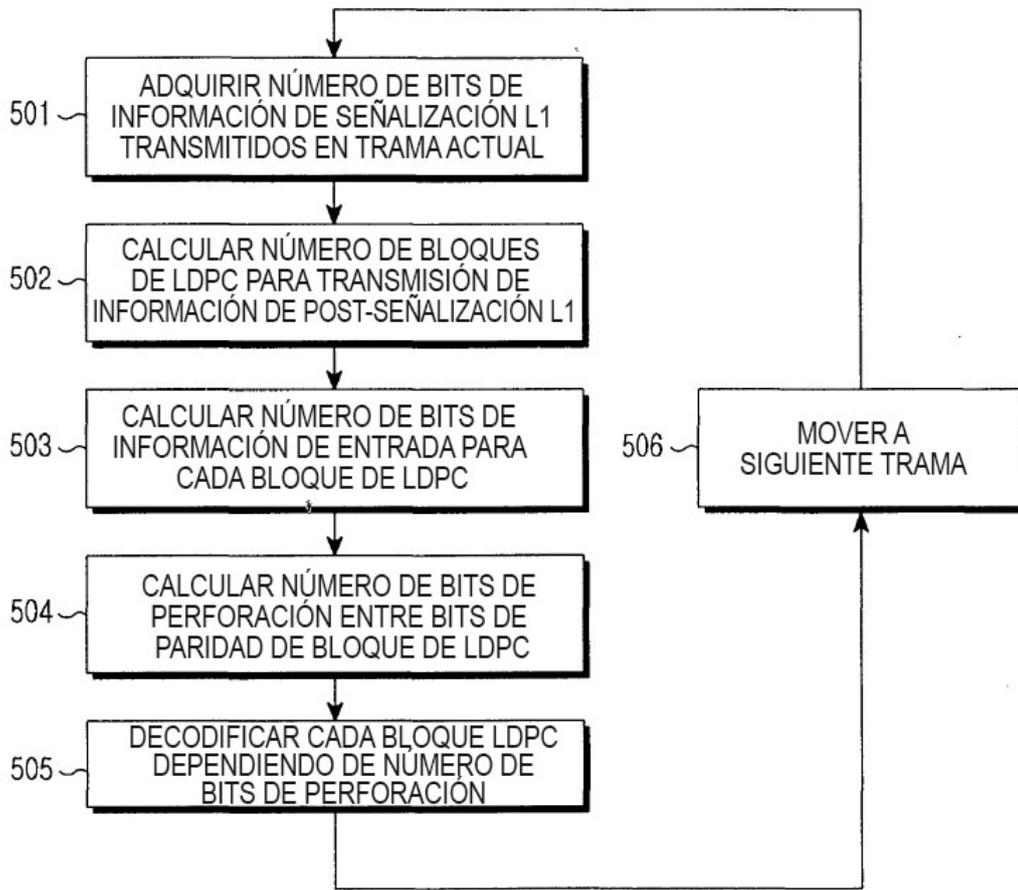


FIG.5

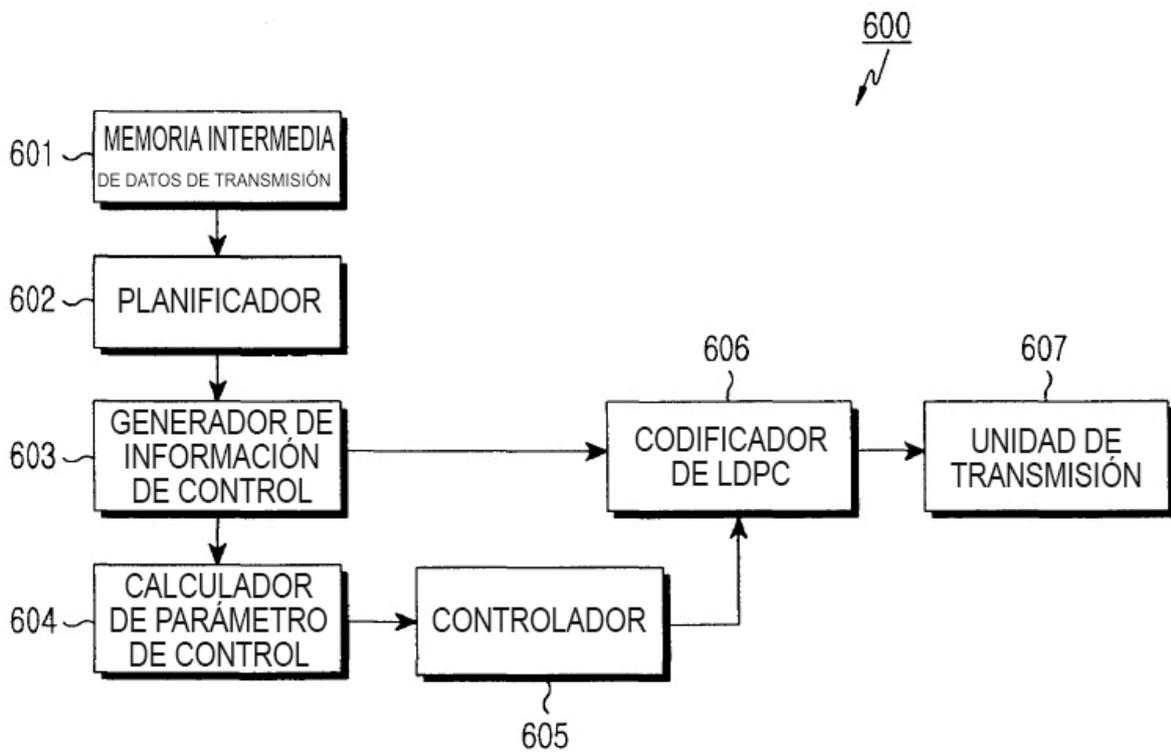


FIG.6

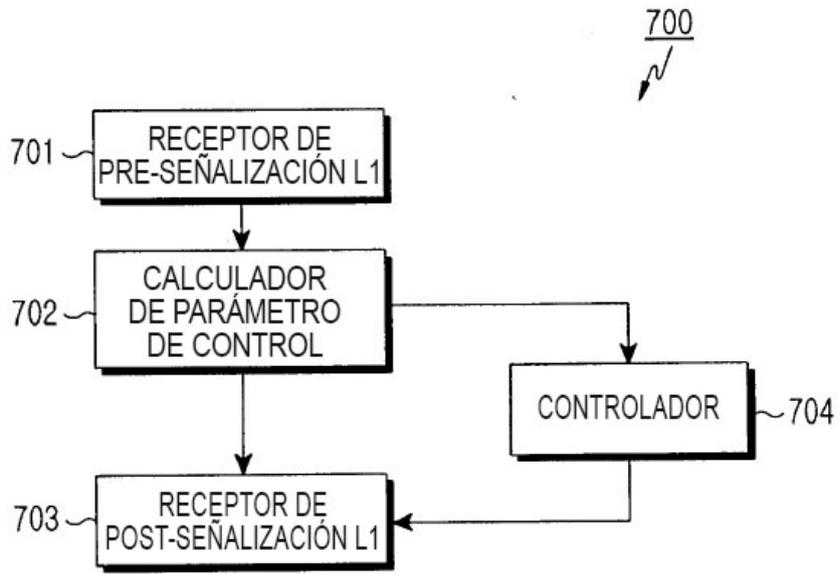


FIG.7