

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 741 876**

51 Int. Cl.:

H01L 27/02 (2006.01)
H01L 23/522 (2006.01)
H01L 21/768 (2006.01)
H01L 23/528 (2006.01)
H01L 23/532 (2006.01)
H01L 23/60 (2006.01)
H01L 23/62 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **27.08.2001** **E 11002133 (4)**

97 Fecha y número de publicación de la concesión europea: **26.06.2019** **EP 2365524**

54 Título: **Esquemas de interconexión posterior a la pasivación en la parte superior de los chips IC**

30 Prioridad:

18.10.2000 US 691497

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

12.02.2020

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US

72 Inventor/es:

LIN, MOU-SHIUNG y
LEE, JIN-YUAN

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 741 876 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Esquemas de interconexión posterior a la pasivación en la parte superior de los chips IC

5 **Campo técnico de la invención**

[0001] La invención se refiere a la fabricación de dispositivos de circuito integrado, y más particularmente, a un procedimiento de procesamiento posterior a la pasivación para la creación de interconexiones conductoras.

10 **Antecedentes de la técnica**

[0002] Las mejoras en el rendimiento de los dispositivos semiconductores se obtienen típicamente al reducir las dimensiones geométricas de los circuitos Integrados, lo que da como resultado una disminución del coste por matriz mientras que, al mismo tiempo, se mejoran algunos aspectos del rendimiento de los dispositivos semiconductores. Las conexiones metálicas que conectan el Circuito Integrado a otros circuitos o componentes del sistema cobran una importancia relativamente mayor y, con la miniaturización adicional del IC, tienen un impacto cada vez más negativo en el rendimiento del circuito. La capacidad parásita y la resistencia de las interconexiones metálicas aumentan, lo cual degrada significativamente el rendimiento del chip. Lo más preocupante a este respecto es la reducción de voltaje a lo largo de los buses de alimentación y tierra y el retardo RC de las rutas de señal críticas. Los intentos de reducir la resistencia utilizando líneas metálicas más anchas dan como resultado una mayor capacidad de estos cables.

[0003] Para resolver este problema, uno de los enfoques ha sido desarrollar un metal de baja resistencia (como el cobre) para los cables, mientras que los materiales de bajo dieléctrico se utilizan entre líneas de señal. La práctica actual es crear redes de interconexión de metal bajo una capa de pasivación; este enfoque, sin embargo, limita la red de interconexión a las interconexiones de línea fina y, por lo tanto, a la forma en que la capacidad parásita y la alta resistividad de la línea. Los últimos dos parámetros, debido a sus valores relativamente altos, degradan el rendimiento del dispositivo, un efecto que se vuelve aún más grave para aplicaciones de mayor frecuencia y para largas líneas de interconexión que, por ejemplo, se usan para líneas de distribución de reloj. Además, el metal de interconexión de línea fina no puede transportar valores altos de corriente que típicamente se necesitan para buses de tierra y buses de alimentación.

[0004] Anteriormente se ha dicho que es de interés para el arte de los semiconductores proporcionar un procedimiento para crear líneas de interconexión que elimine las limitaciones típicas que se imponen a los cables de interconexión, como las capacidades parásitas no deseadas y la alta resistividad de la línea de interconexión. La invención proporciona tal procedimiento. Se puede hacer una analogía a este respecto, según la cual los esquemas de interconexión de línea fina utilizados actualmente (técnica anterior), que se crean bajo una capa de pasivación, son las calles de una ciudad; en el esquema de interconexión posterior a la pasivación de la presente invención, las interconexiones que se crean por encima de una capa de pasivación pueden considerarse autopistas entre ciudades.

[0005] La Fig. 1 muestra una sección transversal de un sustrato de silicio en cuya superficie se ha creado una red de interconexión conductora. La estructura que se muestra en la sección transversal en la Fig. 1 aborda solo y se limita a las redes de distribución eléctrica y terrestre de la técnica anterior. Las diversas características que se han resaltado en la Fig. 1 son las siguientes:

- 45 - 40, un sustrato de silicio en cuya superficie se ha creado una red de interconexión
- 42, un número de muestra de circuitos semiconductores que se han creado en o sobre la superficie del sustrato 40
- 50 - 44, dos circuitos de descarga electrostática (ESD) creados en o sobre la superficie del sustrato 40, se proporciona un circuito ESD para cada conector que es accesible para conexiones externas (conector 52, ver más abajo)
- 46 es una capa de líneas de interconexión; estas líneas de interconexión están por encima de la superficie del sustrato 40 y por debajo de la capa 48 de pasivación y representan una aplicación típica de las interconexiones de línea fina de la técnica anterior; estas interconexiones de línea fina de la capa 46 suelen tener una alta resistividad y una alta capacidad parásita
- 55 - 48 es una capa de pasivación que se deposita sobre la superficie de la capa 46 de las líneas de interconexión
- 60 - 50 es un bus de tierra o alimentación que se conecta a los circuitos 42 a través de líneas de interconexión de línea fina provistas en la capa 46; este bus de alimentación o de tierra suele ser de metal más ancho, ya que este bus de alimentación o de tierra transporta la corriente acumulada o la conexión a tierra para los dispositivos 42
- 65 - 52 es un conector de alimentación o conexión a tierra que pasa a través de la capa 48 de pasivación y que se ha conectado al bus de alimentación o de conexión a tierra 50.

- 5 [0006] De lo anterior se puede resumir lo siguiente: los circuitos se crean en o sobre la superficie de un sustrato de silicio, las líneas de interconexión se crean para estos circuitos para una mayor interconexión con los circuitos externos, los circuitos se proporcionan, en una base de conector por E/S, con un circuito ESD, estos circuitos con su circuito ESD están conectados a un conector de alimentación o de tierra que penetra en una capa de pasivación. La capa de pasivación es la capa final que cubre la estructura de línea de interconexión creada, la línea de interconexión debajo de la capa de pasivación son interconexiones de línea fina y tienen todas las desventajas eléctricas de las interconexiones de línea fina, como la alta resistividad y la alta capacidad parásita.
- 10 [0007] En relación con la sección transversal que se muestra en la Fig. 1, se aplican los siguientes comentarios: Como se conoce en la técnica, se proporcionan circuitos ESD para la protección de circuitos semiconductores contra cargas eléctricas inesperadas. Por esta razón, cada conector que se conecta a un circuito semiconductor debe estar provisto de un circuito ESD.
- 15 [0008] La Fig. 2 muestra una sección transversal de una configuración de la técnica anterior que se asemeja a la sección transversal que se muestra en la Fig. 1. Sin embargo, la estructura que se muestra en la sección transversal en la Fig. 2 se refiere solo y está limitada a las redes de distribución de señal y reloj. La Fig. 2 muestra además (de los aspectos previamente resaltados de la Fig. 1):
- 20 - 45 son dos circuitos ESD que se proporcionan en o sobre la superficie del sustrato 40; los circuitos ESD siempre son necesarios para cualquier conexión externa a un conector de entrada/salida (E/S)
 - 45' que son circuitos que pueden ser circuitos de receptor o controlador o E/S para entrada (receptor) o salida (controlador) o E/S respectivamente
 - 25 - 54 es un bus de reloj
 - 56 es un conector de señal o reloj que se ha extendido a través de la capa 48 de pasivación.
- 30 [0009] Los mismos comentarios se aplican a la sección transversal que se muestra en la Fig. 2 como se hizo anteriormente con respecto a la Fig. 1, con una declaración resumida de que la capa de pasivación es la capa final que cubre la estructura creada, las líneas de interconexión debajo de la capa de pasivación son interconexiones de línea fina y tienen todas las desventajas eléctricas de las interconexiones de línea fina, como la alta resistividad y la alta capacidad parásita.
- 35 [0010] Además, se aplica a la sección transversal que se muestra en la Fig. 2, donde los conectores 56 son conectores de señal o de reloj:
- los conectores 56 deben estar conectados a ESD y a los circuitos de controlador/receptor o E/S 45
 - 40 - para los conectores 56 de señal o reloj, estos conectores deben conectarse no solo a los circuitos ESD sino también a los circuitos de controlador o receptor o E/S, resaltados como circuito 45' en la Fig. 2
 - después de que los estímulos (reloj y señal) hayan pasado a través de la ESD y los circuitos del controlador/receptor o de E/S, estos estímulos se enrutan aún más utilizando, según los procedimientos de la
 - 45 técnica anterior, cables de interconexión de línea fina. Una capa de pasivación se deposita sobre la capa de dieléctrico en la que se ha creado la red de interconexión.
- 50 [0011] Por lo tanto, es de interés para la técnica de semiconductores proporcionar un procedimiento para crear líneas de interconexión que elimine las limitaciones típicas que se imponen en los cables de interconexión, como las capacidades parásitas no deseadas y la alta resistividad de la línea de interconexión.
- 55 [0012] Se debe prestar atención al documento JP 2000 216264 A, que proporciona un dispositivo semiconductor, que se puede aumentar en la velocidad de operación y reducir el consumo de energía, incluso cuando el dispositivo se hace más fino y tiene características eléctricas superiores, un procedimiento para fabricar el dispositivo y una procedimiento para diseñar un circuito semiconductor utilizado en el procedimiento. Por lo tanto, se forma una región conductora en la superficie principal de un sustrato semiconductor. Una primera capa de cableado está conectada eléctricamente a la región conductora, tiene una longitud de cableado relativamente corta y contiene un material que tiene una resistencia eléctrica relativamente alta. Se forma un primer aislador para rodear la primera capa de cableado y tiene una constante dieléctrica relativamente baja. Una segunda capa de escurrimiento se forma en la superficie principal, contiene un material que tiene una resistencia eléctrica que es menor que la del material contenido en la
- 60 primera capa de cableado, y tiene una longitud de cableado más corta que la de la capa. Los segundos aisladores están formados para rodear la segunda capa de cableado y tienen constantes dieléctricas más altas que la del primer aislante.
- 65 [0013] Se llama también la atención sobre un artículo de SONG W S ET AL: "Power distribution techniques for VLSI circuits [Técnicas de distribución de energía para circuitos VLSI]" PUBLICACIÓN DE IEEE SOBRE CIRCUITOS DE

ESTADO SÓLIDO, CENTRO DE SERVICIO IEEE, PISCATAWAY, NJ, EE. UU., Vol. SC-21, n.º 1, 1 de febrero de 1986 (1986-02-01), páginas 150-156, XP002317942, ISSN: 0018-9200. El documento investiga el problema de la distribución de energía en chip para tecnologías de gran escala. También se investigan los problemas de migración de metal y resistencia de la línea, así como las formas de optimizar la tecnología de metal multicapa para baja resistencia, baja densidad de corriente y máxima capacidad de conexión. Se estudian los límites inferiores fundamentales y los factores limitantes de la densidad de corriente de la línea eléctrica y la reducción de voltaje. Se examinan las compensaciones entre la interconexión entre cables y el espacio de distribución de energía. Se examinan los esquemas de enrutamiento de energía, así como el número óptico de capas metálicas y el grosor óptimo de cada capa. Los resultados indican que se pueden lograr mejoras de orden de magnitud en la densidad de corriente y la reducción de voltaje resistiva utilizando muy pocas capas de metal grueso cuyos espesores aumentan rápidamente en las capas ascendentes. Además, el uso de las capas superiores para la distribución de energía y las capas inferiores para el enrutamiento de la señal da como resultado la mayor longitud de cable disponible para el enrutamiento de la señal.

15 **Sumario de la invención**

[0014] De acuerdo con la presente invención, se proporciona un chip, como se expone en la reivindicación 1. Los modos de realización preferentes de la invención se describen en las reivindicaciones dependientes.

20 [0015] Un objetivo principal de la invención es proporcionar un procedimiento para la creación de metal de interconexión que permita el uso de metal grueso y ancho.

[0016] Otro objetivo de la invención es proporcionar un procedimiento para la creación de un metal de interconexión que utilice la aplicación de una capa gruesa de dieléctrico tal como un polímero.

25 [0017] Otro objetivo más de la invención es proporcionar un procedimiento que permita la creación de largas líneas de interconexión, por lo que estas largas líneas de interconexión no tienen una alta resistencia ni introducen una alta capacidad parásita.

30 [0018] Un objetivo aún más de la invención es crear líneas de interconexión que puedan llevar altos valores de corriente para la creación de redes de distribución eléctrica y terrestre.

[0019] Un objetivo adicional más de la invención es crear un metal de interconexión que pueda crearse usando procedimientos de fabricación rentables creando el metal de interconexión en la superficie y después de que se haya depositado una capa de pasivación.

35 [0020] De acuerdo con los objetivos de la invención, se proporciona un nuevo procedimiento para la creación de líneas de interconexión. Las interconexiones de línea fina se proporcionan en una primera capa de circuitos semiconductores superpuestos dieléctricos que se han creado en o sobre la superficie de un sustrato. Una capa de pasivación se deposita sobre la capa de dieléctrico, se crea una segunda capa gruesa de dieléctrico sobre la superficie de la capa de pasivación. Las líneas de interconexión gruesas y anchas se crean en la segunda capa gruesa del dieléctrico.

45 **Breve descripción de los dibujos**

[0021]

50 La Fig. 1 es una sección transversal de un sustrato de silicio sobre el cual se crea una red de interconexión de línea fina de la técnica anterior sobre la cual se deposita una capa de pasivación, se proporcionan conectores de energía y/o tierra a través de la capa de pasivación para la conexión externa. La estructura que se muestra en la sección transversal en la Fig. 1 aborda solo y se limita a las redes de distribución eléctrica y terrestre de la técnica anterior.

55 La Fig. 2 es una sección transversal de un sustrato de silicio sobre el cual se crea una red de interconexión de línea fina de la técnica anterior sobre la cual se deposita una capa de pasivación, se proporcionan conectores de señal y/o reloj a través de la capa de pasivación para conexión externa. La estructura que se muestra en la sección transversal en la Fig. 2 se refiere solo a las redes de distribución de señal y reloj de la técnica anterior.

60 La Fig. 3a es una sección transversal de un sustrato de silicio sobre el que se crea una red de interconexión de acuerdo con la invención. Se proporcionan conectores de alimentación y/o tierra a través de la superficie de la capa de dieléctrico para la conexión externa. La estructura que se muestra en sección transversal en las Figs. 3a y 3b se ocupa solo y se limita a las redes de distribución eléctrica y terrestre de la invención.

65 La Fig. 3b diferencia las líneas de distribución eléctrica y terrestre que están debajo de una capa de pasivación y las líneas de distribución eléctrica y terrestre que están por encima de una capa de pasivación.

La Fig. 4a es una sección transversal de un sustrato de silicio sobre el que se crea una red de interconexión de acuerdo con la invención. Se proporciona un conector de acceso al circuito de ESD y/o controlador y/o receptor a través de la superficie de la capa de dieléctrico para conexión externa. La estructura que se muestra en sección transversal en las Fig. 4a y 4b solo se refiere a las direcciones y está limitada a las redes de distribución de señal y reloj de la invención.

La Fig. 4b diferencia entre líneas de distribución de reloj y señal que están debajo de una capa de pasivación y las líneas de distribución de reloj y señal que están por encima de una capa de pasivación.

La Fig. 5a es una sección transversal de un sustrato de silicio sobre el que se crea una red de interconexión de acuerdo con la invención. No se proporciona un conector de conexión de E/S a través de la superficie de la capa de dieléctrico para la conexión externa. La estructura que se muestra en sección transversal en las Fig. 4a y 4b solo se refiere a las direcciones y está limitada a las redes de distribución de señal y reloj de la invención.

La Fig. 5b diferencia entre las líneas de distribución de reloj y señal que están debajo de una capa de pasivación y las líneas de distribución de reloj y señal que están por encima de una capa de pasivación.

La Fig. 6 muestra una sección transversal del esquema de interconexión de la invención de aplicación de continuación en parte referenciada.

La Fig. 7a muestra una sección transversal de una versión simplificada del sustrato y las capas que se crean en la superficie del sustrato bajo los procesos de la aplicación de continuación en parte a la que se hace referencia.

La Fig. 7b muestra la sección transversal de la Fig. 7a donde se ha agregado un inductor por encima de la capa de pasivación.

Descripción de los modos de realización preferentes

[0022] Refiriéndonos ahora más específicamente a la Fig. 6, se muestra una sección transversal de una implementación. La superficie del sustrato de silicio 10 ha sido provista de transistores y otros dispositivos (no mostrados en la Fig. 6). La superficie del sustrato 10 está cubierta por una capa de dieléctrico 12, por lo que la capa de dieléctrico 12 se deposita sobre los dispositivos que se han proporcionado en la superficie del sustrato y sobre el sustrato 10. Se proporcionan líneas de interconexión conductivas 11 dentro de la capa 12 que se conectan a los dispositivos semiconductores que se han proporcionado en la superficie del sustrato 10.

[0023] Las capas 14 (se muestran dos ejemplos) representan todas las capas metálicas y las capas dieléctricas que se crean típicamente en la parte superior de la capa de dieléctrico 12, las capas 14 que se muestran en la Fig. 6 pueden por lo tanto contener múltiples capas de dieléctrico o aislamiento y similares, las líneas de interconexión conductivas 13 conforman la red de conexiones eléctricas que se crean a lo largo de las capas 14. Superponiéndose a y sobre la superficie de las capas 14 están los puntos 16 de contacto eléctrico. Estos puntos 16 de contacto eléctrico pueden ser, por ejemplo, placas de unión que establecen las interconexiones eléctricas a los transistores y otros dispositivos que se han proporcionado en la superficie del sustrato 10. Estos puntos de contacto 16 son puntos de interconexión dentro de la disposición de IC que necesitan conectarse además a los circuitos circundantes. Una capa de pasivación 18, formada por, por ejemplo, nitruro de silicio, se deposita sobre la superficie de la capa 14 para proteger las capas subyacentes de la humedad, la contaminación, etc.

[0024] Una capa gruesa de poliimida 20 se deposita sobre la superficie de la capa 18. Se debe proporcionar acceso a los puntos del contacto eléctrico 16, por esta razón, un patrón de las aberturas 22, 36 y 38 está grabado a través de la capa de poliimida 20 y la capa de pasivación 18, el patrón de las aberturas 22, 36 y 38 se alinea con el patrón de puntos de contacto eléctricos 16. Los puntos de contacto 16, por medio de las aberturas 22/36/38 que se crean en la capa de poliimida 20, se extienden eléctricamente a la superficie de la capa 20.

[0025] El material mencionado anteriormente que se usa para la deposición de la capa 20 es poliimida, el material que se puede usar para esta capa no se limita a poliimida sino que puede contener cualquiera de los polímeros conocidos (SiCl_xO_y). La poliimida indicada es el material preferente que se utiliza para los procesos de la invención para la capa gruesa 20 de polímero. Ejemplos de polímeros que se pueden usar son siliconas, carbonos, fluoruros, cloruros, oxígenos, elastómeros de silicona, parileno o teflón, policarbonato (PC), poliestireno (PS), polióxido (PO), poliolóxido (PPO), benzociclobuteno (BCB).

[0026] El contacto eléctrico con los puntos de contacto 16 ahora se puede establecer rellenando las aberturas 22/36/38 con un material conductor. Las superficies superiores 24 de estos conductores metálicos que están contenidas en las aberturas 22/36/38 ahora se pueden usar para conectar el IC a su entorno y para una mayor integración en los circuitos eléctricos circundantes. Esta última afirmación es lo mismo que decir que los dispositivos semiconductores provistos en la superficie del sustrato 10 pueden, a través de las interconexiones conductoras contenidas en las aberturas 22/36/38, conectarse más a los componentes y circuitos circundantes. Las placas de interconexión 26 y 28 están formadas en la parte superior de las superficies 24 de las interconexiones metálicas

contenidas en las aberturas 22, 36 y 38. Estas placas 26 y 28 pueden ser de cualquier diseño en anchura y grosor para adaptarse a los requisitos específicos de diseño de circuitos. Una placa puede, por ejemplo, usarse como una placa de chip flip. Se pueden usar otros parches para la distribución de energía o como un bus de tierra o de señal. Las siguientes conexiones se pueden hacer, por ejemplo, con las placas que se muestran en la Fig. 6: la placa 26 puede servir como una placa de chip, la placa 28 puede servir como una placa de chip o se puede conectar a la corriente eléctrica o a tierra eléctrica o a un bus de señales eléctricas. No hay conexión entre el tamaño de las placas que se muestran en la Fig. 6 y las posibles conexiones eléctricas sugeridas para las cuales se puede usar esta placa. El tamaño de la placa y las reglas y restricciones estándar del diseño del circuito eléctrico determinan las conexiones eléctricas a las que se presta una placa determinada.

[0027] Los siguientes comentarios se relacionan con el tamaño y el número de los puntos de contacto 16, Fig. 6. Debido a que estos puntos de contacto 16 están ubicados en la parte superior de un dieléctrico delgado (capa 14, Fig. 6), el tamaño de la placa no puede ser demasiado grande, ya que una gran placa trae consigo una gran capacidad. Además, un tamaño de placa grande interferirá con la capacidad de enrutamiento de esa capa de metal. Por lo tanto, se prefiere mantener el tamaño de la placa 16 relativamente pequeño. Sin embargo, el tamaño de la placa 16 también está directamente relacionado con la relación de aspecto de las vías 22/36/38. Una relación de aspecto de aproximadamente 5 es aceptable para la consideración de grabado y llenado. Basándose en estas consideraciones, el tamaño de la placa de contacto 16 puede ser del orden de 0,5 μm a 30 μm , dependiendo el tamaño exacto del grosor de las capas 18 y 20.

[0028] Para las vías de mayor relación de aspecto, las vías se rellenan a través de clavija antes de la deposición de las capas metálicas 26 y 28. Sin embargo, para vías que tienen relaciones de aspecto más bajas (por ejemplo, menos de 2), es posible que no se necesiten clavijas, en cuyo caso el metal de las capas 26 y 28 puede establecer un contacto directo con las placas 16.

[0029] No hay limitación en el número de placas de contacto que se pueden incluir en el diseño, este número no solo depende de los requisitos de diseño del paquete, sino que también depende principalmente de los requisitos de diseño del circuito interno del paquete. La capa 18 en la Fig. 6 puede ser una capa de pasivación IC típica.

[0030] La capa de pasivación utilizada con mayor frecuencia en el estado actual de la técnica es el óxido y nitruro de CVD (PECVD) mejorado con plasma. Al crear la capa de pasivación 18, una capa de aproximadamente 0,5 μm . El óxido de PECVD se puede depositar primero, seguido de una capa de aproximadamente 0,7 μm de nitruro. La capa de pasivación 18 es muy importante porque protege la oblea del dispositivo contra la humedad y la contaminación por iones extraños. El posicionamiento de esta capa entre el proceso de submicras (del circuito integrado) y el proceso de diez micras (de la estructura de metalización interconectada) es de importancia crítica, ya que permite un proceso más económico que posiblemente tenga requisitos de salas limpias menos estrictos para el proceso de creación de la estructura de metalización de interconexión.

[0031] La capa 20 es una capa de dieléctrico de polímero grueso (por ejemplo, poliimida) que tiene un espesor superior a 2 μm (después del curado). El rango del espesor del polímero puede variar de 2 μm a 150 μm , dependiendo de los requisitos de diseño eléctrico.

[0032] Para la deposición de la capa 20 se puede usar, por ejemplo, la poliimida HD 2732 o 2734 de Hitachi-Dupont. La poliimida puede recubrirse y curarse por centrifugación. Después del recubrimiento por centrifugación, la poliimida se curará a 400 grados C durante 1 hora en un vacío o nitrógeno ambiente. Para poliimida más gruesa, la película de poliimida se puede recubrir y curar en forma múltiple.

[0033] Otro material que se puede usar para crear la capa 20 es el polímero benzociclobuteno (BCB). Este polímero se produce comercialmente en este momento, por ejemplo, por Dow Chemical y recientemente ha ganado aceptación para ser utilizado en lugar de la aplicación típica de poliimida.

[0034] Las dimensiones de las aberturas 22, 36 y 38 han sido analizadas previamente. La dimensión de la abertura junto con el espesor dieléctrico determinan la relación de aspecto de la abertura. La relación de aspecto desafía el proceso de grabado y la capacidad de llenado de metal. Esto ocasiona un diámetro para las aberturas 22/36/38 en el rango de aproximadamente 0,5 μm a 30 μm ; la altura para las aberturas 22/36/38 puede estar en el rango de aproximadamente 2 μm hasta 150 μm . La relación de aspecto de las aberturas 22/36/38 está diseñada de tal manera que se puede realizar el llenado de la vía con metal. La vía se puede rellenar con metal de CVD, como el tungsteno de CVD o el cobre de CVD, con níquel sin electro, con un proceso de llenado de metal de damasco, con cobre de galvanoplastia, etc. Como se indicó anteriormente, para vías de baja relación de aspecto, el llenado de las vías no se requiere como un paso de procesamiento adicional. Se puede establecer un contacto directo entre las capas metálicas 26 y 28 y las placas de contacto 16.

[0035] Se pueden aplicar múltiples capas de polímero (como la poliimida) y, por lo tanto, pueden adaptarse a una variedad más amplia de aplicaciones. La función de la estructura que se ha descrito en la Fig. 6 se puede ampliar aún más depositando una segunda capa de poliimida sobre la capa 20 depositada previamente y superponiendo las placas 26 y 28. El grabado selectivo y la deposición de metales o la galvanización del metal pueden crear puntos de contacto

adicionales en la superficie de la segunda capa de poliimida que pueden interconectarse con las placas 26 y 28. Las capas adicionales de poliimida y las placas de contacto creadas en ellas pueden personalizarse para una aplicación particular; la extensión indicada de múltiples capas de poliimidadas proporciona flexibilidad y utilidad.

5 **[0036]** La Fig. 6 muestra una ventaja de diseño básico que permite que el submicra o las línea fina, que se ejecutan en las inmediaciones de las capas metálicas 14 y los puntos de contacto 16, se extiendan en una dirección hacia arriba 30 a través de la interconexión de metal 36, esta extensión continúa en la dirección 32 en el plano horizontal de la interconexión metálica 28 y vuelve a descender en la dirección descendente 34 a través de la interconexión metálica 38. Las funciones y construcciones de la capa de pasivación 18 y la capa aislante 20 permanecen como se destacó anteriormente. Esta ventaja de diseño básico de la invención es "elevar" o "desplegar" las interconexiones de línea fina y eliminar estas interconexiones del nivel micro y sub-micro a un nivel de interconexión de metal que tiene dimensiones considerablemente mayores y que, por lo tanto, tiene menor resistencia y capacidad, y su fabricación es más fácil y más económica. Esto no incluye ningún aspecto de la redistribución de la placa y, por lo tanto, tiene una calidad inherente de simplicidad. Por lo tanto, hace que el cableado micro y sub-micro sea accesible a un nivel de metal ancho y grueso. Las interconexiones 22, 36 y 38 interconectan el metal de nivel fino subiendo a través de las capas de pasivación y las capas dieléctricas de polímero o poliimida, continuando una distancia en el nivel de metal ancho y grueso y continuando descendiendo desde el nivel de metal ancho y grueso hasta el nivel de metal fino pasando de nuevo a través de las capas de pasivación y las capas dieléctricas de polímero o poliimida. Las extensiones que se logran de esta manera no tienen por qué limitarse a la extensión de los puntos de interconexión de metal fino 16 de cualquier tipo en particular, como señal o energía o tierra, con líneas metálicas anchas y gruesas 26 y 28. Las leyes de la física y la electrónica impondrán limitaciones, si las hay, en cuanto a qué tipo de interconexión puede establecerse de esta manera; los factores limitantes serán los factores eléctricos convencionales de resistencia, retardo de propagación, constantes de RC y otros. Se proporciona una latitud mucho más amplia para poder aplicar estas leyes y, al hacerlo, proporciona un alcance considerablemente ampliado de la aplicación y el uso de Circuitos Integrados y la adaptación de estos circuitos a un entorno de metal ancho y grueso.

[0037] Esto completa el análisis del constructor que se muestra con fines de referencia en la Fig. 6. A continuación se analizarán las secciones transversales que se muestran en las Figs. 7a y 7b.

30 **[0038]** La Fig. 7a muestra, por razones de claridad, una sección transversal simplificada del sustrato y las capas que se crean en la superficie del sustrato bajo los procesos de la invención, las áreas resaltadas que se muestran se han identificado previamente como:

- 35 - 10 el sustrato de silicio
- 12 es una capa de dieléctrico que se ha depositado sobre la superficie del sustrato
- 14 es una capa de interconexión que contiene líneas de interconexión, vías y puntos de contacto
- 40 - 16 son los puntos de contacto en la superficie de la capa de interconexión 14
- 18 es una capa de pasivación en la que se han creado aberturas a través de las cuales se puede acceder a los puntos de contacto 16
- 45 - 20 es una capa gruesa de polímero, y
- 21 son las clavijas conductoras que se han proporcionado a través de la capa de poliimida 20.

50 La capa gruesa 20 de polímero se puede recubrir en forma líquida en la superficie de la capa de pasivación 18 o se puede laminar sobre la superficie de la capa de pasivación 18 mediante aplicación de película seca. Los valores necesarios para la creación de clavijas conductoras 21 pueden definirse mediante procesos convencionales de fotolitografía o pueden crearse utilizando tecnología láser (taladro).

55 **[0039]** De los análisis anteriores se desprende claramente que la secuencia de capas que se muestra en la sección transversal en la Fig. 7a se creó para que se puedan crear componentes eléctricos adicionales, como un inductor, un condensador y similares, en la superficie de la capa de poliimida 20, y en contacto eléctrico con clavijas conductoras 21. La capa de dieléctrico 12 puede, en la sección transversal que se muestra en la Fig. 7a, ser parte de la capa 14, ya que la capa 14 es una capa de Dieléctrico Intra Level (ILD) dentro de la cual la capa 12 se puede integrar fácilmente.

60 **[0040]** Con respecto a la sección transversal que se muestra en la Fig. 7b, las mismas capas que se han identificado para la Fig. 7a se proporcionan nuevamente en esta sección transversal. Además, se ha mostrado la capa superior 17 del sustrato de silicio 10 que contiene dispositivos semiconductores activos. También se muestra la sección transversal de un inductor 19 que se ha creado en la superficie de la capa de pasivación 18. Se debe enfatizar nuevamente que la resistividad óhmica del metal que se usa para el inductor 19 debe ser lo más baja posible. Por esta razón, se prefiere el uso de una capa gruesa de oro, por ejemplo, para la formación del inductor 19; se ha demostrado que una capa gruesa de oro incrementó el valor Q del inductor 19 de aproximadamente 5 a

aproximadamente 20 para aplicaciones de 2,4 GHz, lo cual representa una mejora significativa en el valor Q del inductor 19.

[0041] Refiriéndose ahora específicamente a la Fig. 3a, esta figura se refiere solo a los conectores de alimentación y de tierra y no se ocupa de los conectores de señal o de reloj. En la Fig. 3a se muestra una sección transversal de un sustrato de silicio 40 sobre la cual se crea una red de interconexión de acuerdo con la invención, con una red de interconexión de alambre ancha y gruesa creada en una capa gruesa de dieléctrico que cubre una capa de pasivación. Se proporciona un conector de alimentación y/o conexión a tierra a través de la superficie de la capa gruesa de dieléctrico para la conexión externa. A continuación se muestran las diversas características que se muestran en la Fig. 3a:

- 40 es el sustrato de silicio en cuya superficie se crean líneas de interconexión de acuerdo con la invención
- 42 son circuitos semiconductores que se crean en o sobre la superficie del sustrato 40
- 44 es un circuito ESD que se proporciona para la protección de circuitos 42
- 58 son placas de conexión a los dispositivos semiconductores 42 que se han creado en o sobre la superficie del sustrato 40
- 60 es una capa de interconexiones de línea fina que se ha creado sobre las placas de conexión 58 para los dispositivos semiconductores 42
- 61 es una de las vías que se han proporcionado en la capa 60, en la Fig. 3a se muestran más de estas vías, pero, por razones de simplicidad, no están resaltadas
- 62 es una capa de pasivación que se ha depositado sobre la capa 60 de interconexiones de línea fina
- 63 es una de las vías que pasan a través de la capa de pasivación 62; en la Fig. 3a se muestran más de estas vías, pero, por razones de simplicidad, no están resaltadas
- 64 es una capa de dieléctrico en la que, como un proceso de posterior a la pasivación, se han creado interconexiones
- 65 es un bus de tierra o alimentación que está conectado al circuito 44 ESD, que se origina en la capa 64 y pasa a través de las capas 62 y 60.
- 66 es la alimentación combinada (para múltiples conexiones en la capa 58) de energía o bus de tierra
- 67 es una vía que se crea sobre la capa de pasivación 62; en la Fig. 3a se muestran más vías de este tipo pero, por razones de simplicidad, no están resaltadas
- 68 es la energía del conector de tierra para los múltiples dispositivos semiconductores en la capa 58.

[0042] A partir de la sección transversal que se muestra en la Fig. 3a, queda claro que, lo que es más importante, la capacidad de crear interconexiones con dispositivos semiconductores que se han creado en o sobre la superficie de un sustrato se ha ampliado al crear estas interconexiones no solo en interconexiones de línea fina en la capa 60 sino también extendiendo la interconexión mediante la creación de una red de interconexión de alambre ancha y gruesa por encima de una capa de pasivación. Esto proporciona beneficios inmediatos y significativos porque estas líneas se eliminan aún más de la superficie del sustrato (lo cual reduce las influencias parásitas de las líneas de interconexión en los dispositivos semiconductores que se crean en o sobre la superficie del sustrato) mientras que la red de interconexión que se crea por encima de la capa de pasivación ahora puede contener líneas de interconexión más sólidas, es decir, más gruesas y más anchas. Las interconexiones metálicas gruesas y anchas se pueden usar para la distribución eléctrica y terrestre; esta distribución se realiza por encima de una capa de pasivación y reemplaza parcialmente y extiende el procedimiento convencional de tener para estos fines una red de interconexión de distribución de línea fina bajo la capa de pasivación.

[0043] Algunos puntos de interés pueden enumerarse en este momento, ya que se relacionan con los procedimientos de la técnica anterior y con la invención.

Técnica anterior:

[0044]

- proporciona un circuito ESD para cada conector que se utiliza para la interconexión de entrada/salida externa

- proporciona, después de que los estímulos de ESD hayan pasado a través de los circuitos de ESD, una red de interconexión de línea fina para una mayor distribución de los estímulos de energía y tierra, y
- La red de distribución de energía y tierra de línea fina se crea debajo de una capa de pasivación.

[0045] Debe recordarse, a este respecto y en relación con los comentarios proporcionados anteriormente, que los conectores de alimentación y de tierra no requieren controladores ni circuitos del receptor.

[0046] La invención:

- no necesita crear un circuito ESD para cada conector que se usa para la interconexión de entrada/salida externa; esto en vista del cableado más resistente que impulsa el circuito ESD, lo cual reduce la pérdida de energía debido a una sobrecarga de energía inesperada en la línea de interconexión, lo cual genera una mayor entrega de energía al circuito ESD, y
- permite que las interconexiones de alimentación y tierra se conecten directamente a los circuitos internos de un dispositivo semiconductor, ya sea sin un circuito ESD o con un circuito ESD más pequeño que el normal (como se explicó anteriormente).

[0047] El procedimiento que se utiliza para crear la red de interconexión que se muestra en la sección transversal en la Fig. 3a aborda solo el uso de las conexiones de alimentación y tierra y no se aplica a las líneas de interconexión de señal y reloj. La Fig. 3a se puede resumir de la siguiente manera: se proporciona un sustrato de silicio en cuya superficie se han creado dispositivos semiconductores y al menos un circuito de descarga electrostática (ESD), se deposita una primera capa de dieléctrico sobre el sustrato, se crea una red de interconexión de línea fina en la primera capa de dieléctrico haciendo contacto con los circuitos activos y el circuito ESD. Se deposita una capa de pasivación sobre la superficie de la primera capa de dieléctrico, se crea un patrón de clavijas de metal (o, para las vías de baja relación de aspecto y como se señaló anteriormente, se crean interconexiones directas entre las capas de metal superpuestas) en la capa de pasivación que se alinea con los puntos de contacto creados en la superficie de la primera capa de dieléctrico. Una segunda capa de dieléctrico se deposita sobre la superficie de la capa de pasivación, se crea una amplia red de interconexión de línea gruesa en dicha capa de dieléctrico, en contacto con los circuitos de ESD. Un punto de contacto eléctrico que comprende un contacto de energía o tierra se proporciona en la superficie de dicha segunda capa de dieléctrico.

[0048] La Fig. 3b proporciona información adicional sobre la creación de las líneas de interconexión eléctrica y terrestre de la invención, por lo que estas líneas de interconexión se han mostrado como líneas de interconexión 66 y líneas de interconexión 66'. Las líneas de interconexión 66 se han creado por encima de la capa de pasivación 62 y actúan como líneas de interconexión de tierra y energía global. Las líneas de interconexión 66' se han creado debajo de la capa de pasivación 62 y actúan como líneas de interconexión de tierra y energía locales.

[0049] Refiriéndonos ahora a la Fig. 4a, la Fig. 4a aborda las interconexiones de la señal y la línea del reloj. En la Fig. 4a se muestra una sección transversal de un sustrato de silicio 40 sobre el cual se crea una red de interconexión de acuerdo con la invención. Un conector de acceso a un circuito ESD o circuitos de controlador o receptor o circuitos de E/S se proporciona a través de la superficie de la capa de dieléctrico para conexión externa. Si bien se requiere un circuito ESD para todos los circuitos con los que se establece una conexión de E/S e independientemente del tipo de circuito al que se establece la conexión de E/S, la interconexión de E/S también se puede proporcionar a un circuito receptor o Circuito conductor o un circuito de E/S.

[0050] Las características no resaltadas anteriormente que se muestran en la Fig. 4a son:

- la invención proporciona una red de interconexión que comprende líneas de interconexión anchas y gruesas para la distribución del reloj y los estímulos de señal
- la invención crea una red de interconexión de líneas de interconexión gruesas y anchas para el reloj y los estímulos de señal que recubren una capa de pasivación,
- 70 es una conexión externa (conector) que se proporciona para el circuito ESD 45 y para el controlador/receptor/circuito de E/S 45', el conector 70 proporciona acceso externo para estímulos de señal y reloj a los circuitos 45 y 45', y
- 72 es un reloj o bus de señal que se crea en la capa de interconexión 64 utilizando cables gruesos y anchos para líneas de interconexión; debe tenerse en cuenta que la distribución de la línea de interconexión de reloj y señal está completamente contenida dentro de la capa 64 sin proporcionar un punto externo de interconexión de E/S.

[0051] El procedimiento que se utiliza para crear la red de interconexión que se muestra en la sección transversal en la Fig. 4a se puede resumir de la siguiente manera. Se proporciona un sustrato de silicio, se han creado circuitos activos en la superficie del sustrato, incluidos un ESD, un receptor, un controlador y un circuito de E/S. Las primeras

capas de material dieléctrico de material inorgánico se depositan sobre el sustrato, se crea una red de interconexión de línea fina en las capas de material dieléctrico, que hace contacto con los circuitos activos. Se deposita una capa de pasivación sobre las primeras capas delgadas de dieléctrico, se crea un patrón de clavijas de metal en la capa de pasivación (o, para aberturas de baja relación de aspecto, se establece un contacto directo entre las capas superiores de metal a través de una abertura en una interpuesta capa de dieléctrico), las interconexiones metálicas se alinean con puntos de contacto eléctrico en la superficie de las primeras capas de dieléctrico. Una o más capas más gruesas de dieléctrico se depositan sobre la superficie de la capa de pasivación, típicamente de un material orgánico, se crea una red de interconexión de línea ancha gruesa en la capa más gruesa de dieléctrico, haciendo contacto eléctrico con las clavijas de metal o las placas de metal en o debajo de la capa de pasivación, incluida la ESD, el receptor, el controlador o el circuito de E/S. Se proporciona un punto de contacto eléctrico en la superficie de la segunda capa de dieléctrico al ESD, el receptor, el controlador o el circuito de E/S.

[0052] La Fig. 4b proporciona información adicional sobre la creación de la señal y las líneas de interconexión de reloj de la invención, por lo que estas líneas de interconexión se han mostrado como líneas de interconexión 71 y líneas de interconexión 71'. Las líneas de interconexión 71 se han creado sobre la capa de pasivación 62 y actúan como líneas de interconexión de reloj y señal global. Las líneas de interconexión 71' se han creado debajo de la capa de pasivación 62 y actúan como líneas de señal local y de interconexión de reloj.

[0053] La Fig. 5a muestra una sección transversal de un sustrato de silicio 40 sobre el cual se crea una red de interconexión de acuerdo con la invención, con la red de interconexión creada en una capa gruesa de dieléctrico que cubre una capa de pasivación y permanece interna a la capa gruesa de dieléctrico. No se proporciona un ESD, receptor, controlador ni conector de acceso a circuito de E/S a través de la superficie de la capa de dieléctrico para la conexión externa. En la Fig. 5a, y sin haberse resaltado previamente, se muestra el reloj o la línea de interconexión de señal 74, que proporciona un esquema de interconexión de líneas gruesas y anchas que recubren una capa de pasivación, por lo que no se proporcionan conexiones de E/S externas. Debido a las líneas gruesas y anchas de la red de interconexión que se crea por encima de una capa de pasivación, la distribución de reloj y señal puede tener lugar completamente dentro de la capa de interconexión 64; esto a diferencia de los procedimientos de la técnica anterior donde, para las líneas de distribución de reloj y señal, cada línea de interconexión ancha y gruesa (donde se usan tales líneas de interconexión ancha y gruesa) debe contar con al menos un punto de conexión de E/S para la conexión fuera del chip.

[0054] El procedimiento que se utiliza para crear las líneas de interconexión de líneas gruesas anchas que se muestran en la sección transversal en la Fig. 5a se puede resumir de la siguiente manera y es similar al descrito anteriormente para la Fig. 4a. Se proporciona un sustrato de silicio, se han proporcionado dispositivos activos en la superficie del sustrato. Las primeras capas finas de dieléctrico se depositan sobre la superficie del sustrato, se crea una red de interconexión de línea fina en las primeras capas de dieléctrico que comprenden líneas de interconexión de línea fina, que hacen contacto con puntos de contacto eléctrico en la superficie del sustrato. Una capa de pasivación se deposita sobre la superficie de las primeras capas de dieléctrico, se crea un patrón de interconexiones conductoras en la capa de pasivación que se alinea con los puntos de contacto eléctrico en la superficie de la primera capa de dieléctrico. Una o más segundas capas de dieléctrico se depositan sobre la superficie de la capa de pasivación, haciendo contacto eléctrico con las interconexiones conductoras en la capa de pasivación.

[0055] La Fig. 5b proporciona información adicional sobre la creación de la señal y las líneas de interconexión de reloj de la invención, por lo que estas líneas de interconexión se han mostrado como líneas de interconexión 74 y líneas de interconexión 74'. Las líneas de interconexión 74 se han creado por encima de la capa de pasivación 62 y pueden actuar como líneas de señal global y de interconexión de reloj. Las líneas de interconexión 74' se han creado debajo de la capa de pasivación 62 y actúan como líneas de señal local y de interconexión de reloj.

[0056] Debe destacarse además que, donde las Figs. 3-5 muestran una red de interconexión de línea fina 60 que subyace a la capa de pasivación 62, la invención también permite y puede ampliarse aún más con la eliminación completa de la red de interconexión de línea fina 60 y creando una red de interconexión 64 que usa solo, cables anchos. Para esta aplicación de la invención, la primera capa de dieléctrico 60 no se aplica, la capa de pasivación 62 se deposita directamente sobre la superficie de los dispositivos semiconductores 58 creados en o sobre la superficie del sustrato 40.

[0057] Además, es de gran valor analizar brevemente la distinción implementada y abordada anteriormente entre líneas de interconexión de línea fina y líneas de interconexión anchas y gruesas.

Los siguientes puntos se aplican a este respecto:

- las líneas de interconexión de línea fina de la técnica anterior se crean debajo de una capa de pasivación, las líneas de interconexión anchas y gruesas de la invención se crean por encima de una capa de pasivación
- las líneas de interconexión de línea fina se crean típicamente en una capa de dieléctrico inorgánico, las líneas de interconexión anchas y gruesas se crean típicamente en una capa de polímero que comprende dieléctrico. Esto

debido a que un material inorgánico no se puede depositar como una capa gruesa de dieléctrico porque tal capa de dieléctrico desarrollaría fisuras y se agrietaría como resultado

- 5 - el metal de interconexión de línea fina se crea típicamente usando procedimientos de bombardeo iónico con resistencia al ataque químico o de procesos de damasceno usando ataque por óxido con galvanoplastia, después de lo cual se aplica CMP. Cualquiera de estos dos enfoques no puede crear metal grueso debido a consideraciones de coste o agrietamiento por óxido
- 10 - se pueden crear líneas de interconexión gruesas y anchas mediante la pulverización de una capa de base metálica delgada, recubriendo y modelando una capa gruesa de fotoprotectora, aplicando una capa gruesa de metal mediante galvanoplastia, eliminando la fotoprotección modelada y realizando el grabado de la base metálica (de la base de metal fino pulverizado). Este procedimiento permite la creación de un patrón de metal muy grueso, de esta manera se puede lograr un espesor de metal superior a 1 μm , mientras que el espesor de la capa de dieléctrico en el que se crean las líneas de interconexión de metal grueso puede ser superior a 2 μm .

15 **[0058]** Aunque la invención se ha descrito e ilustrado con referencia a modos de realización ilustrativos específicos de la misma, no se pretende que la invención se limite a esos modos de realización ilustrativos. Los expertos en la materia reconocerán que pueden realizarse variaciones y modificaciones sin apartarse de la invención como se reivindica. Por lo tanto, se pretende incluir dentro de la invención todas las variaciones y modificaciones que se
20 encuentran dentro del alcance de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Una estructura de interconexión posterior a la pasivación, que comprende:
 - 5 uno o más circuitos internos (42) que comprenden uno o más dispositivos activos formados en y sobre un sustrato semiconductor (40);
 - uno o más circuitos ESD (44) formados en y sobre dicho sustrato semiconductor (40);
 - 10 una capa de interconexiones de línea fina (60) que comprende un sistema de metalización de línea fina, formado sobre dicho sustrato semiconductor (40) en una o más capas delgadas de dieléctrico;
 - una capa de pasivación (62) sobre dicha capa de interconexiones de línea fina (60);
 - 15 un sistema de metalización grueso y ancho que es una red de interconexión de cables anchos y gruesos formada sobre dicha capa de pasivación, en una o más capas gruesas de dieléctrico (64),
 - en el que dichas capas gruesas de dieléctrico (64) son más gruesas que dichas capas delgadas de dieléctrico, en el que dicho sistema de metalización grueso y ancho se usa como una red de distribución para un estímulo eléctrico, y en el que dicho sistema de metalización grueso y ancho está conectado a dicho uno o más circuitos ESD (44), dicho uno o más circuitos internos (42), y al menos a una placa de interconexión (26, 28), en el que la una o más capas gruesas de dieléctrico son capas dieléctricas de polímero gruesas, y una parte de la línea metálica ancha y gruesa superior del sistema de metalización grueso y ancho forma la al menos una placa de interconexión (26, 28) en una capa superior de las capas gruesas de dieléctrico, y se utiliza la al menos una placa de interconexión (26, 28) como parte de la distribución en el plano horizontal.
 - 20
 - 25
2. La estructura de interconexión de la reivindicación 1, en la que dicha red de distribución está conectada a dicho circuito ESD y a dicho uno o más circuitos internos mediante vías, que se forman a través de dicha una o más capas gruesas de dieléctrico, a través de dicha capa de pasivación y a través de dicha una o más capas más delgadas de dieléctrico.
- 30
3. La estructura de interconexión de la reivindicación 1, en la que dicho estímulo eléctrico comprende una energía o voltaje de tierra.
- 35
4. La estructura de interconexión de la reivindicación 3, en la que dicho circuito ESD está conectado en paralelo con dicho uno o más circuitos internos, a través de dicha red de distribución.
5. La estructura de interconexión de la reivindicación 3, en la que dicha red de distribución actúa como una distribución global para dichas entradas de alimentación o tierra, y dichas vías están conectadas además a las redes de distribución de energía/tierra locales formadas en dicho sistema de metalización de línea fina.
- 40
6. La estructura de interconexión de la reivindicación 1, en la que el metal en dicho sistema de metalización grueso y ancho se forma a un espesor mayor que aproximadamente 1 micrómetro.
- 45
7. La estructura de interconexión de la reivindicación 1, en la que dichas una o más capas gruesas de dieléctrico se forman cada una con un espesor mayor que aproximadamente 2 micrómetros.
8. Un procedimiento de formación de una interconexión posterior a la pasivación, que comprende:
 - 50 formar uno o más circuitos internos (42) que comprenden uno o más dispositivos activos en y sobre un sustrato semiconductor;
 - formar uno o más circuitos ESD (44) formados en y sobre dicho sustrato semiconductor;
 - 55 formar una capa de interconexiones de línea fina (60) que comprende un sistema de metalización de línea fina, sobre dicho sustrato semiconductor en una o más capas delgadas de dieléctrico;
 - depositar una capa de pasivación (62) sobre dicho sistema de metalización de línea fina;
 - 60 formar un sistema de metalización grueso y ancho que es una red de interconexión de cables anchos y gruesos sobre dicha capa de pasivación, en una o más capas gruesas de dieléctrico (64),
 - en el que dichas capas gruesas de dieléctrico son más gruesas que dichas capas delgadas de dieléctrico, en el que dicho sistema de metalización grueso y ancho se usa como una red de distribución para un estímulo eléctrico, y en el que dicho sistema de metalización grueso y ancho está conectado a dicho uno o
 - 65

- 5 más circuitos ESD (44), dicho uno o más circuitos internos, y al menos a una placa de interconexión (26, 28); y en el que la una o más capas gruesas de dieléctrico son capas de dieléctrico de polímero grueso, y una parte de la línea metálica ancha y gruesa superior del sistema de metalización grueso y ancho forma al menos una placa de interconexión (26, 28) en una capa superior de las capas gruesas de dieléctrico y la al menos una placa de interconexión (26, 28) se utilizan como parte de la distribución en el plano horizontal.
- 10 **9.** El procedimiento de la reivindicación 8, en el que dicha red de distribución está conectada a dichos circuitos ESD y a dicho uno o más circuitos internos mediante vías, que se forman a través de dichas una o más capas gruesas de dieléctrico, a través de dicha capa de pasivación (62), y a través de dicha una o más capas delgadas de dieléctrico.
- 15 **10.** El procedimiento de la reivindicación 9, en el que dicho estímulo eléctrico comprende una energía o voltaje de tierra.
- 20 **11.** El procedimiento de la reivindicación 10, en el que dicha red de distribución actúa como una distribución global para dichas entradas de alimentación o tierra, y dichas vías están conectadas además a las redes locales de distribución de energía/tierra formadas en dicho sistema de metalización de línea fina.
- 12.** El procedimiento de la reivindicación 8, en el que el metal en dicho sistema de metalización grueso y ancho se forma a un espesor mayor que aproximadamente 1 micrómetro.
- 25 **13.** El procedimiento de la reivindicación 8, en el que cada una de dichas una o más capas gruesas de dieléctrico está formada con un espesor mayor que aproximadamente 2 micrómetros.

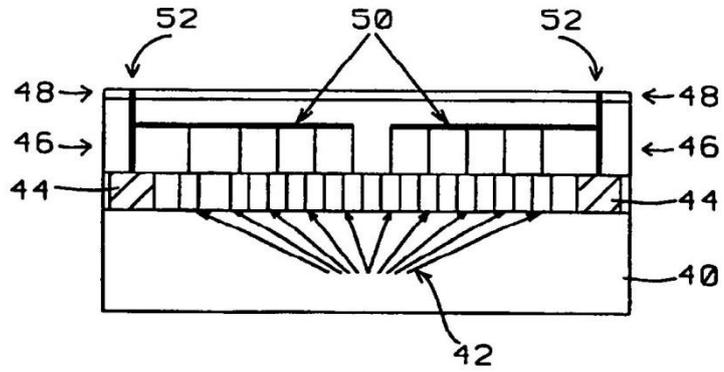


FIG. 1 - Técnica anterior

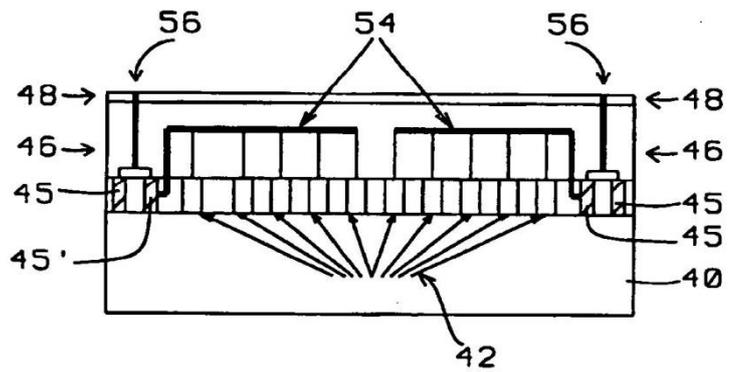


FIG. 2 - Técnica anterior

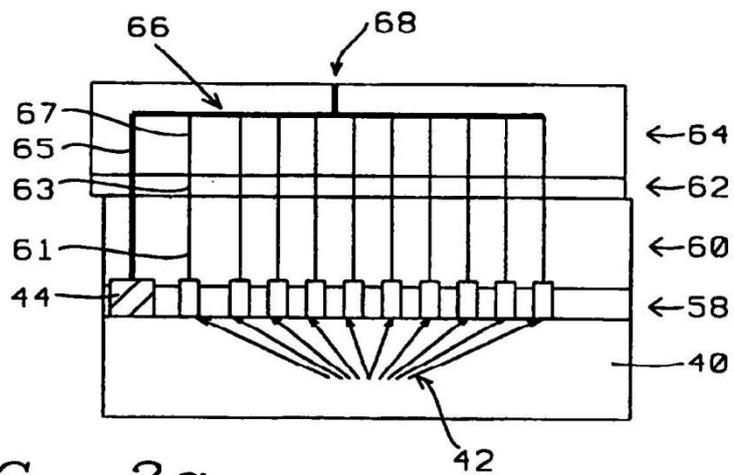


FIG. 3a

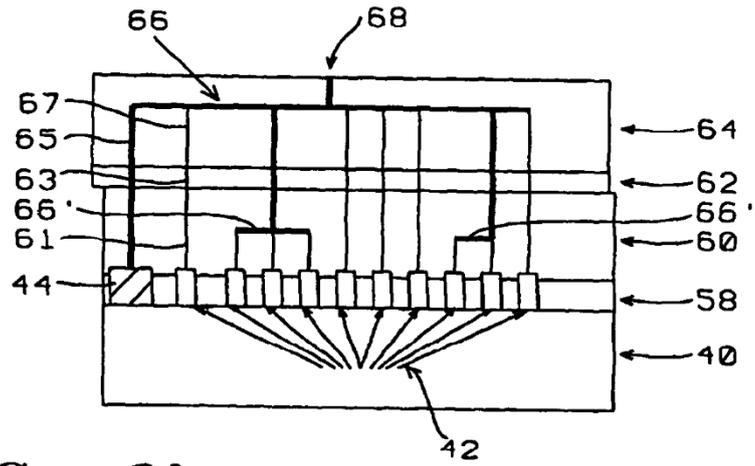


FIG. 3b

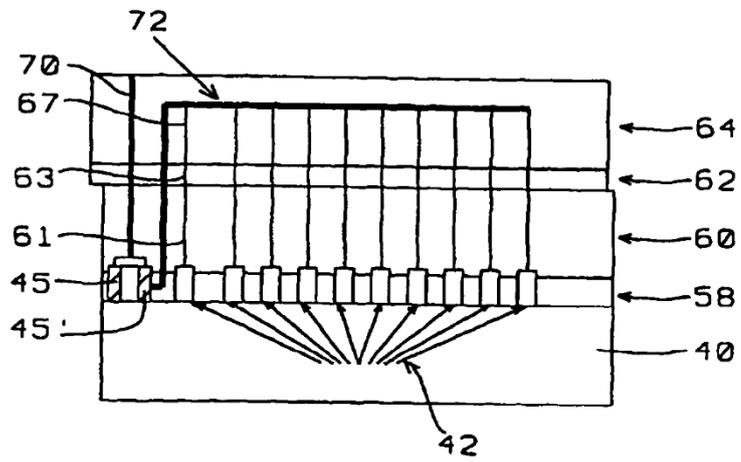


FIG. 4a

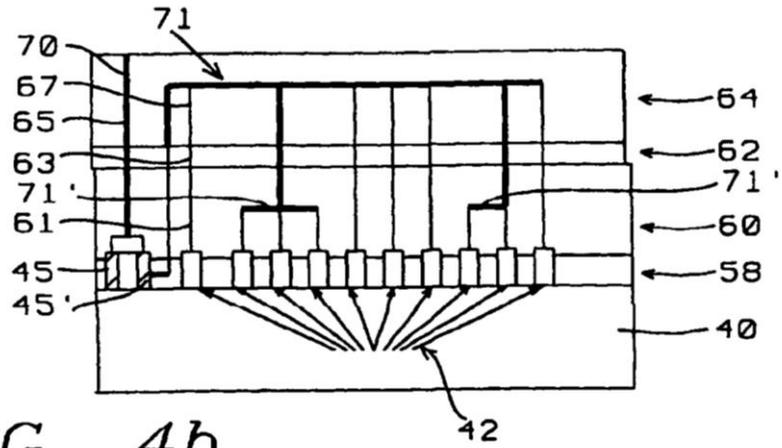


FIG. 4b

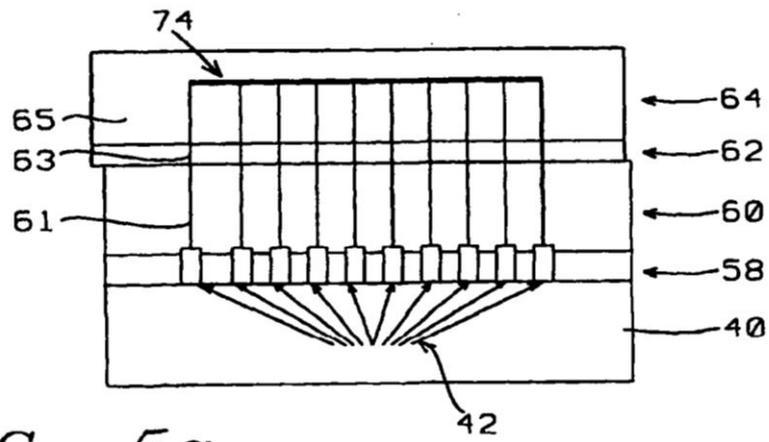


FIG. 5a

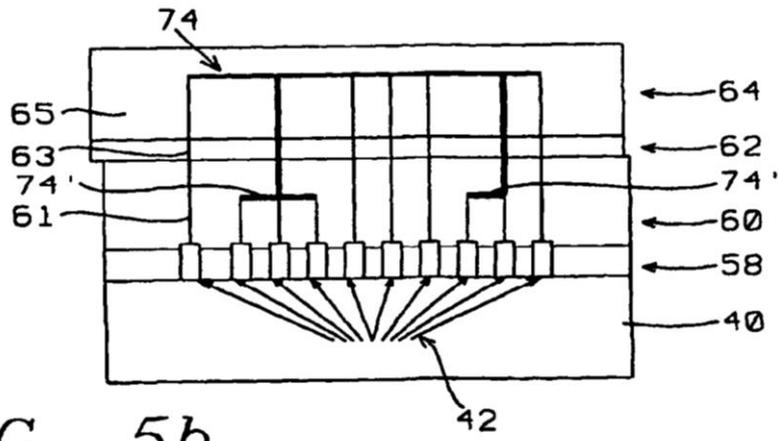


FIG. 5b

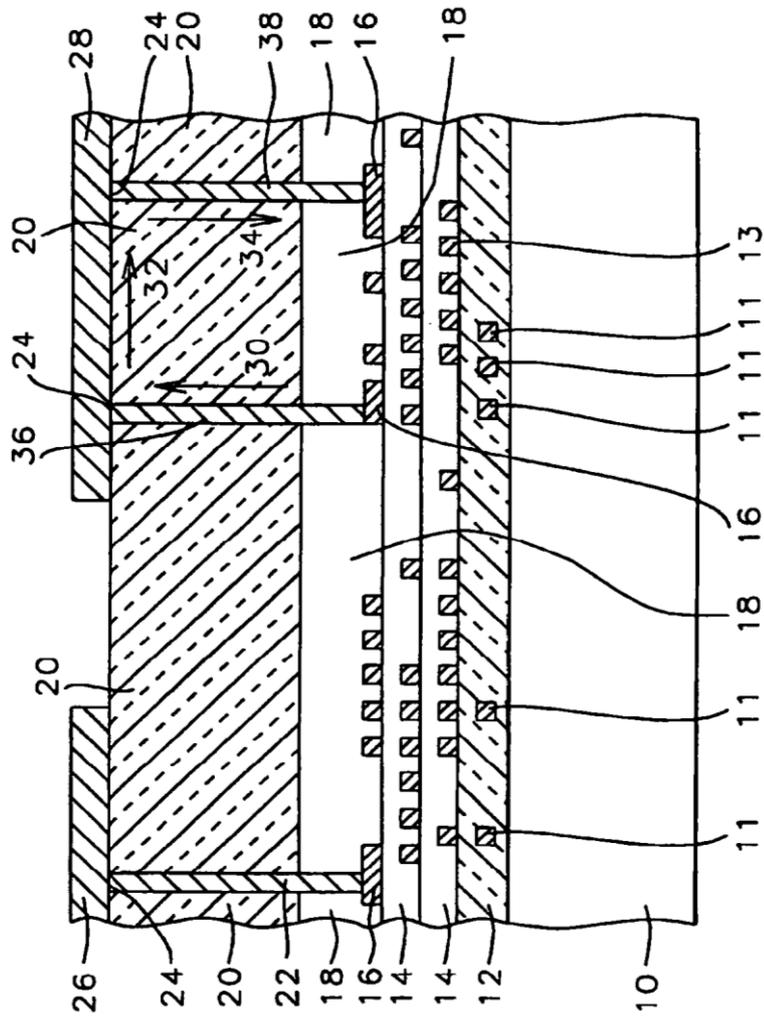


FIG. 6

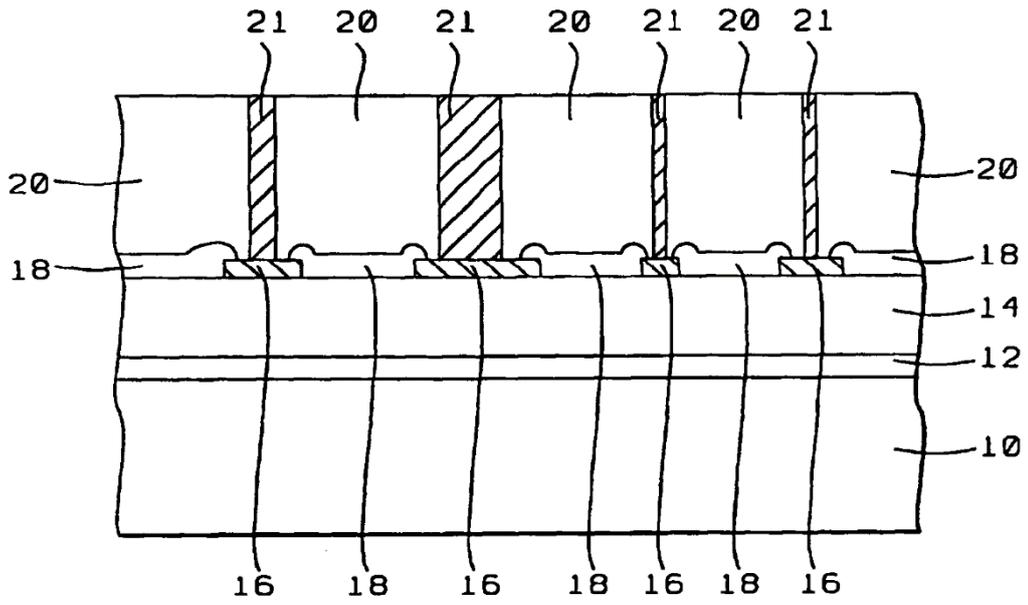


FIG. 7a

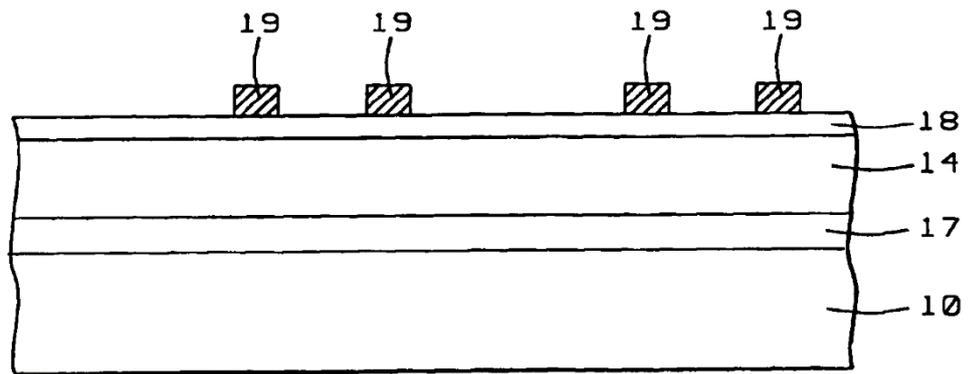


FIG. 7b