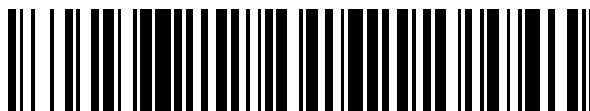


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 742 156**

51 Int. Cl.:

**H04L 27/20**

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **27.12.2017** **E 17210665 (0)**

97 Fecha y número de publicación de la concesión europea: **24.07.2019** **EP 3343855**

54 Título: **Modulador de modulación por desplazamiento de fase de alta velocidad**

30 Prioridad:

**27.12.2016 KR 20160180134**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**13.02.2020**

73 Titular/es:

**GENOHCO INC. (100.0%)  
5F1., 6F1., 146, Burim-ro, Dongan-gu  
Anyang-si, Gyeonggi-do 14055, KR**

72 Inventor/es:

**YOO, TAE SAM;  
LEE, HO JIK y  
CHOI, SEUNG JU**

74 Agente/Representante:

**ISERN JARA, Jorge**

ES 2 742 156 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Modulador de modulación por desplazamiento de fase de alta velocidad

## 5 Antecedentes

## 1. Campo de la divulgación

10 La presente divulgación se refiere a un modulador de modulación por desplazamiento de fase y, más particularmente, a una estructura de un modulador de modulación por desplazamiento de fase de alta velocidad basado en un esquema de modulación de fase que se usa en una órbita terrestre baja, órbita terrestre media, órbita geoestacionaria y satélite de espacio profundo.

## 15 2. Discusión de la técnica relacionada

La figura 1 es un diagrama de bloques que ilustra una configuración de un modulador de modulación por desplazamiento de fase general. Haciendo referencia a la figura 1, el modulador de modulación por desplazamiento de fase general incluye un mapeador, un filtro de limitación de banda, un filtro de compensación y un convertidor digital-analógico (DAC). Para limitar una banda de una señal de constelación digital mapeada por el mapeador y eliminar la interferencia entre símbolos, se usa un filtro de limitación de banda. Se usa un filtro de raíz cuadrada de coseno alzado (SRRC) como filtro de limitación de banda. A frecuencias cercanas a una frecuencia de Nyquist, las señales de símbolos de banda limitada tienen atenuación de señal y se produce la atenuación de señal en banda. Para compensar dicha atenuación de señal, se usa un filtro de compensación con propiedades 1/Sinc para compensar la señal atenuada, y la señal compensada se transfiere al DAC de modo que la señal se convierta en una señal analógica.

La señal digital asignada por el mapeador pasa a través del filtro de limitación de banda y el filtro de compensación y finalmente a través del DAC para convertirse en la señal analógica y la salida. Para procesar una señal de alta velocidad, cada bloque necesita garantizar un margen de sincronización de reloj adecuado.

En detalle, el filtro de limitación de banda y el filtro de compensación necesitan, cada uno, tener una frecuencia de muestreo cuatro veces mayor que la del mapeador. Por ejemplo, cuando se construye un modulador de modulación por desplazamiento de fase de 240 Msps (Mega muestras por segundo), una salida del mapeador tiene un componente en fase de 120 Msps y un componente de cuadratura de 120 Msps. Por consiguiente, la frecuencia de muestreo del filtro de limitación de banda y el filtro de compensación se establece en 480 MHz, que es cuatro veces mayor que la del mapeador.

En cuanto a un modulador de modulación por desplazamiento de fase implementado usando una matriz de puertas programables in situ (FPGA), cuando una síntesis de circuito y colocación y enrutamiento automáticos (P&R) se codifican usando un nivel de transferencia de resistencia (RTL), un retraso lógico causado por cada etapa de alta frecuencia termina haciendo que sea difícil garantizar el margen de sincronización de reloj. Por consiguiente, es imposible implementar un modulador de modulación por desplazamiento de fase de alta velocidad usando una FPGA.

## 45 Documento de la técnica relacionada

## Documento de patente

(Documento de patente 1) Publicación no examinada de patente de Corea No. 10-2016-00535 62

50 (Documento de patente 2) WO 2016/012382

## Sumario de la divulgación

La presente divulgación se refiere a una nueva estructura de un modulador de modulación por desplazamiento de fase en el que el modulador de modulación por desplazamiento de fase se implementa usando una matriz de puertas programables in situ (FPGA).

Los objetivos técnicos de la presente divulgación no se limitan a los anteriores, y otros objetivos pueden resultar evidentes para los expertos en la materia basándose en las siguientes descripciones.

60 Un modulador de modulación por desplazamiento de fase de alta velocidad de acuerdo con la presente divulgación tiene memorias intermedias de pipeline añadidas en un lado de entrada y un lado de salida de un filtro de limitación de banda y un filtro de compensación. Las memorias intermedias de pipeline permiten garantizar los márgenes de sincronización.

65 De acuerdo con un aspecto de la presente divulgación, se proporciona un modulador de modulación por

desplazamiento de fase de alta velocidad que incluye un mapeador, una primera memoria intermedia de pipeline, una segunda memoria intermedia de pipeline, un primer filtro de raíz cuadrada de coseno alzado (SRRC), un segundo filtro SRRC, una tercera memoria intermedia de pipeline, una cuarta memoria intermedia de pipeline, un primer filtro de compensación, un segundo filtro de compensación, un primer DAC y un segundo DAC. El mapeador puede estar configurado para mapear una señal a símbolos de modulación que representan una posición de acuerdo con una amplitud y una constelación de fase. La primera memoria intermedia de pipeline puede tener un componente en fase de una salida del mapeador como entrada. La segunda memoria intermedia de pipeline puede tener un componente de fase en cuadratura de la salida del mapeador como entrada. El primer filtro SRRC puede tener una señal de salida de la primera memoria intermedia de pipeline como entrada. El segundo filtro SRRC puede tener una señal de salida de la segunda memoria intermedia de pipeline como entrada. La tercera memoria intermedia de pipeline puede tener una señal de salida del primer filtro SRRC como entrada. La cuarta memoria intermedia de pipeline puede tener una señal de salida del segundo filtro SRRC como entrada. El primer filtro de compensación puede tener una señal de salida de la tercera memoria intermedia de pipeline como entrada y puede configurarse para compensar la distorsión de la señal. El segundo filtro de compensación puede tener una señal de salida de la cuarta memoria intermedia de pipeline como entrada y puede configurarse para compensar la distorsión de la señal. El primer DAC puede tener una señal de salida del primer filtro de compensación como entrada. El segundo DAC puede tener una señal de salida del segundo filtro de compensación como entrada.

El filtro de limitación de banda y el filtro de compensación del modulador de modulación por desplazamiento de fase de alta velocidad pueden implementarse usando un bloque de procesamiento de señal digital (DSP) en una FPGA.

Los filtros SRRC primero y segundo y/o los filtros de compensación primero y segundo pueden implementarse en la unidad DSP en la FPGA mediante software.

Cada uno del primer filtro SRRC y el segundo filtro SRRC del modulador de modulación por desplazamiento de fase de alta velocidad puede incluir un filtro de respuesta finita al impulso de porción de número impar, un filtro de respuesta finita al impulso de porción de número par y un sumador. El filtro de respuesta finita al impulso de porción de número impar puede configurarse para procesar un componente de número impar de una señal de entrada. El filtro de respuesta finita al impulso de porción de número par puede configurarse para procesar un componente de número par de la señal de entrada. El sumador puede configurarse para sumar las salidas del filtro de respuesta finita al impulso de porción de número impar y el filtro de respuesta finita al impulso de porción de número par, y para emitir un resultado de la suma.

Las memorias intermedias de pipeline primera a cuarta pueden tener un valor de estado de pipeline que se determina con referencia a un valor de flotación de un informe de flotación generado después de la colocación y el enrutamiento automáticos (P&R).

Breve descripción de los dibujos

Los objetos, características y ventajas anteriores y otros de la presente divulgación serán más evidentes para los expertos en la materia al describir en detalle realizaciones ejemplares de la misma con referencia a los dibujos adjuntos, en los que:

La figura 1 es un diagrama de bloques que ilustra una configuración de un modulador de modulación por desplazamiento de fase general;

La figura 2 es un diagrama de bloques que ilustra una configuración de un modulador de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización; y

La figura 3 es un diagrama de circuitos que ilustra una configuración de un primer filtro de raíz cuadrada de coseno alzado (SRRC) o un segundo filtro SRRC de un modulador de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización.

Descripción detallada de realizaciones ejemplares

En lo sucesivo, se describirá en detalle un modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con realizaciones ejemplares con referencia a los dibujos adjuntos. En las descripciones, se usan los mismos números de referencia para designar los mismos elementos, y se omitirán los detalles de las descripciones redundantes y las funciones o construcciones conocidas relacionadas para evitar oscurecer el objeto de la presente divulgación. Las realizaciones se proporcionan de modo que esta divulgación sea completa y transmita completamente el concepto inventivo a los expertos en la materia. Por consiguiente, la forma y el tamaño de cada componente que se muestra en los dibujos pueden exagerarse para mayor claridad de explicación.

La figura 2 es un diagrama de bloques que ilustra una configuración del modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización.

Haciendo referencia a la figura 2, el modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización incluye un mapeador 10, una primera memoria intermedia de pipeline 20, una segunda

memoria intermedia de pipeline 30, un primer filtro de raíz cuadrada de coseno alzado (SRRC) 40, un segundo filtro SRRC 50, una tercera memoria intermedia de pipeline 60, una cuarta memoria intermedia de pipeline 70, un primer filtro de compensación 80, un segundo filtro de compensación 90, un primer DAC 100 y un segundo DAC 110. El mapeador 10 está configurado para mapear una señal a símbolos de modulación que representan una posición de acuerdo con una amplitud y una constelación de fase. La primera memoria intermedia de pipeline 20 tiene un componente en fase de una salida del mapeador 10 como entrada. La segunda memoria intermedia de pipeline 30 tiene un componente de fase en cuadratura de la salida del mapeador 10 como entrada. El primer filtro SRRC 40 tiene una señal de salida de la primera memoria intermedia de pipeline 20 como entrada. El segundo filtro SRRC 50 tiene una señal de salida de la segunda memoria intermedia de pipeline 30 como entrada. La tercera memoria intermedia de pipeline 60 tiene una señal de salida del primer filtro SRRC 40 como entrada. La cuarta memoria intermedia de pipeline 70 tiene una señal de salida del segundo filtro SRRC 50 como entrada. El primer filtro de compensación 80 tiene una señal de salida de la tercera memoria intermedia de pipeline 60 como entrada y está configurado para compensar la distorsión de la señal. El segundo filtro de compensación 90 tiene una señal de salida de la cuarta memoria intermedia de pipeline 70 como entrada y está configurado para compensar la distorsión de la señal. El primer DAC 100 tiene una señal de salida del primer filtro de compensación 80 como entrada. El segundo DAC 110 tiene una señal de salida del segundo filtro de compensación 90 como entrada.

La razón para usar las memorias intermedias de pipeline primera a cuarta 20, 30, 60 y 70 son las siguientes. El filtro SRRC y el filtro de compensación del modulador de modulación por desplazamiento de fase emplean, cada uno, coeficientes de filtro con ochenta derivaciones de acuerdo con un aspecto de la realización, y por lo tanto se produce un retraso lógico de forma inherente. Cuando una señal de salida del filtro SRRC es transferida directamente al filtro de compensación, no se garantizan los márgenes del reloj debido al retraso lógico, y por lo tanto no se construye un modulador de modulación por desplazamiento de fase de alta velocidad. Por consiguiente, el modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización incluye las memorias intermedias primera a cuarta 20, 30, 60 y 70 entre el mapeador 10 y el primer filtro SRRC 40, entre el mapeador 10 y el segundo filtro SRRC 50, entre el primer filtro SRRC 40 y el primer filtro de compensación 80, y entre el segundo filtro SRRC 50 y el segundo filtro de compensación 90, respectivamente, que compensa el margen de reloj insuficiente que se produce debido al retraso lógico generado en el filtro SRRC y el filtro de compensación de modo que se garanticen los márgenes de reloj entre los bloques, permitiendo de este modo el funcionamiento a alta velocidad del modulador de modulación por desplazamiento de fase.

Por su parte, el modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización puede implementarse usando una matriz de puertas programables in situ (FPGA). FPGA es una tecnología bien conocida clasificada como un dispositivo lógico programable (PLD) de alta densidad y permite que un circuito deseado se implemente rápidamente mediante la programación del usuario que utiliza un fusible eléctrico.

El primer filtro SRRC 40, el segundo filtro SRRC 50, el primer filtro de compensación 80 y el segundo filtro de compensación 90 del modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización pueden implementarse en una unidad de procesamiento de señal digital (DSP) dentro de la FPGA por software.

En una operación de colocación y enrutamiento automáticos (P&R) implementada por la FPGA, el modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización detecta un estado de pipeline de cada una de las memorias intermedias de pipeline usando una herramienta de P&R, y cuando se determina que los márgenes de temporización se han garantizado, en un proceso de optimización lógica, la unidad DSP puede construir el filtro de limitación de banda y el filtro de compensación como software para que se pueda construir un filtro de alta velocidad. Por consiguiente, se puede construir un modulador de modulación por desplazamiento de fase de alta velocidad. Por ejemplo, con una FPGA Xilinx Kintex-7, se puede construir un filtro con una frecuencia de muestreo de 480 MHz, y cuando se usa la modulación 8PSK con 240 Msps, se puede construir un modulador de modulación por desplazamiento de fase de velocidad ultra alta con una velocidad de datos de aproximadamente 720 mbps.

La figura 3 es un diagrama de circuitos que ilustra una configuración del primer filtro SRRC 40 o el segundo filtro SRRC 50 del modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización.

Haciendo referencia a la figura 3, cada uno del primer filtro SRRC 40 y el segundo filtro SRRC 50 incluye un filtro de respuesta finita al impulso (FIR) de porción de número impar 120, un filtro FIR de porción de número par 130 y un sumador 140. El filtro FIR de porción de número impar 120 puede configurarse para procesar un componente de número impar de una señal de entrada. El filtro FIR de porción de número par 130 puede configurarse para procesar un componente de número par de la señal de entrada. El sumador 140 puede configurarse para sumar las salidas del filtro FIR de porción de número impar 120 y el filtro FIR de porción de número par 130, y para emitir un resultado de la suma. En la figura 3,  $x(n)$  Impar corresponde al filtro FIR de porción del número impar 120, y  $x(n)$  Par corresponde al filtro FIR de porción del número par 130. Además,  $y(n)$  corresponde al sumador 140.

Por su parte, el filtro SRRC del modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización como se muestra en la figura 3 puede implementarse como un filtro FIR que tiene ochenta derivaciones. De acuerdo con un aspecto de la realización, el primer filtro de compensación 80 y el segundo filtro de

compensación 90 pueden ser un filtro Sinc inverso, que es un tipo de filtro FIR y, por lo tanto, similar al filtro SRRC, y pueden implementarse como un filtro FIR que tiene ochenta derivaciones e incluyen un filtro FIR de porción de número impar 120, un filtro FIR de porción de número par 130 y un sumador 140 como se muestra en la figura 3.

5 Con respecto al modulador 200 de modulación por desplazamiento de fase de alta velocidad de acuerdo con una realización, las memorias internas de pipeline primera a cuarta 20, 30, 60 y 70 pueden tener un estado de pipeline que varía con referencia a una flotación de un informe de flotación generado después de P&R.

10 Es decir, el modulador 200 de modulación por desplazamiento de fase de alta velocidad puede ajustarse, refiriéndose a un registro de flotación de un informe de temporización entre los informes generados después de P&R por una herramienta de FPGA, el estado de pipeline hasta que se obtiene una flotación deseada para cada una de las memorias intermedias de pipeline primera a cuarta 20, 30, 60 y 70, de modo que se garantice el margen de reloj. Una flotación representa un intervalo de tiempo absoluto entre el momento en que realmente llegan los datos y el límite más temprano de un intervalo de tiempo de configuración. El intervalo de tiempo de configuración es un intervalo en la cantidad de un requisito de tiempo de configuración antes de un flanco ascendente o un flanco descendente de un reloj preestablecido en un sistema. Por consiguiente, el estado de pipeline puede ajustarse con referencia a la flotación.

15 Como debe ser evidente a partir de lo anterior, se puede implementar un modulador de modulación por desplazamiento de fase de alta velocidad usando una FPGA.

20 Cuando el modulador de modulación por desplazamiento de fase de alta velocidad está equipado en un satélite, los datos se pueden transmitir a una estación terrestre a alta velocidad y, en particular, se puede habilitar la transmisión de datos a alta velocidad usando un satélite de órbita terrestre baja.

25 Además, se construye un filtro de alta velocidad de modo que el coste del modulador de modulación por desplazamiento de fase se pueda reducir significativamente y se pueda garantizar la fiabilidad de la misión crítica de un satélite.

30 Aunque se han descrito realizaciones ejemplares de la presente divulgación en la memoria descriptiva y en los dibujos adjuntos, las realizaciones ejemplares no están destinadas a limitar el alcance técnico de la presente divulgación, y los expertos en la materia deben apreciar que diversas sustituciones, modificaciones y cambios son posibles sin apartarse del alcance de las reivindicaciones. Por lo tanto, el alcance de la divulgación no está limitado por las realizaciones anteriores sino por las reivindicaciones.

35

## REIVINDICACIONES

1. Un modulador de modulación por desplazamiento de fase de alta velocidad que comprende:

- 5 un mapeador (10) configurado para mapear una señal para modular símbolos que representan una posición de acuerdo con una amplitud y una constelación de fase;  
una primera memoria intermedia de pipeline (20) que tiene un componente en fase de una salida del mapeador como entrada;  
una segunda memoria intermedia de pipeline (30) que tiene un componente de fase en cuadratura de la salida del mapeador como entrada;  
10 un primer filtro de raíz cuadrada de coseno alzado, SRRC, (40) que tiene una señal de salida de la memoria intermedia de pipeline como entrada;  
un segundo filtro SRRC (50) que tiene una señal de salida de la segunda memoria intermedia de pipeline como entrada;  
15 una tercera memoria intermedia de pipeline (60) que tiene una señal de salida del primer filtro SRRC como entrada;  
una cuarta memoria intermedia de pipeline (70) que tiene una señal de salida del segundo filtro SRRC como entrada; un primer filtro de compensación (80) que tiene una señal de salida de la tercera memoria intermedia de pipeline como entrada y configurado para compensar la distorsión de la señal;  
un segundo filtro de compensación (90) que tiene una señal de salida de la cuarta memoria intermedia de pipeline como entrada y configurado para compensar la distorsión de la señal;  
20 un primer convertidor digital-analógico, DAC, (100) que tiene una señal de salida del primer filtro de compensación como entrada; y  
un segundo DAC (110) que tiene una señal de salida del segundo filtro de compensación como entrada.
- 25 2. El modulador de modulación por desplazamiento de fase de alta velocidad de la reivindicación 1, en el que el modulador de modulación por desplazamiento de fase de alta velocidad se implementa usando una matriz de puertas programables in situ FPGA.
- 30 3. El modulador de modulación por desplazamiento de fase de alta velocidad de la reivindicación 2, en el que los filtros SRRC primero y segundo y/o los filtros de compensación primero y segundo se implementan en una unidad de procesamiento de señal digital en la FPGA mediante software.
4. El modulador de modulación por desplazamiento de fase de alta velocidad de la reivindicación 1, en el que cada uno del primer filtro SRRC y el segundo filtro SRRC incluye:  
35 un filtro de respuesta finita al impulso de porción de número impar configurado para procesar un componente de número impar de una señal de entrada;  
un filtro de respuesta finita al impulso de porción de número par configurado para procesar un componente de número par de la señal de entrada; y  
40 un sumador configurado para sumar las salidas del filtro de respuesta finita al impulso de porción de número impar y el filtro de respuesta finita al impulso de porción de número par, y para emitir un resultado de la suma.
5. El modulador de modulación por desplazamiento de fase de alta velocidad de la reivindicación 2, en el que las memorias intermedias de pipeline primera a cuarta tienen un valor de estado de pipeline que se determina con referencia a un valor de flotación de un informe de flotación generado después de la colocación y el enrutamiento automáticos, P&R.
- 45

FIG. 1

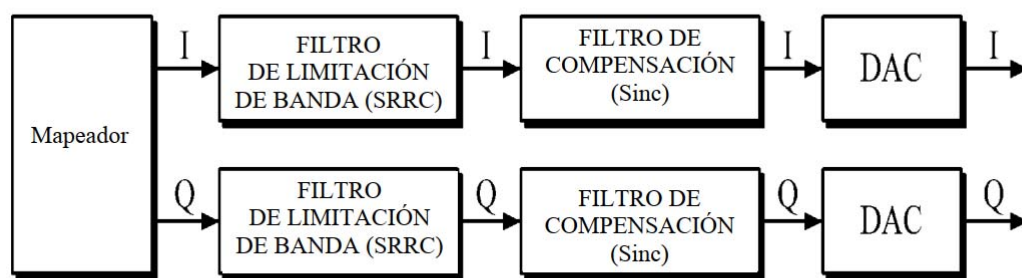


FIG. 2

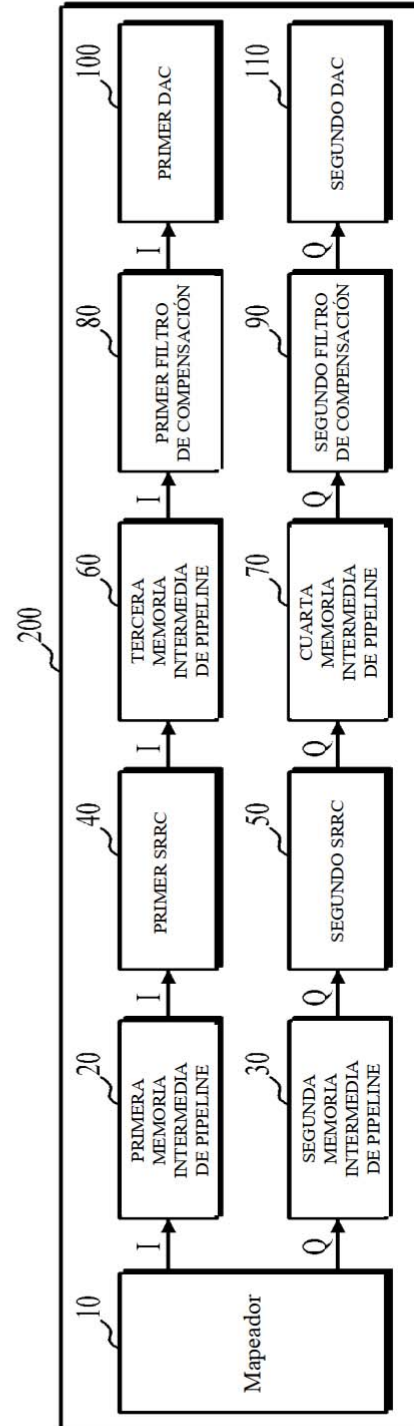




FIG. 3

