

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 744 354**

51 Int. Cl.:

G11C 11/406 (2006.01)

G06F 13/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **23.12.2005 PCT/US2005/047037**

87 Fecha y número de publicación internacional: **06.07.2006 WO06071854**

96 Fecha de presentación y número de la solicitud europea: **23.12.2005 E 05855572 (3)**

97 Fecha y número de publicación de la concesión europea: **05.06.2019 EP 1839313**

54 Título: **Sincronización de actualización automática dirigida**

30 Prioridad:

28.12.2004 US 640100 P
27.04.2005 US 115915

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
24.02.2020

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US

72 Inventor/es:

WALKER, ROBERT MICHAEL y
REMAKLUS, PERRY WILLMANN, JR.

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 744 354 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sincronización de actualización automática dirigida

5 ANTECEDENTES

[0001] Esta solicitud reivindica prioridad a la solicitud provisional de Estados Unidos con número 60/640 100, presentada el 28 de diciembre de 2004.

10 [0002] La presente invención se refiere en general al campo de la memoria y, en particular, a un sistema y procedimiento para sincronizar direcciones de banco entre un controlador y la memoria en un modo de actualización automática dirigida.

15 [0003] Los microprocesadores, los procesadores de señales digitales y otros controladores realizan tareas computacionales en una amplia variedad de aplicaciones, incluidas aplicaciones integradas como dispositivos electrónicos portátiles. La tendencia es expandir cada vez más los conjuntos de características y la funcionalidad mejorada de dichos dispositivos, incluido el aumento de la memoria, así como procesadores más potentes a nivel computacional, en cada generación de productos. Otra tendencia de los dispositivos electrónicos portátiles es un factor de forma cada vez más pequeño. Un impacto importante de esta tendencia es la disminución del tamaño de las baterías utilizadas para alimentar el controlador, la memoria y otros componentes electrónicos del dispositivo, lo cual hace que la eficiencia energética sea un objetivo de diseño cada vez más importante. Por lo tanto, son deseables mejoras en el controlador y/o la memoria que aumentan la velocidad de ejecución y reducen el consumo de energía, particularmente para los procesadores de dispositivos electrónicos portátiles.

25 [0004] La memoria dinámica de acceso aleatorio (DRAM) es bien conocida en la técnica por estar entre las tecnologías de almacenamiento de datos electrónicas o de estado sólido más rentables. La DRAM almacena datos binarios cargando o descargando circuitos capacitivos direccionables individualmente. Para lograr una alta densidad de bits y, por lo tanto, un bajo costo por bit, los circuitos que retienen esta carga de forma indefinida se omiten en las tecnologías DRAM. En consecuencia, la carga se disipa debido a las corrientes de fuga. Para preservar el estado de los datos almacenados en la DRAM, los circuitos capacitivos que almacenan valores de bit deben cargarse o "renovarse" periódicamente.

35 [0005] Las matrices DRAM se implementan comúnmente como matrices horizontales, rectangulares, bidimensionales que comprenden una pluralidad de filas y columnas. Se accede a los bits de datos proporcionando una dirección de fila y una señal de control de Señal de Dirección de Fila (RAS), seguido de una dirección de columna y una Señal de Dirección de Columna (CAS). Una vez que se accede o se "abre" una fila determinada, se puede acceder a un gran número de posiciones de bit incrementando la dirección de la columna. Por lo tanto, el retardo en proporcionar una dirección de fila y una señal RAS se puede amortizar en muchos accesos de columna, particularmente para accesos de datos largos y secuenciales. Esta característica se explota aún más mediante el modo de página rápida (FPM) y las tecnologías de DRAM de salida de datos extendida (EDO), como se conoce en la técnica. Dado que las densidades más altas de DRAM se empaquetan en módulos, otra técnica organizativa es dividir segmentos de memoria en bancos direccionables por separado. En una implementación representativa, la dirección de memoria se puede asignar a DRAM como se muestra a continuación:

MSB					LSB
FILA	B1	B0	COLUMNA	SELECCIÓN DE BYTE	

45 [0006] Los bits de orden inferior pueden comprender un campo de selección de bytes, donde el módulo de memoria proporciona datos que abarcan varios bytes en un solo acceso. Los siguientes bits más significativos son la dirección de la columna, lo cual permite acceder rápidamente a los datos dentro de la misma fila. Encima de la dirección de la fila están los bits de selección de banco, que se dirigen independientemente a uno de una pluralidad de bancos DRAM (en este ejemplo, cuatro bancos). La dirección de la fila comprende los bits más significativos. Los expertos en la técnica reconocerán que las direcciones de memoria pueden asignarse a la memoria de diversas maneras; la asignación anterior es, por lo tanto, solo ilustrativa, y no limitativa.

55 [0007] La DRAM tradicional se actualiza explícitamente bajo la dirección de un controlador. El controlador coloca la dirección de una fila para actualizarse en el bus de direcciones y confirma la señal RAS para actualizar cada ubicación de almacenamiento de memoria en esa fila. Durante un ciclo de actualización, todas las operaciones de acceso a la memoria se detienen (es decir, no se puede producir ninguna operación de lectura ni escritura durante un ciclo de actualización). Un contador de actualización en el controlador proporciona la dirección de la fila de actualización, y el contador se incrementa después de cada ciclo de actualización. Todas las filas en la matriz DRAM pueden actualizarse secuencialmente. Esto se conoce en la técnica como una actualización de ráfaga, y debe ejecutarse una vez dentro del tiempo total de actualización requerido de la matriz de memoria. De forma alternativa, el controlador puede implementar una actualización distribuida, en la que los ciclos de actualización dirigidos a filas sucesivas se intercalan

entre los ciclos de acceso a la memoria. El retardo permitido medio entre los ciclos de actualización distribuidos es el tiempo total de actualización requerido de la matriz de memoria dividido por el número de filas.

5 **[0008]** Con la llegada de la actualización de CAS-antes-de-RAS (actualización de CBR), el controlador se vio aliviado de la necesidad de calcular y suministrar una dirección de fila para los ciclos de actualización. Un módulo de memoria que soporta la actualización de CBR incluye un contador de filas interno, que se incrementa al recibir cada ciclo de actualización de CBR. El controlador desconoce qué fila se está actualizando en un momento dado; el controlador simplemente debe emitir ciclos de actualización de CBR dentro del período de tiempo requerido. La actualización de CBR es un ejemplo de lo que en general se denomina actualización automática, en el que un controlador ordena a la memoria que emita un ciclo de actualización, pero desconoce la dirección de la fila específica que se está actualizando. En las implementaciones modernas de DRAM síncrona (SDRAM), un ciclo de actualización automática se realiza comúnmente en respuesta a las señales RAS y CAS que se activan simultáneamente.

15 **[0009]** Una desventaja de las técnicas convencionales de actualización automática (y, además, las actualizaciones tradicionales en las que el controlador proporciona la dirección de la fila de actualización, si los bancos no se actualizan de manera independiente) es que el controlador está obligado a cerrar todas las filas de DRAM a las operaciones de acceso a la memoria (es decir, accesos de lectura y escritura) antes de emitir un comando de actualización automática. Esto puede afectar negativamente al rendimiento del procesador al retardar los accesos de datos y/o las recuperaciones de instrucciones.

20 **[0010]** Una solución, donde los bancos se actualizan de forma independiente, es que el controlador maneje explícitamente el proceso de actualización proporcionando la dirección de fila y la información de selección de banco para cada comando de actualización. En este caso, el controlador puede dirigir un ciclo de actualización a un banco DRAM al mismo tiempo que realiza operaciones de acceso a datos a los bancos restantes. Un controlador sofisticado puede organizar sus operaciones de memoria para aprovechar esta capacidad, mejorando así el rendimiento.

25 **[0011]** Sin embargo, una desventaja de este enfoque es que el controlador no puede aprovechar el modo de actualización automática que ofrecen muchas implementaciones modernas de memoria, que tienen una aplicabilidad particular a los dispositivos electrónicos portátiles. En el modo de actualización automática, los datos se retienen en la matriz DRAM durante los períodos de inactividad, con un consumo mínimo de energía, y el acceso a los datos no está permitido. Es decir, los datos pueden no escribirse o leerse desde la matriz DRAM durante el modo de actualización automática. La DRAM con un modo de actualización automática permite que muchos circuitos, incluido el controlador, entren en modo inactivo o de "suspensión" para retener la energía de la batería.

30 **[0012]** Durante la actualización automática, el módulo de memoria recorre la matriz DRAM, realizando la actividad de actualización mínima necesaria para mantener los datos. Para lograr esto, el módulo de memoria mantiene un contador interno de direcciones de fila/banco que no es accesible para el controlador. Al salir del modo de actualización automática, el controlador no se da cuenta de qué fila se actualizó por última vez en el modo de actualización automática y, por lo tanto, no puede continuar con las operaciones de actualización explícitas a menos que primero realice una actualización de ráfaga de cada fila de forma secuencial.

35 La solicitud de patente US 2003/0007406 se refiere a un sistema de memoria, que es capaz de aumentar la eficiencia de utilización de un dispositivo de memoria de semiconductores, y un procedimiento para actualizar el dispositivo de memoria de semiconductores. El controlador de memoria puede realizar selectivamente una operación de actualización en un banco en particular aplicando un comando de actualización sin aplicar también una dirección de banco, y por lo tanto es posible aumentar la eficiencia de utilización de un dispositivo de memoria de semiconductores.

SUMARIO

50 **[0013]** Aspectos de la presente invención se exponen en las reivindicaciones adjuntas.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

55 **[0014]**

La Figura 1 es un diagrama de bloques funcional de un controlador y un módulo de memoria.

La Figura 2 es una línea de tiempo que muestra las operaciones de actualización y los valores de un contador de direcciones de banco en varios modos.

60

La Figura 3 es un diagrama de flujo de un procedimiento de actualización DRAM.

DESCRIPCIÓN DETALLADA

65 **[0015]** La Figura 1 muestra un sistema informático representativo 10 que comprende un controlador 12 y un módulo de memoria 14. El controlador 12 puede comprender un microprocesador, un procesador de señales digitales, una

máquina de estados sofisticada implementada en un FPGA o ASIC, u otro controlador. El módulo de memoria 14 puede comprender un único chip DRAM, un módulo de múltiples chips, una matriz SIMM o DIMM de módulos DRAM, o similares. El módulo de memoria 14 incluye, en el modo de realización representado, cuatro bancos DRAM 16 y un circuito de actualización 18, que incluye un contador de direcciones de banco 20 y un contador de direcciones de fila 21. El circuito de actualización 18 realiza ciclos de actualización a los bancos DRAM 16 al recibir los comandos de actualización del controlador 12 en un modo de actualización automática dirigida, o de manera autónoma durante un modo de actualización automática. Además, el circuito de actualización puede soportar otra actualización

[0016] En un modo de actualización automática dirigida (DARF), los comandos de actualización son emitidos por un controlador, y las direcciones de fila y banco de actualización se mantienen internamente en un módulo de memoria. El controlador y la memoria se sincronizan con respecto a la dirección de banco al especificar que un contador de direcciones de banco interno a la memoria se inicialice a un primer valor predeterminado al entrar en el modo DARF. La memoria realiza un ciclo de actualización dirigido al banco direccionado al recibir un comando de actualización, e incrementa el contador de direcciones de banco en una secuencia predeterminada después del ciclo de actualización. El controlador rastrea la dirección de banco y puede emitir una o más operaciones de acceso a la memoria durante la ejecución de un comando de actualización, si la operación de acceso a la memoria se dirige a un banco que no se está actualizando. La sincronización, perdida durante un modo de actualización automática, se restablece al salir del modo de actualización automática especificando que el contador de direcciones de banco asume un segundo valor predeterminado. El segundo valor predeterminado puede ser fijo, o puede ser $n + 1$, donde n es el valor del contador de direcciones de banco cuando se inicia el modo de actualización automática.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0017] La Figura 1 es un diagrama de bloques funcional de un controlador y un módulo de memoria.

[0018] La Figura 2 es una línea de tiempo que muestra las operaciones de actualización y los valores de un contador de direcciones de banco en varios modos.

[0019] La Figura 3 es un diagrama de flujo de un procedimiento de actualización DRAM.

DESCRIPCIÓN DETALLADA

[0020] La Figura 1 muestra un sistema informático representativo 10 que comprende un controlador 12 y un módulo de memoria 14. El controlador 12 puede comprender un microprocesador, un procesador de señales digitales, una máquina de estados sofisticada implementada en un FPGA o ASIC, u otro controlador. El módulo de memoria 14 puede comprender un único chip DRAM, un módulo de múltiples chips, una matriz SIMM o DIMM de módulos DRAM, o similares. El módulo de memoria 14 incluye, en el modo de realización representado, cuatro bancos DRAM 16 y un circuito de actualización 18, que incluye un contador de direcciones de banco 20 y un contador de direcciones de fila 21. El circuito de actualización 18 realiza ciclos de actualización a los bancos DRAM 16 al recibir los comandos de actualización del controlador 12 en un modo de actualización automática dirigida, o de manera autónoma durante un modo de actualización automática. Además, el circuito de actualización puede soportar otros modos de actualización como se conoce en la técnica. El módulo de memoria 14 también incluye pestañas de dirección de fila y columna, amplificadores de detección, controladores de bus y varios otros circuitos (no mostrados) comunes a la memoria DRAM y bien conocidos en la técnica.

[0021] El controlador 12, en el modo de realización representado en la Figura 1, incluye un circuito de control de memoria 22 operativo para realizar operaciones de lectura y escritura en el módulo de memoria 14. En consecuencia, la Figura 1 muestra las conexiones comunes de dirección, datos y señales de control (por ejemplo, RAS, CAS y WE) entre el circuito de control de memoria 22 en el controlador 12 y el módulo de memoria 14. Estas señales de control son solo representativas, no son exhaustivas y no incluyen muchas de las diversas señales de control que pueden interconectar un controlador 12 y la memoria 14 en cualquier implementación dada.

[0022] El circuito de control de memoria 22 genera adicionalmente una señal de actualización, como se muestra mediante la señal RFSH, al módulo de memoria 14 en al menos un modo. La señal RFSH es representativa solamente; en cualquier implementación dada, el circuito de control de memoria 22 puede emitir un comando de actualización automática a través de otras señales de control. El circuito de control de memoria 22 también incluye un contador de direcciones de banco 23, que refleja el valor del registro de dirección de banco 20 en el módulo de memoria 14 durante el modo de actualización automática dirigida.

[0023] El controlador 12 incluye adicionalmente un registro de modo extendido (EMR) 24. Este registro puede incluir una pluralidad de bits de modo y otra información de configuración, según sea necesario o deseado en cualquier implementación dada. En un modo de realización, el EMR 24 incluye un bit 26 dirigido de re-actualización automática (DARF). El EMR 24 adicionalmente incluye un bit 28 de actualización automática (SR). El controlador 12 puede incluir una variedad de circuitos, registros y otros componentes adicionales (no mostrados) como se conoce en la técnica.

[0024] De acuerdo con un modo de realización, el módulo de memoria 14 entra en un modo de actualización automática dirigida en respuesta al controlador 12 que establece el bit 26 DARF en el EMR 24. Cuando se establece el bit 26 de DARF, el contador de direcciones de banco de memoria 20 se establece en un valor predeterminado, y el contador de direcciones de banco de controlador 23 se establece en el mismo valor. Comúnmente, el contador de direcciones de banco 20 puede ponerse a cero. Sin embargo, los expertos en la técnica reconocerán que las direcciones de banco pueden establecerse en cualquier valor predeterminado, siempre que el controlador 12 tenga conocimiento del valor predeterminado utilizado.

[0025] Cuando se incrementa después de cada ciclo de actualización automática dirigida, el contador de direcciones de banco 20 realizará un ciclo a través de las direcciones de banco en una secuencia predeterminada. En un modo de realización preferente, el contador de direcciones de banco 20 pasa por un recuento binario (por ejemplo, 0, 1, ... m-1, para m bancos). Sin embargo, los expertos en la técnica reconocerán fácilmente que el contador de direcciones de banco 20 puede realizar un ciclo a través de los bits de dirección de banco en cualquier secuencia, siempre que el controlador 12 tenga conocimiento de la secuencia particular utilizada, de modo que el registro de dirección de banco 23 pueda usar la misma secuencia.

[0026] En un modo de realización ilustrativo, durante el modo de actualización automática dirigida, el módulo de memoria 14, al recibir un comando de actualización desde el controlador 12, realizará una operación de actualización a los bits de dirección de banco y fila en los contadores 21, 20 correspondientes. El contador de direcciones de banco 20 se incrementará en uno después de la operación de actualización. Cuando el contador de direcciones de banco 20 ha pasado por una secuencia completa (es decir, después de haber emitido un ciclo de actualización para cada banco para una dirección de fila determinada), el contador de direcciones de la fila 21 se incrementa en uno.

[0027] El controlador 12 mantiene el contador de direcciones de banco 23 para reflejar el contador de direcciones de banco 20, e incrementa el contador de direcciones de banco 23 cada vez que se emite un comando de actualización automática al módulo de memoria 14. Dado que el controlador 12 y el módulo de memoria 14 se inicializan en la misma dirección de banco predeterminada, incrementa la dirección de banco aproximadamente al mismo tiempo (después de cada comando de actualización automática) y en la misma cantidad y en el mismo orden, el controlador 12 y el módulo de memoria 14 está sincronizado con respecto a las direcciones de banco en el modo de actualización automática dirigida.

[0028] Esta sincronización le permite al controlador 12, que es consciente de que el banco 16 se está actualizando cuando emite un comando de actualización, para continuar realizando accesos de lectura y escritura a cualquier banco DRAM 16 diferente al banco 16 que se está actualizando. Tenga en cuenta que el controlador 12 no necesita conocer la dirección de la fila de actualización. Todas las filas deben cerrarse durante la operación de actualización solo en el banco 16 que se está actualizando; el controlador 12 puede leer o escribir cualquier dirección en cualquier otro banco 16. Por lo tanto, el controlador 12 puede "ocultar" los ciclos de actualización automática dirigida programando accesos a la memoria de manera que los ciclos de actualización automática dirigida no afecten el rendimiento del acceso a la memoria.

[0029] La Figura 2 muestra una vista de la línea de tiempo de la actividad de actualización entre el controlador 12 y el módulo de memoria 14. Las acciones y el estado del controlador 12 se muestran debajo de la línea de tiempo. Los ciclos de actualización se representan como "tics" sobre la línea de tiempo, y el valor del contador de direcciones de banco 20 se muestra sobre la línea de tiempo. En el punto más a la izquierda (el comienzo del tiempo de interés), el controlador 12 se reinicia. Esto puede corresponder a un encendido inicial, un reinicio del software o similar. Si el controlador 12 desea entrar en el modo de actualización automática dirigida y obtener el máximo rendimiento de acceso a la memoria, el controlador 12 establece el bit 26 DARF. Esto coloca al módulo de memoria 14 en el modo de actualización automática dirigida, y obliga al contador de direcciones de banco 20 a tener un valor predeterminado, tal como cero en el modo de realización representado en la Figura 2.

[0030] El controlador 12 luego puede proceder a realizar operaciones de acceso a la memoria en el módulo de memoria 14, emitiendo periódicamente comandos de actualización automática dirigida, como se indica con las flechas en la Figura 2, en puntos periódicos a lo largo de la línea de tiempo. El tiempo durante el cual se deben actualizar todos los bancos DRAM 16 dentro de una fila dada se indica en la Figura 2 como t_{REF} . En consecuencia, el controlador 12 puede espaciar los comandos de actualización automática dirigida por banco a un valor medio de $t_{REF}/4$, como se indica. Al recibir cada comando de actualización automática dirigida, el módulo de memoria 14 realiza una actualización al banco direccionado por el contador de direcciones de banco 20, y luego incrementa el contador de direcciones de banco 20. Cuando el contador de direcciones de banco 20 realiza un ciclo a través de una secuencia completa (0, 1, 2, 3 en el modo de realización representado), la dirección de la fila 21 se incrementa. El controlador incrementa el contador de direcciones de banco 23 al emitir cada comando de actualización automática dirigida. Por lo tanto, el controlador de memoria 22 es consciente del valor del contador de direcciones de banco 20, y puede realizar operaciones de lectura y escritura en el módulo de memoria 14 simultáneamente con la actividad de actualización automática dirigida, dirigiendo los accesos a la memoria a los bancos de DRAM 16 distintos al banco 16 que actualmente se está actualizando.

[0031] Según uno o más modos de realización de la presente invención, el controlador 12 puede aprovechar un modo de actualización automática del módulo de memoria 14. En particular, el controlador 12 puede dirigir al módulo de memoria 14 para que entre en un modo de actualización automática, por ejemplo, al establecer el bit SR 28 en el EMR 24. El uso de un bit SR 28 para dirigir el módulo de memoria 14 dentro y fuera del modo de actualización automática es solo representativo; los expertos en la técnica reconocerán que el controlador 12 puede comunicar el modo de actualización automática al módulo de memoria de una variedad de formas distintas a la configuración de un bit 28 SR. Por ejemplo, una técnica común para dirigir SDRAM al modo de actualización automática es mantener bajas las señales de control de Selección de Chip (CS), RAS, CAS y Clock Enable (CKE) simultáneamente; la salida de actualización automática se produce cuando CKE se devuelve alto.

[0032] Durante el modo de actualización automática dirigida, el módulo de memoria 14 mantiene la fila y la dirección de banco a actualizar, pero deja el tiempo de actualización al controlador 12. En consecuencia, cuando el módulo de memoria 14 recibe el comando para entrar en el modo de actualización automática, no es consciente del tiempo transcurrido desde el último ciclo de actualización automática dirigida. En consecuencia, de acuerdo con un modo de realización, el circuito de actualización 18 del módulo de memoria 14 debe realizar un ciclo de actualización inmediatamente después de entrar en el modo de actualización automática. Como se usa en el presente documento, el término "inmediatamente" significa dentro de un período de tiempo predeterminado que es corto en relación con $t_{REF}/4$. El ciclo de actualización puede dirigirse al banco al que se dirige actualmente, o de forma alternativa, el módulo de memoria 14 puede actualizar simultáneamente todos los bancos DRAM inmediatamente después de entrar en el modo de actualización automática.

[0033] Durante el modo de actualización automática, el módulo de memoria 14 continúa realizando ciclos de actualización según sea necesario para mantener los datos en los bancos DRAM 16. En general, la temporización de los ciclos de actualización del modo de actualización automática depende de la temperatura, y el tiempo entre los ciclos de actualización puede ser superior a $t_{REF}/4$. El controlador 12 no tiene visibilidad de la actividad de actualización, no conoce el número o el tiempo de los ciclos de actualización y no puede rastrear el contenido del contador de direcciones de banco 20. Es decir, el controlador 12 y el módulo de memoria 14 se desincronizan con respecto a la dirección de banco cuando el módulo de memoria 14 está en modo de actualización automática.

[0034] Para restablecer la sincronización al salir del modo de actualización automática, el contador de direcciones de banco 20 debe contener un valor predeterminado, de modo que el contador de direcciones de banco 23 pueda configurarse con el mismo valor. Además, dado que el controlador 12 no sabe cuándo se produjo el último ciclo de actualización interno durante el modo de actualización automática, el circuito de actualización 18 emite al menos un ciclo de actualización inmediatamente después de detectar el comando para salir del modo de actualización automática (por ejemplo, en el modo de realización ilustrado, sobre el controlador 12 borrando el bit 28 de SR). Esto asegura que el controlador 12 tenga $t_{REF}/4$ para emitir otro comando de actualización automática dirigida, sin riesgo de pérdida de datos.

[0035] En un modo de realización, al detectar el comando para salir del modo de actualización automática, el circuito de actualización 18 realiza un ciclo de actualización al banco al que se dirige actualmente, e incrementa el contador de direcciones de banco 20. Si el contenido del contador de direcciones de banco 20 no coincide con el valor predeterminado de la salida de actualización automática, el contador de direcciones de banco 20 se incrementa a través de su secuencia y se realizan ciclos de actualización en los bancos direccionados, hasta que su contenido coincide con la salida de la actualización automática predeterminada valor. Una vez que el valor del contador de direcciones de banco 20 se establece en el valor predeterminado de salida de actualización automática (y el contador de direcciones de banco 23 se establece de manera correspondiente), el controlador 12 y el módulo de memoria 14 han restablecido la sincronización de la dirección de banco. El controlador 12 puede continuar emitiendo comandos de actualización automática dirigida, mientras realiza simultáneamente operaciones de acceso a la memoria en otros bancos que no sean el banco que se está actualizando.

[0036] En otro modo de realización, en lugar de realizar ciclos de actualización de banco secuenciales hasta que el contador de direcciones de banco 20 alcance el valor predeterminado de salida de actualización automática, el módulo de memoria 14 puede actualizar todos los bancos simultáneamente y configurar el contador de direcciones de banco 20 al valor predeterminado de salida de actualización automática. Este enfoque puede reducir la latencia al salir del modo de actualización automática hasta que el módulo de memoria 14 esté listo para aceptar y cumplir las solicitudes de acceso a la memoria desde el controlador 12, en particular para una gran cantidad de bancos, como ocho o más.

[0037] Hay al menos dos posibilidades para la dirección de banco predeterminada de salida de actualización automática. En un modo de realización, al salir del modo de actualización automática, la dirección de banco 20 siempre se establece en un valor predeterminado, por ejemplo, cero. Sin embargo, los expertos en la técnica reconocerán fácilmente que el contador de direcciones de banco 20 puede establecerse en cualquier valor predeterminado, siempre que el controlador 12 tenga conocimiento del valor que se está utilizando, de modo que el contador de direcciones de banco 23 se pueda configurar al mismo valor.

[0038] En otro modo de realización, la dirección de banco predeterminada de salida de actualización automática es el contenido del contador de direcciones de banco 20 cuando entró en el modo de actualización automática. Es decir,

si el último banco actualizado en el modo de actualización automática dirigida antes del modo de actualización automática era n , la dirección de banco predeterminada de salida de actualización automática es $n+1$. En esta realización, el contador de direcciones de banco 23 no necesita ser reiniciado ni configurado de otra manera a un valor predeterminado, sino que el controlador 12 puede continuar emitiendo comandos de actualización automática dirigida como si la sincronización nunca se hubiera interrumpido en el modo de actualización automática.

[0039] La Figura 3 muestra un diagrama de flujo de un procedimiento para actualizar una memoria, de acuerdo con uno o más modos de realización. La memoria 14 comprueba el modo de actualización automática dirigida, por ejemplo, inspeccionando un bit 26 DARF (bloque 50). Si la memoria 14 no se coloca en el modo de actualización automática dirigida, realiza ciclos de actualización convencionales (bloque 52). Estos pueden ocurrir en un modo de actualización tradicional, en el que el controlador 12 suministra una dirección de actualización de fila, o un modo de actualización automática convencional, en el que el módulo de memoria 14 mantiene la dirección de la fila. En cualquier caso, se puede ordenar al módulo de memoria 14 que realice el modo de actualización automática dirigida en cualquier momento (bloque 50) (aunque con riesgo de pérdida de datos en el caso del modo de actualización tradicional, ya que no hay sincronización de direcciones de fila entre el controlador 12 y la memoria 14).

[0040] Al detectar un comando para entrar en el modo de actualización automática dirigida (bloque 50), el módulo de memoria 14 establece el contador de direcciones de banco 20 en una primera dirección de banco predeterminada, como por ejemplo cero (bloque 54). El módulo de memoria 14 a continuación realiza ciclos de actualización automática dirigida a los bancos DRAM 16 como lo ordena el controlador 12. Después de cada ciclo de actualización, el módulo de memoria 14 incrementa el contador de direcciones de banco 20 en un orden predeterminado (bloque 56). Esto permite al controlador 12 rastrear el valor del contador de direcciones de banco 20 incrementando de manera similar el contador de direcciones de banco 23.

[0041] El controlador 12 puede ordenar al módulo de memoria 14 que entre en un modo de actualización automática (bloque 58). Si el módulo de memoria 14 se coloca en el modo de actualización automática, realiza inmediatamente un ciclo de actualización (bloque 60), ya que no es consciente del retardo desde el último ciclo de actualización automática dirigida. El módulo de memoria 14 realizará ciclos de actualización de DRAM según sea necesario para preservar el estado de los datos en la memoria. No se pueden realizar ciclos de acceso a la memoria (por ejemplo, lectura o escritura) en el modo de actualización automática.

[0042] Al recibir la orden salir del modo de actualización automática (bloque 64), el módulo de memoria 14 debe realizar al menos un ciclo de actualización (bloque 66). Esto garantiza que el controlador 12, que desconoce la sincronización del último ciclo de actualización realizado en el modo de actualización automática, tiene hasta $t_{REF}/4$ después de ordenar al módulo de memoria 14 que salga del modo de actualización automática para que emita la siguiente actualización automática dirigida. Si es necesario, el módulo de memoria 14 realizará a continuación ciclos de actualización adicionales, incrementando el contador de direcciones de banco 20, para dejar un segundo valor predeterminado en el contador de direcciones de banco 20 (bloque 68). Esto es necesario para sincronizar con el controlador 12, que también tendrá el segundo valor predeterminado en el contador de direcciones de banco 23. A continuación, el controlador 12 se sincroniza con el módulo de memoria 14 con respecto a las direcciones de banco de actualización, y puede continuar emitiendo ciclos de actualización automática dirigida, mientras realiza simultáneamente ciclos de acceso a la memoria a los bancos de DRAM 16 distintos al que se está actualizando.

[0043] Aunque la presente invención se ha descrito en el presente documento con respecto a características, aspectos y modos de realización particulares de la misma, será evidente que son posibles numerosas variaciones, modificaciones y otros modos de realización dentro del amplio alcance de la presente invención, y en consecuencia, se debe considerar que todas las variaciones, modificaciones y modos de realización están dentro del alcance de la invención. Por lo tanto, los presentes modos de realización deben interpretarse en todos los aspectos como ilustrativos y no restrictivos y todos los cambios que se encuentren dentro del rango de significado y equivalencia de las reivindicaciones adjuntas pretenden incluirse en los mismos.

REIVINDICACIONES

1. Un procedimiento, mediante un módulo de memoria (14) y un controlador (12), de actualización de una pluralidad de bancos de memoria (16), que comprende:
- 5 aceptar un comando de sincronización desde el controlador (12);
- configurar un contador de actualización de banco (20) del módulo de memoria (14) en una dirección de banco predeterminada en respuesta al comando de sincronización (54);
- 10 al recibir un comando de actualización automática desde el controlador dirigido a un banco de memoria predeterminado, actualizar el banco de memoria direccionado (60) mientras que la pluralidad de bancos de memoria distintos de los bancos de memoria direccionados permanecen listos para realizar la operación de acceso a la memoria e incrementar el contador de actualización de banco (20) en un orden predeterminado por el cual el controlador mantiene un contador de direcciones de banco (23) para reflejar el contador de actualización de banco (20) del módulo de memoria; y
- 15 al salir de un modo de actualización automática, establecer el contador de actualización de banco en una segunda dirección de banco predeterminada;
- 20 **caracterizado por:**
- configurar el contador de actualización de banco (20) en una segunda dirección de banco predeterminada incluye:
- 25 realizar sucesivas operaciones de actualización e incrementar el contador de actualización de banco según sea necesario para configurar el contador de actualización de banco a la segunda dirección de banco predeterminada (68), en el que la segunda dirección de banco predeterminada es $n+1$, donde n es la dirección de banco correspondiente al último ciclo de actualización automática dirigida recibido del controlador (12) antes del modo de actualización automática.
- 30
2. El procedimiento según la reivindicación 1, que además comprende, cuando el contador de actualización de banco (20) realiza un ciclo a través de dicha pluralidad de bancos de memoria (16), incrementar un contador de direcciones de fila (21).
- 35
3. El procedimiento según la reivindicación 1, que comprende además, al recibir un comando de actualización automática dirigida desde el controlador (12) dirigida a uno de la pluralidad de bancos de memoria (16) y una solicitud de acceso a la memoria dirigida a otra de la pluralidad de bancos de memoria, realizar tanto la actualización como las operaciones de acceso.
- 40
4. El procedimiento según la reivindicación 1, que comprende además, entrar en un modo de actualización automática en respuesta a un comando de actualización automática recibido desde el controlador (12), y actualizar los bancos de memoria (16) a una velocidad suficiente para retener datos sin recibir comandos de actualización del controlador.
- 45
5. El procedimiento según la reivindicación 4, en el que el banco de memoria (16) direccionado por el contador de direcciones de banco (20) se actualiza inmediatamente después de recibir el comando de actualización automática.
- 50
6. El procedimiento según la reivindicación 4, en el que todos los bancos de memoria (16) se actualizan simultáneamente inmediatamente después de recibir el comando de actualización automática.
7. El procedimiento de acuerdo con la reivindicación 1, en el que la segunda dirección de banco predeterminada es fija.
- 55
8. El procedimiento según la reivindicación 1, en el que la segunda dirección de banco predeterminada es igual a la primera dirección de banco predeterminada.
9. Un dispositivo electrónico, que comprende:
- 60 un controlador (12) operativo para leer y escribir datos en un módulo de memoria (14), y otro operativo para colocar el módulo de memoria en un modo de actualización automática dirigida y para emitir comandos de actualización automática dirigida, con el controlador que mantiene una dirección de banco de actualización (23) en el controlador igual a un contador de direcciones de banco (20) en el módulo de memoria a lo largo del modo de actualización automática dirigida, siendo el controlador (12) además operativo para colocar el módulo de memoria en un modo de actualización automática y para eliminar el módulo de memoria del
- 65

modo de actualización automática, siendo el contador de direcciones de banco (20) operativo para asumir un segundo valor predeterminado al salir del modo de actualización automática;

5 un módulo de memoria (14) que tiene al menos dos bancos (16) de DRAM, cada banco DRAM se puede direccionar por separado para realizar ciclos de actualización, el módulo de memoria operativo en un modo de actualización automática dirigida para realizar un ciclo de actualización dirigido a un banco, y para realizar un ciclo de acceso a la memoria a un banco diferente mientras se realiza el ciclo de actualización, en respuesta a los comandos del controlador (12); y

10 un contador de direcciones de banco (20) en el módulo de memoria operativo para asumir un primer valor predeterminado cuando el módulo de memoria entra en el modo de actualización automática dirigida;

caracterizado por que:

15 el módulo de memoria (14) es operativo para realizar ciclos de actualización sucesivos a los bancos DRAM (16) e incrementar el contador de direcciones de banco (20) según sea necesario para configurar el contador de direcciones de banco en un segundo valor predeterminado al salir del modo de actualización automática, en el que el segundo valor predeterminado es $n+1$, donde n es la dirección de banco correspondiente al último ciclo de actualización automática dirigida emitido por el controlador (12) antes del modo de actualización automática.

20 **10.** El dispositivo electrónico de la reivindicación 9, en el que el contador de direcciones de banco (20) es además operativo para incrementarse en una secuencia predeterminada después de cada ciclo de actualización automática dirigida.

25 **11.** El dispositivo electrónico de la reivindicación 9, en el que el módulo de memoria realiza un ciclo de actualización dirigido a un banco DRAM (16) inmediatamente después de entrar en el modo de actualización automática.

30 **12.** El dispositivo electrónico de la reivindicación 9, en el que el segundo valor predeterminado está fijado.

13. El dispositivo electrónico de la reivindicación 9, en el que la segunda dirección de banco predeterminada es igual a la primera dirección de banco predeterminada.

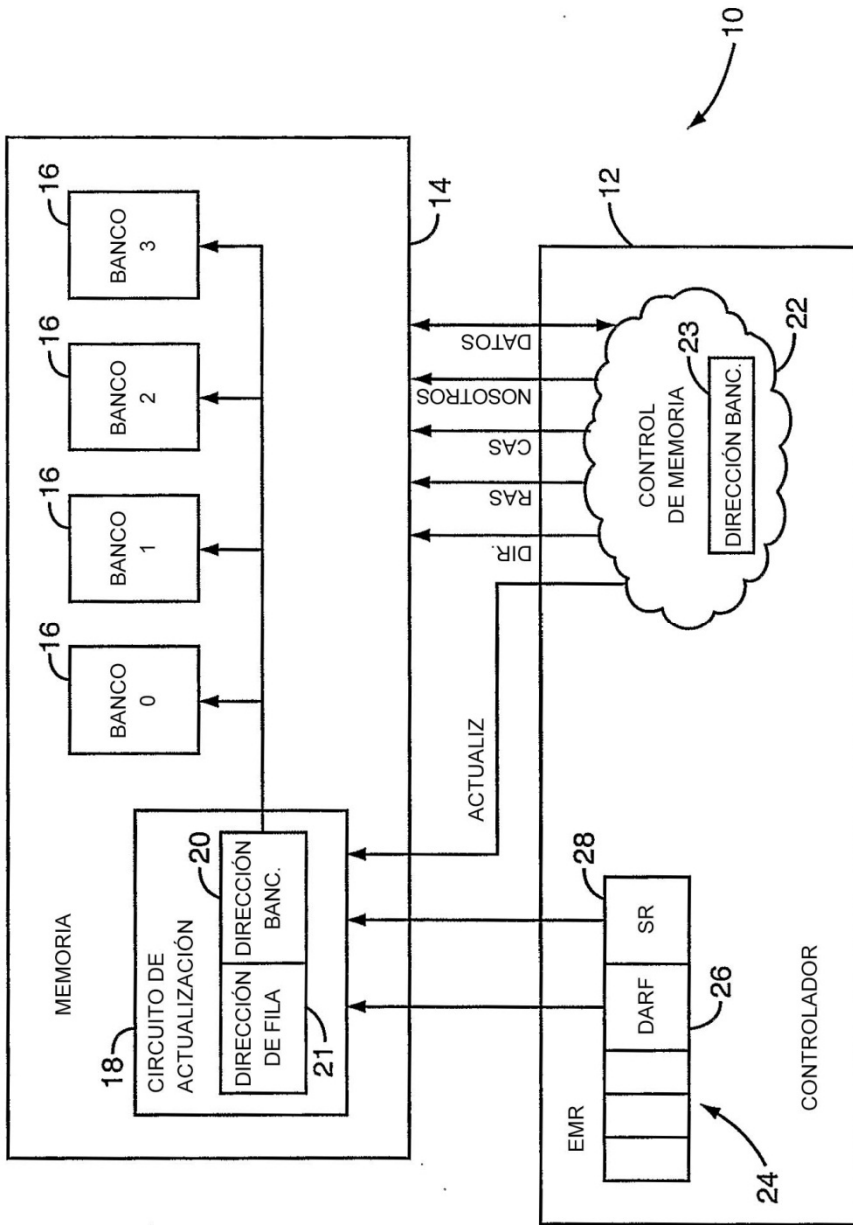


FIG. 1

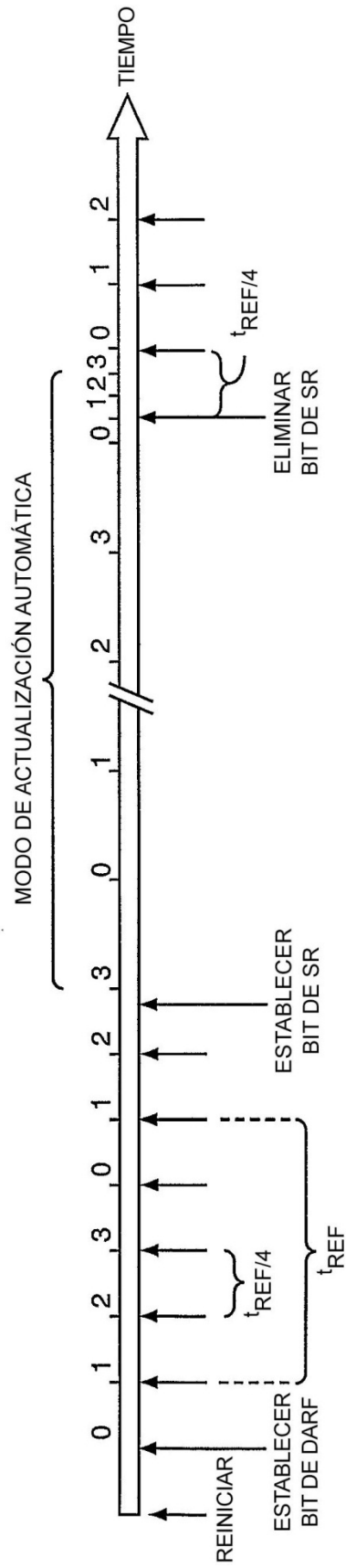


FIG. 2

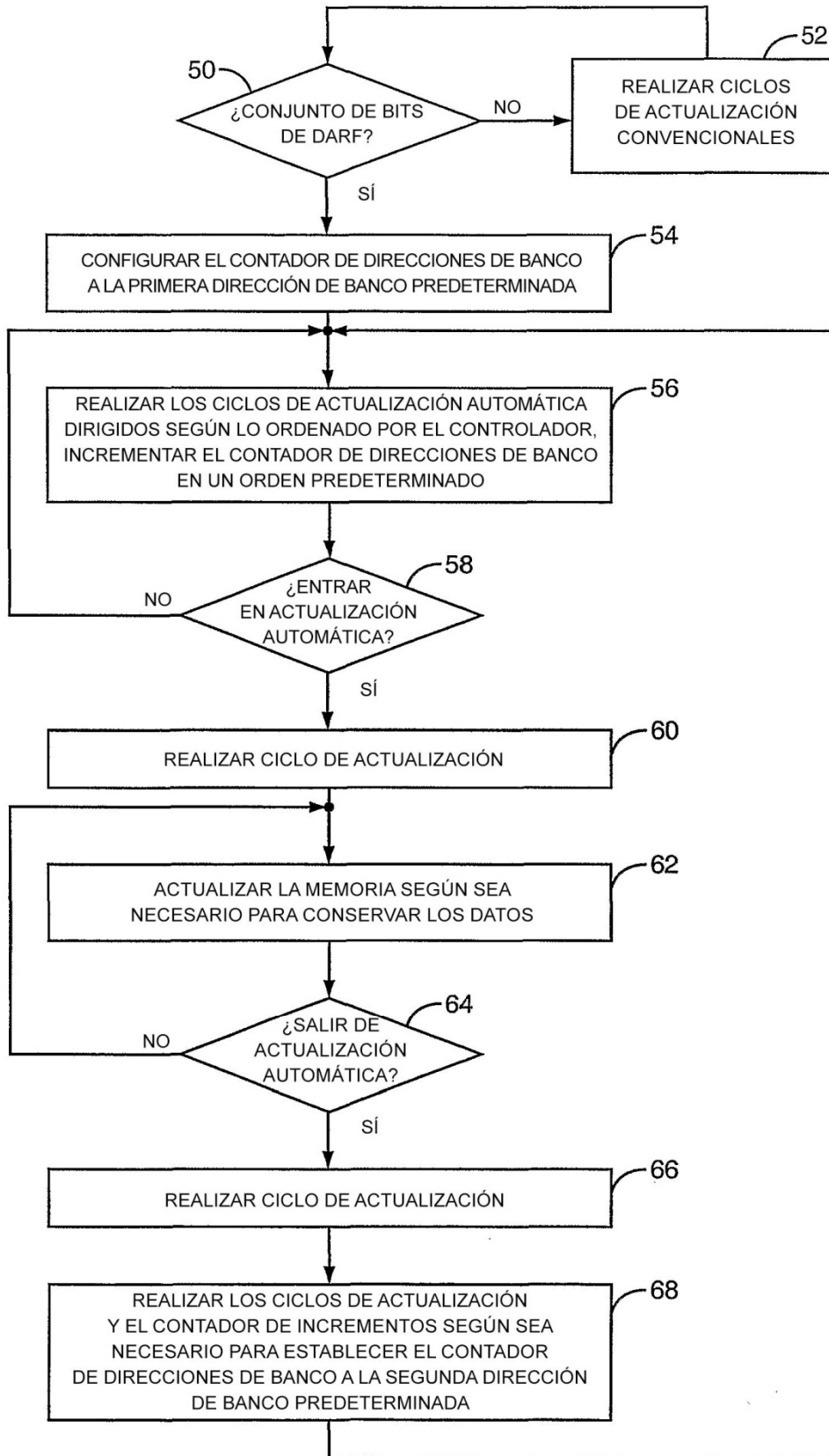


FIG. 3