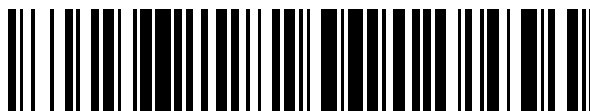


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 744 931**

51 Int. Cl.:

G05B 19/042 (2006.01)

H03K 21/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.10.2012** **E 12188930 (7)**

97 Fecha y número de publicación de la concesión europea: **03.07.2019** **EP 2597540**

54 Título: **Circuito de entrada en módulo contador de alta velocidad en PLC**

30 Prioridad:

25.11.2011 KR 20110124308

45 Fecha de publicación y mención en BOPI de la
traducción de la patente:

26.02.2020

73 Titular/es:

LSIS CO., LTD. (100.0%)
1026-6, Hogye-Dong Dongan-gu, Anyang-si
Gyeonggi-do 431-080, KR

72 Inventor/es:

KIM, SEOK YEON

74 Agente/Representante:

SÁNCHEZ SILVA, Jesús Eladio

ES 2 744 931 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de entrada en módulo contador de alta velocidad en PLC

5 Antecedentes de la descripción

Campo de la descripción

10 La presente descripción se refiere a un circuito de entrada, y más particularmente a un circuito de entrada configurado para uso en un módulo contador de alta velocidad, uno de los módulos de extensión del Controlador Lógico Programable (PLC).

Discusión de la técnica relacionada

15 La información divulgada en esta sección de Discusión de la técnica relacionada es solo para mejorar la comprensión de los antecedentes generales de la presente descripción y no debe tomarse como un reconocimiento o una forma de sugerencia de que esta información forma la técnica anterior ya conocida por una persona experto en el arte.

20 En general, un módulo contador de alta velocidad del controlador lógico programable (PLC) funciona para contar una señal de pulso rápido de un generador de pulso o un codificador, y está definido por un módulo de extensión para PLC necesario para realizar una operación donde se aprende la revolución de un motor en un sitio industrial.

25 El módulo contador de alta velocidad utiliza un pulso de alta velocidad para mejorar la precisión de la función de conteo de pulsos, y un módulo contador convencional de alta velocidad utiliza una unidad de microprocesador (MPU) para contar varias señales de entrada por interrupción. Sin embargo, el uso de interrupción del MPU tiene la desventaja de contar pulsos de alta velocidad que requieren muchas condiciones.

30 La Figura 1 es una vista esquemática que ilustra un método de entrada de pulso de un módulo contador de alta velocidad de PLC de acuerdo con la técnica anterior, y la Figura 2 es una vista esquemática que ilustra un método de conteo de un módulo de entrada de pulso de la Figura 1, donde la Figura 2a ilustra el modo de 1 fase/2 entradas/1 multiplicación, la Figura 2b ilustra el modo de 2 fases/4 multiplicaciones, y donde el modo de conteo en sentido de las manecillas del reloj (CW)/sentido contrario a las manecillas del reloj (CCW) no se muestra en las figuras.

35 Con referencia a las Figuras 1 y 2, un codificador (100) generalmente emite un pulso de 1 fase o un pulso de 2 fases, y un MPU (200) de PLC recibe un borde ascendente o un borde descendente del pulso a través de una interrupción para contar los pulsos. El MPU (200) generalmente cuenta pulsos a través del modo de 1 fase/2 entradas/1 multiplicación, modo de 1 fase/2 entradas/2 multiplicaciones, modo 2 fases/1 multiplicación, modo de 2 fases/2 multiplicaciones, modo de 2 fases/4 multiplicaciones, o modo CW/CCW, donde se verifica un tipo de conteo y estados de adición/resta para realizar las operaciones de adición/resta. En el método de conteo convencional, se detectan el borde ascendente/descendente y todas las operaciones de conteo deben completarse antes de la detección de los siguientes bordes.

45 Una fase en la Figura 2a (modo de 1 fase/2 entradas/1 multiplicación) es un pulso que se cuenta, y la fase B es el estado de adición/resta. La Figura 2b (modo de 2 fases/4 multiplicaciones) muestra un estado en el que la fase A se compara con la fase B, y si la fase de la fase A está adelante, se realiza la suma y si la fase de la fase A está detrás, se realiza la resta. (CW/CCW) es un estado en el que se suma la entrada de fase A, mientras que la entrada de fase B se resta, no se ilustra.

50 Como se observa de lo anterior, el MPU (200) detecta el borde ascendente/borde descendente de la interrupción conectada a la entrada de pulso para procesar una rutina de servicio de la interrupción.

55 Las Figuras 3a y 3b son diagramas de flujo que ilustran la rutina del proceso de interrupción de un MPU convencional en el modo de 2 fases/4 multiplicaciones, donde la Figura 3a ilustra una rutina de interrupción de la fase A, y la Figura 3b ilustra una rutina de interrupción de la fase B.

60 En el caso de que se inicien las rutinas del proceso de interrupción de la fase A y fase B (S301, S311), primero se verifica un modo de multiplicación (S302, S312). El modo de multiplicación incluye, como se explicó anteriormente, el modo de 1 fase/2 entradas/1 multiplicación, el modo de 1 fase/2 entradas/2 multiplicaciones, el modo de 2 fases/1 multiplicación, el modo de 2 fases/2 multiplicaciones, el modo de 2 fases/4 multiplicaciones, y el modo CW/CCW, donde los métodos de clasificación de suma y resta para cada modo son diferentes, y se realizan otros modos en caso de que el modo de multiplicación no sea el de modo de 2 fases/4 multiplicaciones (S304, S314).

En el caso de que el modo de multiplicación sea el modo de 2 fases/4 multiplicaciones (S303, S313), la rutina de interrupción de fase A (Figura3a) realiza la suma en caso de que la fase A y la fase B sean diferentes, y realiza la resta en caso de una fase A y una fase B son idénticas (S305, S307), y alternativamente la rutina de interrupción de fase B realiza la adición/resta (S315 a S317). De la misma manera, la adición/resta se clasifica en el modo de 2 fases/1 multiplicación y el modo de 2 fases/2 multiplicaciones. Después de la adición/resta, se verifican los flujos superiores/inferiores (S308, S318) y finalmente se realiza una función adicional (A309, S319).

La Figura 4 es un diagrama de flujo que ilustra una rutina del proceso de interrupción de un MPU convencional en modo de 1 fase/2-entradas/1-multiplicación.

En el caso de que se inicie la rutina del proceso de interrupción (S401), primero se verifica un modo de multiplicación (S402). En el caso del modo de 1 fase/2 entradas/1 multiplicación (S403), la adición/resta se clasifica a través del nivel de fase B. El modo de 1 fase/2 entradas/2 multiplicaciones también se clasifica de la misma manera. Es decir, en el caso de que la fase B sea BAJA (S405), la suma se realiza en un borde ascendente de la fase A (S406, S407) y se realiza la resta (S408, S409) en un borde descendente de la fase A en el caso de B fase que es ALTO (S405). La adición/resta no se realiza cuando la fase B es ALTO en un borde ascendente de la fase A, y cuando la fase B es BAJA en un borde descendente de la fase A.

Como se señala de lo anterior, el módulo contador de alta velocidad para PLC de acuerdo con la técnica anterior es tal que un modo de operación se clasifica primero durante la entrada de pulso, y la operación de conteo se realiza después de comprender los estados de adición/resta. Hay varios modos de entrada y procesos diferentes en respuesta a los bordes de operación de cada modo. La rutina del proceso debe estar completamente terminada, al menos antes de ingresar un siguiente pulso. La MPU (200) debe realizar otras funciones además del conteo de alta velocidad, de modo que los pulsos de conteo de la rutina de interrupción deben acortarse al máximo.

La Figura 5 es una vista esquemática que ilustra un problema encontrado durante la rutina del proceso de interrupción de MPU en el modo de 2 fases/4 multiplicaciones, donde ocurre un problema en el que a medida que aumenta la frecuencia del pulso de entrada, se introduce un siguiente pulso antes de la rutina de interrupción es procesado. Como se señaló anteriormente, en el caso de que un período de interrupción sea igual o más corto que un tiempo de proceso de rutina de interrupción, el MPU (200) realiza de manera desventajosa un conteo de alta velocidad solamente, o realiza una operación errónea al omitir un pulso de entrada.

La publicación US 2011/0249717 A1 describe un módulo de entrada de un controlador lógico programable (PLC) capaz de contar valores de coeficientes de múltiples canales, que incluyen una pluralidad de unidades de detección, una unidad de decisión y una unidad de control. La pluralidad de unidades de detección recibe una señal de pulso correspondiente a cada canal, aplicada desde una carga que tiene una pluralidad de canales, detecta los bordes ascendentes y descendentes de la señal de pulso, y transmite una señal de salida que es el resultado detectado. La unidad de decisión recibe una pluralidad de señales de salida transmitidas respectivamente desde la pluralidad de unidades de detección, detecta los bordes de la pluralidad de canales y transmite una señal de detección que es el resultado detectado.;

La unidad de control identifica la presencia de una interrupción usando la señal de detección transmitida desde la unidad de decisión y realiza un proceso de conteo usando la señal de pulso aplicada cuando ocurre la interrupción.

Resumen de la descripción

Esta sección proporciona un resumen general de la descripción y no es una descripción completa de su alcance completo o de todas sus características.

Los aspectos ejemplares de la presente descripción son resolver sustancialmente al menos los problemas y/o desventajas anteriores y proporcionar al menos las ventajas a continuación.

Por consiguiente, un aspecto de la presente descripción proporciona un circuito de entrada en un módulo contador de alta velocidad para PLC configurado de tal manera que varios tipos de señales de pulso se cambian a un solo tipo de señal de pulso y se transmiten a un MPU, por lo que se comprueba el modo de pulso de entrada o se omite una operación de verificación de adición/resta para aumentar la velocidad del proceso de interrupción.

Sin embargo, debe enfatizarse que la presente descripción no se limita a una descripción particular, como se explicó anteriormente. Debe entenderse que los expertos en la materia pueden apreciar otros temas técnicos no mencionados aquí.

En un aspecto general de la presente descripción, se proporciona un circuito de entrada en un módulo contador de alta velocidad para un PLC configurado para ingresar un pulso a un MPU, el circuito de entrada que

comprende: un primer multivibrador que genera un pulso mediante la detección de bordes ascendentes/descendentes de una primera entrada de contacto; un segundo multivibrador que genera un pulso detectando los bordes ascendentes/descendentes de una segunda entrada de contacto; un primer almacenamiento temporal que emite una salida del primer multivibrador en 3 estados; un segundo almacenamiento temporal que emite una salida del segundo multivibrador en 3 estados; un primer multiplexor (MUX) que emite cualquiera de una señal EX-OR de la primera y segunda entrada de contacto y una señal inversa de la señal EX-OR; un segundo MUX que emite cualquiera de una salida del primer MUX y la segunda entrada de contacto; y un primer conmutador que emite salidas del primer y segundo almacenamientos temporales como una primera entrada de fase o una segunda entrada de fase.

En algunas modalidades ilustrativas, las primera y segunda entradas de contacto son una señal cualquiera de un modo de 1 fase/2 entradas/1 multiplicación, un modo de 1 fase/2 entradas/2 multiplicaciones, un modo de 2 fases/1 multiplicación, un modo de 2 fases/2 multiplicaciones, un modo de 2 fases/4 multiplicaciones y un modo CW/CCW.

En algunas modalidades ilustrativas, el circuito de entrada puede comprender además un segundo conmutador que conmuta recibiendo señales BAJA y ALTA.

En algunas modalidades ilustrativas, el segundo conmutador puede recibir la segunda entrada de contacto como una señal de selección, y recibe un 'BAJA en una 1 fase/1 multiplicación' como una señal de control.

En algunas modalidades ilustrativas, el primer multivibrador puede recibir una salida del segundo conmutador como una señal de control.

En algunas modalidades ilustrativas, el primer y segundo multivibradores pueden recibir una señal de control desde el MPU.

En algunas modalidades ilustrativas, el primer almacenamiento temporal puede recibir OR (sumas lógicas) de la primera y segunda salidas como una señal de control donde la primera salida puede ser AND (producto lógico) de la segunda entrada de contacto y un 'ALTA en 2 fases/1-multiplicación' y la segunda salida puede ser una inversión de una salida del primer multivibrador.

En algunas modalidades ilustrativas, el segundo almacenamiento temporal puede recibir una inversión de una salida del segundo multivibrador como señal de control.

En algunas modalidades ilustrativas, el primer MUX puede recibir una salida del primer multivibrador como señal de control.

En algunas modalidades ilustrativas, el segundo MUX puede recibir 'BAJO en la entrada de 1 fase' como señal de control.

En algunas modalidades ilustrativas, el primer conmutador puede recibir una salida del segundo MUX como una señal de selección.

El circuito de entrada en el módulo contador de alta velocidad para PLC de acuerdo con la presente descripción tiene un efecto ventajoso porque una señal de entrada se simplifica en modo CW/CCW para liberarse del requisito de verificación del modo de multiplicación y el estado de adición/resta en una rutina de interrupción de firmware, por lo que se puede mejorar la velocidad del proceso de interrupción.

Otro efecto ventajoso es que un PLC de tamaño pequeño puede reducirse considerablemente en la realización de otras funciones a través de la mejora de la velocidad del proceso de interrupción de una señal de pulso de la presente descripción, en vista del hecho de que el PLC de tamaño pequeño debe realizar otras funciones que no sean la función de conteo de alta velocidad.

Otros aspectos ejemplares, ventajas y características sobresalientes de la descripción serán más evidentes para las personas con conocimientos ordinarios en la materia a partir de la siguiente descripción detallada, que, tomada junto con los dibujos anexos, describe modalidades ilustrativas de la invención.

Las características anteriores y otras de la invención se discuten más adelante.

Breve descripción de los dibujos

Las características anteriores y otras de la presente invención se describirán ahora en detalle con referencia a ciertas modalidades ilustrativas de la misma ilustradas en los dibujos adjuntos que se proporcionan a continuación a modo de ilustración solamente, y por lo tanto no son limitativas de la presente invención, y donde: La Figura 1 es una vista esquemática que ilustra un método de entrada de pulsos de un módulo contador de alta velocidad de PLC de acuerdo con la técnica anterior;

La Figura 2 es una vista esquemática que ilustra un método de conteo de un módulo de entrada de pulsos de la Figura 1;

Las Figuras 3a y 3b son diagramas de flujo que ilustran la rutina del proceso de interrupción de un MPU convencional en modo de 2 fases/4 multiplicaciones;

La Figura 4 es un diagrama de flujo que ilustra una rutina del proceso de interrupción de un MPU convencional en

modo de 1 fase/2 entradas/1 multiplicación;

La Figura 5 es una vista esquemática que ilustra un problema encontrado durante la rutina del proceso de interrupción de MPU en el modo de 2 fases/4 multiplicaciones;

La Figura 6 es un diagrama de bloques configurativo que ilustra un circuito de entrada en un módulo contador de alta velocidad para PLC de acuerdo con una modalidad ilustrativa de la presente descripción;

Las Figuras 7a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 1 fase/2 entradas/1 multiplicación de acuerdo con una modalidad ilustrativa de la presente descripción;

La Figura 7b es una vista en el tiempo de cada punto de la Figura 7a según una modalidad ilustrativa de la presente descripción;

La Figura 8a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 1 fase/2 entradas/2 multiplicaciones de acuerdo con una modalidad ilustrativa de la presente descripción;

La Figura 8b es una vista en el tiempo de cada punto de la Figura 8a de acuerdo con una modalidad ilustrativa de la presente descripción; La Figura 9a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 2 fases/1 multiplicación de acuerdo con una modalidad ilustrativa de la presente descripción;

La Figura 9b es una vista en el tiempo de cada punto de la Figura 9a de acuerdo con una modalidad ilustrativa de la presente descripción;

La Figura 10a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de 2 fases/2 multiplicaciones de acuerdo con una modalidad ilustrativa de la presente descripción;

La Figura 10b es una vista en el tiempo de cada punto de la Figura 10a de acuerdo con una modalidad ilustrativa de la presente descripción; La Figura 11a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 2 fases/4 multiplicaciones de acuerdo con una modalidad ilustrativa de la presente descripción;

La Figura 11b es una vista en el tiempo de cada punto de la Figura 11a de acuerdo con una modalidad ilustrativa de la presente descripción; La Figura 12a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo CW/CCW de acuerdo con una modalidad ilustrativa de la presente descripción; y

La Figura 12b es una vista en el tiempo de cada punto de la Figura 12a según una modalidad ilustrativa de la presente descripción.

Las ventajas, los objetos y las características adicionales de la descripción se expondrán en parte en la descripción que sigue y, en parte, serán evidentes para los expertos en la materia al examinar lo siguiente o se pueden aprender de la práctica de la descripción. Los objetivos y otras ventajas de la descripción pueden realizarse y lograrse mediante la estructura particularmente señalada en la descripción escrita y las reivindicaciones de la misma, así como en los dibujos adjuntos.

Debe entenderse que tanto la descripción general anterior como la siguiente descripción detallada de la presente descripción son ejemplares y explicativas y están destinadas a proporcionar una explicación adicional de la descripción como se reivindica.

Descripción detallada

La MPU realiza una suma es tal que una entrada de fase A realiza una suma y una entrada de fase B realiza una resta en modo CW/CCW, por lo que se omite una adición/resta de clasificación de rutina para simplificar las operaciones sobre otros modos de multiplicación. La presente descripción toma nota de esta ventaja para cambiar varios modos de multiplicación a un modo CW/CCW.

De ahora en adelante, las modalidades ilustrativas de la presente descripción se describirán en detalle con referencia a los dibujos acompañantes.

Ahora, la Figura 6 es un diagrama de bloques configurativo que ilustra un circuito de entrada en un módulo contador de alta velocidad para PLC de acuerdo con una modalidad ilustrativa de la presente descripción.

La presente descripción prescinde de un método para transmitir directamente un pulso de entrada convencional al MPU (200), y en cambio cambia el pulso de entrada convencional a un pulso de modo CW/CCW fácilmente contable usando circuitos digitales que incluyen multivibradores y transmite el pulso de entrada a un MPU (no se muestra).

En la Figura 6, una entrada de contacto A y una entrada de contacto B son señales antes de la conversión digital por el circuito de entrada de la presente descripción, mientras que una entrada de fase A y una entrada de fase B son señales después de la conversión digital por el circuito de entrada de la presente revelación.

En la presente descripción, varias señales de entrada se convierten todas a los modos CW/CCW después de la conversión digital para proporcionarse al MPU como se muestra en la Figura 1, donde el MPU puede realizar la

adición/resta sin oraciones condicionales (adición para entrada de fase A, resta para entrada de fase B) para permitir una conversión de tareas más rápida sobre un sistema convencional.

Con referencia a la Figura 6, un circuito de entrada de pulsos de acuerdo con la presente descripción comprende un primer conmutador de intercambio de bus (10), un primer multivibrador (20), un segundo multivibrador (30), un primer multiplexor (MUX, 40), un segundo MUX (50), un primer almacenamiento temporal de 3 estados (60), un segundo almacenamiento temporal de 3 estados (70) y un segundo conmutador de intercambio de bus (80).

El primer y el segundo conmutadores de intercambio de bus (10, 80) conmutan dos entradas en respuesta a una señal de control de un terminal/En y una señal de selección de un terminal S, y emiten las entradas conmutadas. Para ser más específicos, el primer y el segundo conmutadores de intercambio de bus (10, 80) pueden recibir entradas en los terminales A1 y A2 y salidas al conectarse a los terminales B1 y B2 (A1 → B1, A2 → B2), o conectándose a los terminales B2 y B1 (A1 → B2, A2 → B1), donde la entrada y salida del primer y segundo conmutadores de intercambio de bus (10, 80) se proporcionan como a continuación en la Tabla 1.

[Tabla 1]

Señal de control	Señal de selección	Entrada-Salida
Terminal/En	Terminal S	
Baja	Baja	A1-B1, A2-B2
Baja	Alta	A1-B2, A2-B1
Alta	-	HI-Z

Los primer y segundo multivibradores (20, 30) sirven para generar un pulso corto detectando los bordes ascendentes/descendentes de la señal de entrada, donde el pulso puede establecerse preferiblemente en 10 ns a 10 ms o más. De manera selectiva, el primer y el segundo multivibradores (20, 30) pueden generar pulsos en todos los bordes ascendentes y descendentes en respuesta a una señal de control ingresada a los terminales/Epos y /Eneg, o generar solo un pulso en un borde ascendente o solo un pulso en un borde descendente, donde la entrada y salida del primer y segundo multivibradores (20, 30) se proporcionan como se muestra a continuación en la Tabla 2.

[Tabla 2]

Baja		Salida
Terminal/Epos	Terminal /Eneg	
Baja	Baja	Pulso emitido en la entrada de bordes ascendentes y descendentes
Baja	Alta	Pulso emitido a la entrada del borde ascendente
Alta	Baja	Pulso emitido a la entrada del borde descendente
Alta	Alta	Sin salida de pulso

El primer y el segundo MUX (40, 50) de 2 x 1 selecciona una de las dos entradas en respuesta a una señal de control ingresada en un terminal SEL y emite la una entrada. La entrada y salida del primer y segundo MUX (40, 50) de 2 x 1 se muestran en la Tabla 3 como se muestra a continuación.

[Tabla 3]

Entrada			Salida
Terminal SEL	Terminal I1	Terminal I0	Terminal Y
Baja	-	Baja	Baja
Baja	-	Alta	Alta
Alta	Baja	-	Baja
Alta	Alta	-	Alta

El primer y el segundo almacenamiento temporal de 3 estados (60, 70) son uno de los elementos lógicos que tienen tres estados de salida, donde BAJO, ALTO y HI-Z (alta impedancia) son emitidos por una señal de control ingresada a un terminal/En.

La entrada y salida del primer y segundo almacenamiento temporal de 3 estados (60, 70) se muestran a continuación en la Tabla 4.

[Tabla 4]

Señal de control (terminal/En)	Entrada	Salida
Baja	Baja	Baja
Baja	Alta	Alta
Alta	-	HI-Z

Mientras tanto, el circuito de entrada de pulsos de la Figura 6 incluye, además de los elementos mencionados anteriormente, una compuerta de producto lógico (AND) (91), una compuerta de suma lógica (OR) (92), una compuerta NOT (93) y una compuerta de OR exclusivo (EX-OR) (94). La entrada y salida de la compuerta AND (91) son las siguientes en la Tabla 5.

[Tabla 5]

Entrada		Salida
A	B	Y
Baja	Baja	Baja
Baja	Alta	Baja
Alta	Baja	Baja
Alta	Alta	Alta

La entrada y salida de la compuerta OR (92) son las siguientes en la Tabla 6.

[Tabla 6]

Entrada		Salida
A	B	Y
Baja	Baja	Baja
Baja	Alta	Alta
Alta	Baja	Alta
Alta	Alta	Alta

La entrada y salida de la compuerta NOT (93) son las siguientes en la Tabla 7.

[Tabla 7]

Input	Output
LOW	HIGH
HIGH	LOW

Además, la compuerta EX-OR (94) es un elemento lógico que genera 1 cuando no son iguales entre sí, cuya entrada y salida son las siguientes en la Tabla 8.

[Tabla 8]

Input		Output
A	B	Y
LOW	LOW	LOW
LOW	HIGH	HIGH
HIGH	LOW	HIGH
HIGH	HIGH	LOW

El circuito de entrada así descrito transforma todos los tipos de pulsos de entrada al modo CW/CCW. En el modo CW/CCW, la entrada de fase A significa la suma del contador, mientras que la entrada de fase B significa la resta del contador, de modo que en la Figura 3a, las etapas de S302 a S306 pueden omitirse, y en la Figura 3b, las etapas de S312 a S315, S317 puede omitirse.

Ahora, se describirá un estado de conexión del circuito de entrada de la Figura 6.

El primer conmutador de intercambio de bus (10) conmuta una entrada ALTO ingresada en el terminal A1 y una entrada BAJA ingresada en el terminal A2 que usa una señal de control y una señal de selección ingresada en los terminales /En y S, y las emite. La señal de control ingresada al terminal/En del primer conmutador de intercambio de bus (10) es una señal BAJA en el caso del modo de 1 fase/1 multiplicación, y la señal de selección ingresada al terminal S es la entrada de contacto B. Por lo tanto, en el caso del modo de 1 fase/1 multiplicación, la adición/resta puede controlarse de manera diferente en respuesta al nivel de la segunda entrada de contacto.

Para controlar una condición de generación de pulsos, el primer multivibrador (20) recibe señales ingresadas al terminal/Epos conectado al terminal B1 del primer conmutador de intercambio (10) y el terminal/Eneg conectado al terminal B2 como señales de control para generar un pulso corto detectando los bordes ascendentes/descendentes de la entrada de contacto A. Sin embargo, aunque la Figura 6 ha ilustrado un ejemplo en el que las señales de control introducidas en los terminales /Epos y /Eneg son salidas del primer conmutador de intercambio de bus (10), los expertos en la materia deben tener claro que el MPU puede recibir una señal de control.

El segundo multivibrador (30) genera un pulso corto al detectar los bordes ascendentes/descendentes de la entrada de contacto B mediante señales de control ingresadas a los terminales /Epos y /Eneg desde el MPU.

El primer MUX (40) emite cualquiera, mediante una señal de control ingresada al terminal SEL, de una salida de la compuerta EX-OR (94) en relación con la entrada de contacto A y la entrada de contacto B y una salida de la compuerta NOT (93) utilizando la salida de la compuerta EX-OR (94) como entrada. Además, el segundo MUX (50) emite cualquiera de una salida del primer MUX (40) y la entrada de contacto B por una señal de control ingresada al terminal SEL. La señal de control ingresada al terminal SEL del primer MUX (40) es una salida del primer multivibrador (20), y una señal de control ingresada al terminal SEL del segundo MUX (50) es 'BAJA en caso de entrada de 1 fase'.

El primer almacenamiento temporal de 3 estados (60), que usa una salida del primer multivibrador (20) como entrada, sale en un estado de 3 estados mediante la señal de control ingresada en el terminal/En. La señal de control introducida en el terminal/En del primer almacenamiento temporal de 3 estados (60) es una salida de la compuerta OR (92) donde las entradas de la compuerta OR (92) son una salida de la compuerta AND (91) utilizando el B entrada de contacto y 'ALTA en caso de 2 fases 1 multiplicación' como entradas y una salida desde el terminal/Q del primer multivibrador (20) (es decir, inversión de salida del terminal Q).

El segundo almacenamiento temporal de 3 estados (70) recibe una salida del terminal Q del segundo multivibrador (30) como entrada, y salidas en 3 estados utilizando una inversión de salida del terminal Q (salida del terminal/Q) como señal de control del terminal/En.

El segundo conmutador de intercambio de bus (80) recibe una salida del primer almacenamiento temporal de 3 estados (60) y una salida del segundo almacenamiento temporal de 3 estados (70) como una señal de entrada del terminal A1, y usa una salida del segundo MUX (50) como una señal de selección ingresada al terminal S, la emite conmutando los terminales B1 o B2.

Aunque una señal eléctrica no puede generar dos salidas diferentes como una sola señal, es posible que el primer y el segundo almacenamiento temporal de 3 estados (60, 70) genere dos salidas en una sola señal, porque el primer y el segundo almacenamiento temporal de 3 estados (60, 70) están en estado de alta impedancia sin salida, y no hay ninguna instancia donde dos salidas del primer y segundo almacenamiento temporal de 3 estados (60, 70) se emiten simultáneamente.

La señal emitida desde el terminal B1 del segundo conmutador de intercambio de bus (80) es la entrada de fase A del circuito de entrada de la presente descripción, y la señal emitida desde el terminal B2 del segundo conmutador de intercambio (80) es la fase B entrada de la señal de entrada de la presente descripción.

Las Figuras 7a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 1 fase/2 entradas/1 multiplicación de acuerdo con una modalidad ilustrativa de la presente descripción, y la Figura 7b es una vista en el tiempo de cada punto de la Figura 7a de acuerdo con una modalidad ilustrativa de la presente descripción, donde las trayectorias indicadas en una línea gruesa ilustran flujos en los que se ingresa y emite una señal, y lo mismo se aplica en las siguientes figuras.

Una señal de control ingresada al terminal/Eneg del primer multivibrador (20) es la misma que la entrada de contacto B (0, 2), y una señal de control ingresada al terminal/Epos es una inversión de la entrada de contacto B, de modo que en un caso la entrada de contacto B es BAJO, se emite un pulso cuando la entrada de contacto A está en un borde ascendente, y en un caso la entrada de contacto B es ALTO, se emite un pulso cuando la entrada de contacto A está en un borde descendente.

La entrada de contacto A de, 1 se convierte en pulso de 0, 3 pasando el primer multivibrador (20). Una señal de control ingresada al terminal/En del primer almacenamiento temporal de 3 estados (60) es una salida del terminal/Q del primer multivibrador (20), de modo que el pulso de 0, 3 y el pulso de 0, 9 coinciden.

Una señal de selección ingresada al terminal S del segundo conmutador de intercambio de bus (80) es la entrada de contacto B, de modo que en un caso la entrada de contacto B es BAJA (pulso de 0, 8 que es BAJO), el pulso de 0,9 se transmite a la entrada de fase A, y en un caso la entrada de contacto B es ALTO (pulso de 0, 8 que es ALTA), el pulso de 0, 9 se transmite a la entrada de fase B.

Por lo tanto, se puede observar que se cumple una condición de 1 fase/2 entradas/1 multiplicación.

La Figura 8a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 1 fase/2 entradas/2 multiplicaciones de acuerdo con una modalidad ilustrativa de la presente descripción, y la Figura 8b es una vista en el tiempo de cada punto de la Figura 8a según una modalidad ilustrativa de la presente descripción.

Con referencia a las Figuras 8a y 8b, en el caso del modo de 1 fase/2 entradas/2 multiplicaciones, se deben contar tanto el borde ascendente como el borde descendente de la entrada de contacto A, de modo que el primer multivibrador (20) recibe BAJO del MPU (no se muestra) como entrada de control para generar pulso de 0, 3 generando un pulso tanto del borde ascendente como del borde descendente de la entrada de contacto A.

En este momento, una señal de control ingresada al terminal/En del primer almacenamiento temporal de 3 estados (60) es una señal del terminal/Q (es decir, una señal de inversión de salida del terminal Q) del primer multivibrador (20), de modo que la salida (pulso de 0, 9) del primer almacenamiento temporal de 3 estados (60) es el mismo que el pulso de 03.

Una señal de control del segundo conmutador de intercambio de bus (80) es la entrada de contacto B, de modo que en un caso la entrada de contacto B es BAJA (pulso de 0, 8 que es BAJO), el pulso de 0, 9 sale como entrada de fase A, y en un caso la entrada de contacto B es ALTO (pulso de 0, 8 que es ALTA), el pulso de 0, 9 se emite como la entrada de fase B. Por lo tanto, se puede observar que se cumple una condición de modo de 1 fase/2 entradas/2 multiplicaciones.

La Figura 9a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 2 fases/1 multiplicación según una modalidad ilustrativa de la presente descripción, y la Figura 9b es una vista en el tiempo de cada punto de la Figura 9a según una modalidad ilustrativa de la presente descripción.

En el caso del modo de 2 fases/1 multiplicación, una diferencia de fase entre la entrada de contacto A y la entrada de contacto B se distingue para separar la suma de la resta.

El primer multivibrador (20) genera un pulso de los bordes ascendente y descendente para generar un pulso de 03. En 2 fases/1 multiplicación, la operación de conteo se realiza solo si la entrada de contacto B es BAJO, de modo que una señal de control ingresada en el terminal/En del primer almacenamiento temporal de 3 estados (60) es una señal del terminal/Q (es decir, una señal de inversión de salida desde el terminal Q) del primer multivibrador (20), de manera que se emite el pulso de 0, 9 igual que el pulso de 0, 3.

En un caso, una entrada al terminal SEL del primer MUX (40) es BAJO, se emite una entrada al terminal I0, y en un caso una entrada al terminal SEL es ALTO, se emite una entrada al terminal I1. La señal al terminal SEL del primer MUX (40) es una salida del primer multivibrador (20), de modo que en un caso de que el pulso de 0, 3 es BAJO, se emite un EX-OR (pulso de 0, 5) de la entrada de contacto A y la entrada de contacto B, y en un caso

de que el pulso de ϕ_3 es ALTO, se emite una señal de inversión de EX-OR de la entrada de contacto A y la entrada de contacto B.

La señal de control del segundo MUX (50) se establece en ALTO para generar pulso de ϕ_8 que es lo mismo que pulso de ϕ_6 . El pulso de ϕ_9 se emite como la entrada de fase A, en un caso de que el pulso de ϕ_8 es BAJO, y en un caso de que el pulso de ϕ_8 es ALTO, el pulso de ϕ_9 se emite como la entrada de fase B. Por lo tanto, se puede observar que se cumple una condición del modo de 2 fases/1 multiplicación.

La Figura 10a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 2 fases/2 multiplicaciones según una modalidad ilustrativa de la presente descripción, y la Figura 10b es una vista en el tiempo de cada punto de la Figura 10a según una modalidad ilustrativa de la presente descripción.

En el caso del modo de 2 fases/2 multiplicaciones, una diferencia de fase entre la entrada de contacto A y la entrada de contacto B se distingue para separar la suma de la resta.

El primer multivibrador (20) genera un pulso de los bordes ascendente y descendente para generar un pulso de ϕ_3 . En el modo de 2 fases/2 multiplicaciones, la operación de conteo se realiza para ambos bordes ascendente/descendente de la entrada de contacto A, de modo que una señal de control ingresada al terminal/En del primer almacenamiento temporal de 3 estados (60) utiliza una salida del primer multivibrador (20), donde el pulso de ϕ_9 es igual que el pulso de ϕ_3 .

En un caso, una señal de control ingresada al terminal SEL es BAJO, el primer MUX (40) emite una entrada del terminal I0, y en caso de que una señal de control ingresada al terminal SEL es ALTO, la primera salida MUX (40) emite una entrada del terminal I1. La señal de control ingresada al terminal SEL del primer MUX (40) es una salida del primer multivibrador (20), de modo que, en un caso, el pulso de ϕ_3 es BAJO, un EX-OR (pulso de ϕ_5) de la entrada de contacto A y la entrada de contacto B se emite, y en un caso de que el pulso de ϕ_3 es ALTO, se emite una señal de inversión de EX-OR de la entrada de contacto A y la entrada de contacto B.

La señal de control ingresada al terminal SEL del segundo MUX (50) se establece en ALTO para generar un pulso de ϕ_8 que es lo mismo que el pulso de ϕ_6 . El pulso de ϕ_9 se emite como la entrada de fase A, en un caso de que el pulso de ϕ_8 es BAJO, y en un caso de que el pulso de ϕ_8 es ALTO, el pulso de ϕ_9 se emite como la entrada de fase B. Por lo tanto, se puede observar que se cumple una condición del modo de 2 fases/2 multiplicaciones.

La Figura 11a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo de multiplicación de 2 fases/4 multiplicaciones de acuerdo con una modalidad ilustrativa de la presente descripción, y la Figura 11b es una vista en el tiempo de cada punto de la Figura 11a según una modalidad ilustrativa de la presente descripción.

En el modo de 2 fases/4 multiplicaciones, se realiza una operación de conteo en los bordes ascendente y descendente de la entrada de contacto A y la entrada de contacto B, y una diferencia de fase entre dos señales de entrada separa la suma de la resta. El primer y el segundo multivibradores (20, 30) están hechos para emitir un pulso de los bordes de entrada ascendente y descendente para generar un pulso de ϕ_9 .

En un caso, una señal de control ingresada al terminal SEL es BAJO, el primer MUX (40) emite una entrada al terminal I0, y en caso de que una señal de control ingresada al terminal SEL es ALTO, la primera salida MUX (40) emite una entrada al terminal I1. La señal de control ingresada al terminal SEL del primer MUX (40) es una salida del primer multivibrador (20), de modo que, en un caso, el pulso de ϕ_3 es BAJO, un EX-OR (pulso de ϕ_5) de la entrada de contacto A y la entrada de contacto B se emite, y en un caso de que el pulso de ϕ_3 es ALTO, se emite una señal de inversión de EX-OR de la entrada de contacto A y la entrada de contacto B.

La señal de control ingresada al terminal SEL del segundo MUX (50) se establece en ALTO para generar un pulso de ϕ_8 que es lo mismo que el pulso de ϕ_6 . El pulso de ϕ_9 se emite como la entrada de fase A, en un caso de que el pulso de ϕ_8 es BAJO, y en un caso de que el pulso de ϕ_8 es ALTO, el pulso de ϕ_9 se emite como la entrada de fase B. Por lo tanto, se puede observar que se cumple una condición del modo de 2 fases/4 multiplicaciones.

La Figura 12a es un diagrama de bloques configurativo que ilustra una operación de un circuito de la Figura 6 en un modo CW/CCW según una modalidad ilustrativa de la presente descripción, y la Figura 12b es una vista en el tiempo de cada punto de la Figura 12a según a una modalidad ilustrativa de la presente descripción.

El modo CW/CCW detecta un borde ascendente de la entrada de contacto A y la entrada de contacto B para realizar la operación de conteo. El primer y el segundo multivibradores (20, 30) generan un pulso de ϕ_9 generando un pulso de borde ascendente de entrada.

En un caso, una señal de control ingresada al terminal SEL es BAJO, el primer MUX (40) emite una entrada al terminal I0, y en caso de que una señal de control ingresada al terminal SEL es ALTO, la primera salida MUX (40) emite una entrada al terminal I1. La señal de control ingresada al terminal SEL del primer MUX (40) es una salida del primer multivibrador (20), de modo que, en un caso, el pulso de ϕ_3 es BAJO, un EX-OR (pulso de ϕ_5) de la entrada de contacto A y la entrada de contacto B se emite, y en un caso de que el pulso de ϕ_3 es ALTO, se emite una señal de inversión de EX-OR de la entrada de contacto A y la entrada de contacto B.

La señal de control del segundo MUX (50) se establece en ALTO para generar un pulso de ϕ_8 que es lo mismo que el pulso de ϕ_6 . El pulso de ϕ_9 se emite como la entrada de fase A, en un caso de que el pulso de ϕ_8 es BAJO, y en un caso de que el pulso de ϕ_8 es ALTO, el pulso de ϕ_9 se emite como la entrada de fase B. Por lo tanto, se puede observar que se cumple una condición de CW/CCW.

En el circuito de entrada convencional en el módulo contador de alta velocidad para PLC, si se cuenta un pulso de alta frecuencia usando la de 2 fases/4 multiplicaciones que tiene un número relativamente alto de frecuencias de multiplicación, el firmware se carga y esta carga puede afectar negativamente la confiabilidad y rendimiento de un producto.

La presente descripción puede simplificar una señal de entrada en modo CW/CCW para prescindir del requisito de verificación del modo de multiplicación en una rutina de interrupción del firmware y estados de adición/resta para reducir así el tiempo de interrupción del proceso.

La presente descripción permite un tiempo utilizado para el proceso de interrupción en el circuito de entrada convencional para ser utilizado en el procesamiento de otras tareas para mejorar el rendimiento del producto y contar un pulso de una frecuencia más alta.

Sin embargo, el circuito de entrada mencionado anteriormente en el módulo contador de alta velocidad para PLC de acuerdo con la presente descripción puede realizarse de muchas formas diferentes y no debe interpretarse como una limitación a las modalidades establecidas en el presente documento. Por lo tanto, se pretende que las realizaciones de la presente descripción puedan cubrir las modificaciones y variaciones de esta descripción siempre que entren dentro del alcance de las reivindicaciones adjuntas.

Si bien pueden haberse revelado características o aspectos particulares con respecto a varias formas de las modalidades, tales características o aspectos pueden combinarse selectivamente con una o más características y/o aspectos de otras formas de realización según se desee.

REIVINDICACIONES

1. Un circuito de entrada configurado para su uso en un módulo contador de alta velocidad, el módulo contador de alta velocidad está definido por un módulo de extensión para un controlador lógico programable configurado para introducir un pulso a una unidad de microprocesador (200), el circuito de entrada caracterizado por: un primer multivibrador (20) configurado para generar un pulso mediante la detección de bordes ascendentes/descendentes de una primera entrada de contacto; un segundo multivibrador (30) configurado para generar un pulso detectando los bordes ascendentes/descendentes de una segunda entrada de contacto; un primer almacenamiento temporal de 3 estados (60) configurado para emitir una salida del primer multivibrador en 3 estados; un segundo almacenamiento temporal de 3 estados (70) configurado para emitir una salida del segundo multivibrador en 3 estados; un primer multiplexor (MUX, 40) configurado para emitir cualquiera de una señal EX-OR de la primera y segunda entrada de contacto y una señal inversa de la señal EX-OR; un segundo MUX (50) configurado para emitir cualquiera de una salida del primer MUX y la segunda entrada de contacto; y un segundo conmutador de intercambio de bus (80) configurado para emitir salidas del primer y segundo almacenamiento temporal de 3 estados (60, 70) como una primera entrada de fase o una segunda entrada de fase.
2. El circuito de entrada de acuerdo con la reivindicación 1, caracterizado porque las primera y segunda entradas de contacto son cualquier señal de un modo de 1 fase/2 entradas/1 multiplicación, un modo de 1 fase/2 entradas/2 multiplicaciones, un modo de 2 fases/1 multiplicación, un modo de 2 fases/2 multiplicaciones, un modo de 2 fases/4 multiplicaciones y un modo CW/CCW.
3. El circuito de entrada de acuerdo con la reivindicación 1, caracterizado además por un primer conmutador de intercambio de bus (10) que conmuta recibiendo señales BAJA y ALTA.
4. El circuito de entrada de acuerdo con las reivindicaciones 1 a 3, caracterizado porque el primer conmutador de intercambio de bus (10) recibe la segunda entrada de contacto como una señal de selección, y recibe un 'BAJO en 1 fase/1 multiplicación' como señal de control.
5. El circuito de entrada de acuerdo con la reivindicación 4, caracterizado porque el primer multivibrador (20) recibe una salida del primer conmutador de intercambio de bus (10) como señal de control.
6. El circuito de entrada de acuerdo con la reivindicación 1, caracterizado porque el primer y el segundo multivibradores (20, 30) reciben una señal de control desde el MPU (200).
7. El circuito de entrada de acuerdo con la reivindicación 1 o 2, caracterizado porque el primer almacenamiento temporal de 3 estados (60) recibe OR, es decir, sumas lógicas, de la primera y segunda salidas como una señal de control, que es la primera salida AND, es decir, un producto lógico, de la segunda entrada de contacto y una 'señal ALTO en 2 fases 1 multiplicación' y la segunda salida es una inversión de una salida del primer multivibrador (20).
8. El circuito de entrada de acuerdo con la reivindicación 1, caracterizado porque el segundo almacenamiento temporal de 3 estados (70) recibe una inversión de una salida del segundo multivibrador como señal de control.
9. El circuito de entrada de acuerdo con la reivindicación 1, caracterizado porque el primer MUX (40) recibe una salida del primer multivibrador (20) como señal de control.
10. El circuito de entrada de acuerdo con la reivindicación 1 o 2, caracterizado porque el segundo MUX (50) recibe 'BAJO en la entrada de 1 fase' como señal de control.
11. El circuito de entrada de acuerdo con la reivindicación 1, caracterizado porque el segundo conmutador de intercambio de bus (80) recibe una salida del segundo MUX (50) como una señal de selección.

Figura 1

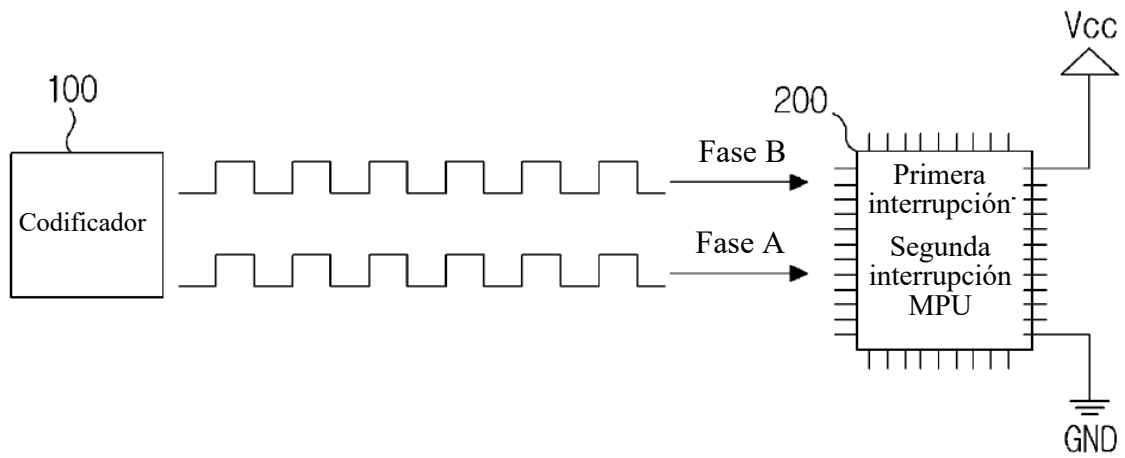


Figura 2A

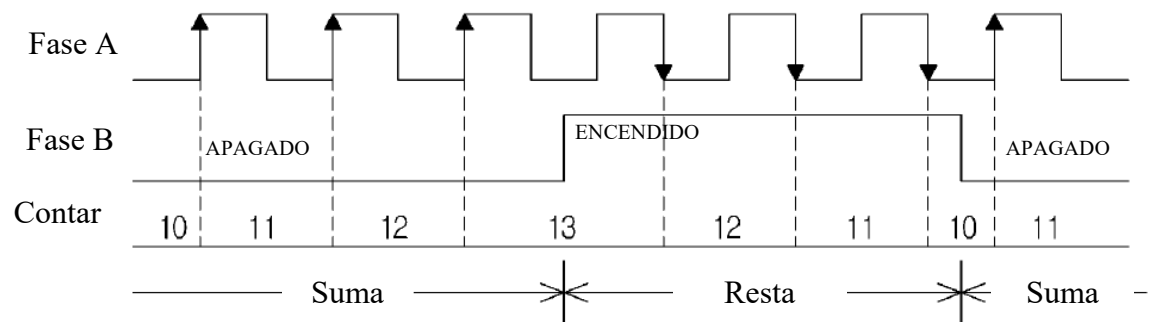


Figura 2B

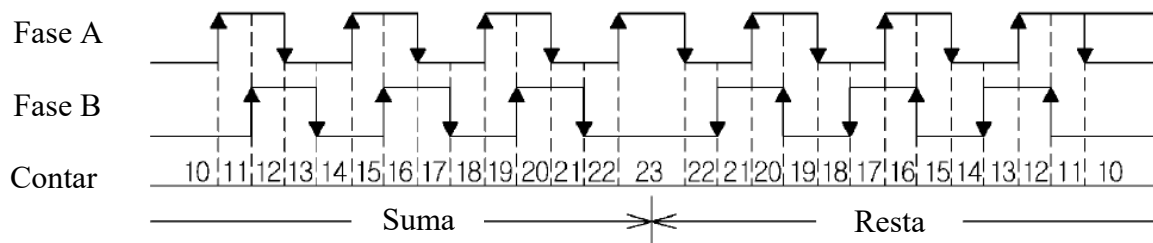


Figura 3A

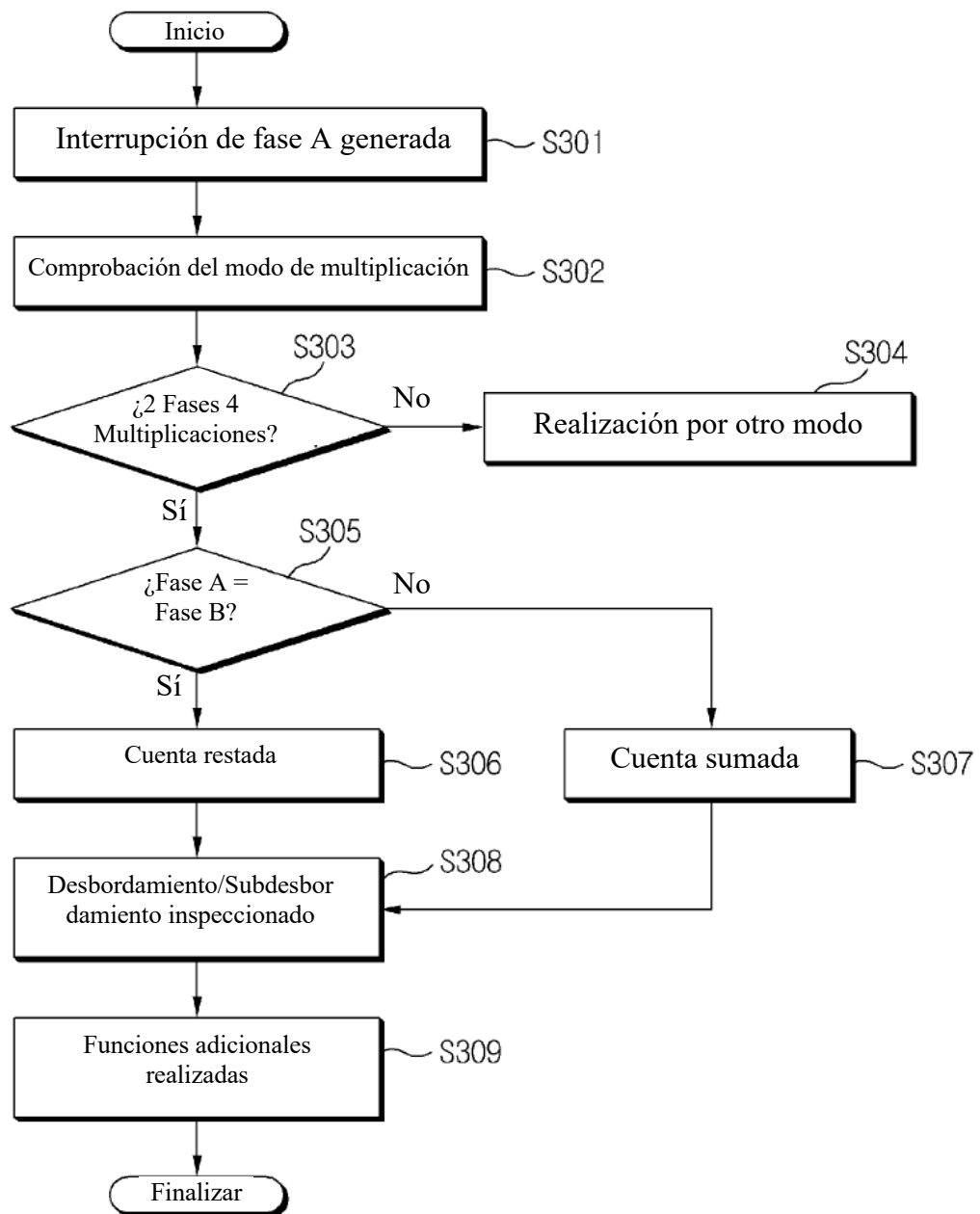


Figura 3B

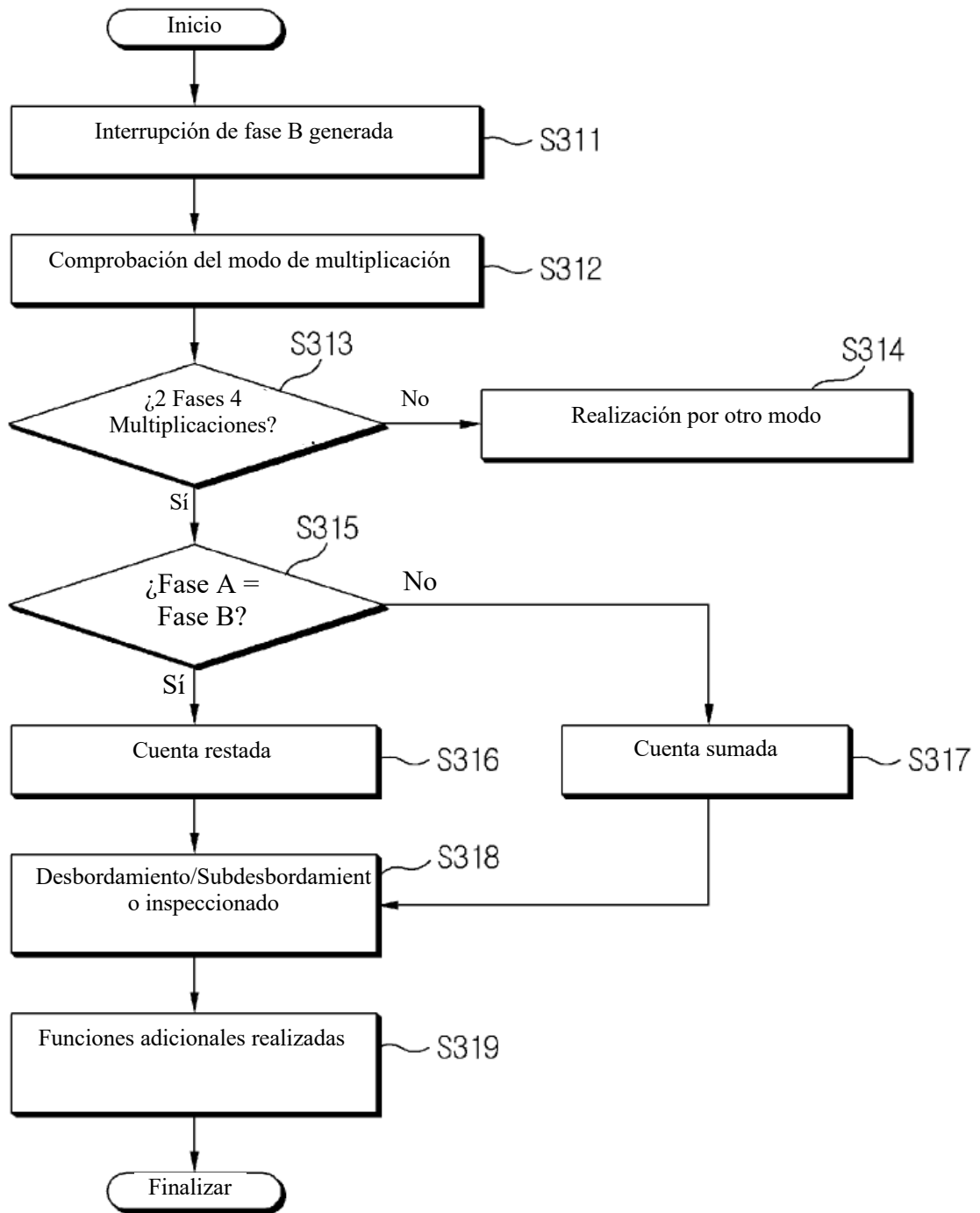


Figura 4

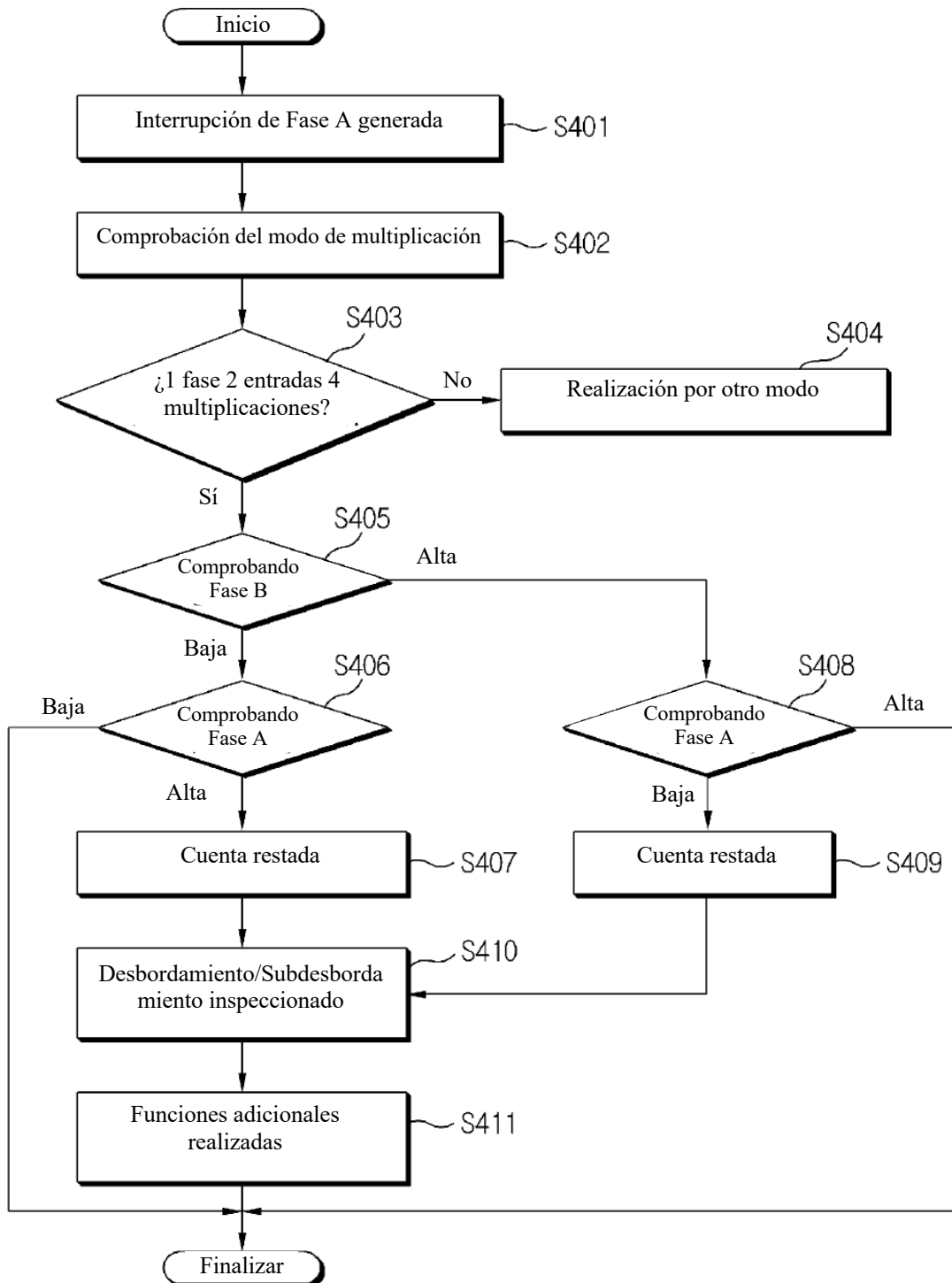


Figura 5

Tiempo de proceso de rutina de interrupción

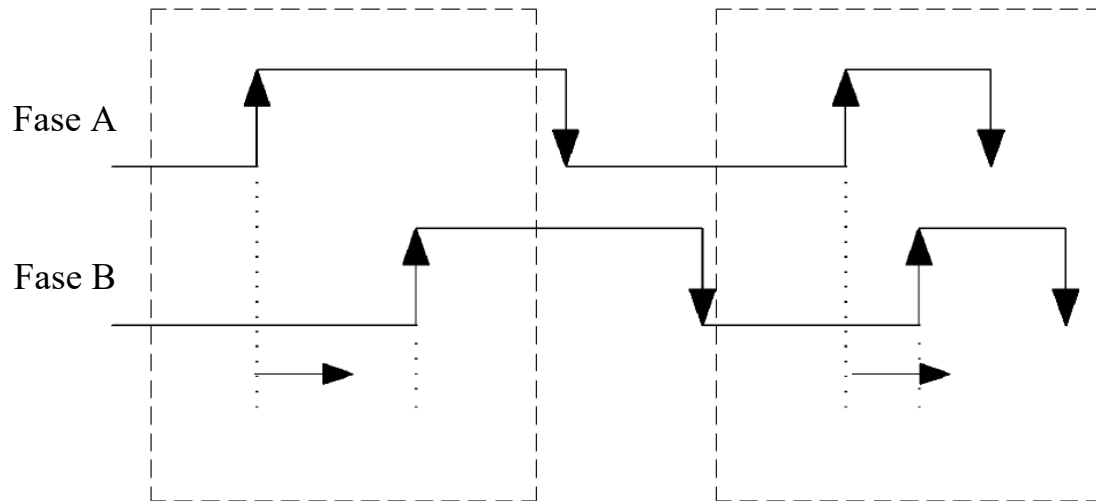


Figura 6

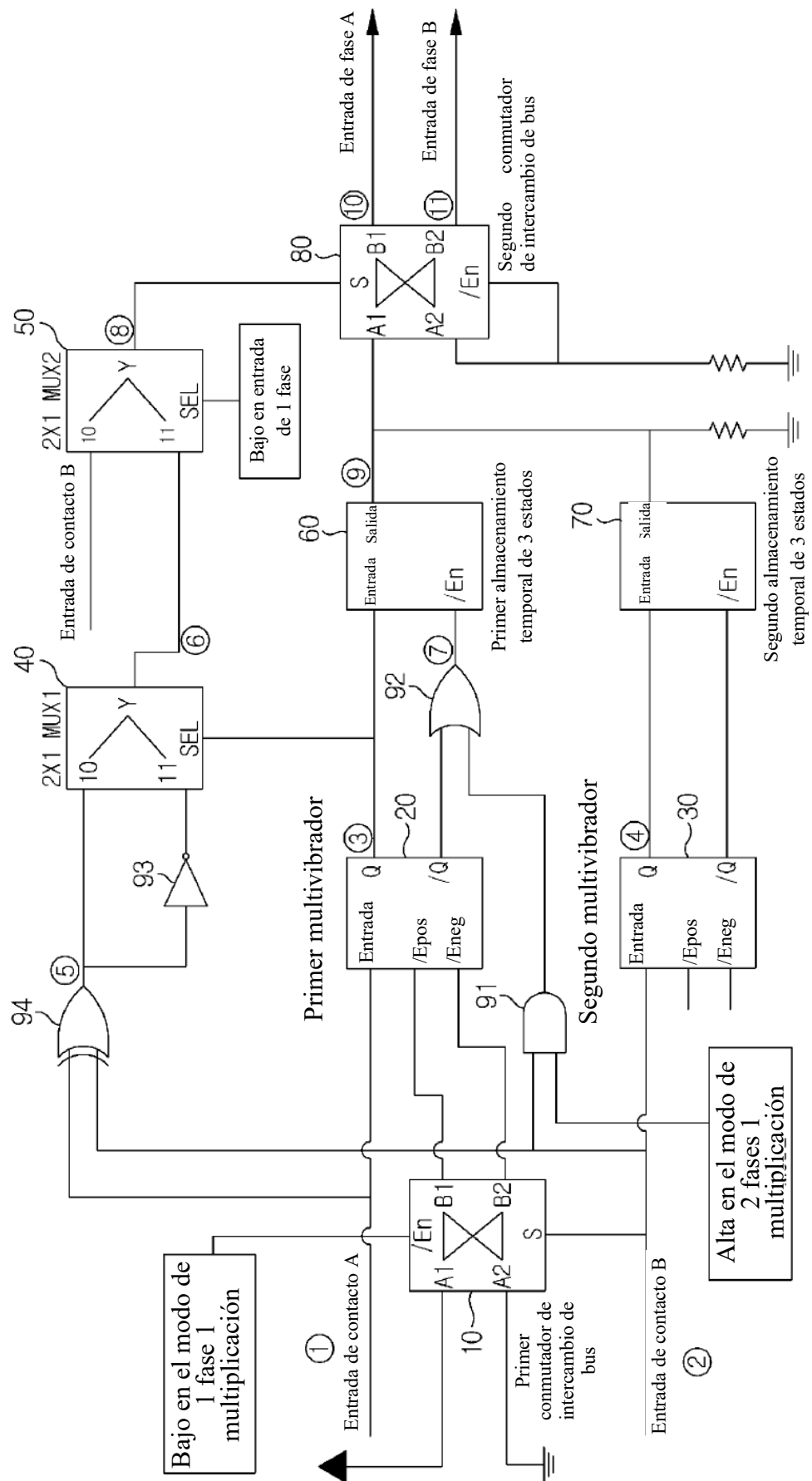


Figura 7A

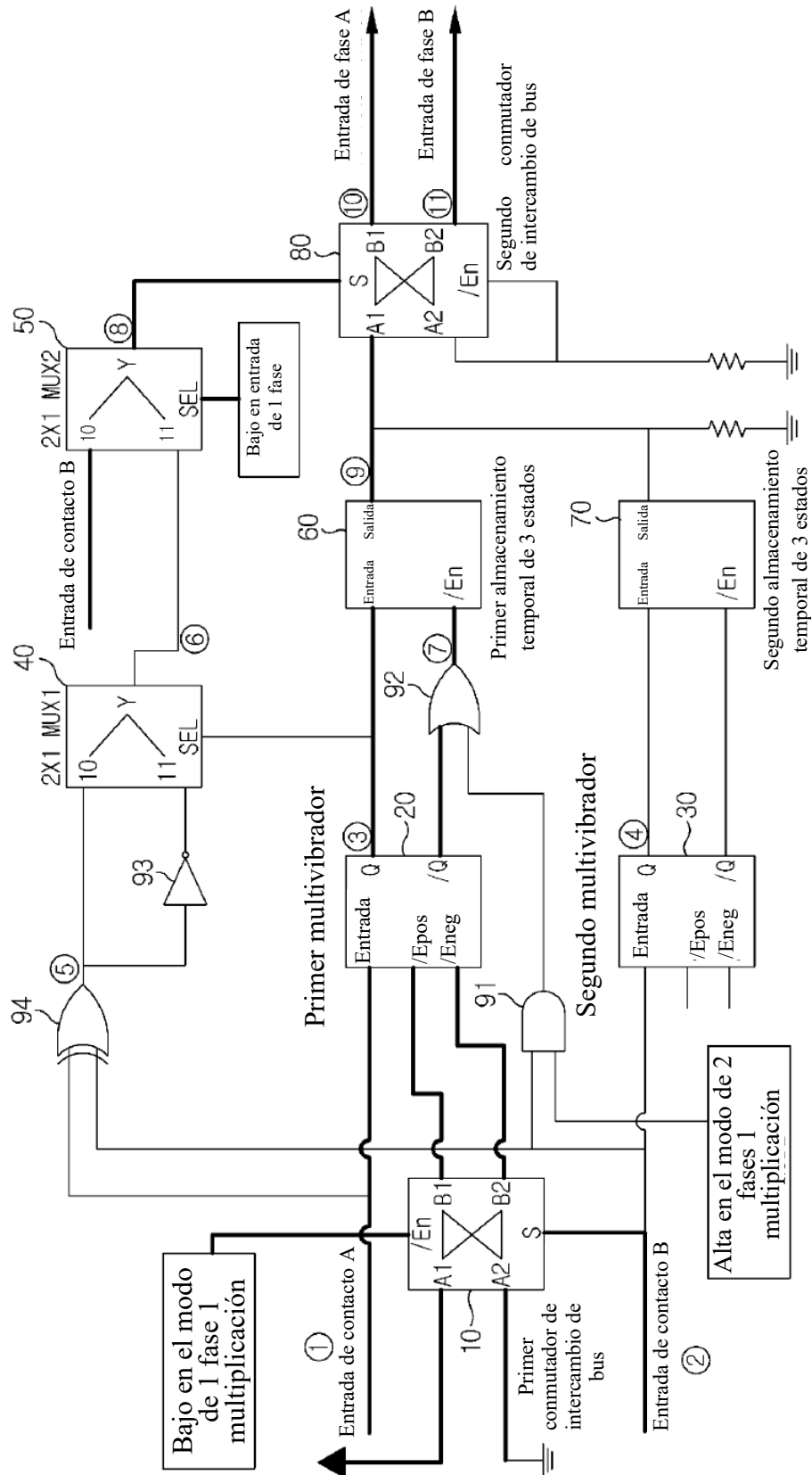


Figura 7B

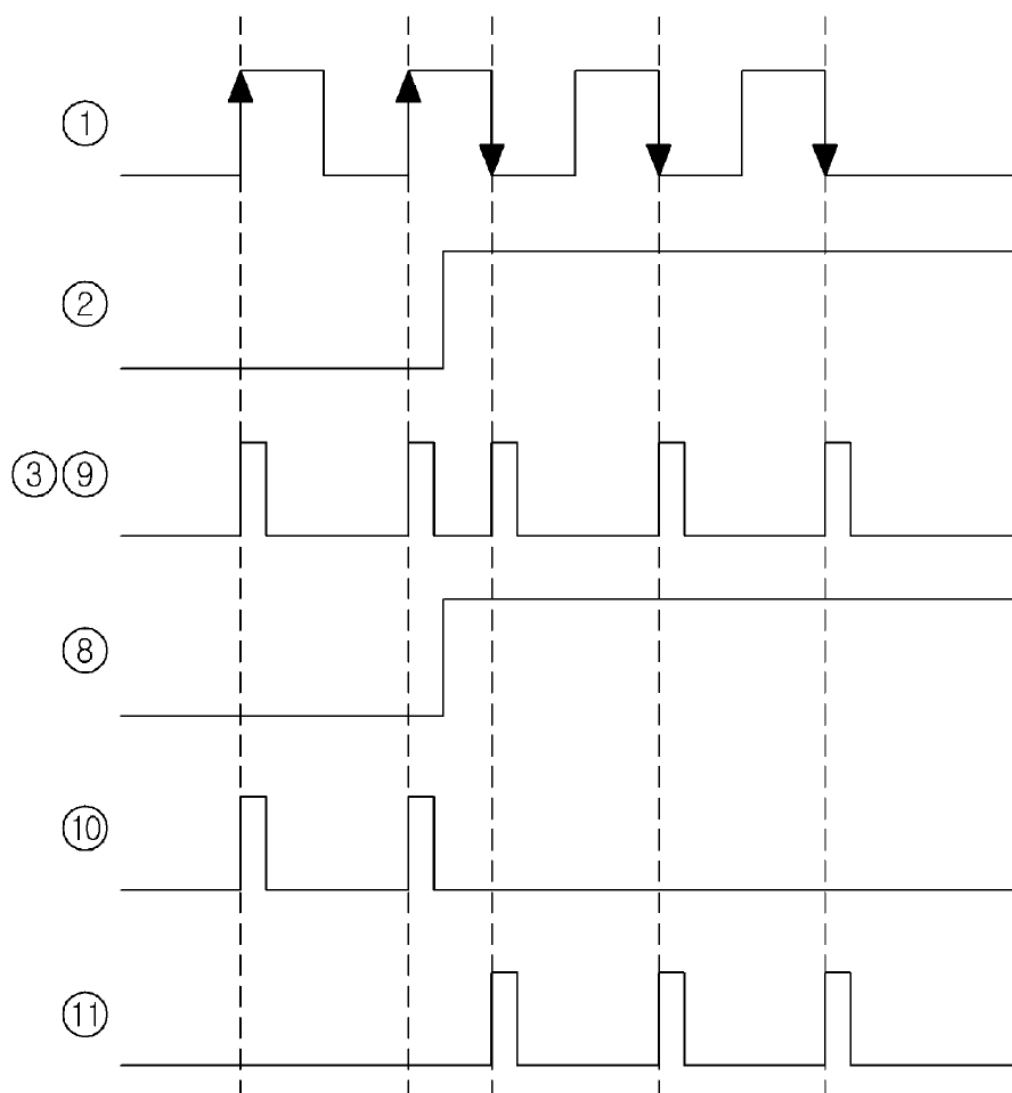


Figura 8A

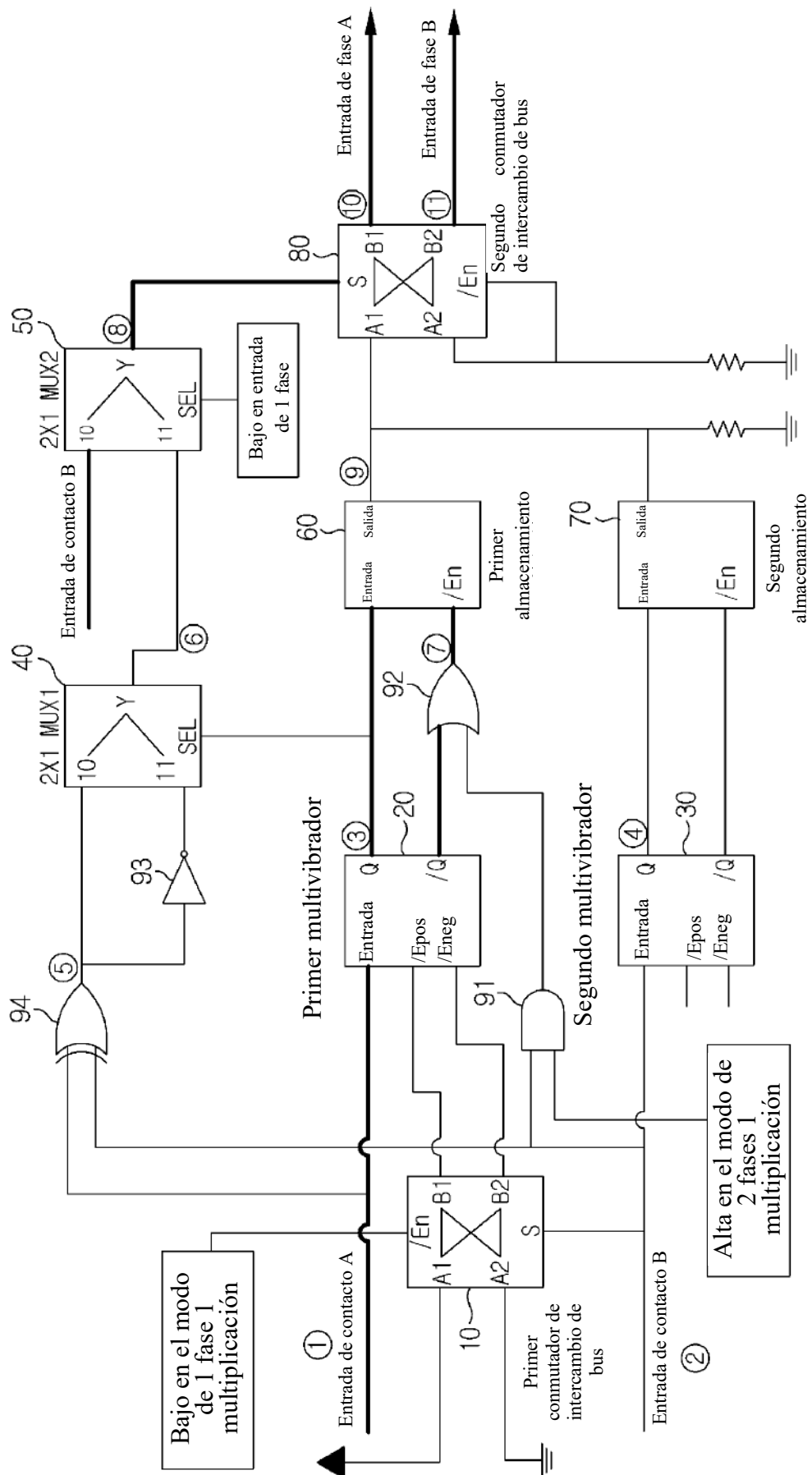


Figura 8B

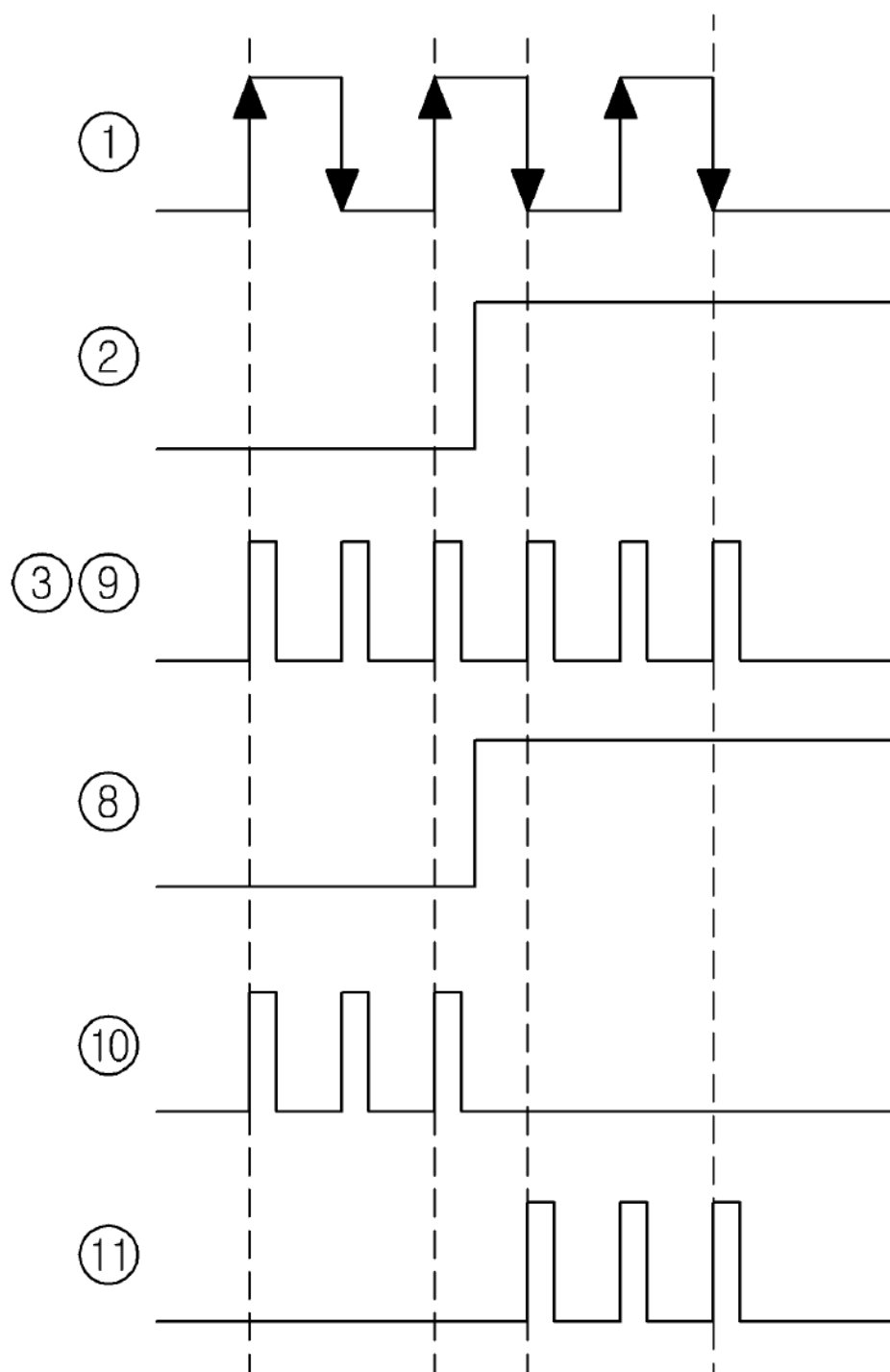


Figura 9A

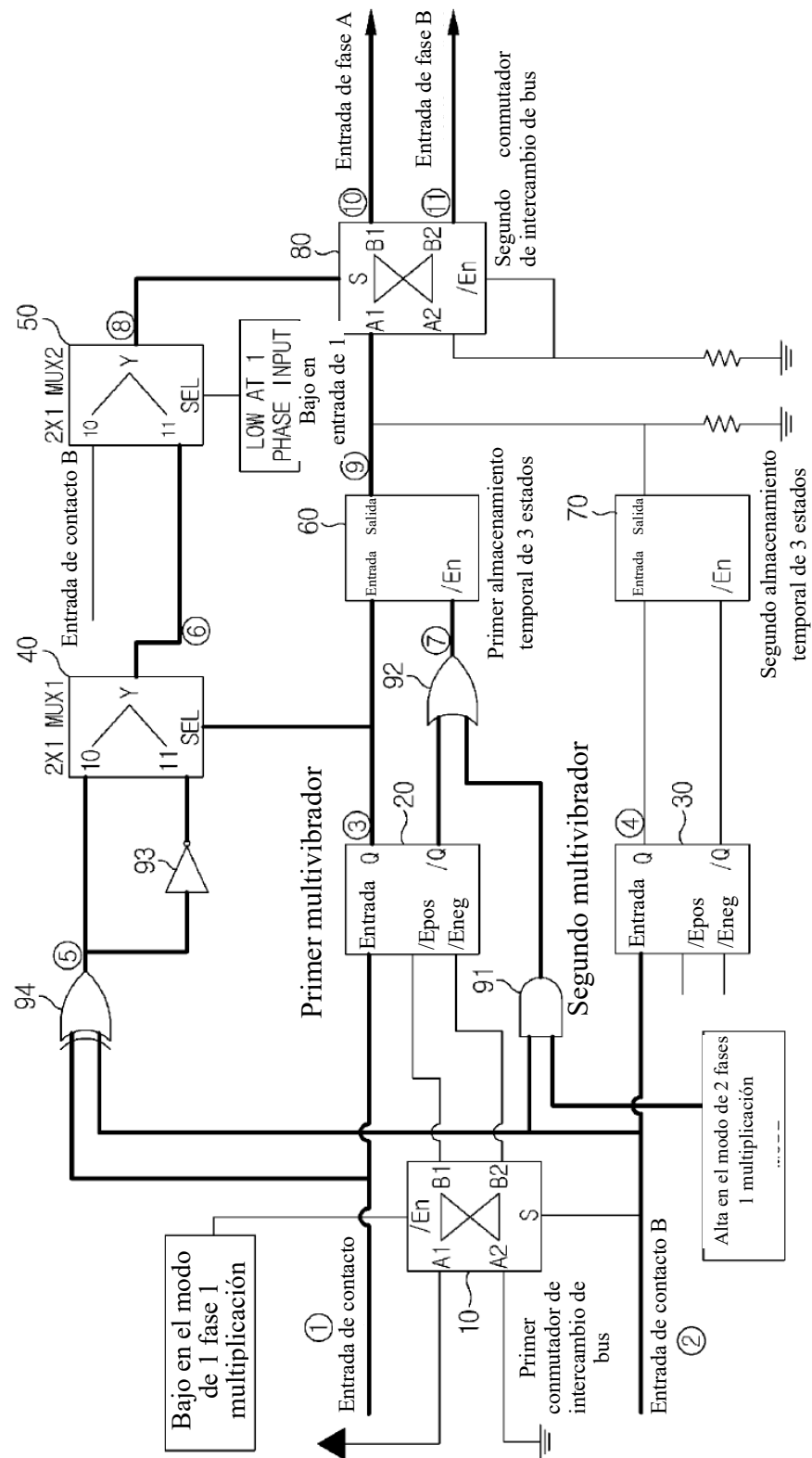


Figura 9B

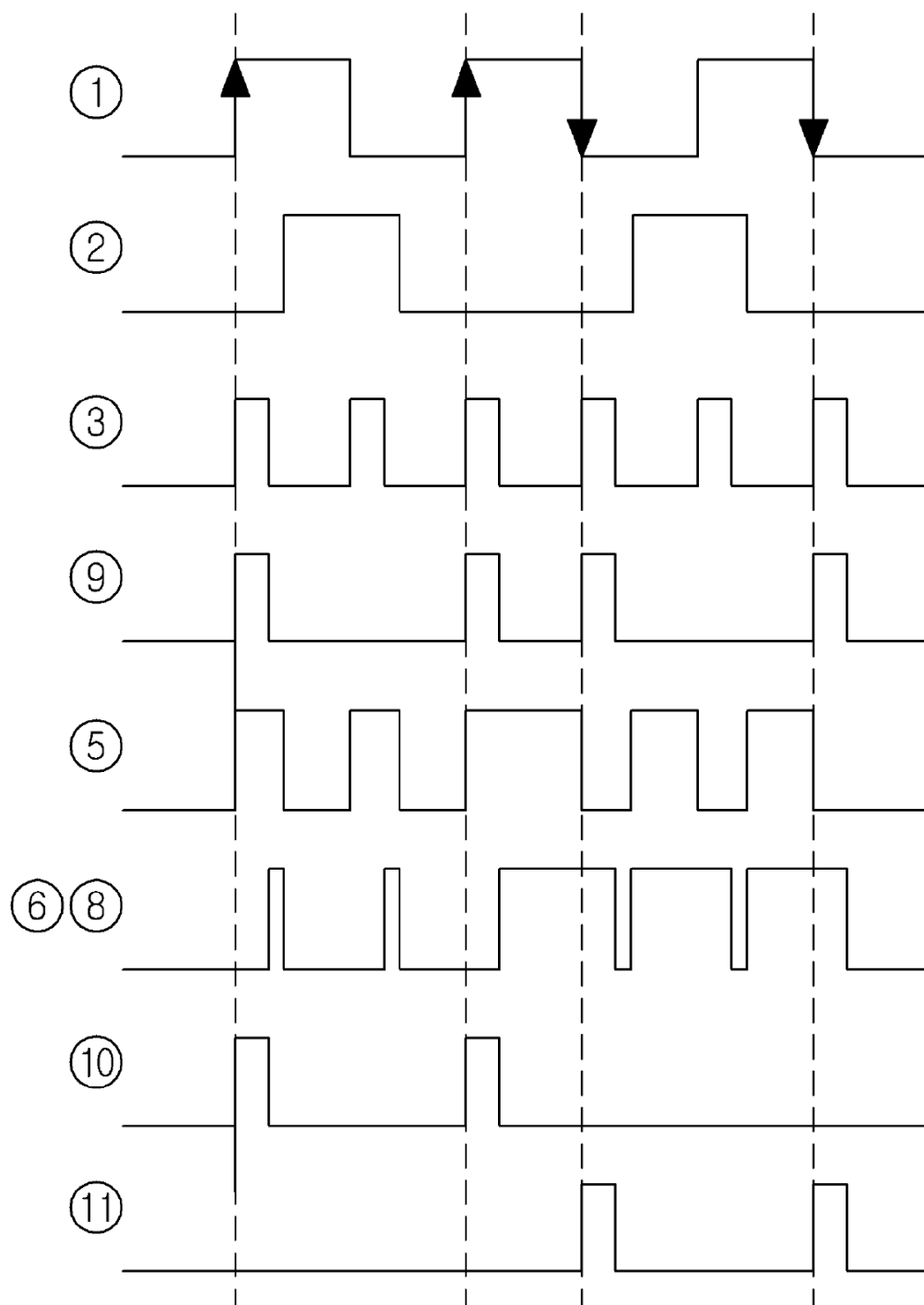


Figura 10A

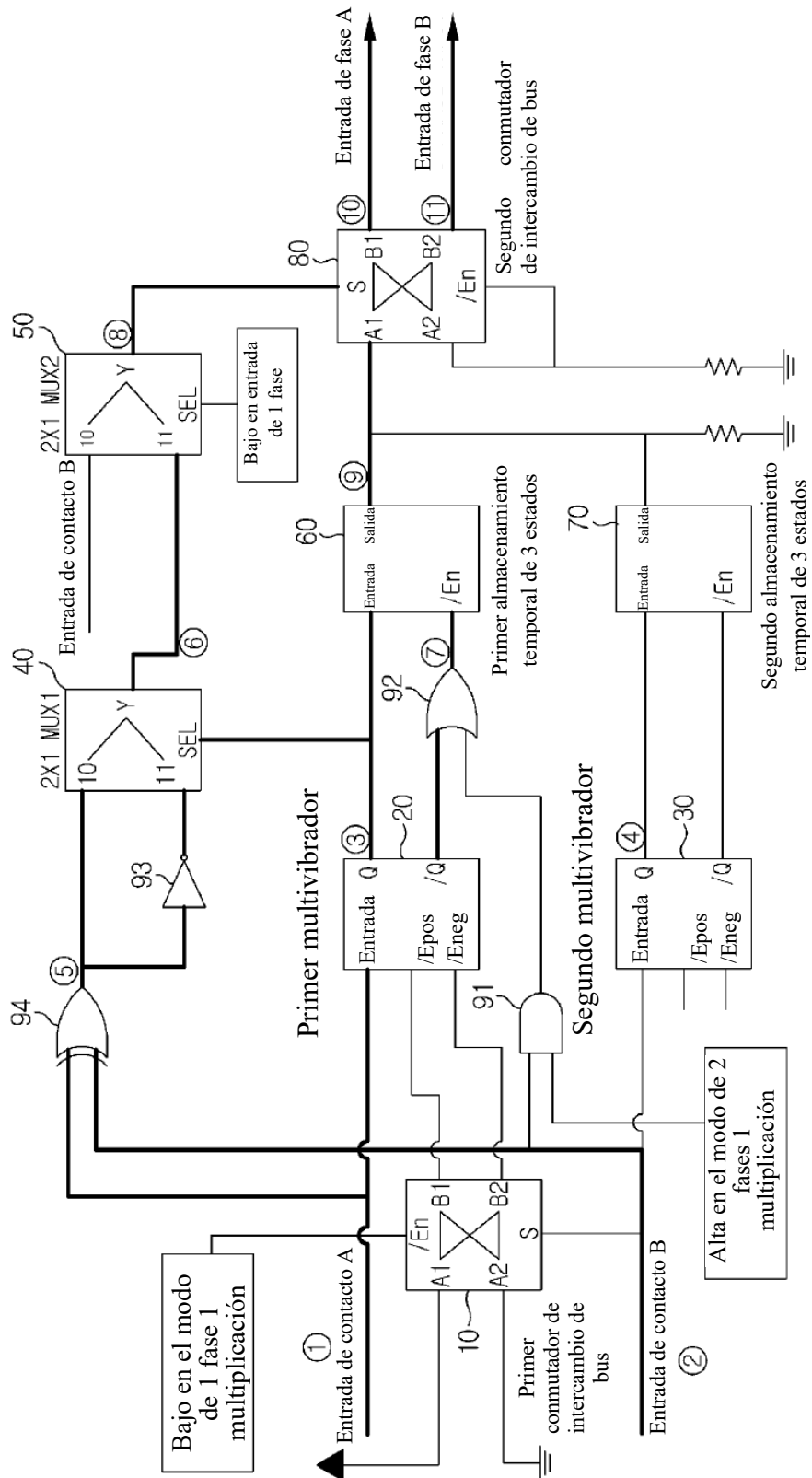


Figura 10B

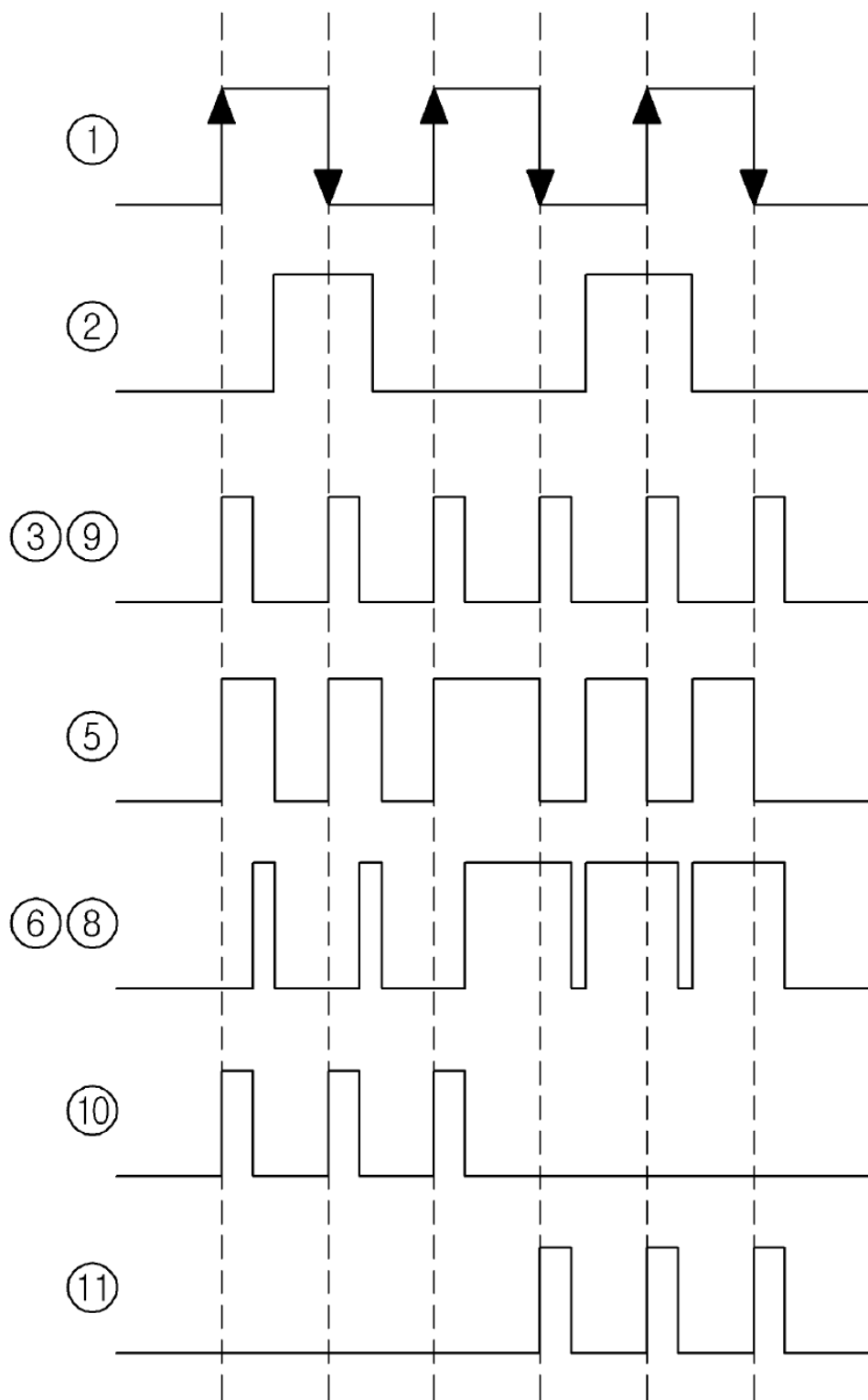


Figura 11A

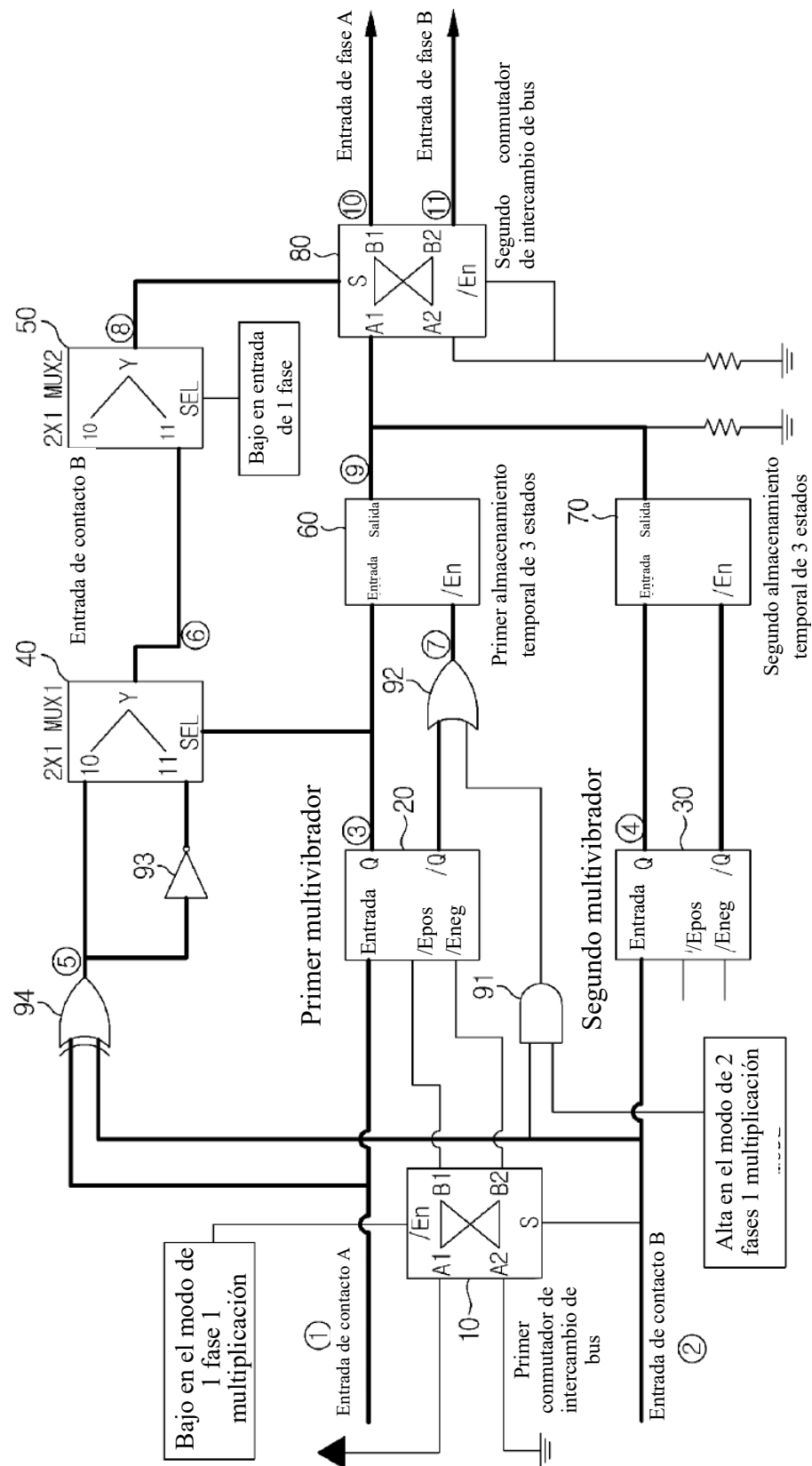


Figura 11B

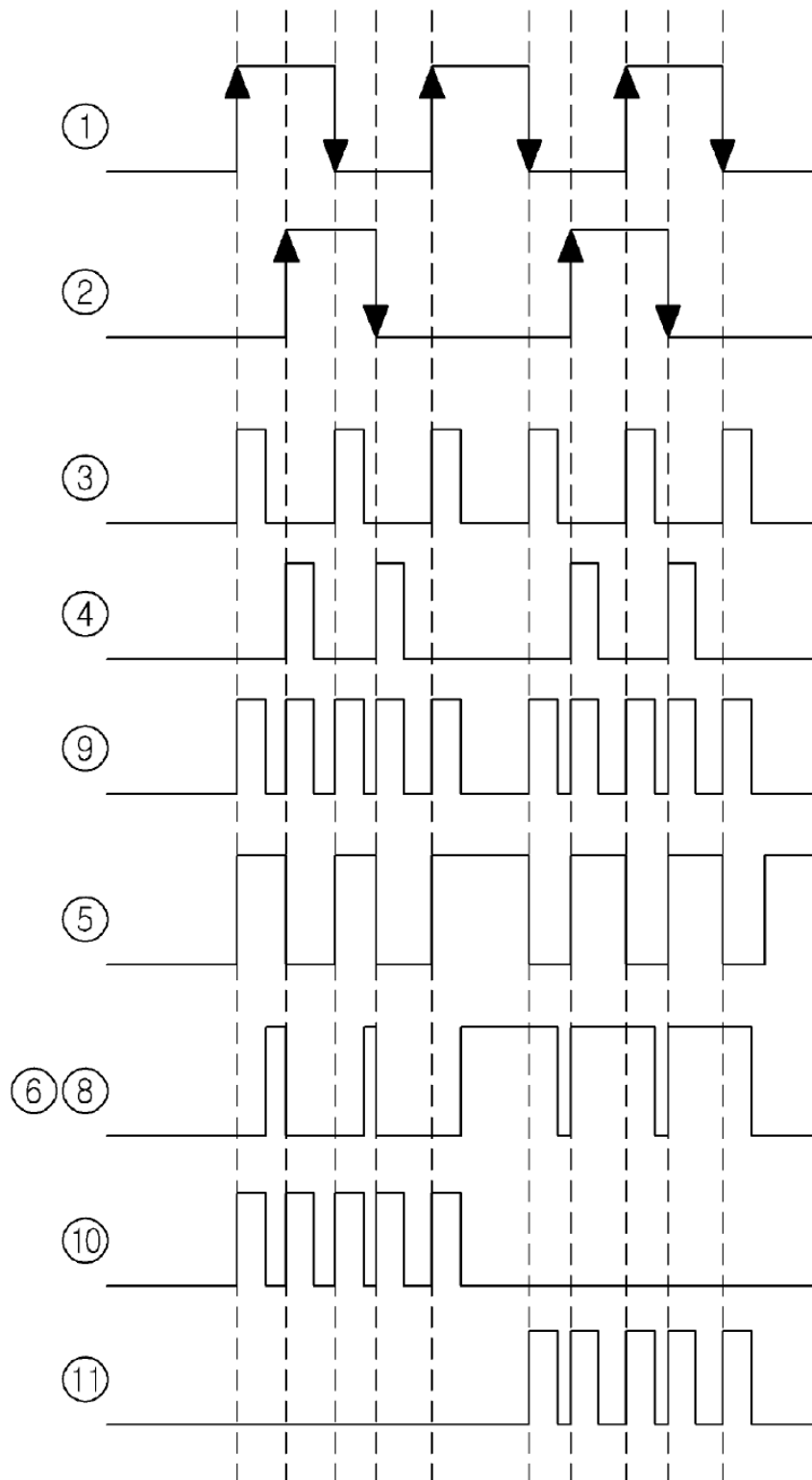


Figura 12A

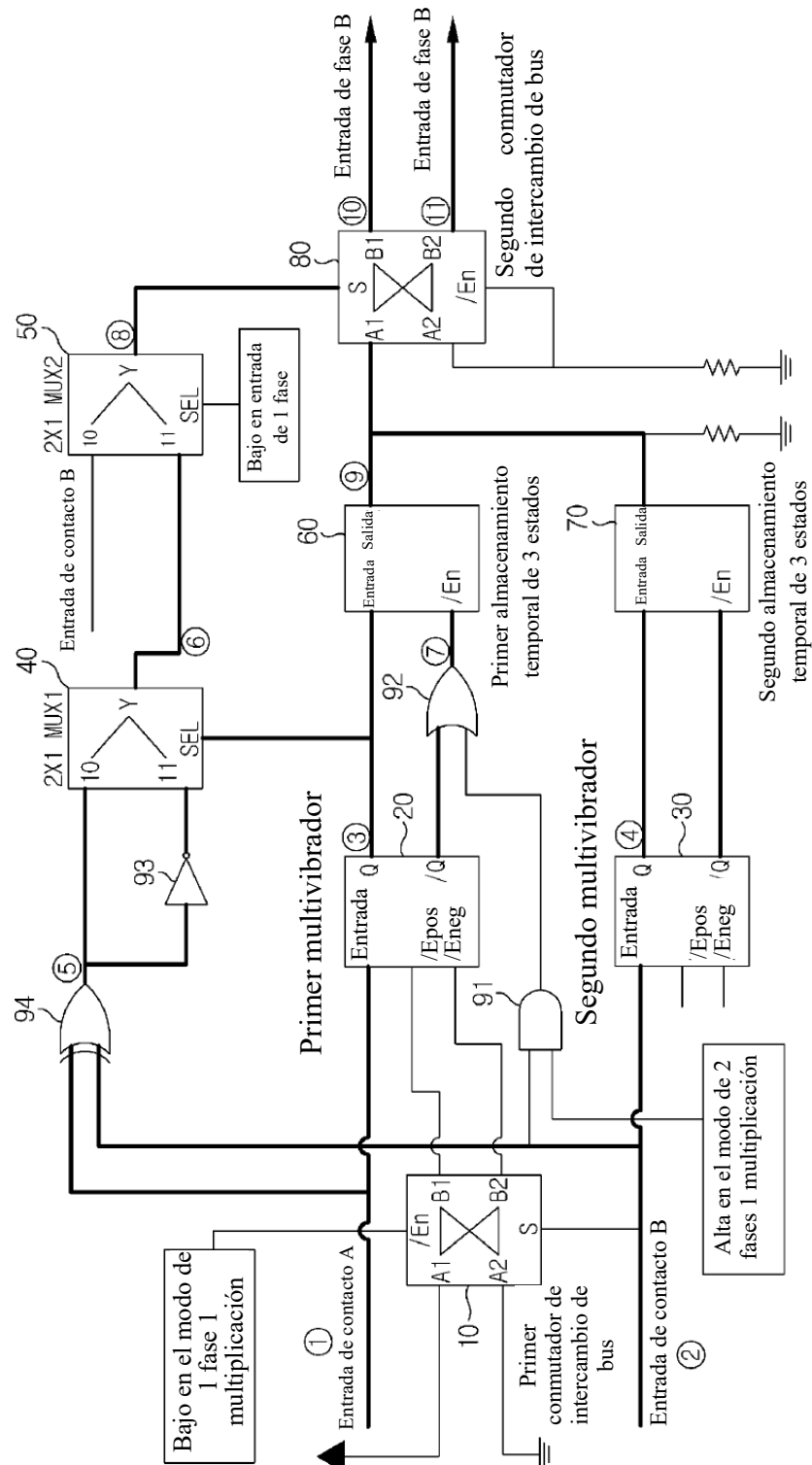


Figura 12B

