

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 745 333**

51 Int. Cl.:

H01L 23/62 (2006.01)

H02H 9/02 (2006.01)

G01R 31/28 (2006.01)

G01R 31/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **09.01.2017 PCT/US2017/012764**

87 Fecha y número de publicación internacional: **10.08.2017 WO17136107**

96 Fecha de presentación y número de la solicitud europea: **09.01.2017 E 17702452 (8)**

97 Fecha y número de publicación de la concesión europea: **10.07.2019 EP 3411722**

54 Título: **Circuitos de patillas de salida resistentes a cortocircuitos**

30 Prioridad:

01.02.2016 US 201615012723

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

28.02.2020

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:

**BANSAL, VIRENDRA;
GULATI, RAHUL;
BHUYAN, PRANJAL y
JAIN, PALKESH**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 745 333 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuitos de patillas de salida resistentes a cortocircuitos

5 REFERENCIA CRUZADA A SOLICITUD RELACIONADA

[0001] Esta solicitud reivindica la prioridad y el beneficio de la solicitud de patente no provisional n.º 15/012.723 presentada en la Oficina de Patentes y Marcas de los Estados Unidos el lunes, 1 de febrero de 2016.

10 CAMPO TÉCNICO

[0002] Esta divulgación se refiere en general a la robustez de los circuitos integrados (IC) en un entorno riguroso o de inducción de fallos y, más específicamente, a permitir que un circuito integrado resista los efectos perjudiciales que son resultado de una condición de cortocircuito que se desarrolla a través de un par de patillas de comunicación. del circuito integrado.

ANTECEDENTES

[0003] Los circuitos integrados se emplean en numerosas facetas de la vida moderna. Por ejemplo, los dispositivos informáticos, como los servidores de Internet y los teléfonos móviles, funcionan con procesadores de circuitos integrados. Los circuitos integrados están integrados en muchos tipos diferentes de máquinas, desde juguetes y televisores hasta automóviles y equipos de construcción. Aunque algunas de estas aplicaciones de circuitos integrados son puramente para desviar o de lo contrario implican actividades de bajo riesgo, otras aplicaciones involucran situaciones críticas o peligrosas. Entre algunos ejemplos de situaciones críticas o peligrosas se incluyen vehículos en movimiento, equipos médicos, etc. En situaciones tan críticas o peligrosas, un circuito integrado que sucumbe a un entorno defectuoso puede provocar no solo decepciones, sino también una pérdida significativa de productividad o lesiones corporales, incluida la posible muerte de un pasajero o paciente.

[0004] En un esfuerzo por evitar que un defecto del circuito integrado contribuya al mal funcionamiento de una máquina, los fabricantes inspeccionan los circuitos integrados antes de la venta. Después de fabricarse en una instalación de fabricación, un troquel de circuito integrado que se forma sobre una base de silicón habitualmente se empaqueta de alguna manera, por ejemplo, recubriéndose de plástico con patillas externas que conducen a las placas internas del troquel de circuito integrado. El circuito integrado empaquetado se somete luego a una serie de pruebas, algunas de las cuales se pueden realizar utilizando un equipo especializado de pruebas automatizadas (ATE). El ATE recorre el circuito integrado a través de una batería de pruebas en un intento de verificar que el circuito integrado fue fabricado y empaquetado correctamente y que el circuito integrado puede proporcionar salidas apropiadas en respuesta a al menos un rango de entradas esperadas. Desafortunadamente, los enfoques convencionales para combatir los posibles problemas de circuitos integrados, como las pruebas realizadas por un fabricante, no pueden evitar que los circuitos integrados muestren un comportamiento inesperado o no deseado. En consecuencia, los circuitos integrados convencionales pueden no prevenir, o incluso pueden contribuir a causar, inconvenientes, pérdidas y lesiones físicas.

[0005] Se hace referencia al documento US 2007/188155 (A1). Describe un dispositivo de circuito integrado semiconductor que tiene una parte de salida que emite a través de un elemento de conmutación un voltaje predeterminado hacia el exterior desde un terminal de salida de voltaje a través de una línea de salida de voltaje y una parte de control que realiza un control predeterminado basado en una señal de control introducida desde el exterior a una línea de entrada de señal o un terminal de entrada de señal que está dispuesta de modo que sea adyacente a una línea de salida de voltaje o un terminal de salida de voltaje. Se proporciona una parte de detección de voltaje que detecta que se introduce un voltaje más alto que un voltaje de referencia a la línea de entrada de señal o al terminal de entrada de señal y alimenta la señal resultante a la parte de salida como una señal de detección de voltaje, y la parte de salida abre el elemento de interruptor cuando la señal de detección de voltaje se proporciona al mismo.

[0006] Se presta más atención al documento US 7.996.162 (B1). Describe que las frecuencias de cambio y la diferencia entre las señales detectadas en los puertos de salida del módulo electrónico adyacente se determinan y se comparan con los criterios para determinar si los puertos de salida están cortocircuitados. Finalmente, se llama la atención sobre el documento US 2003/098705 (A1) que describe un sistema de circuito eléctrico para detectar un cortocircuito entre las patillas de salida de diferentes IC, particularmente CMOS-IC, que en cada caso tienen un primer elemento de conmutación, particularmente un transistor de lado alto y un segundo elemento de conmutación, particularmente un transistor de lado inferior como controlador de salida, con el primer elemento de conmutación y el segundo elemento de conmutación de los respectivos controladores de salida que tienen diferentes resistencias de drenaje de fuente en el estado conectado.

SUMARIO

65

[0007] De acuerdo con la presente invención, se proporcionan un circuito integrado y un procedimiento para implementar unos circuitos de patillas de salida resistentes a cortocircuitos, como se expone en las reivindicaciones independientes. Los modos de realización de la invención se reivindican en las reivindicaciones dependientes.

5 **[0008]** En un aspecto de ejemplo, se describe un circuito integrado. El circuito integrado incluye una patilla resistente a cortocircuitos y una patilla adyacente. El circuito integrado también incluye una placa resistente a cortocircuitos que se acopla a la patilla resistente a cortocircuitos y una placa adyacente que se acopla a la patilla adyacente. El circuito integrado incluye además circuitos resistentes a cortocircuitos que se acoplan a la placa resistente a cortocircuitos y a la placa adyacente. El circuito resistente a cortocircuitos está configurado para
10 detectar una condición de cortocircuito entre la patilla resistente a cortocircuitos y la patilla adyacente y para reducir el efecto de la condición de cortocircuito en la patilla resistente a cortocircuitos.

15 **[0009]** En un aspecto de ejemplo, se describe un circuito integrado. El circuito integrado incluye una patilla resistente a cortocircuitos y una patilla adyacente. El circuito integrado también incluye una placa resistente a cortocircuitos que se acopla a la patilla resistente a cortocircuitos y una placa adyacente que se acopla a la patilla adyacente. El circuito integrado incluye además medios resistentes a cortocircuitos para evitar que un cortocircuito entre la patilla resistente a cortocircuitos y la patilla adyacente corrompan la salida de señal de la patilla resistente a cortocircuitos. Los medios resistentes a cortocircuitos se acoplan a la placa resistente a cortocircuitos y la placa adyacente.

20 **[0010]** En un aspecto de ejemplo, se divulga un procedimiento para implementar circuitos de patillas de salida resistentes a cortocircuitos. El procedimiento incluye supervisar un nivel de voltaje real en una salida de una patilla resistente a cortocircuitos. El procedimiento también incluye determinar si el nivel de voltaje real se desvía de un nivel de voltaje previsto para la salida de la patilla resistente a cortocircuitos. El procedimiento incluye además
25 controlar una salida de una patilla adyacente basándose en la determinación.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

30 **[0011]**
La FIG. 1 muestra un ejemplo de un circuito integrado que tiene múltiples patillas de comunicación, que incluyen una patilla resistente a cortocircuitos y múltiples patillas adyacentes.

35 La FIG. 2 ilustra un ejemplo de escenario para circuitos de patillas de salida resistentes a cortocircuitos que incluyen una patilla resistente a cortocircuitos y una patilla adyacente, así como circuitos resistentes a cortocircuitos.

40 La FIG. 3 ilustra una correspondencia de ejemplo entre un diagrama orientado a dispositivos y un diagrama orientado a resistencias que incluye una patilla resistente a cortocircuitos y una patilla adyacente.

La FIG. 4 muestra dos gráficas pertenecientes a los niveles de voltaje de ejemplo para una patilla resistente a cortocircuitos y una patilla adyacente alrededor de una condición de cortocircuito para diferentes intensidades de activación relativas.

45 La FIG. 5 ilustra un ejemplo de un circuito resistente a cortocircuitos que incluye un detector de cortocircuitos y un controlador de salida.

50 La FIG. 6 ilustra un ejemplo de diagrama de tiempos para los niveles de voltaje de una patilla resistente a cortocircuitos y una patilla adyacente si se produce un cortocircuito, con y sin circuitos resistentes a cortocircuitos.

55 La FIG. 7 ilustra otro ejemplo de circuitos resistentes a cortocircuitos que incluye un detector de cortocircuitos y un controlador de salida junto con las memorias intermedias de entrada y salida de una placa resistente a cortocircuitos y una placa adyacente.

La FIG. 8 ilustra un ejemplo de circuitos para un detector de cortocircuitos de circuitos resistentes a cortocircuitos.

60 La FIG. 9 ilustra un ejemplo de circuitos para un controlador de salida de circuitos resistentes a cortocircuitos.

La FIG. 10 es un diagrama de flujo que ilustra un ejemplo de proceso para circuitos de patillas de salida resistentes a cortocircuitos.

DESCRIPCIÓN DETALLADA

65

5 **[0012]** Muchos circuitos integrados (IC) tienen una fila unidimensional o una matriz bidimensional de patillas de entrada/salida (E/S) a lo largo de al menos un borde o en un lado de un paquete que contiene el circuito integrado. Debido a un área finita o limitada, es probable que las patillas estén espaciadas lo suficientemente entre sí, de modo que se pueda desarrollar un cortocircuito entre dos patillas adyacentes. Si se desarrolla un cortocircuito entre dos patillas, una salida prevista de una patilla puede verse afectada por una salida activada en la otra patilla. En consecuencia, una o ambas patillas de un par de patillas en cortocircuito no logran activar la salida correcta que pretende el circuito integrado.

10 **[0013]** Por lo tanto, una situación en la que un circuito integrado puede funcionar mal es en presencia de una condición de cortocircuito. Con un cortocircuito, se produce una conexión eléctrica inesperada o no deseada entre dos o más puntos de un circuito. Esta conexión eléctrica puede afectar negativamente a la señalización deseada, como la activación de un nivel de voltaje deseado, de uno o ambos puntos del circuito que están experimentando el cortocircuito. Por ejemplo, un punto en el que un circuito está tratando de generar una salida de alto nivel de cinco voltios (5 V) puede estar generando solo una salida de bajo nivel de dos voltios (2 V). La señalización o el procesamiento incorrecto es un resultado probable, que puede provocar un mal funcionamiento de un dispositivo que utiliza el circuito integrado.

20 **[0014]** Un cortocircuito, o cortocircuito, puede surgir entre dos terminales de E/S de un circuito integrado de diferentes maneras. Por ejemplo, el empaquetado de una matriz de circuitos integrados puede introducir un cortocircuito entre dos placas de E/S diferentes de la matriz. Además, se puede desarrollar un cortocircuito entre dos patillas de E/S diferentes de un circuito integrado empaquetado cuando el circuito integrado se está instalando en una placa de circuito impreso (PCB) o en otro entorno. Además, un cortocircuito puede desarrollarse con el tiempo debido a la vibración, corrosión u otros efectos ambientales.

25 **[0015]** Las pruebas del fabricante de un circuito integrado pueden ser capaces de descubrir un cortocircuito u otro problema con una matriz de circuitos integrados o un circuito integrado completamente empaquetado en una instalación de fabricación. Desgraciadamente, las pruebas de fábrica pueden ser difíciles para un circuito integrado que se ha incorporado en una máquina más grande. Además, las pruebas de fábrica no pueden detectar los efectos ambientales en curso que pueden contribuir inesperadamente a la creación de un cortocircuito no deseado después de que un circuito integrado se ponga en servicio en el campo. Estas deficiencias de las pruebas basadas en fábrica pueden ser realmente peligrosas si el circuito integrado se implementa en un papel crítico para una máquina que pretende proporcionar una medida de seguridad, como los dispositivos y equipos utilizados en los campos médico y automotriz.

35 **[0016]** Un escenario de uso crítico para la seguridad para circuitos integrados involucra aplicaciones automotrices. Por ejemplo, con un sistema de asistencia al conductor avanzado (ADAS), se especifica una patilla dedicada de un circuito integrado para informar cualquier fallo en el circuito integrado, como un sistema en un chip (SoC), a otras partes de un sistema electrónico o informático de un vehículo. Esta patilla dedicada se denomina aquí "patilla de error". Un falso positivo o un falso negativo en una patilla de error, incluidas aquellas señales falsas causadas por un cortocircuito con una patilla adyacente de la patilla de error, puede ocasionar un fallo catastrófico de un vehículo que puede causar la muerte. Por lo tanto, pueden prevenirse accidentes y pueden salvarse vidas haciendo que la patilla de error sea resistente contra los efectos de los cortocircuitos con las patillas adyacentes.

45 **[0017]** Para abordar estos problemas de fiabilidad y seguridad, una patilla de un circuito integrado puede ser resistente contra fallos, incluyendo fallos causados por cortocircuitos con patillas adyacentes que se desarrollan después de instalar un circuito integrado o ponerlo en funcionamiento como parte de una máquina más grande. En implementaciones de ejemplo, un circuito integrado es resistente a los efectos de una condición de cortocircuito entre dos patillas de E/S mientras el circuito integrado está desplegado en el campo. Durante el funcionamiento, un detector de cortocircuitos intenta detectar una condición de cortocircuito entre dos patillas de un circuito integrado. Si se detecta una condición de cortocircuito entre dos patillas, por ejemplo, se reduce activamente el efecto de la condición de cortocircuito en una patilla de prioridad más alta. Para detectar una condición de cortocircuito, el nivel de voltaje de una salida de una patilla resistente a cortocircuitos se supervisa utilizando un bucle de retorno desde una memoria intermedia de salida de una placa resistente a cortocircuitos que se acopla a la patilla resistente a cortocircuitos. Si la condición de cortocircuito se detecta basándose en el nivel de voltaje de la patilla resistente a cortocircuitos, se controla el nivel de voltaje de una patilla adyacente para al menos reducir el efecto de la condición de cortocircuito en el nivel de voltaje de la patilla resistente a cortocircuitos.

50 **[0018]** Más específicamente, un nivel de voltaje correspondiente a un valor lógico particular se puede controlar en la patilla resistente a cortocircuitos, incluso en presencia de un cortocircuito con la patilla adyacente, controlando el nivel de voltaje de la patilla adyacente. Por ejemplo, una placa de salida de la patilla adyacente se puede desactivar para evitar que un nivel de voltaje de la patilla adyacente afecte sustancialmente a un nivel de voltaje correcto previsto de la patilla resistente a cortocircuitos. De forma alternativa, el nivel de voltaje de la patilla adyacente puede ser activado al mismo nivel que está diseñado para que la patilla resistente a cortocircuitos elimine la contención sobre el nivel de voltaje de salida real resultante.

65 **[0019]** De esta manera, una patilla de un circuito integrado puede hacerse resistente a los efectos negativos de un cortocircuito que se produce entre la patilla resistente a cortocircuitos y una patilla adyacente. La detección y

mejora de cortocircuitos pueden ser realizadas por el circuito integrado después de la instalación y mientras funciona en el campo. Por lo tanto, los cortocircuitos pueden detectarse y los fallos resultantes pueden evitarse para los circuitos integrados desplegados en una aplicación crítica para la seguridad u otra misión crítica. Por ejemplo, se pueden implementar circuitos resistentes a cortocircuitos junto con una patilla de error para el uso de un circuito integrado en una aplicación ADAS para garantizar que un fallo del circuito integrado se pueda comunicar con éxito a un sistema electrónico o de computación de un vehículo.

[0020] La FIG. 1 muestra en general en 100 un ejemplo de un circuito integrado 106 que tiene múltiples patillas de comunicación, que incluye una patilla resistente a cortocircuitos 102 y múltiples patillas adyacentes 104. Las patillas de comunicación pueden implementarse como patillas que tienen una funcionalidad de entrada o salida (I/O). El circuito integrado 106 puede tener al menos una patilla resistente a cortocircuitos (SR) y uno o más patillas adyacentes (A). Como se muestra, una patilla resistente a cortocircuitos 102 está rodeada por ocho patillas 104 adyacentes. Se representa un cortocircuito 108 presente entre la patilla resistente a cortocircuitos 102 y la patilla adyacente central superior 104. Un cortocircuito 108 puede ser causado, por ejemplo, por exceso de material de soldadura, un cable doblado u otro contacto, corrosión, una combinación de los mismos, etc.

[0021] El cortocircuito 108 puede afectar negativamente a una salida de nivel de voltaje mediante la patilla resistente a cortocircuitos 102 o la patilla adyacente central superior 104 debido a la conexión eléctrica inesperada entre los dos patillas. En ciertas implementaciones que se describen en el presente documento, se detecta el cortocircuito 108, y se mejoran los efectos negativos del cortocircuito 108 sobre la patilla resistente a cortocircuitos 102. En consecuencia, se puede producir o mantener una salida de nivel de voltaje deseada de la patilla resistente a cortocircuitos 102, incluso en presencia del cortocircuito 108. Solo a modo de ejemplo, la patilla resistente a cortocircuitos 102 puede implementarse como una patilla de error en un entorno ADAS.

[0022] Los circuitos de patillas de salida resistente a cortocircuitos pueden implementarse en una variedad de situaciones diferentes con diferentes números de patillas de E/S. Por ejemplo, aunque se muestra como parte de una matriz de patillas en la FIG. 1, una patilla resistente a cortocircuitos 102 puede ser parte de una línea de patillas de E/S. De manera similar, una patilla resistente a cortocircuitos 102 puede estar ubicada a lo largo de un borde de una matriz de patillas de E/S. Además, el circuito de patillas de salida resistente a cortocircuitos puede implementarse mediante un circuito integrado que incluye múltiples patillas resistentes a cortocircuitos. Una implementación de ejemplo específica se describe a continuación con respecto a una patilla resistente a cortocircuitos 102 y una patilla adyacente 104 única. Sin embargo, el circuito de patillas de salida resistente a cortocircuitos también se puede realizar con múltiples patillas adyacentes 104. Por ejemplo, los circuitos de detección y mejora pueden implementarse con respecto a dos o tres patillas 104 adyacentes; con respecto a los cuatro patillas adyacentes 104, por ejemplo, con cuatro patillas que están dispuestas a lo largo de las direcciones cardinales (*por ejemplo*, arriba-abajo-izquierda-derecha) o con cuatro patillas que están dispuestas a lo largo de las direcciones diagonales; con respecto a ocho patillas adyacentes 104; o alguna combinación de los mismos.

[0023] La FIG. 2 ilustra un ejemplo de escenario 200 para circuitos de patillas de salida resistentes a cortocircuitos que incluyen una patilla resistente a cortocircuitos 102 y una patilla adyacente 104, así como circuitos resistentes a cortocircuitos 206. El escenario 200 incluye tres fases. En la parte superior de la FIG. 2, se muestra una primera fase sin cortocircuito. En la fase media, un cortocircuito 108 se está desarrollando o acaba de ocurrir. En la parte inferior de la FIG. 2, el cortocircuito 108 ha sido mejorado en la tercera fase. Con una mejora de cortocircuitos 212, se reduce el efecto negativo del cortocircuito 108 en la patilla resistente a cortocircuitos 102.

[0024] Como se muestra, la patilla adyacente 104 está acoplada a una placa adyacente 204. La patilla resistente a cortocircuitos 102 está acoplada a una placa resistente a cortocircuitos 202. La placa resistente a cortocircuitos 202 y la placa adyacente 204 están acopladas a los circuitos resistentes a cortocircuitos 206. Para la primera fase, no hay cortocircuito entre la patilla resistente a cortocircuitos 102 y la patilla adyacente 104. En consecuencia, se puede emitir una señal precisa 208 desde la patilla resistente a cortocircuitos 102. La señal precisa 208 representa o implica un voltaje que se encuentra en un nivel de voltaje, o al menos dentro de un rango de niveles de voltaje, que está previsto por el circuito integrado 106 (de la FIG. 1). En otras palabras, la información, tal como un valor lógico, que se pretende que sea transportada por la señal precisa 208 puede ser recibida e interpretada correctamente por otro circuito integrado o componente electrónico que está acoplado a la patilla resistente a cortocircuitos 102.

[0025] Para la segunda fase del escenario 200 en el medio de la FIG. 2, el cortocircuito 108 que se ilustra entre la patilla resistente a cortocircuitos 102 y la patilla adyacente 104 se está desarrollando o ha ocurrido recientemente. El cortocircuito 108 afecta negativamente a la capacidad de la patilla resistente a cortocircuitos 102 para emitir la señal precisa 208. Como resultado, una señal potencialmente corrompida 210 puede ser emitida momentáneamente por la patilla resistente a cortocircuitos 102. Una señal corrompida no posee un nivel de voltaje para transmitir correctamente la información deseada en un grado fiable. En otras palabras, si no fuera por el funcionamiento del circuito resistente a cortocircuitos 206, la señal de salida en la patilla resistente a cortocircuitos 102 se corrompería. Desde una perspectiva alternativa, la señal que se emite desde la patilla resistente a cortocircuitos 102 puede corromperse brevemente mientras se detecta el cortocircuito 108 y antes de que pueda mejorarse el cortocircuito.

[0026] Para la tercera fase del escenario 200, en la parte inferior de la FIG. 2, el circuito resistente a cortocircuitos 206 es operacional para lograr la mejora de cortocircuitos 212. Con la mejora de cortocircuitos 212, la patilla resistente a cortocircuitos 102 está habilitada para emitir nuevamente o para continuar emitiendo la señal precisa 208, a pesar de la presencia del cortocircuito 108. En un funcionamiento de ejemplo, el circuito resistente a cortocircuitos 206 está configurado para detectar una condición de cortocircuito, que es causada por el cortocircuito 108, entre la patilla resistente a cortocircuitos 102 y la patilla adyacente 104 y para mejorar la condición de cortocircuito sensible a la detección del cortocircuito 108. La mejora de cortocircuitos 212 puede evitar que la patilla adyacente 104 afecte (*por ejemplo*, que afecte sustancialmente) a un nivel de voltaje en la patilla resistente a cortocircuitos 102 si se detecta una condición de cortocircuito. Se puede considerar que se evita que la patilla adyacente 104 afecte sustancialmente a un nivel de voltaje de la patilla resistente a cortocircuitos 102 si el nivel de voltaje deseado es legible desde la patilla resistente a cortocircuitos 102, incluso en presencia del cortocircuito 108. Los circuitos resistentes a cortocircuitos 206 pueden evitar que el cortocircuito 108, que se encuentra entre la patilla resistente a cortocircuitos 102 y la patilla adyacente 104, corrompa una salida de señal de la patilla resistente a cortocircuitos 102.

[0027] La FIG. 3 ilustra una correspondencia de ejemplo 300 entre un diagrama orientado a dispositivos 302 y un diagrama orientado a resistencias 304 que incluye una patilla resistente a cortocircuitos 102 y una patilla adyacente 104. Para el diagrama orientado a dispositivos 302, se representan los transistores. Para el diagrama 304 orientado a la resistencia, los transistores que están activados y el cortocircuito 108 están modelados con resistencias. Los transistores que están apagados se modelan como un circuito abierto y no se representan.

[0028] Con referencia al diagrama 302 orientado al dispositivo, los voltajes se controlan en las patillas de salida utilizando dos transistores. En una implementación de ejemplo, un par de transistores de efecto de campo (FET) se acoplan en serie entre un voltaje de alimentación y una conexión a tierra para cada patilla de salida. Un FET de tipo p (PFET) está acoplado al voltaje de alimentación, y un FET de tipo n (NFET) está acoplado a la tierra. Un nodo entre el PFET y el NFET controla el voltaje en la patilla de salida.

[0029] Se puede activar un "1" o alto voltaje al activar el PFET superior y al desactivar el NFET inferior. A la inversa, se puede activar un "0" o bajo voltaje apagando el PFET superior y activando el NFET inferior. En un ejemplo de escenario que se usa para describir los niveles de voltaje relativos para las patillas conectados por el cortocircuito 108, se coloca un "1" en la patilla adyacente 104, y se activa un "0" en la patilla resistente a cortocircuitos 102. Por lo tanto, el PFET para la patilla adyacente 104 se activa, y el NFET para la patilla resistente a cortocircuitos 102 se activa.

[0030] La correspondencia 300 se presenta en términos de este escenario de ejemplo en el que se activan el PFET para la patilla adyacente 104 y el NFET para la patilla resistente a cortocircuitos 102. Por lo tanto, el diagrama 304 orientado a la resistencia modela el PFET como una resistencia R_{PMOS} (*es decir*, la resistencia (R) de un FET de metal-óxido-semiconductor de canal p (PMOS) que está activada), el NFET como una resistencia R_{NMOS} (*es decir*, la resistencia (R) de un FET de semiconductores de óxido de metal de canal n (NMOS) que está activado), y el cortocircuito 108 como una resistencia $R_{cortocircuito}$. Estas tres resistencias están acopladas en serie en el diagrama orientado a la resistencia 304 entre un voltaje superior V_{DD} (*por ejemplo*, un voltaje de alimentación (V_{DD}) y un voltaje inferior V_{SS} (*por ejemplo*, un voltaje de tierra (V_{SS})). La resistencia R_{PMOS} está acoplada entre un nodo para el voltaje superior V_{DD} y la patilla adyacente 104. La resistencia $R_{cortocircuito}$ acopla la patilla adyacente 104 a la patilla resistente a cortocircuitos 102. Y la resistencia R_{NMOS} está acoplada entre la patilla resistente a cortocircuitos 102 y un nodo para el voltaje más bajo V_{SS} .

[0031] Un voltaje que se observa en la patilla resistente a cortocircuitos 102 en presencia del cortocircuito 108 se denomina $V_{Observe}$ en el diagrama orientado a la resistencia 304. Un valor o nivel de $V_{Observe}$ depende de los voltajes que se pretenden controlar en la patilla resistente a cortocircuitos 102 y en la patilla adyacente 104, así como en los valores de las resistencias de los transistores que están activados. El valor de $V_{Observe}$ depende de las intensidades relativas de las señales que se activan en las patillas de salida. A continuación se describen ejemplos de valores que se pueden observar en la patilla resistente a cortocircuitos 102 (*p. ej.*, $V_{Observe}$) y en la patilla adyacente 104 en función de las intensidades de señal relativa de las mismas, con referencia a los gráficos de la FIG. 4.

[0032] La FIG. 4 muestra en general, en 400, dos gráficos 402 y 404 que pertenecen a niveles de voltaje de ejemplo para una patilla resistente a cortocircuitos 102 y una patilla adyacente 104 (*por ejemplo*, de la FIG. 3) alrededor de una condición de cortocircuito para diferentes intensidades de activación relativas. Cada gráfico incluye formas de onda de niveles de voltaje que se muestran poco antes, durante el desarrollo y poco después de una condición de cortocircuito. La abscisa o el eje horizontal refleja el tiempo en nanosegundos de 4,8 a 5,3 nanosegundos. El eje ordenado o vertical refleja el voltaje (V) de 0,0 a 1,0 para cada gráfico. El gráfico superior 402 representa los voltajes de salida observados si los circuitos resistentes a cortocircuitos no están operativos o aún no han mejorado la condición de cortocircuito, y el gráfico inferior 404 representa los voltajes correspondientes que están destinados a ser activados por la patilla resistente a cortocircuitos 102 y la patilla adyacente 104. Se representan nueve formas de onda 406-422.

[0033] Con referencia al gráfico inferior 404, se representan las formas de onda 418, 420 y 422. Aunque la activación de cortocircuito es aplicable a ambos gráficos, la activación de cortocircuito está representada por la forma de onda 422 en el gráfico inferior 404. Como se muestra, la condición de cortocircuito se desarrolla a lo largo de 0,1 nanosegundos entre 5,0 y 5,1 nanosegundos. La forma de onda 418 indica que la patilla resistente a cortocircuitos 102 está diseñado para activarse a 1,0 voltios durante el intervalo de tiempo de 0,5 nanosegundos que se extiende de 4,8 a 5,3 nanosegundos. La forma de onda 420 indica que la patilla adyacente 104 está diseñada para activarse a 0,0 voltios durante el intervalo de tiempo de 0,5 nanosegundos.

[0034] Con referencia al gráfico superior 402, las formas de onda 406, 408, 410, 412, 414 y 416 se representan en pares para tres casos diferentes. En el primer caso, las formas de onda 406 y 408 se relacionan con una situación en la que la patilla resistente a cortocircuitos 102 es activada de manera relativamente más fuerte que la patilla adyacente 104. La forma de onda 406 representa el voltaje para la patilla resistente a cortocircuitos 102, y la forma de onda 408 representa el voltaje para la patilla adyacente 104. En el segundo caso, las formas de onda 410 y 412 se relacionan con una situación en la que las intensidades de activación de la patilla resistente a cortocircuitos 102 y la patilla adyacente 104 están relativamente equilibradas. La forma de onda 410 representa el voltaje para la patilla resistente a cortocircuitos 102, y la forma de onda 412 representa el voltaje para la patilla adyacente 104. En el tercer caso, las formas de onda 414 y 416 se relacionan con una situación en la que la patilla adyacente 104 es activada de manera relativamente más fuerte que la patilla resistente a cortocircuitos 102. La forma de onda 414 representa el voltaje para la patilla resistente a cortocircuitos 102, y la forma de onda 416 representa el voltaje para la patilla adyacente 104.

[0035] En cada uno de los tres casos, a medida que se desarrolla la condición de cortocircuito, los voltajes de salida en las patillas se alejan de los niveles de voltaje previstos respectivos. El voltaje activado por la señal que tiene la intensidad relativamente débil se acerca más al otro voltaje activado por la intensidad relativamente más fuerte. Por ejemplo, debido a que la patilla resistente a cortocircuitos 102 se activa de manera relativamente más fuerte que la patilla adyacente 104 en el primer caso, el voltaje de la forma de onda 406 baja relativamente ligeramente desde el nivel de voltaje de 1,0 V previsto para la patilla resistente a cortocircuitos 102, pero el voltaje de la forma de onda 408 aumenta de manera relativamente significativa desde el nivel de voltaje de 0,0 V destinado a la patilla adyacente 104. Lo contrario es cierto para las formas de onda 414 y 416. En cada uno de los tres casos, los niveles de voltaje de salida que se obtienen cuando la condición de cortocircuito se acerca al voltaje central (*por ejemplo*, 0,5 V) hacia un rango de voltajes intermedios que se aleja de los voltajes de 0,0 V y 1,0 V. La ocurrencia de un nivel de voltaje dentro de este rango de voltajes intermedios se puede usar como parte de una técnica para detectar que se cumpla de una condición de cortocircuito, técnica que se describe más adelante con referencia a al menos las FIGs. 5, 6 y 8.

[0036] La FIG. 5 ilustra en general en 500 un ejemplo de circuitos resistente a cortocircuitos 206 que incluye un detector de cortocircuitos 506 y un controlador de salida 508. Las señales múltiples 510, 512, 514, 516, 518 y 520 se ilustran propagándose entre los componentes ilustrados de un circuito integrado. Cada una de las señales pueden realizarse usando uno o más diferentes niveles de voltaje (*por ejemplo*, niveles de voltaje bajos, altos e intermedios). Aunque no se ilustra por separado de las flechas que representan las señales, los voltajes pueden producirse en o a través de un cable, una traza, una tira metálica o una combinación de ellos de un circuito integrado. A continuación se describen ejemplos de niveles de voltaje con referencia a un diagrama de tiempos de la FIG. 6. Cada señal puede incluir además una o más señales, como se describe a continuación con referencia a la FIG. 7.

[0037] Como se muestra en la FIG. 5, la lógica de núcleo para un circuito integrado está representada por la lógica de núcleo de patilla resistente a cortocircuitos 502 y la lógica de núcleo de patilla adyacente 504. La lógica de núcleo incluye circuitos (no se muestran explícitamente) que permiten implementar la funcionalidad correspondiente a una patilla dada. Por lo tanto, la lógica de núcleo de patilla resistente a cortocircuitos 502 es capaz de realizar la funcionalidad correspondiente a la patilla resistente a cortocircuitos 102, y la lógica de núcleo de patilla 504 adyacente es capaz de realizar la funcionalidad correspondiente a la patilla adyacente 104.

[0038] En una implementación de ejemplo, la patilla resistente a cortocircuitos 102 es responsable de comunicar información crítica, como una señal indicativa de que se debe desplegar una bolsa de aire, una señal que informa de que el circuito integrado ha experimentado un fallo interno, etc. La lógica de núcleo de patilla resistente a cortocircuitos 502 procesa los datos para producir tal señal. La patilla adyacente 104 es responsable de las comunicaciones menos críticas. Entre los ejemplos se incluye una señal indicativa de baja presión de los neumáticos, una señal que representa los píxeles en una pantalla de visualización, un poco de una dirección de memoria, etc. La lógica de núcleo de patilla adyacente 504 procesa estos datos entrantes o salientes relativamente menos críticos en consecuencia.

[0039] En implementaciones de ejemplo, el circuito resistente a cortocircuitos 206 incluye el detector de cortocircuitos 506 y el controlador 508 de salida. En general, el detector de cortocircuitos 506 está configurado para detectar una condición de cortocircuito entre la patilla resistente a cortocircuitos 102 y la patilla adyacente

104. Y el controlador de salida 508 está configurado para mejorar la condición de cortocircuito detectada al reducir el efecto de la condición de cortocircuito en el nivel de voltaje de una salida de la patilla resistente a cortocircuitos.

5 **[0040]** La lógica de núcleo de patilla resistente a cortocircuitos 502 está acoplada a la placa resistente a cortocircuitos 202. La placa resistente a cortocircuitos 202 comunica la señal 510 a la lógica de núcleo de patilla resistente a cortocircuitos 502 y al detector de cortocircuitos 506 de los circuitos resistentes a cortocircuitos 206. La señal 510 es un bucle de retorno del voltaje en una salida de la placa resistente a cortocircuitos 202. En consecuencia, el detector de cortocircuitos 506 puede supervisar el nivel de voltaje de la señal de salida en la patilla resistente a cortocircuitos 102. Además, si la placa resistente a cortocircuitos 202 incluye una capacidad de entrada, la lógica de núcleo de patilla resistente a cortocircuitos 502 puede recibir señales entrantes de la patilla resistente a cortocircuitos 102. Para señales salientes, la lógica de núcleo de patilla resistente a cortocircuitos 502 comunica la señal 512 a la placa resistente a cortocircuitos 202. Por lo tanto, la lógica de núcleo de patilla resistente a cortocircuitos 502 puede proporcionar una señal de salida, como un informe de error, para la patilla resistente a cortocircuitos 102.

15 **[0041]** El detector de cortocircuitos 506 está configurado para supervisar el nivel de voltaje de la salida de la patilla resistente a cortocircuitos 102 basándose en la señal 510. El detector de cortocircuitos 506 también está configurado para proporcionar un indicador de alerta de detección al controlador de salida 508 que responde al nivel de voltaje de la salida de la patilla resistente a cortocircuitos 102. El indicador de alerta de detección se afirma si el detector 506 detecta un cortocircuito. El detector de cortocircuitos 506 proporciona el indicador de alerta de detección al controlador de salida 508 a través de la señal 514. El detector de cortocircuitos 506 puede detectar el cortocircuito 108 (de la FIG. 2) entre la patilla resistente a cortocircuitos 102 y la patilla adyacente 104 basándose en una salida de nivel de voltaje por parte de la patilla resistente a cortocircuitos 102 usando la placa resistente a cortocircuitos 202.

20 **[0042]** La lógica de núcleo de patilla adyacente 504 está acoplada a la placa adyacente 204. La placa adyacente 204 comunica la señal 516 a la lógica de núcleo de patilla adyacente 504. La señal 516 proporciona datos a la lógica de núcleo de patilla adyacente 504 que se introduce al circuito integrado a través de la patilla adyacente 104. La lógica de núcleo de patilla adyacente 504 también está acoplada al controlador de salida 508. La lógica de núcleo de patilla adyacente 504 comunica la señal 518 al controlador de salida 508. La señal 518 puede transportar datos de salida para la lógica de núcleo de patilla adyacente 504. Los datos de salida se hacen pasar a través del controlador de salida 508 para que el controlador de salida 508 pueda actuar como una puerta de enlace para la funcionalidad de salida de datos para la patilla adyacente 104.

25 **[0043]** El controlador de salida 508 controla una salida de la placa adyacente 204 para la patilla adyacente 104 utilizando la señal 520. El controlador de salida 508 puede controlar la salida de la patilla adyacente 104 para al menos reducir un impacto de la patilla adyacente 104 en el nivel de voltaje de una salida de señal por parte de la patilla resistente a cortocircuitos 102 basándose en la señal 514 del detector de cortocircuitos 506. Si el indicador de alerta de detección de la señal 514 no se activa, el controlador de salida 508 envía el nivel de voltaje de la señal 518 a la señal 520 para permitir que la lógica de núcleo de patilla adyacente 504 envíe los datos deseados en la patilla adyacente 104 a través de la placa adyacente 204.

30 **[0044]** Por otro lado, si se activa el indicador de alerta de detección de la señal 514, el controlador de salida 508 configura la señal 520 de modo que la salida de la patilla adyacente 104 no corrompa la señal deseada en la patilla resistente a cortocircuitos 102, incluso en la presencia de un cortocircuito entre la patilla adyacente 104 y la patilla resistente a cortocircuitos 102. Por ejemplo, el controlador de salida 508 puede usar la señal 520 para deshabilitar la salida de la placa adyacente 204. De forma alternativa, el controlador de salida 508 puede usar la señal 520 para hacer que la placa adyacente 204 active una señal en la patilla adyacente 104 que es la misma que la señal deseada para la patilla resistente a cortocircuitos 102. El controlador de salida 508 puede controlar el nivel de voltaje de la patilla adyacente 104 haciendo que la salida de la patilla adyacente 104 tenga un valor de voltaje que corresponde a un nivel de voltaje correcto para la patilla resistente a cortocircuitos 102, con el nivel de voltaje correcto indicado por la lógica de las patillas resistentes a cortocircuitos 502. El controlador de salida 508 puede controlar una salida de la patilla adyacente 104 para evitar que el cortocircuito 108 (de la FIG. 2) corrompa la salida de señal de la patilla resistente a cortocircuitos 102. Estas implementaciones de ejemplo, así como detalles adicionales que incluyen memorias intermedias de las placas de comunicación y señales comunicadas adicionales, se describen más adelante con referencia a la FIG. 7.

35 **[0045]** La FIG. 6 ilustra un ejemplo de diagrama de tiempos 600 para los niveles de voltaje de una patilla resistente a cortocircuitos 102 y una patilla adyacente 104 (de la FIG. 5) si se produce un cortocircuito entre los dos patillas. Además de una señal de reloj 602, se muestran las señales de voltaje en múltiples componentes diferentes, como diferentes patillas. El diagrama de tiempos 600 incluye las partes superior, media e inferior. La parte superior representa la señal de reloj 602. La parte media muestra los niveles de voltaje si se produce un cortocircuito en ausencia de circuitos resistentes a cortocircuitos. La parte inferior muestra los niveles de voltaje si se produce un cortocircuito con circuitos resistentes a cortocircuitos. Se produce un cortocircuito después del quinto borde descendente de la señal de reloj 602 como se muestra en una flecha 616.

[0046] En la parte media del diagrama de tiempos 600, una señal de patilla adyacente 604 es activada baja en el primer borde ascendente de la señal de reloj 602. En el segundo borde ascendente de la señal de reloj 602, una señal de patilla resistente a cortocircuitos 606 se activa alta. El nivel de voltaje previsto para la patilla resistente a cortocircuitos 102 es, por lo tanto, alto. Sin embargo, el cortocircuito entre la patilla adyacente 104 y la patilla resistente a cortocircuitos 102, que aparece en la flecha 616, afecta negativamente al nivel de voltaje deseado en ausencia de circuitos resistentes a cortocircuitos. una señal de patilla resistente a cortocircuitos (con cortocircuito) refleja este impacto negativo. Como se indica en una flecha 618, la señal de patilla resistente a cortocircuitos (con cortocircuito) 608 toma un nivel de voltaje intermedio después del cortocircuito en ausencia de esfuerzos para mejorar el cortocircuito. Este voltaje intermedio no logra transmitir la señal deseada en la patilla resistente a cortocircuitos 102.

[0047] En la parte inferior del diagrama de tiempos 600, los niveles de voltaje de las señales en la patilla resistente a cortocircuitos 102 y la patilla adyacente 104 se muestran en presencia de la mejora de cortocircuitos 212 que se efectúa mediante los circuitos resistentes a cortocircuitos 206 (de la FIG. 5). Se afirma una señal de salida del detector de cortocircuitos 610 (*por ejemplo*, alta) que responde a la aparición del cortocircuito en la flecha 616 porque el detector de cortocircuitos 506 detecta la existencia del cortocircuito basándose en el voltaje intermedio que se produce momentáneamente en la patilla resistente a cortocircuitos 102. El controlador de salida 508 hace que una señal de patilla adyacente (con cortocircuito) 612 se active como indica la línea de puntos. En otras palabras, como lo indica una flecha 620, la patilla adyacente 104 es activada por el controlador de salida 508 en respuesta a la afirmación de la señal de salida del detector de cortocircuitos 610. Debido a que la versión mejorada de la señal de la patilla adyacente (con cortocircuito) 612 también es de alto voltaje, el nivel de voltaje de la patilla adyacente 104 no entra en conflicto con el nivel de voltaje de la patilla resistente a cortocircuitos 102. En consecuencia, la señal de patilla resistente a cortocircuitos (con cortocircuito) 614 continúa manteniéndose a un alto voltaje después de la aparición del cortocircuito. En otras palabras, como lo indica una flecha 622, una salida de la patilla resistente a cortocircuitos 102 se mantiene en un nivel de voltaje previsto debido a los esfuerzos de mejora de los circuitos resistentes a cortocircuitos 206.

[0048] La FIG. 7 ilustra en general, en 700, otro ejemplo de circuito resistente a cortocircuitos 206 que incluye el detector de cortocircuitos 506 y el controlador de salida 508 en conjunto con las memorias intermedias de entrada y salida de la placa resistente a cortocircuitos 202 y la placa adyacente 204. En comparación con la FIG. 5, la FIG. 7 representa implementaciones y componentes de ejemplo adicionales. Como se muestra en la FIG. 7, la placa resistente a cortocircuitos 202 incluye una memoria intermedia de salida 702 y una memoria intermedia de entrada 706, y la placa adyacente 204 incluye una memoria intermedia de salida 704 y una memoria intermedia de entrada 708. Se muestra que la señal 518 entre la lógica de núcleo de patilla adyacente 504 y el controlador de salida 508 incluye dos señales: una señal 518-1 y una señal 518-2. De manera similar, se muestra que la señal 520 entre el controlador de salida 508 y la placa adyacente 204 incluye dos señales: una señal 520-1 y una señal 520-2. También se describe un componente adicional del circuito resistente a cortocircuitos 206: la lógica de control de entrada de patilla adyacente 714 (AP ICL). Las señales asociadas con este componente lógico de control de entrada incluyen las señales 718 y 720.

[0049] En implementaciones de ejemplo, el detector de cortocircuitos 506 también proporciona la señal 514 que tiene un indicador de alerta de detección a la lógica de control de entrada de patilla adyacente 714 y a la lógica para manejar el registro de diagnóstico y las interrupciones. Para fines de registro de diagnóstico, los cortocircuitos detectados se pueden registrar, catalogar y analizar. Con fines de interrupción, un cortocircuito detectado puede precipitar una interrupción de uno o más procesos que están a bordo del circuito integrado o un reenvío de la interrupción a otro circuito integrado.

[0050] En una implementación de ejemplo, un terminal de habilitación de salida de la memoria intermedia de salida 702 se afirma de manera que la información, como un informe de fallos u otros datos que se proporcionan a partir de la lógica de núcleo de patilla resistente a cortocircuitos 502 a través de la señal 512, puede estar disponible como una salida en la patilla resistente a cortocircuitos 102 a través de la placa resistente a cortocircuitos 202. La lógica de núcleo de patilla resistente a cortocircuitos 502 puede habilitar la memoria intermedia de entrada 706 de la placa resistente a cortocircuitos 202 al proporcionar una indicación de habilitación de entrada (*por ejemplo*, al afirmar) un terminal de habilitación de entrada de la memoria intermedia de entrada 706 utilizando la señal 712. Si está habilitada, la memoria intermedia de entrada 706 es capaz de proporcionar datos que se introducen al circuito integrado a través de la patilla resistente a cortocircuitos 102 a la lógica de núcleo de patilla resistente a cortocircuitos 502 a través de la señal 510. La memoria intermedia de entrada 706 de la placa resistente a cortocircuitos 202 también puede proporcionar, a través de la señal 510 con fines de detección de cortocircuitos, un bucle de retorno del voltaje real producido en la salida de la memoria intermedia de salida 702, que corresponde a la salida para la patilla resistente a cortocircuitos 102.

[0051] Por lo tanto, el detector de cortocircuitos 506 supervisa el voltaje en la salida de la patilla resistente a cortocircuitos 102, que se obtiene a través de la señal 510 como un circuito de retorno desde la salida de la placa resistente a cortocircuitos 202, para detectar una condición de cortocircuito. En una implementación de ejemplo, el detector de cortocircuitos 506 determina si existe una condición de cortocircuito basándose en una comparación del voltaje en la salida de la patilla resistente a cortocircuitos 102 con un umbral de alto voltaje y un umbral de bajo

voltaje. Esta implementación se describe con más detalle a continuación con referencia a la FIG. 8. En otra implementación de ejemplo, el detector de cortocircuitos 506 determina si existe una condición de cortocircuito basada en una comparación del voltaje en la salida de la patilla resistente a cortocircuitos 102 con el nivel de voltaje deseado o correcto que se indica mediante la lógica de núcleo de patilla resistente a cortocircuitos 502, tal como a través de la señal 512. (Aunque no se muestra explícitamente en la FIG. 7, la señal 512 se puede hacer pasar al detector de cortocircuitos 506). El detector de cortocircuitos 506 determina la existencia de un cortocircuito si el nivel de voltaje de bucle de retorno se desvía del nivel de voltaje deseado en más de un umbral de desviación. El umbral de desviación puede basarse en un número absoluto de voltios (*por ejemplo*, 0,05 V, 0,10 V, etc.), basándose en un porcentaje del nivel de alto voltaje deseado o el diferencial de voltaje máximo entre los niveles de señal alto y bajo (*por ejemplo*, 5 % del mismo, 10 % del mismo, etc.), basándose en una tolerancia para la variación de la señal en un sistema dado, basándose en una combinación de los mismos, y así sucesivamente.

[0052] La lógica de control de entrada de patilla adyacente 714 controla la entrada de la patilla adyacente 104 controlando un terminal de habilitación de entrada de la memoria intermedia de entrada 708 de la placa adyacente 204. En un modo operativo regular, la lógica de núcleo de patilla adyacente 504 proporciona la señal 718 a la lógica de control de entrada de patilla adyacente 714 como una indicación de habilitación de entrada para la memoria intermedia de entrada 708. En el modo operativo normal, la lógica de control de entrada de patilla adyacente 714 pasa la indicación de habilitación de entrada de la señal 718 al terminal de habilitación de entrada de la memoria intermedia de entrada 708 a través de la señal 720. Sin embargo, en un modo de mejora breve, la lógica de control de entrada de patilla adyacente 714 anula la señal 718 que responde a un indicador de alerta de detección afirmado de la señal 514. Si el indicador de alerta de detección está activado, la lógica de control de entrada de patilla adyacente 714 desactiva la memoria intermedia de entrada 708 a través de la señal 720 para proteger la lógica de núcleo de patilla adyacente 504. La lógica de control de entrada de patilla adyacente 714 puede implementarse utilizando, por ejemplo, un multiplexor de dos a uno que tiene la señal 718 como una entrada y una señal de desafirmación preestablecida como otra entrada y que está controlada por el indicador de alerta de detección de la señal 514. Si está habilitada, la memoria intermedia de entrada 708 de la placa adyacente 204 es capaz de proporcionar datos que se introducen al circuito integrado a través de la patilla adyacente 104 a la lógica de núcleo de patilla adyacente 504 a través de la señal 516. Aunque no se muestra en la FIG. 7, se puede implementar adicionalmente o de forma alternativa una lógica de control de entrada de patilla resistente a cortocircuitos. Si se implementa, la lógica de control de entrada de patilla resistente a cortocircuitos puede funcionar de manera análoga a la lógica de control de entrada de patilla adyacente 714. Por ejemplo, la lógica de control de entrada de patilla resistente a cortocircuitos puede anular la señal 712 que responde a un indicador de alerta de detección afirmado de la señal 514 y deshabilitar la memoria intermedia de entrada 706 a través de otra señal (no se muestra explícitamente) acoplada al terminal de habilitación de entrada de la memoria intermedia de entrada 706.

[0053] Se envían o envían múltiples señales desde el controlador de salida 508. El detector de cortocircuitos 506, por ejemplo, proporciona la señal 514 que se afirma como un indicador de alerta de detección si se detecta un cortocircuito. La lógica de núcleo de patilla resistente a cortocircuitos 502 proporciona la señal 512, que representa los datos que deben enviarse mediante la patilla resistente a cortocircuitos 102, como una indicación de fallo, al controlador de salida 508. La lógica de núcleo de patilla adyacente 504 proporciona la señal 518-1, que transporta datos, y la señal 518-2, que transporta una indicación de habilitación de salida, al controlador de salida 508. El controlador de salida 508 hace pasar los datos a través de la señal 520-1 a la memoria intermedia de salida 704 de la placa adyacente 204 para la exposición en la patilla adyacente 104. El controlador de salida 508 también proporciona una indicación de habilitación de salida a través de la señal 520-2 a un terminal de habilitación de salida de la memoria intermedia de salida 704.

[0054] En un modo operacional regular, el controlador de salida 508 pasa los datos recibidos desde la lógica de núcleo de patilla adyacente 504 a través de la señal 518-1 a la memoria intermedia de salida 704 a través de la señal 520-1. El controlador de salida 508 también envía una indicación de habilitación de salida, que se puede afirmar o anular, recibida desde la lógica de núcleo de patilla adyacente 504 a través de la señal 518-2 hasta el terminal de habilitación de salida de la memoria intermedia de salida 704 a través de la señal 520-2. Se introduce un modo de mejora de cortocircuitos en respuesta a la afirmación del indicador de alerta de detección de la señal 514 desde el detector de cortocircuitos 506. En el modo de mejora de cortocircuitos, el controlador de salida 508 controla una salida de la patilla adyacente 104 al controlar la memoria intermedia de salida 704 para reducir el impacto de la patilla adyacente 104 en la patilla resistente a cortocircuitos 102 en el caso de que el circuito integrado experimente un cortocircuito.

[0055] En una implementación de ejemplo para el modo de mejora de cortocircuitos, el controlador de salida 508 usa la señal 520-2 para anular la aseveración del terminal de habilitación de la memoria intermedia de salida 704 para evitar que la placa adyacente 204 active un voltaje en la patilla adyacente 104. En una implementación alternativa, el controlador de salida 508 proporciona un nivel de voltaje a la memoria intermedia de salida 704 a través de la señal 520-1. El nivel de voltaje en la señal 520-1 se configura para coincidir con el nivel de voltaje recibido de la lógica de núcleo de patilla resistente a cortocircuitos 502 a través de la señal 512. El controlador de salida 508 también afirma el terminal de habilitación de salida de la memoria intermedia de salida 704 a través de la señal 520-2. En consecuencia, la memoria intermedia de salida 704 activa un nivel de voltaje en la patilla adyacente 104 que es el mismo que el voltaje que está siendo activado por el nodo de salida 702 en la patilla

resistente a cortocircuitos 102, lo cual reduce la contención. A continuación se describen estas implementaciones con referencia a la FIG. 9.

5 **[0056]** La FIG. 8 ilustra en general en 800 un ejemplo de circuito para el detector de cortocircuitos 506 del circuito resistente a cortocircuitos 206 (de la FIG. 7). Como se ilustra, el detector de cortocircuitos 506 incluye un sensor de voltaje 802, un inversor 804, un flip-flop DQ 806 y una compuerta OR 808. En general, el sensor de voltaje 802, el inversor 804, el flip-flop DQ 806 y la compuerta OR 808 están acoplados en serie de izquierda a derecha en la FIG. 8. A la izquierda, el detector de cortocircuitos 506 recibe tres señales 510, 810 y 812, cada una de las cuales se envía al sensor de voltaje 802. La señal 510 se recibe desde la memoria intermedia de entrada 706 de la placa resistente a cortocircuitos 202 (ambas de la FIG. 7) y transporta el voltaje del bucle de retorno 816 desde la salida de la placa resistente a cortocircuitos 202 de la patilla resistente a cortocircuitos 102. La señal 810 proporciona un umbral de alto voltaje 818, y la señal 812 proporciona un umbral de bajo voltaje 820.

15 **[0057]** En un funcionamiento de ejemplo, el sensor de voltaje 802 compara el nivel de voltaje del bucle de retorno 816 con el umbral de alto voltaje 818 y el umbral de bajo voltaje 820. Si el nivel de voltaje del bucle de retorno 816 está por encima del umbral de alto voltaje 818 o por debajo del umbral de bajo voltaje 820, no se genera ninguna alarma. Por otro lado, si el nivel de voltaje del bucle de retorno 816 está por debajo del umbral de alto voltaje 818 y por encima del umbral de bajo voltaje 820, el sensor de voltaje 802 genera una alarma 826. En otras palabras, si el nivel de voltaje del bucle de retorno 816 está entre el umbral de bajo voltaje 820 y el umbral de alto voltaje 20 818, el nivel de voltaje está en un valor de voltaje intermedio indicativo de una condición de cortocircuito. El sensor de voltaje 802 puede generar una alarma 826 que es indicativa del cortocircuito 108 (de la FIG. 2) basado en el nivel de voltaje generado por la patilla resistente a cortocircuitos 102, un umbral de alto voltaje 818 y un umbral de bajo voltaje 820. El sensor de voltaje 802 proporciona la alarma 826 como una señal 814 a una entrada del inversor 804.

25 **[0058]** En este ejemplo, la alarma 826 se activa al reducir el voltaje en la entrada del inversor 804. En consecuencia, el voltaje en la salida del inversor 804, que se designa como un nodo 824, se vuelve alto. El nodo 824 está acoplado a una entrada de habilitación de reloj del flip-flop 806 DQ y a una entrada superior de la puerta 808 OR. La entrada "D" del flip-flop 806 DQ está vinculada a un alto voltaje como se representa por el "1". La salida "Q" está acoplada a una entrada inferior de la puerta OR 808. El cambio de nivel de voltaje en la salida del inversor 804 simula un borde ascendente de una señal de reloj en el nodo 824. El borde ascendente de la señal de reloj simulada activa el flip-flop DQ 806. El flip-flop 806 DQ activado propaga el "1" en la entrada "D" a la salida "Q" del flip-flop 806 DQ. El alto voltaje en el nodo 824 debido a la afirmación de la señal 814 como la alarma 826 hace que la puerta OR 808 emita un alto voltaje para una afirmación del indicador de alerta de detección 822.

35 **[0059]** El flip-flop 806 DQ sirve para bloquear la alarma 826 que indica una detección de cortocircuitos. La indicación se puede almacenar hasta que el software u otro hardware la borre. El detector de cortocircuitos 506 emite el indicador de alerta de detección afirmada 822 como la señal 514, que se comunica al controlador de salida 508. Un ejemplo de cómo el controlador de salida 508 usa y responde al indicador de alerta de detección a firmada 822 se describe a continuación con referencia a la FIG. 9.

40 **[0060]** La FIG. 9 ilustra en general a 900 un ejemplo de circuitos para el controlador de salida 508 de los circuitos resistentes a cortocircuitos 206 (de la FIG. 7). Como se muestra, el controlador de salida 508 incluye dos multiplexores: un multiplexor de habilitación 902 y un multiplexor de datos 904. Ambos son multiplexores de dos a uno que seleccionan entre dos entradas una salida para reenviar basándose en el indicador de alerta de detección 822. El indicador de alerta de detección 822 se proporciona a un terminal de control de cada multiplexor como la señal 514, que se recibe desde el detector de cortocircuitos 506. Si el indicador de alerta de detección 822 está activado, se introduce un modo de mejora breve y cada multiplexor cambia de seleccionar una entrada superior a seleccionar una entrada inferior.

50 **[0061]** El multiplexor de habilitación 902 tiene una entrada superior que recibe una indicación de habilitación de la lógica de núcleo de patilla adyacente 504 como la señal 518-2. El multiplexor de habilitación 902 tiene una entrada inferior que recibe una señal de aserción preestablecida 906. El multiplexor de habilitación 902 emite una indicación de habilitación 908 como la señal 520-2 al terminal de habilitación de salida de la memoria intermedia de salida 704 de la placa adyacente 204 (de la FIG. 7). El multiplexor de habilitación 902 puede multiplexar desde una señal de habilitación correspondiente a la lógica de núcleo de patilla adyacente 504 (*por ejemplo*, la señal 518-2 que lleva una indicación de habilitación) a la señal de aserción 906 que responde a la detección del cortocircuito 108 (de la FIG. 2) entre la patilla resistente a cortocircuitos 102 y la patilla adyacente 104.

60 **[0062]** El multiplexor de datos 904 tiene una entrada superior que recibe datos de la lógica de núcleo de patilla adyacente 504 como la señal 518-1. El multiplexor de datos 904 tiene una entrada inferior que recibe datos de la lógica de núcleo de patilla resistente a cortocircuitos 502 como la señal 512. El multiplexor de datos 904 envía los datos 910 como la señal 520-1 a la entrada de la memoria intermedia de salida 704 de la placa adyacente 204. El multiplexor de datos 904 puede multiplexar desde una primera señal de datos para la patilla adyacente 104 (*p. ej.*, la señal 518-1 que transporta datos desde la lógica de núcleo de patilla adyacente 504) hasta una segunda señal de datos para la patilla resistente a cortocircuitos 102 (*por ejemplo*, la señal 512 que transporta datos de la lógica

de núcleo de patilla resistente a cortocircuitos 502 responde a la detección del cortocircuito 108 entre la patilla resistente a cortocircuitos 102 y la patilla adyacente 104.

[0063] En un modo operativo normal, el indicador de alerta de detección 822 del detector de cortocircuitos 506 no se activa. El multiplexor de habilitación 902 reenvía una indicación de habilitación desde la lógica de núcleo de patilla adyacente 504 como la indicación de habilitación 908 para la señal 520-2. El multiplexor de datos 904 reenvía datos de la lógica de núcleo de patilla adyacente 504 como los datos 910 para la señal 520-1. Por lo tanto, para el modo de funcionamiento regular, el controlador de salida 508 envía la indicación de habilitación y los datos desde la lógica de núcleo de patilla adyacente 504 a la memoria intermedia de salida 704 de la placa adyacente 204.

[0064] En contraste, para un modo de mejora de cortocircuitos, se afirma el indicador de alerta de detección 822 del detector de cortocircuitos 506. En una implementación, se puede multiplexar una señal de desafirmación predeterminada (no mostrada) desde la entrada inferior del multiplexor de habilitación 902 como la indicación de habilitación 908 para que la señal 520-2 desactive la memoria intermedia de salida 704 de la placa adyacente 204 para evitar que la patilla adyacente 104 entre en conflicto con la patilla resistente a cortocircuitos 102. En una implementación alternativa, el multiplexor de habilitación 902 proporciona la señal de aserción preestablecida 906 como la indicación de habilitación 908 para la señal 520-2 en respuesta al indicador de alerta de detección afirmada 822. El multiplexor de datos 904 también proporciona datos de la lógica de núcleo de patilla resistente a cortocircuitos 502 como los datos 910 para la señal 520-1. Por lo tanto, para esta implementación del modo de mejora de cortocircuitos, el controlador de salida 508 proporciona una indicación de activación afirmada y datos desde la lógica de núcleo de patilla resistente a cortocircuitos 502 a la memoria intermedia de salida 704 de la placa adyacente 204. Debido a que tanto la patilla adyacente 104 como la patilla resistente a cortocircuitos 102 emiten datos recibidos de la misma fuente, que es la lógica de núcleo de patilla resistente a cortocircuitos 502, los niveles de voltaje y los valores lógicos correspondientes que se emiten en ambas patillas son los mismos y no crean conflicto entre sí.

[0065] La FIG. 10 es un diagrama de flujo que ilustra un ejemplo de proceso 1000 para circuitos de patilla de salida resistente a cortocircuitos. El proceso 1000 se describe en forma de un conjunto de bloques 1002-1006 que especifican las operaciones que pueden realizarse. Sin embargo, las operaciones no están necesariamente limitadas al orden mostrado en la FIG. 10 o descrito en el presente documento, para que las operaciones puedan implementarse en órdenes alternativas o de manera total o parcialmente superpuestas. Las operaciones representadas por los bloques ilustrados del proceso 1000 pueden realizarse mediante un circuito integrado, tal como un circuito integrado 106 de la FIG. 1, que se describe anteriormente. Por ejemplo, las operaciones del proceso 1000 pueden ser realizadas por los circuitos resistentes a cortocircuitos 206 de las FIGs. 5 y 7.

[0066] En el bloque 1002, se supervisa un nivel de voltaje real en una salida de una patilla resistente a cortocircuitos. Por ejemplo, los circuitos resistentes a cortocircuitos 206 de un circuito integrado 106 pueden supervisar un nivel de voltaje real en una salida de una patilla resistente a cortocircuitos 102. Por ejemplo, un detector de cortocircuitos 506 puede recibir un nivel de voltaje a través de un circuito de retorno 816 de una salida de una placa resistente a cortocircuitos 202 para la patilla resistente a cortocircuitos 102, el nivel de voltaje transmitido en una señal 510 que se proporciona desde una memoria intermedia de entrada 706 de la placa resistente a cortocircuitos 202.

[0067] En el bloque 1004, se determina si el nivel de voltaje real para la salida de la patilla resistente a cortocircuitos se desvía de un nivel de voltaje previsto para la salida de la patilla resistente a cortocircuitos. Por ejemplo, el circuito resistente a cortocircuitos 206 puede determinar si el nivel de voltaje real obtenido con el circuito de retorno 816 a partir de la salida de la patilla resistente a cortocircuitos 102 a través de la memoria intermedia de entrada 706 se desvía de un nivel de voltaje deseado para la salida de la patilla resistente a cortocircuitos 102 en la memoria intermedia de salida 702. Esta determinación puede efectuarse al menos parcialmente mediante el detector de cortocircuitos 506, por ejemplo, comparando el nivel de voltaje de la señal 510 desde la memoria intermedia de entrada 706 con un nivel de voltaje de una lógica de núcleo de patilla resistente a cortocircuitos 502 que se proporciona a la memoria intermedia de salida 702 para la patilla resistente a cortocircuitos 102. Si el valor de voltaje proporcionado para la salida en la patilla resistente a cortocircuitos 102 es diferente del voltaje real supervisado en la patilla resistente a cortocircuitos 102 por más que un umbral de desviación, se puede inferir la existencia de un cortocircuito 108 entre la patilla resistente a cortocircuitos 102 y una patilla adyacente 104.

[0068] En el bloque 1006, una salida de una patilla adyacente se controla basándose en la determinación. Por ejemplo, los circuitos resistentes a cortocircuitos 206 puede controlar una salida de la patilla adyacente 104 basándose en la determinación. Para hacerlo, un controlador de salida 508 puede permitir que la lógica de núcleo de patilla adyacente 504 active una memoria intermedia de salida 704 de una placa adyacente 204 si no se determina que el nivel de voltaje real de la patilla resistente a cortocircuitos 102 se desvía del nivel de voltaje deseado. Sin embargo, si se determina que el nivel de voltaje real de la patilla resistente a cortocircuitos 102 se desvía del nivel de voltaje deseado como lo indica un indicador de alerta de detección 822 que se proporciona al controlador de salida 508, el controlador de salida 508 puede controlar la salida de la patilla adyacente 104, de manera que la patilla adyacente 104 no siga haciendo que el nivel de voltaje real de la patilla resistente a cortocircuitos 102 se desvíe del nivel de voltaje deseado.

5 **[0069]** En una implementación de ejemplo, para la supervisión del bloque 1002, la salida de la patilla resistente a cortocircuitos corresponde a una memoria intermedia de salida de una placa resistente a cortocircuitos que se acopla a la patilla resistente a cortocircuitos, y la supervisión incluye la supervisión del nivel de voltaje real en la memoria intermedia de salida de la placa resistente a cortocircuitos. Por ejemplo, la salida de la patilla resistente a cortocircuitos 102 puede corresponder a una memoria intermedia de salida 702 de una placa resistente a cortocircuitos 202 que está acoplada a la patilla resistente a cortocircuitos 102, y la supervisión puede incluir la supervisión del nivel de voltaje real en la memoria intermedia de salida 702 de la placa resistente a cortocircuitos 202. Esta supervisión de la salida de la memoria intermedia de salida 702 se puede realizar utilizando una memoria intermedia de entrada 706 de la placa resistente a cortocircuitos 202 que devuelve el voltaje de salida real a los circuitos resistentes a cortocircuitos 206 para un análisis de detección de cortocircuitos mediante el detector de cortocircuitos 506.

15 **[0070]** En una implementación de ejemplo, la determinación del bloque 1004 incluye comparar el nivel de voltaje real con un umbral de alto voltaje y un umbral de bajo voltaje y determinar que el nivel de voltaje real se desvía del nivel de voltaje deseado si el nivel de voltaje real está entre el umbral de alto voltaje y el umbral de bajo voltaje. Por ejemplo, el detector de cortocircuitos 506 (*por ejemplo*, el sensor de voltaje 802) puede comparar el nivel de voltaje real obtenido de la memoria intermedia de entrada 706 de la placa resistente a cortocircuitos 202 con un umbral de alto voltaje 818 y un umbral de bajo voltaje 820. El detector de cortocircuitos 506 también puede determinar que el nivel de voltaje real se desvía del nivel de voltaje deseado obtenido a partir de la lógica de núcleo de patilla resistente a cortocircuitos 502 si el nivel de voltaje real se encuentra entre el umbral de alto voltaje 818 y el umbral de bajo voltaje 820.

25 **[0071]** En otra implementación de ejemplo, la determinación del bloque 1004 incluye comparar el nivel de voltaje real con el nivel de voltaje deseado, con el nivel de voltaje deseado indicado por una lógica de núcleo de patilla resistente a cortocircuitos y determinar que el nivel de voltaje real se desvía del nivel de voltaje deseado si el nivel de voltaje real se desvía del nivel de voltaje deseado en más de un umbral de desviación. Por ejemplo, el detector de cortocircuitos 506 puede comparar el nivel de voltaje real obtenido de la memoria intermedia de entrada 706 de la placa resistente a cortocircuitos 202 con el nivel de voltaje deseado, que es proporcionado por la lógica de núcleo de patilla resistente a cortocircuitos 502. El detector de cortocircuitos 506 también puede determinar que el nivel de voltaje real se desvía del nivel de voltaje deseado si el nivel de voltaje real se desvía del nivel de voltaje deseado en más de un umbral de desviación, tal como 0,1 V o 5 % de una oscilación de voltaje entre niveles de bajo y alto voltaje.

35 **[0072]** En una implementación de ejemplo, el control del bloque 1006 incluye deshabilitar la salida de la patilla adyacente si se determina que el nivel de voltaje real se desvía del nivel de voltaje deseado. Por ejemplo, el controlador de salida 508 puede deshabilitar una salida de la patilla adyacente 104 anulando un terminal de habilitación de salida de la memoria intermedia de salida 704 de la placa adyacente 204.

40 **[0073]** En otra implementación de ejemplo, el control del bloque 1006 incluye hacer que la salida de la patilla adyacente se dirija al nivel de voltaje deseado si se determina que el nivel de voltaje real en la salida de la patilla resistente a cortocircuitos se desvía del nivel de voltaje deseado para la salida de la patilla resistente a cortocircuitos. Por ejemplo, el controlador de salida 508 puede hacer que la salida de la patilla adyacente 104 se active a un nivel de voltaje provisto mediante la lógica de núcleo de patilla resistente a cortocircuitos 502 a través de la señal 512 si el nivel de voltaje real en la salida de la patilla resistente a cortocircuitos 102 obtenida por el detector 506 de la memoria intermedia de entrada 706 se desvía del nivel de voltaje deseado para la salida de la patilla resistente a cortocircuitos 102.

50 **[0074]** En una implementación de ejemplo, el proceso 1000 también incluye, después de la operación de control, una repetición de las operaciones de supervisión y determinación. Si el nivel de voltaje real de la salida de la patilla resistente a cortocircuitos continúa desviándose del nivel de voltaje deseado, el proceso 1000 incluye además controlar una salida de una segunda patilla adyacente. En otras palabras, si un primer esfuerzo de mejora con respecto a una primera patilla adyacente 104 no tiene éxito, se puede efectuar un segundo esfuerzo de mejora con respecto a una segunda patilla adyacente 104. Los circuitos resistentes a cortocircuitos 206 pueden continuar controlando la salida de diferentes patillas 104 adyacentes hasta que se mejore la condición de cortocircuito y la patilla adyacente 104 involucrada en el cortocircuito 108 se verifique implícitamente.

55 **[0075]** A menos que el contexto indique lo contrario, el uso aquí de la palabra "o" se puede considerar el uso de un "inclusive o" o un término que permite la inclusión o aplicación de uno o más elementos que están vinculados por la palabra "o" (por ejemplo, una frase "A o B" se puede interpretar como permitir solo "A", como permitir solo "B", o como permitir tanto "A" como "B"). Si bien el tema se ha descrito en un lenguaje específico para características estructurales u operaciones metodológicas, debe entenderse que el alcance de la protección se define en las reivindicaciones adjuntas.

60

REIVINDICACIONES

1. Un circuito integrado (500) que comprende:
- 5 una patilla resistente a cortocircuitos (102);
- una patilla adyacente (104);
- 10 una placa resistente a cortocircuitos (202) acoplada a la patilla resistente a cortocircuitos;
- una placa adyacente (204) acoplada a la patilla adyacente;
- 15 una lógica de núcleo de patilla resistente a cortocircuitos (502) configurada para producir una primera señal para la patilla resistente a cortocircuitos;
- una lógica de núcleo de patilla adyacente (504) configurada para producir una segunda señal para la patilla adyacente; y
- 20 circuitos resistentes a cortocircuitos (206) acoplados a la placa resistente a cortocircuitos y la placa adyacente, con el circuito resistente a cortocircuitos configurado para:
- detectar una condición de cortocircuito entre la patilla resistente a cortocircuitos y la patilla adyacente; y **caracterizado por** estar además configurado para
- 25 evitar que la segunda señal se produzca en la patilla adyacente en respuesta a la detección de la condición de cortocircuito.
2. El circuito integrado (500) de la reivindicación 1, en el que los circuitos resistentes a cortocircuitos (206) comprenden:
- 30 un detector de cortocircuitos (506) configurado para detectar la condición de cortocircuito entre la patilla resistente a cortocircuitos y la patilla adyacente; y
- un controlador de salida (508) configurado para evitar que la segunda señal se produzca en la patilla adyacente en respuesta a la detección de la condición de cortocircuito.
- 35
3. El circuito integrado (500) de la reivindicación 2, en el que el detector de cortocircuitos (506) está configurado, además, para:
- 40 supervisar un nivel de voltaje en la patilla resistente a cortocircuitos; y
- proporcionar un indicador de alerta de detección al controlador de salida que responda al nivel de voltaje.
4. El circuito integrado (500) de la reivindicación 3, en el que el detector de cortocircuitos (506) está configurado además para generar el indicador de alerta de detección si el nivel de voltaje en la patilla resistente a cortocircuitos tiene un valor de voltaje intermedio que se encuentra entre un umbral de alto voltaje y un umbral de bajo voltaje.
- 45
5. El circuito integrado (500) de la reivindicación 3, en el que el detector de cortocircuitos (506) está configurado además para generar el indicador de alerta de detección si el nivel de voltaje en la patilla resistente a cortocircuitos se desvía de un nivel de voltaje deseado de la primera señal en más de un umbral de desviación.
- 50
6. El circuito integrado (500) de la reivindicación 2, en el que el controlador de salida (508) está configurado, además, para:
- 55 recibir un indicador de alerta de detección del detector de cortocircuitos; y
- controlar un nivel de voltaje en la patilla adyacente que responde al indicador de alerta de detección.
- 60
7. El circuito integrado (500) de la reivindicación 6, en el que el controlador de salida (508) está configurado además para controlar el nivel de voltaje en la patilla adyacente al dejar de afirmar un terminal de habilitación de salida de la placa adyacente, o
- 65 al hacer que la patilla adyacente tenga un valor de voltaje que corresponde a un nivel de voltaje previsto para la patilla resistente a cortocircuitos,

en el que la lógica de núcleo de patilla resistente a cortocircuitos está configurada preferentemente para proporcionar la primera señal al controlador de salida, la primera señal indicativa del nivel de voltaje deseado para la patilla resistente a cortocircuitos.

5

8. El circuito integrado (500) de la reivindicación 1, en el que:

la patilla resistente a cortocircuitos (102) comprende una patilla de error para el circuito integrado; y

10

la patilla de error está configurada para emitir un valor lógico particular de la primera señal si el circuito integrado experimenta un fallo.

9. El circuito integrado (500) de la reivindicación 8, en el que el circuito resistente a cortocircuitos (206) está configurado además para controlar una salida de la placa adyacente para evitar que la patilla adyacente afecte sustancialmente a un nivel de voltaje en la patilla de error si se detecta una condición de cortocircuito, con el nivel de voltaje correspondiente al valor lógico particular.

15

10. El circuito integrado (500) de la reivindicación 1, en el que el circuito integrado comprende parte de un Sistema Avanzado de Asistencia al Conductor, ADAS.

20

11. El circuito integrado (500) de la reivindicación 1, en el que:

la placa resistente a cortocircuitos (102) comprende una primera placa de entrada/salida; y

25

la placa adyacente (204) comprende una segunda placa de entrada/salida.

12. El circuito integrado (500) de la reivindicación 1, en el que la patilla resistente a cortocircuitos (102) comprende una patilla de error configurada para informar de que se ha producido un fallo que es detectado por el circuito integrado de acuerdo con una aplicación ADAS, Sistema Avanzado de Asistencia al Conductor.

30

13. El circuito integrado (500) de la reivindicación 1, que comprende además:

una segunda patilla adyacente; y

35

una segunda placa adyacente acoplada a la segunda patilla adyacente,

en el que los circuitos resistentes a cortocircuitos (206) están además acoplados a la segunda placa adyacente, con el circuito resistente a cortocircuitos configurado además para detectar una segunda condición de cortocircuito entre la patilla resistente a cortocircuitos y la segunda patilla adyacente y para reducir el efecto de la segunda condición de cortocircuito en la patilla resistente a cortocircuitos.

40

14. Un procedimiento (100) para implementar circuitos de patillas de salida resistentes a cortocircuitos, con el procedimiento que comprende:

45

generar una primera señal para una patilla resistente a cortocircuitos (102);

generar una segunda señal para una patilla adyacente (104);

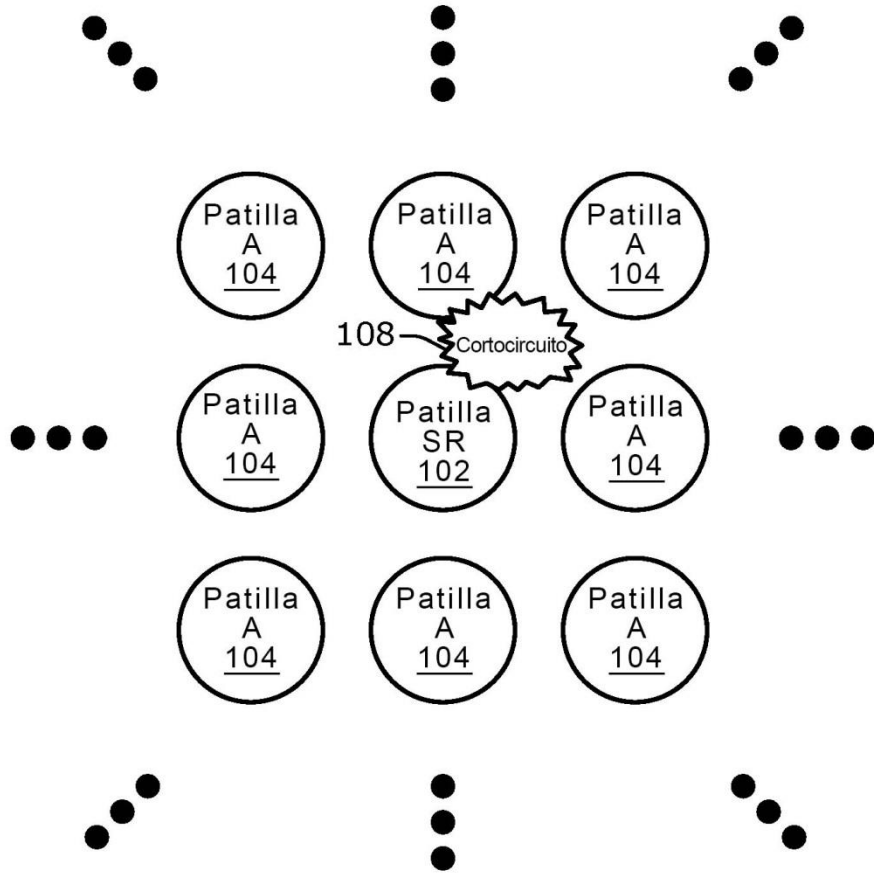
50

supervisar (102) un nivel de voltaje real en la patilla resistente a cortocircuitos;

determinar (1004) si el nivel de voltaje real se desvía de un nivel de voltaje previsto de la primera señal; **caracterizado por**

55

controlar (1006) si emitir la segunda señal a la patilla adyacente basándose en la determinación.



Circuito integrado
106

100 ↗

FIG. 1

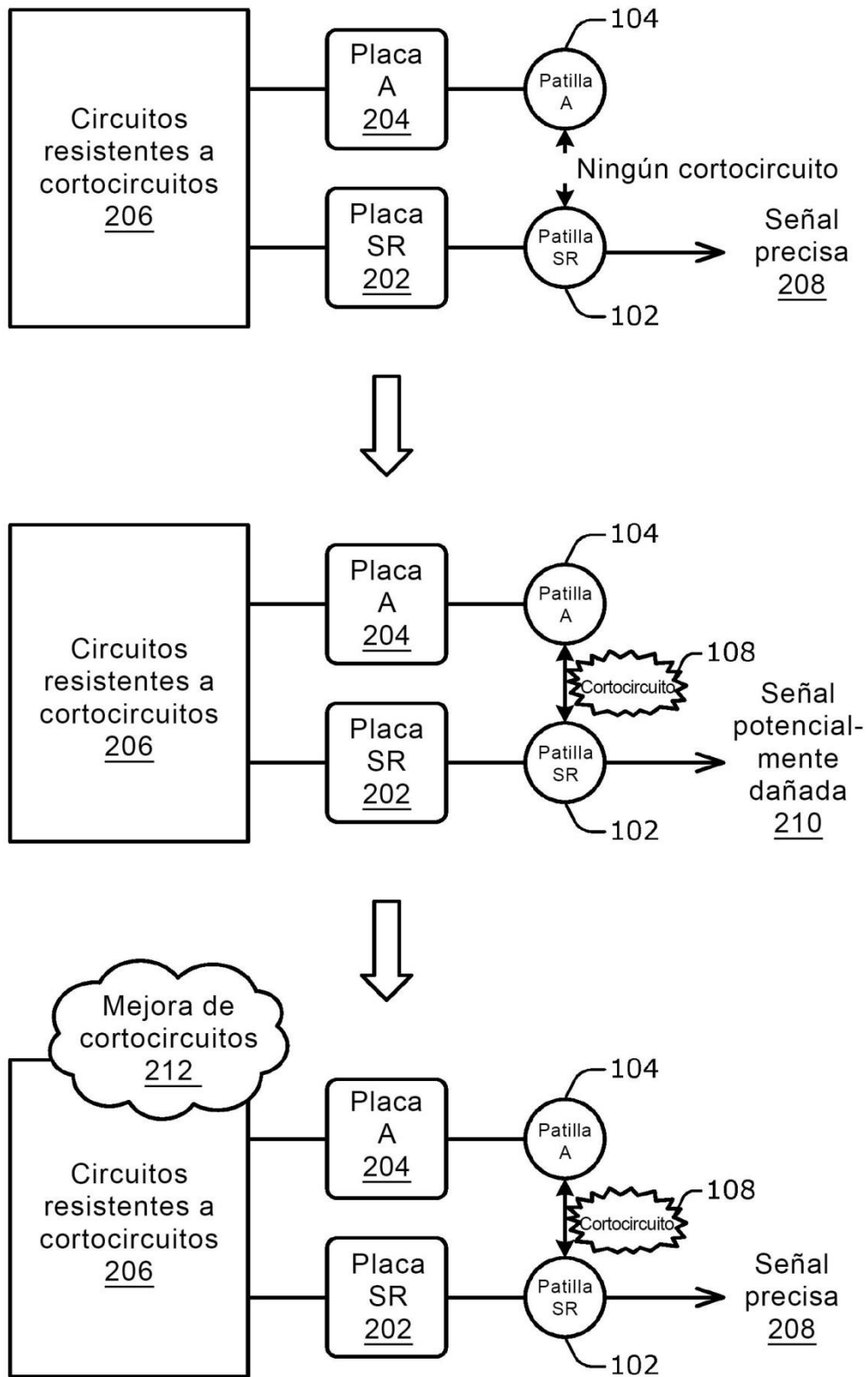


FIG. 2

200 ↗

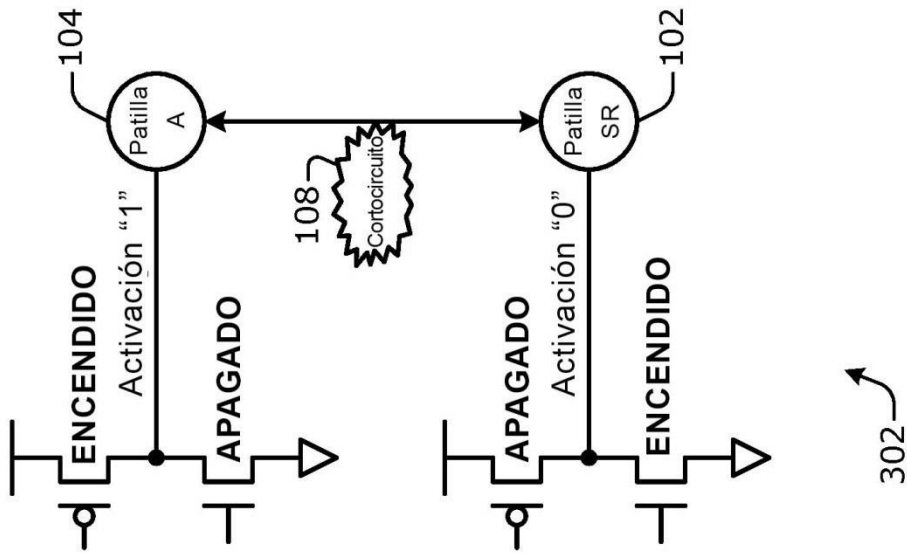
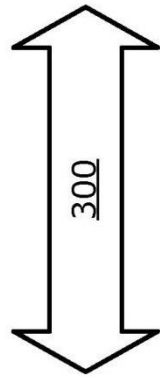
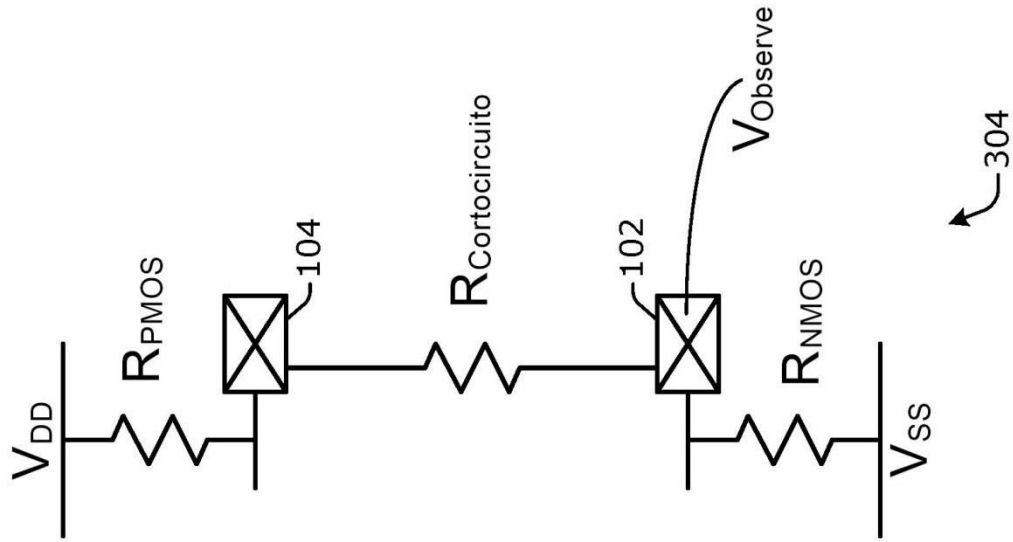
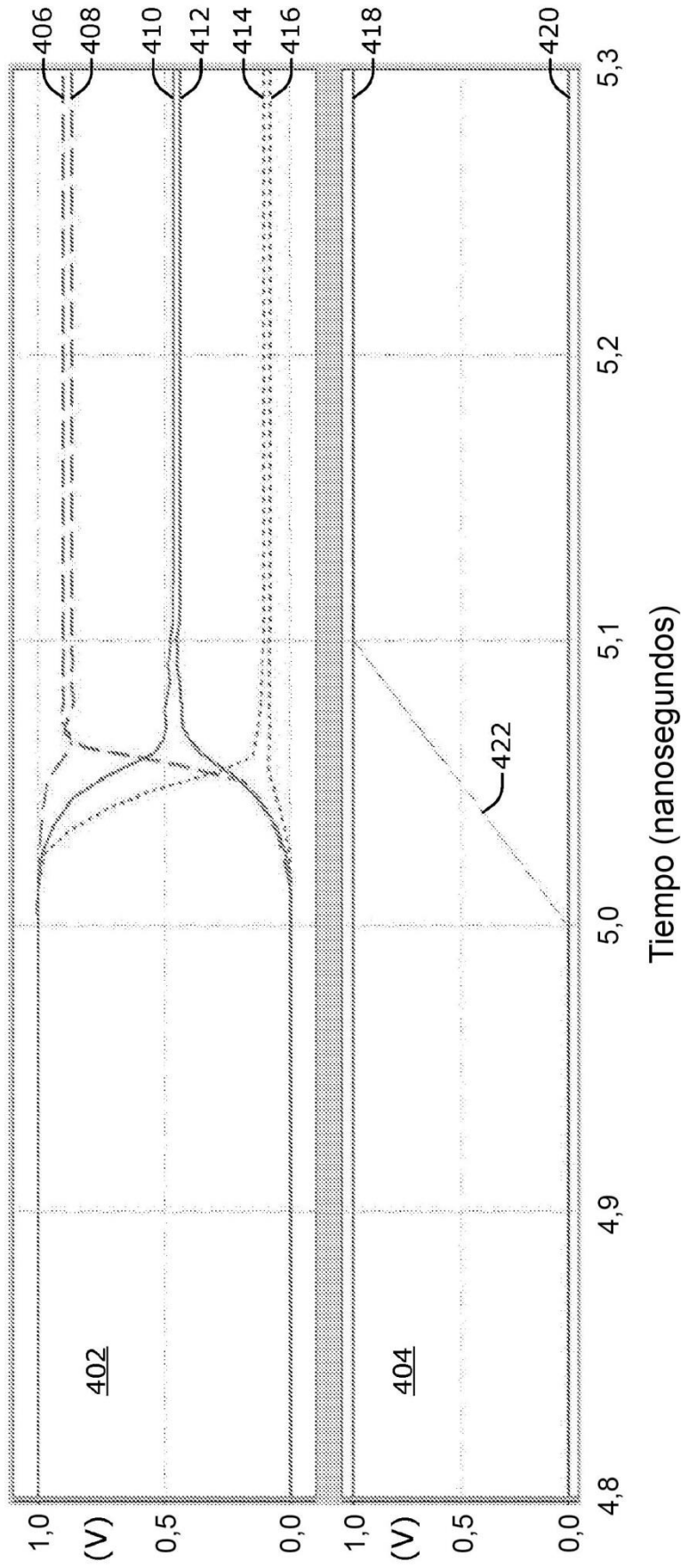


FIG. 3



400 ↗

FIG. 4

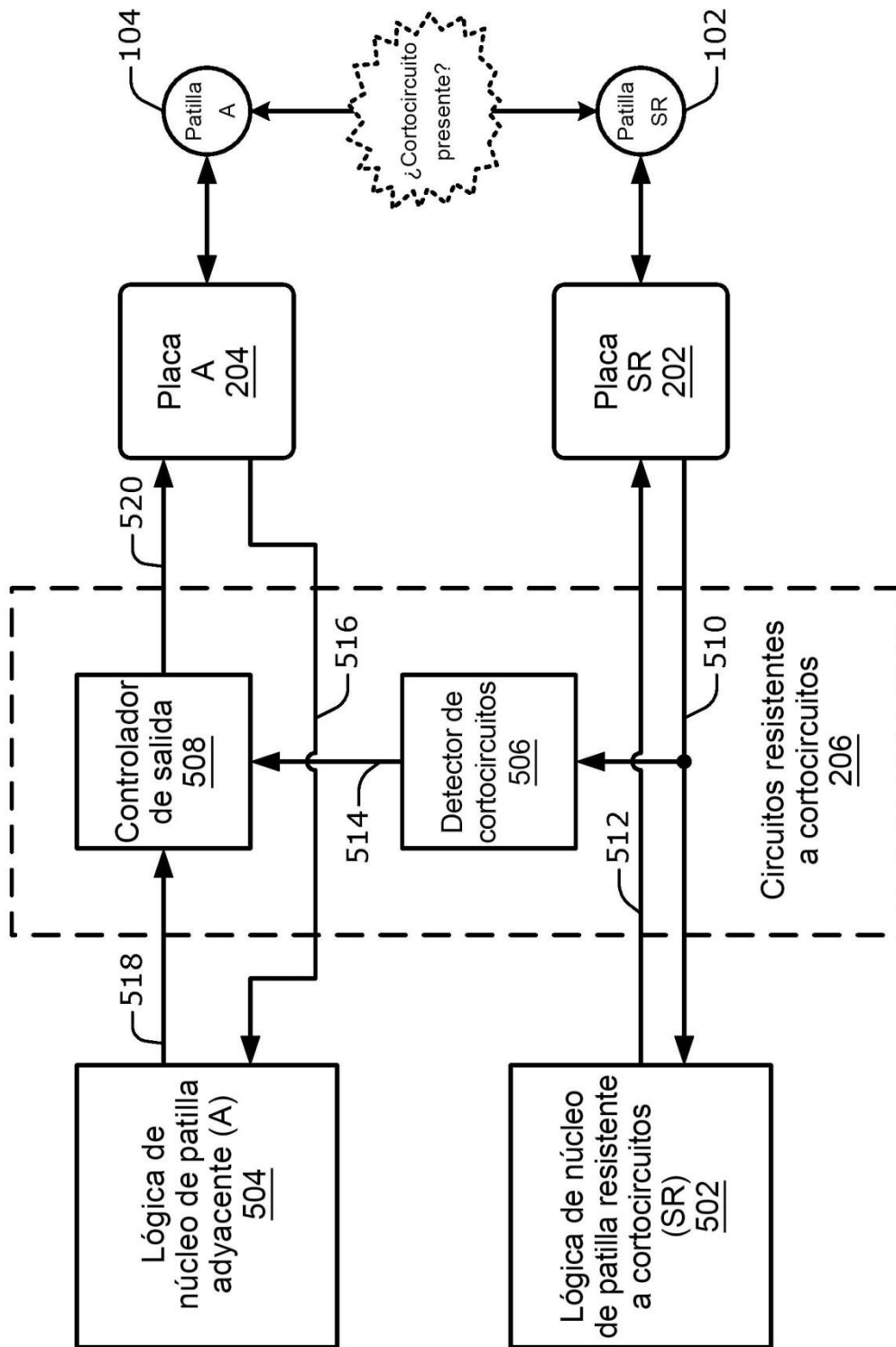


FIG. 5

500 ↗

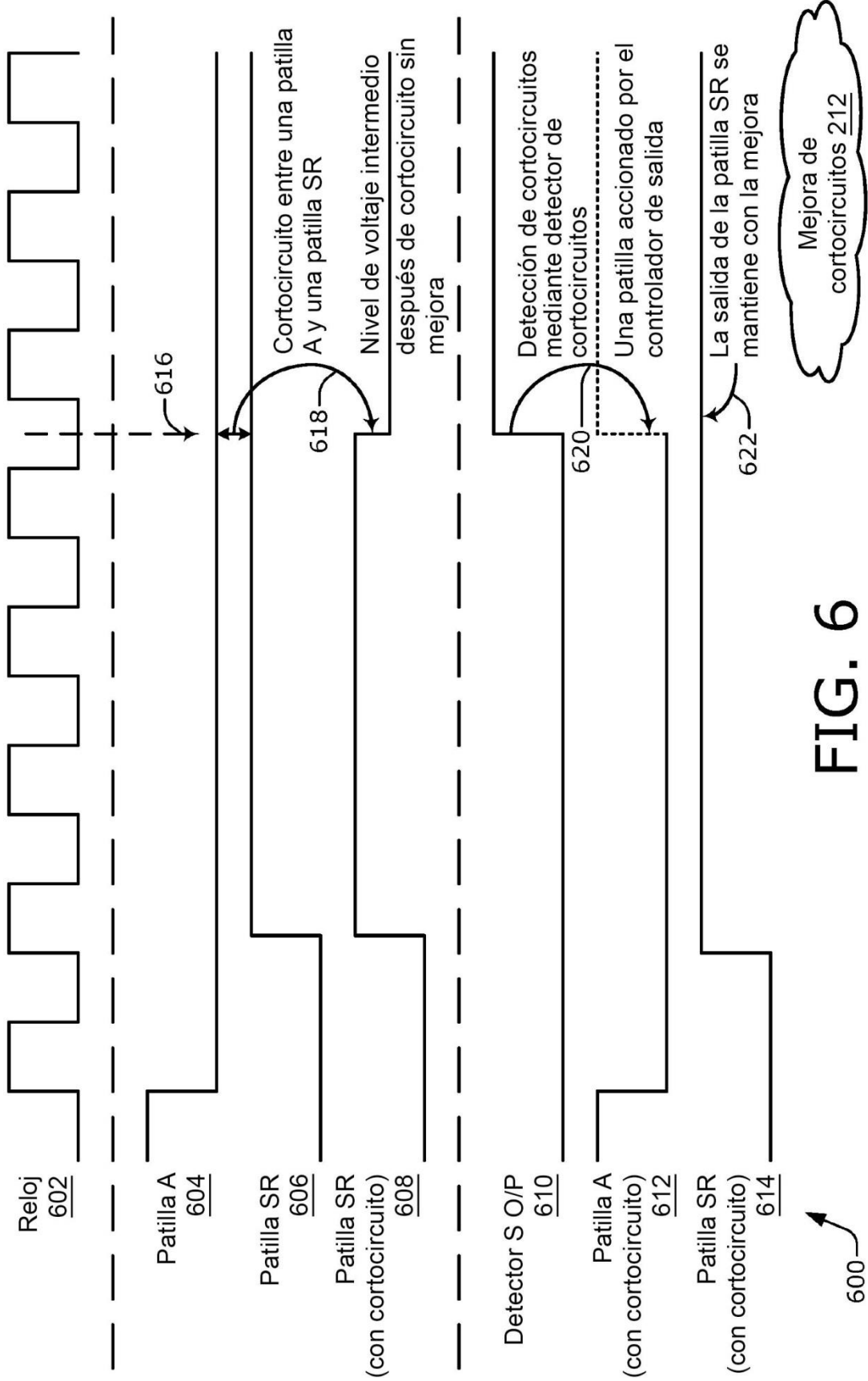


FIG. 6

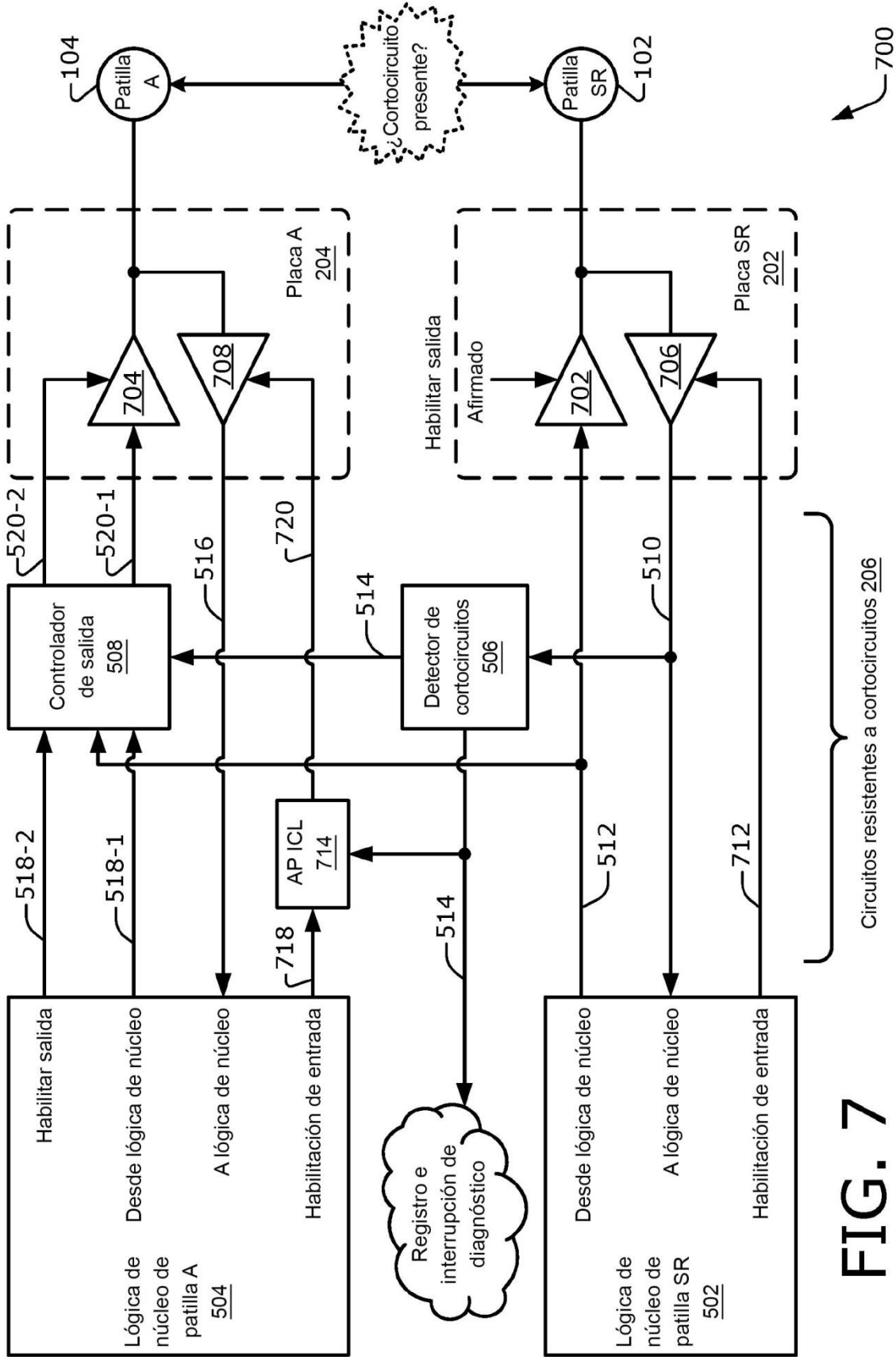


FIG. 7

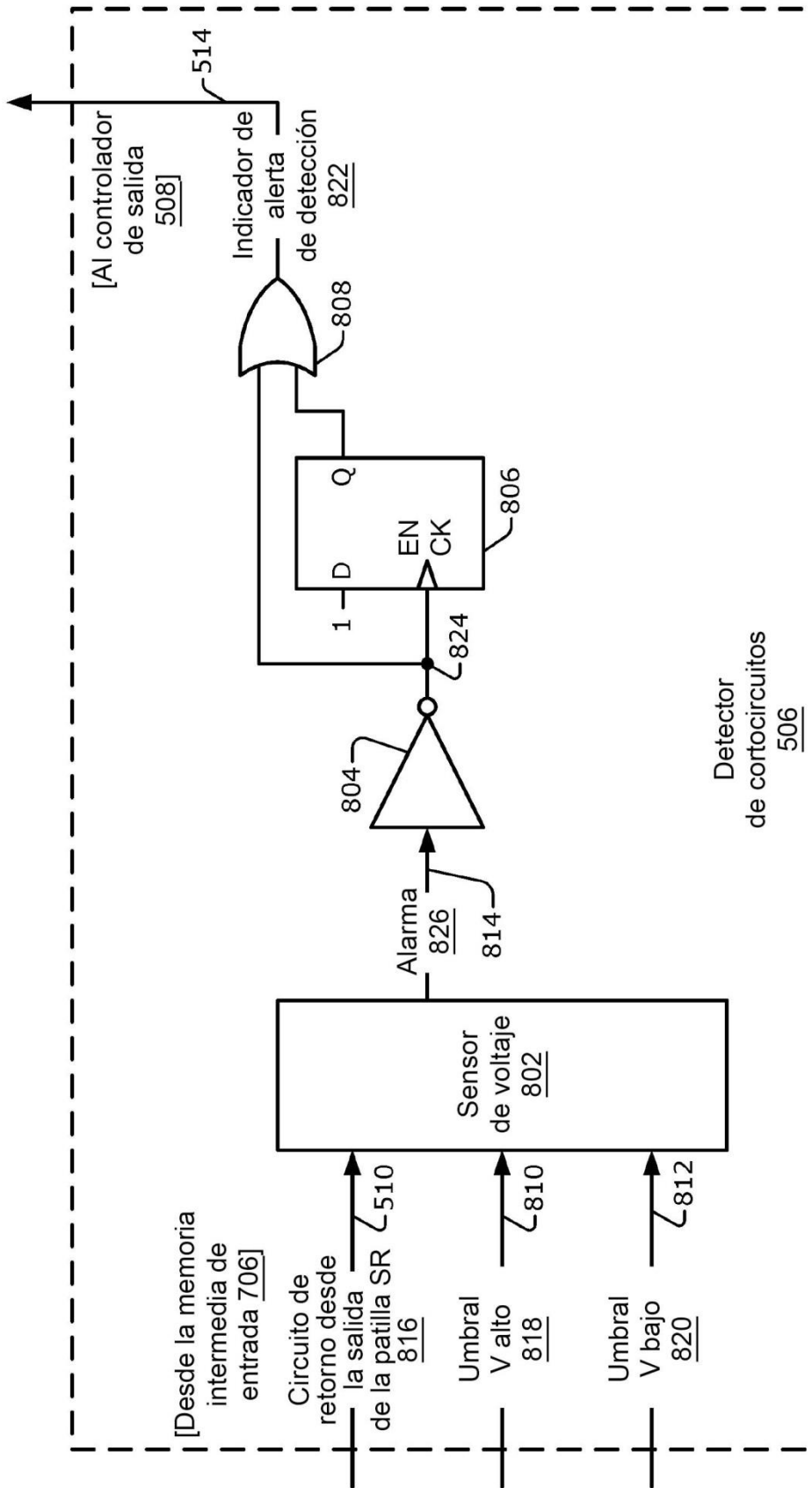
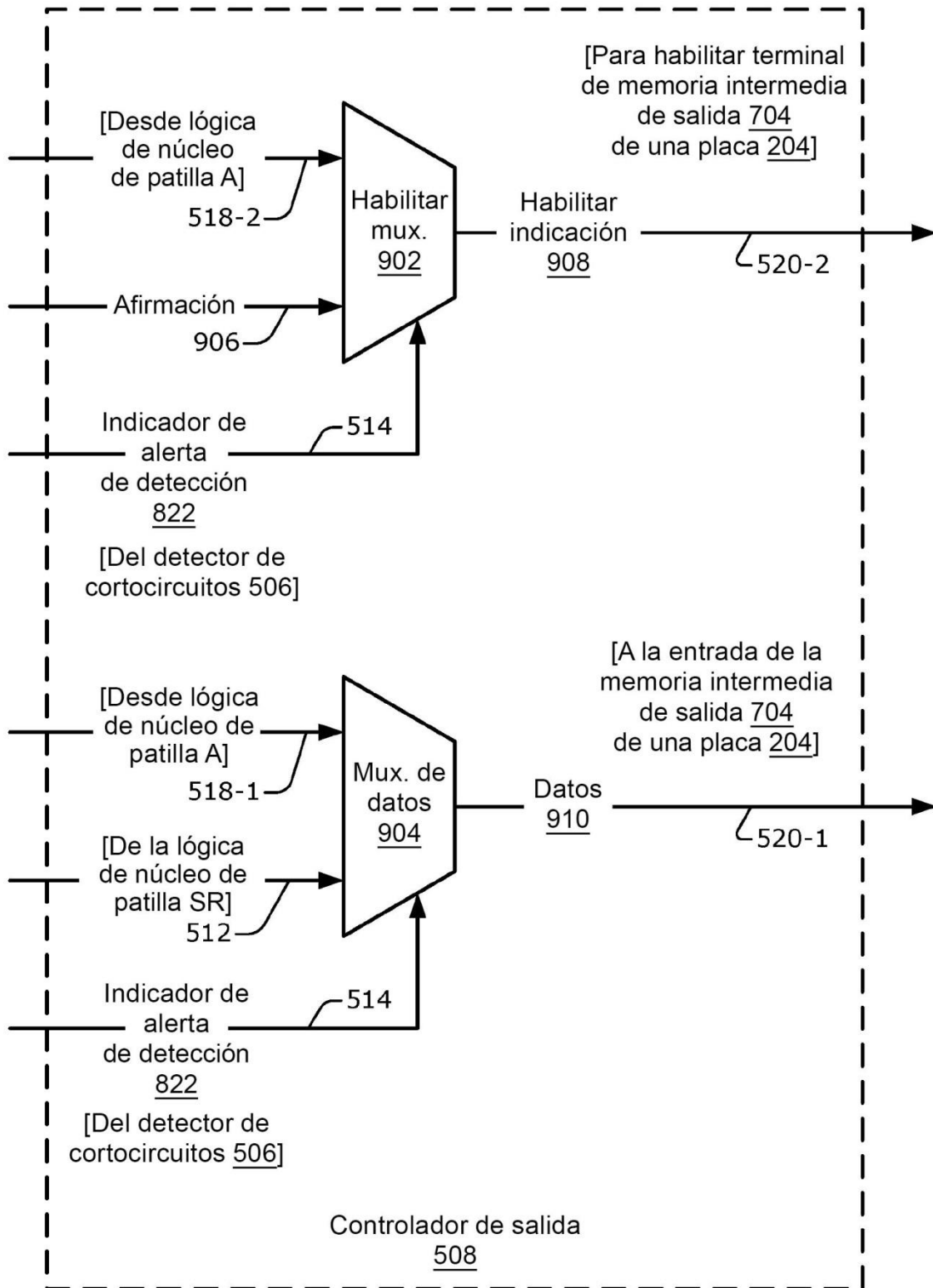


FIG. 8



900 ↗

FIG. 9

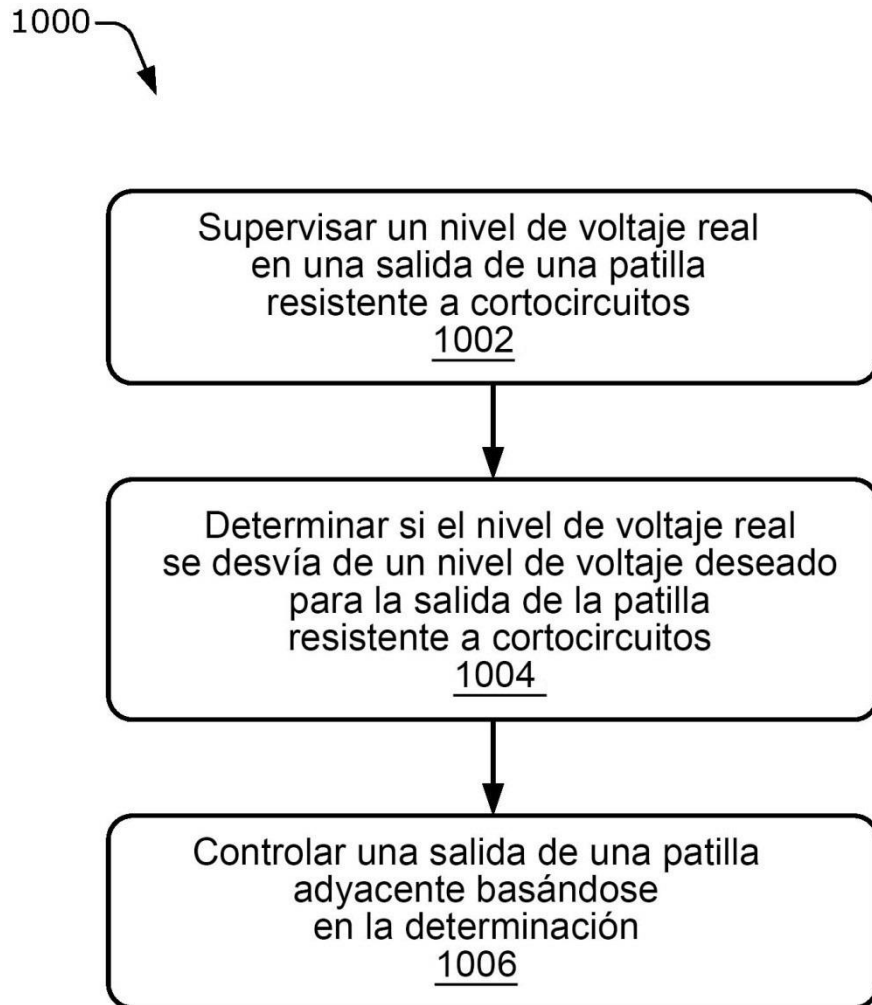


FIG. 10